

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4504803号  
(P4504803)

(45) 発行日 平成22年7月14日 (2010. 7. 14)

(24) 登録日 平成22年4月30日 (2010. 4. 30)

(51) Int.Cl.	F I				
<b>G09G 3/30 (2006.01)</b>	G09G	3/30		J	
<b>G09G 3/20 (2006.01)</b>	G09G	3/30		K	
<b>HO1L 51/50 (2006.01)</b>	G09G	3/20	621B		
	G09G	3/20	624B		
	G09G	3/20	641D		
請求項の数 26 (全 21 頁) 最終頁に続く					

(21) 出願番号	特願2004-380687 (P2004-380687)	(73) 特許権者	501426046
(22) 出願日	平成16年12月28日 (2004.12.28)		エルジー ディスプレイ カンパニー リ
(65) 公開番号	特開2005-275370 (P2005-275370A)		ミテッド
(43) 公開日	平成17年10月6日 (2005.10.6)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
審査請求日	平成17年3月3日 (2005.3.3)		イドードン 20
(31) 優先権主張番号	2004-020349	(74) 代理人	100094112
(32) 優先日	平成16年3月25日 (2004.3.25)		弁理士 岡部 譲
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100064447
前置審査			弁理士 岡部 正夫
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100104352
			弁理士 朝日 伸光
最終頁に続く			

(54) 【発明の名称】 エレクトロルミネセンス表示装置

(57) 【特許請求の範囲】

【請求項 1】

多数のデ - タラインと多数の第 1 及び第 2 ゲートラインの間の交差部により定義される画素領域に多数の画素が形成されるエレクトロルミネセンスパネルを具備して、  
前記画素のそれぞれは供給電圧が印加されるエレクトロルミネセンスセルと、  
前記エレクトロルミネセンスセルに流れる電流を制御する第 1 及び第 2 セル駆動部とを含み、

前記第 1 セル駆動部及び前記第 2 セル駆動部はフレームごとに交差的に前記エレクトロルミネセンスセルを駆動し、第 1 駆動薄膜トランジスタを具備する前記第 1 セル駆動部が駆動される時、第 2 駆動薄膜トランジスタを具備する前記第 2 のセル駆動部の前記第 2 駆動薄膜トランジスタに逆電圧が供給され、前記第 2 セル駆動部が駆動される時、前記第 1 駆動薄膜トランジスタに前記逆電圧が供給されることを特徴とするエレクトロルミネセンス表示装置。

【請求項 2】

前記第 1 セル駆動部は前記第 1 駆動薄膜トランジスタ、第 1 バイアススイッチを具備して、前記第 1 バイアススイッチは前記第 1 駆動薄膜トランジスタのゲート端子に接続されて前記第 1 駆動薄膜トランジスタに前記逆電圧を選択的に供給することを特徴とする請求項 1 記載のエレクトロルミネセンス表示装置。

【請求項 3】

前記第 2 セル駆動部は前記第 2 駆動薄膜トランジスタ、第 2 バイアススイッチを具備し

て、前記第 2 バイアススイッチは前記第 2 駆動薄膜トランジスタのゲート端子に接続されて前記第 2 駆動薄膜トランジスタに前記逆電圧を選択的に供給することを特徴とする請求項 2 記載のエレクトロルミネセンス表示装置。

【請求項 4】

前記第 1 駆動薄膜トランジスタは前記エレクトロルミネセンスセルに接続されたドレイン端子と第 1 基準電圧源に接続されたソース端子を具備して、前記第 2 駆動薄膜トランジスタは前記エレクトロルミネセンスセルに接続されたドレイン端子と前記第 1 基準電圧源に接続されたソース端子を具備することを特徴とする請求項 3 記載のエレクトロルミネセンス表示装置。

【請求項 5】

前記第 1 セル駆動部は、前記第 1 駆動薄膜トランジスタと前記デ - タラインの中で対応するデ - タライン及び前記第 1 ゲートラインの中で対応する第 1 ゲートラインに接続される第 1 スwitching 薄膜トランジスタと、前記第 1 駆動薄膜トランジスタのゲート端子と第 2 基準電圧源の間に接続された第 1 ストレ - ジキャパシタを具備して、前記第 1 スwitching 薄膜トランジスタはスキャンパルスが前記対応する第 1 ゲートラインに供給される時、同一画素領域の前記第 1 駆動薄膜トランジスタに前記対応するデ - タラインからのデ - タ信号を供給することを特徴とする請求項 4 記載のエレクトロルミネセンス表示装置。

【請求項 6】

前記第 2 セル駆動部は、前記第 2 駆動薄膜トランジスタと前記デ - タラインの中で対応するデ - タライン及び前記第 2 ゲートラインの中で対応する第 2 ゲートラインに接続される第 2 スwitching 薄膜トランジスタと、前記第 2 駆動薄膜トランジスタのゲート端子と前記第 2 基準電圧源の間に接続された第 2 ストレ - ジキャパシタを具備して、前記第 2 スwitching 薄膜トランジスタはスキャンパルスが前記対応する第 2 ゲートラインに供給される時、同一画素領域の前記第 2 駆動薄膜トランジスタに前記対応するデ - タラインからのデ - タ信号を供給することを特徴とする請求項 5 記載のエレクトロルミネセンス表示装置。

【請求項 7】

前記第 1 基準電圧源と前記第 2 基準電圧源は前記供給電圧の電圧値より低い電圧値を持つ基準電圧を供給することを特徴とする請求項 6 記載のエレクトロルミネセンス表示装置。

【請求項 8】

前記逆電圧は第 1 及び第 2 基準電圧源により供給される基準電圧の電圧値より低い電圧を持つことを特徴とする請求項 6 記載のエレクトロルミネセンス表示装置。

【請求項 9】

前記第 1 及び第 2 基準電圧源は同一な電圧値を持つ基準電圧を供給することを特徴とする請求項 6 記載のエレクトロルミネセンス表示装置。

【請求項 10】

前記逆電圧を供給するための逆電圧源を更に具備することを特徴とする請求項 2 記載のエレクトロルミネセンス表示装置。

【請求項 11】

j (j は整数) 番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 1 バイアススイッチは前記画素の前記第 1 駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、前記逆電圧を供給する逆電圧源に接続されたソース端子と、前記 j 番目の第 2 ゲートラインに接続されたゲート端子とを具備することを特徴とする請求項 3 記載のエレクトロルミネセンス表示装置。

【請求項 12】

前記 j 番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 1 バイアススイッチはスキャンパルスが前記 j 番目の第 2 ゲートラインに供給される時、前記逆電圧源からの前記逆電圧を前記第 1 駆動薄膜トランジスタのゲート端子に供給することを特徴とする請求項 11 記載のエレクトロルミネセンス表示装置。

10

20

30

40

50

## 【請求項 13】

前記 j 番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 2 バイアススイッチは前記画素の前記第 2 駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、前記逆電圧源に接続されたソース端子と、前記 j 番目の第 1 ゲートラインに接続されたゲート端子とを具備することを特徴とする請求項 12 記載のエレクトロルミネセンス表示装置。

## 【請求項 14】

前記 j 番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 2 バイアススイッチはスキャンパルスが前記 j 番目の第 1 ゲートラインに供給される時、前記逆電圧源からの前記逆電圧を前記第 2 駆動薄膜トランジスタのゲート端子に供給することを特徴とする請求項 13 記載のエレクトロルミネセンス表示装置。

10

## 【請求項 15】

前記 j 番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 1 バイアススイッチは前記画素の前記第 1 駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、j - 1 番目の第 1 ゲートラインまたは j - 1 番目の第 2 ゲートラインに接続されたソース端子と、前記 j 番目の第 2 ゲートラインに接続されたゲート端子とを具備することを特徴とする請求項 3 記載のエレクトロルミネセンス表示装置。

## 【請求項 16】

前記 j 番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 1 バイアススイッチはスキャンパルスが前記 j 番目の第 2 ゲートラインに供給される時、前記画素の第 1 駆動薄膜トランジスタのゲート端子に前記逆電圧を供給することを特徴とする請求項 15 記載のエレクトロルミネセンス表示装置。

20

## 【請求項 17】

前記逆電圧は前記第 1 駆動薄膜トランジスタのソース端子に供給された基準電圧の電圧値より低い電圧値を持つことを特徴とする請求項 16 記載のエレクトロルミネセンス表示装置。

## 【請求項 18】

前記 j 番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 2 バイアススイッチは前記画素の前記第 2 駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、j - 1 番目の第 1 ゲートラインまたは j - 1 番目の第 2 ゲートラインに接続されたソース端子と、前記 j 番目の第 1 ゲートラインに接続されたゲート端子とを具備することを特徴とする請求項 17 記載のエレクトロルミネセンス表示装置。

30

## 【請求項 19】

前記 j 番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 2 バイアススイッチはスキャンパルスが前記 j 番目の第 1 ゲートラインに供給される時、前記画素の第 2 駆動薄膜トランジスタのゲート端子に前記逆電圧を供給することを特徴とする請求項 18 記載のエレクトロルミネセンス表示装置。

## 【請求項 20】

前記逆電圧は前記第 2 駆動薄膜トランジスタのソース端子に供給された基準電圧の電圧値より低い電圧値を持つことを特徴とする請求項 19 記載のエレクトロルミネセンス表示装置。

40

## 【請求項 21】

i (i は奇数または偶数) 番目のフレームの間に前記第 1 ゲートラインにスキャンパルスを順次供給して i + 1 番目のフレームの間に前記第 2 ゲートラインに前記スキャンパルスを順次供給するゲート駆動部を更に具備することを特徴とする請求項 1 記載のエレクトロルミネセンス表示装置。

## 【請求項 22】

それぞれの水平ラインに形成される第 1 及び第 2 ゲートラインと、マトリックス形態に配列された画素に形成された多数のエレクトロルミネセンスセルと

50

前記画素ごとに形成されてスキャンパルスが前記第1ゲートラインに供給される時、前記エレクトロルミネセンスセルに流れる電流を制御する第1駆動薄膜トランジスタを持つ第1セル駆動部と、

前記画素ごとに形成されて前記スキャンパルスが前記第2ゲートラインに供給される時、前記エレクトロルミネセンスセルに流れる電流を制御する第2駆動薄膜トランジスタを持つ第2セル駆動部とを具備して、

j (j は整数) 番目の水平ラインに配置された前記第1セル駆動部は前記スキャンパルスが前記第2ゲートラインに供給される時、前記第1駆動薄膜トランジスタに逆バイアス電圧を供給し、

前記j番目の水平ラインに配置された前記第2セル駆動部は前記スキャンパルスが前記第1ゲートラインに供給される時、前記第2駆動薄膜トランジスタに逆バイアス電圧を印加することを特徴とするエレクトロルミネセンス表示装置。

【請求項23】

前記逆バイアス電圧は前記第1駆動薄膜トランジスタのソース端子に供給される基準電圧の電圧値より低い電圧値を持つことを特徴とする請求項22記載のエレクトロルミネセンス表示装置。

【請求項24】

前記逆バイアス電圧は前記第2駆動薄膜トランジスタのソース端子に供給される基準電圧の電圧値より低い電圧値を持つことを特徴とする請求項22記載のエレクトロルミネセンス表示装置。

【請求項25】

前記逆バイアス電圧を供給するための電源部を更に具備することを特徴とする請求項22記載のエレクトロルミネセンス表示装置。

【請求項26】

前記逆バイアス電圧はj-1番目の水平ラインの前記第1及び第2ゲートラインの中からいずれか一つに供給されるターン-オフ電圧であることを特徴とする請求項22記載のエレクトロルミネセンス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はエレクトロルミネセンス表示装置とその駆動方法に関し、特に、画素ごとに形成された駆動薄膜トランジスタのしきい電圧が上昇することを防止して安定した輝度の映像を表示するようにしたエレクトロルミネセンス表示装置とその駆動方法に関するものである。

【背景技術】

【0002】

最近陰極線管(CRT)の短所である重さと嵩を減らすことができる各種平板表示装置が頭をもたげている。このような平板表示装置では液晶表示装置(LCD)、電界放出表示装置(FED)、プラズマ表示パネル(PDP)及びエレクトロルミネセンス(EL)表示装置などがある。

【0003】

これの中でEL表示装置は電子と正孔の再結合で蛍光体を発光させる自発光素子で、その蛍光体で無機化合物を使う無機ELと有機化合物を使う有機ELに別される。このようなEL表示装置は低電圧駆動、自分発光、薄膜型、広い視野角、早い応答速度及び高いコントラストなどの多くの長所を持っていて次世代表示装置で期待されている。

【0004】

有機EL素子は通常陰極と陽極の間に積層された電子注入層、電子輸送層、発光層、正孔輸送層、正孔注入層から構成される。このような有機EL素子では陽極と陰極の間に所定の電圧を印加する場合、陰極から発生された電子が電子注入層及び電子輸送層を通じて発光層の方に移動して、陽極から発生された正孔が正孔注入層及び正孔輸送層を通じて発光層の方に移動する。これによって、発光層では電子輸送層と正孔輸送層から供給された電子

10

20

30

40

50

と正孔が再結合することによって光を放出するようになる。

【0005】

このような有機EL素子を利用するアクティブマトリックスEL表示装置は図1に図示したようにゲートライン(GL)とデータライン(DL)の交差で定義された領域にそれぞれ配列された画素28を具備するELパネル20と、ELパネル20のゲートライン(GL)を駆動するゲートドライバ22と、ELパネル20のデータライン(DL)を駆動するデータドライバ24とを具備する。

【0006】

ゲートドライバ22はゲートライン(GL)にスキャンパルスを提供してゲートライン(GL)を順次駆動する。

10

【0007】

データドライバ24は外部から入力されたデジタルデータ信号をアナログデータ信号に変換する。及び、データドライバ24はアナログデータ信号をスキャンパルスが供給される度にデータライン(DL)に供給するようになる。

【0008】

画素28のそれぞれはゲートライン(GL)にスキャンパルスが供給される時、データライン(DL)からのデータ信号を供給受けてそのデータ信号に相応する光を発生するようになる。

【0009】

このために、画素28のそれぞれは図2に図示したように供給電圧源(VDD)に陽極が接続されたELセル(OEL)と、ELセル(OEL)に陰極が接続されることと同時にゲートライン(GL)、データライン(DL)及び基底電圧源(GND)に接続されてELセル(OEL)を駆動するためのセル駆動部30とを具備する。

20

【0010】

セル駆動部30はゲートライン(GL)にゲート端子が、データライン(DL)にソース端子が、及び第1ノード(N1)にドレイン端子が接続されたスイッチング薄膜トランジスタ(T1)と、第1ノード(N1)にゲート端子が、基底電圧源(GND)にソース端子が、及びELセル(OEL)にドレイン端子が接続された駆動薄膜トランジスタ(T2)と、基底電圧源(GND)と第1ノード(N1)の間に接続されたストレージキャパシタ(Cst)とを具備する。

【0011】

30

スイッチング薄膜トランジスタ(T1)はゲートライン(GL)にスキャンパルスが供給されると、ターン-オンされてデータライン(DL)に供給されたデータ信号を第1ノード(N1)に供給する。第1ノード(N1)に供給されたデータ信号はストレージキャパシタ(Cst)に充電されることと同時に駆動薄膜トランジスタ(T2)のゲート端子に供給される。駆動薄膜トランジスタ(T2)はゲート端子に供給されるデータ信号に応答してELセル(OEL)を經由して供給電圧源(VDD)から供給される電流量(I)を制御することによってELセル(OEL)の発光量を調節するようになる。及び、スイッチング薄膜トランジスタ(T1)がターン-オフされても駆動薄膜トランジスタ(T2)はストレージキャパシタ(Cst)に充電されたデータ信号によりオン状態を維持して次のフレームのデータ信号が供給されるまでELセル(OEL)を經由して供給電圧源(VDD)から供給される電流量(I)を制御することができる。

40

【0012】

ここで、ELセル(OEL)に流れる電流量(I)は式(1)のように表示されることができる。  
【数1】

$$I = \frac{W}{2L} Cox (Vg2 - Vth)^2$$

ここで、Wは駆動薄膜トランジスタ(T2)の幅を示して、Lは駆動薄膜トランジスタ(T2)の長さを示す。そして、Coxは駆動薄膜トランジスタ(T2)を製造する時、一つの階を形成する絶縁膜により形成されるキャパシタ値を示す。またVg2は駆動薄膜トランジスタ(T2)のゲート端子に入力されるデータ信号の電圧値を示して、Vthは駆動薄膜トランジスタ(T

50

2)のしきい電圧値を示す。

【0013】

式(1)で  $W$ 、 $L$ 、 $C_{ox}$ 、 $V_{g2}$  は時間の経過にかかわらず一定に維持される。しかし、駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )は時間の経過に従ってその電圧値が変化されるようになる。

【0014】

これを詳しく説明すると、駆動薄膜トランジスタ(T2)のゲート端子には持続的に正極性(+)の電圧(すなわち、データ信号の電圧)が供給される。このように駆動薄膜トランジスタ(T2)のゲート端子に持続的に正極性(+)の電圧が供給されると駆動薄膜トランジスタ(T2)が劣化される問題点が発生される。駆動薄膜トランジスタ(T2)が劣化されると駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )が時間の経過のともなって増加される。ここで、駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )が増加されるとELセル(OEL)に流れる電流量が減少されて輝度が低下される問題点が発生される。

10

【0015】

実質的に、駆動薄膜トランジスタ(T2)は水素化された非晶質シリコンを利用して生成される。このような水素化された非晶質シリコンは対面的に製作が容易くて350以下の低い基板温度で蒸着が可能であるという利点がある。したがって、大部分の薄膜トランジスタ(TFT)は水素化された非晶質シリコンを利用して形成される。

【0016】

しかし、このような水素化された非晶質シリコンは原子配列が無秩序であるから図3Aのように弱いSi-Si結合32及びダングリングボンドが存在する。ここで弱い結合32に結合されたSiは時間の経過にしたがって図3Bのように原子を離脱するようになり、この席に電子または正孔が再結合されるようになる。(または離脱状態維持)すなわち、水素化された非晶質シリコンの原子配列が変化によりエネルギー準位が変化されることによって図4に図示したように駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )が時間が経過することによって増加( $V_{th}'$ 、 $V_{th}''$ 、 $V_{th}'''$ )される。

20

【0017】

従来には駆動薄膜トランジスタ(T2)のしきい電圧( $V_{th}$ )が時間が経つことによって増加( $V_{th}'$ 、 $V_{th}''$ 、 $V_{th}'''$ )するからELパネル20に望みの輝度の映像を表示することに困難な問題点が発生される。またELパネル20で部分的な輝度の減少は残像で現われるから画質に深刻な影響を及ぼすようになる。

30

【発明の開示】

【発明が解決しようとする課題】

【0018】

したがって、本発明の目的は画素ごとに形成された駆動薄膜トランジスタのしきい電圧が上昇することを防止して安定した輝度の映像を表示するようにしたエレクトロルミネセンス表示装置とその駆動方法を提供するものである。

【課題を解決するための手段】

【0019】

上記目的を達成するために、本発明に係るエレクトロルミネセンス表示装置は多数のデータラインと多数の第1及び第2ゲートラインの間の交差部により定義される画素領域に多数の画素が形成されるエレクトロルミネセンスパネルを具備する。

40

前記画素のそれぞれは供給電圧を印加受けるエレクトロルミネセンスセルと、前記エレクトロルミネセンスセルに流れる電流を制御する第1及び第2セル駆動部とを含む。

【0020】

前記第1セル駆動部は第1駆動薄膜トランジスタ、第1バイアススイッチを具備して、前記第1バイアススイッチは前記第1駆動薄膜トランジスタのゲート端子に接続されて前記第1駆動薄膜トランジスタに逆電圧を選択的に供給する。

【0021】

前記第2セル駆動部は第2駆動薄膜トランジスタ、第2バイアススイッチを具備して、

50

前記第 2 バイアススイッチは前記第 2 駆動薄膜トランジスタのゲート端子に接続されて前記第 2 駆動薄膜トランジスタに前記逆電圧を選択的に供給する。

【 0 0 2 2 】

前記第 1 駆動薄膜トランジスタは前記エレクトロルミネセンスセルに接続されたドレイン端子と第 1 基準電圧源に接続されたソース端子を具備して、前記第 2 駆動薄膜トランジスタは前記エレクトロルミネセンスセルに接続されたドレイン端子と前記第 1 基準電圧源に接続されたソース端子を具備する。

【 0 0 2 3 】

前記第 1 セル駆動部は、前記第 1 駆動薄膜トランジスタと前記データラインの中で対応するデータライン及び前記第 1 ゲートラインの中で対応する第 1 ゲートラインに接続される第 1 スwitching 薄膜トランジスタと、前記第 1 駆動薄膜トランジスタのゲート端子と第 2 基準電圧源の間に接続された第 1 ストレージキャパシタを具備して、前記第 1 スwitching 薄膜トランジスタはスキャンパルスが前記対応する第 1 ゲートラインに供給される時、同一画素領域の前記第 1 駆動薄膜トランジスタに前記対応するデータラインからのデータ信号を供給する。

10

【 0 0 2 4 】

前記第 2 セル駆動部は、前記第 2 駆動薄膜トランジスタと前記データラインの中で対応するデータライン及び前記第 2 ゲートラインの中で対応する第 2 ゲートラインに接続される第 2 スwitching 薄膜トランジスタと、前記第 2 駆動薄膜トランジスタのゲート端子と前記第 2 基準電圧源の間に接続された第 2 ストレージキャパシタを具備して、前記第 1 スwitching 薄膜トランジスタはスキャンパルスが前記対応する第 2 ゲートラインに供給される時、同一画素領域の前記第 2 駆動薄膜トランジスタに前記対応するデータラインからのデータ信号を供給する。

20

【 0 0 2 5 】

前記第 1 基準電圧源と前記第 2 基準電圧源は前記供給電圧の電圧値より低い電圧値を持つ基準電圧を供給する。

前記逆電圧は第 1 及び第 2 基準電圧源により供給される基準電圧の電圧値より低い電圧を持つ。

前記第 1 及び第 2 基準電圧源は同一な電圧値を持つ基準電圧を供給する。

前記エレクトロルミネセンス表示装置は前記逆電圧を供給するための逆電圧源を更に具備する。

30

【 0 0 2 6 】

$j$  ( $j$  は整数) 番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 1 バイアススイッチは前記画素の前記第 1 駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、前記逆電圧を供給する逆電圧源に接続されたソース端子と、前記  $j$  番目の第 2 ゲートラインに接続されたゲート端子とを具備する。

【 0 0 2 7 】

前記  $j$  番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 1 バイアススイッチはスキャンパルスが前記  $j$  番目の第 2 ゲートラインに供給される時、前記逆電圧源からの前記逆電圧を前記第 1 駆動薄膜トランジスタのゲート端子に供給する。

40

【 0 0 2 8 】

前記  $j$  番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 2 バイアススイッチは前記画素の前記第 2 駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、前記逆電圧源に接続されたソース端子と、前記  $j$  番目の第 1 ゲートラインに接続されたゲート端子とを具備する。

【 0 0 2 9 】

前記  $j$  番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 2 バイアススイッチはスキャンパルスが前記  $j$  番目の第 1 ゲートラインに供給される時、前記逆電圧源からの前記逆電圧を前記第 2 駆動薄膜トランジスタのゲート端子に供給する。

【 0 0 3 0 】

50

前記  $j$  番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 1 バイアススイッチは前記画素の前記第 1 駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、 $j-1$  番目の第 1 ゲートラインまたは  $j-1$  番目の第 2 ゲートラインに接続されたソース端子と、前記  $j$  番目の第 2 ゲートラインに接続されたゲート端子とを具備する。

【0031】

前記  $j$  番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 1 バイアススイッチはスキャンパルスが前記  $j$  番目の第 2 ゲートラインに供給される時、前記画素の第 1 駆動薄膜トランジスタのゲート端子に前記逆電圧でターン-オフ電圧を供給する。

【0032】

前記ターン-オフ電圧は前記第 1 駆動薄膜トランジスタのソース端子に供給された基準電圧の電圧値より低い電圧値を持つ。

10

【0033】

前記  $j$  番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 2 バイアススイッチは前記画素の前記第 2 駆動薄膜トランジスタのゲート端子に接続されたドレイン端子と、 $j-1$  番目の第 1 ゲートラインまたは  $j-1$  番目の第 2 ゲートラインに接続されたソース端子と、前記  $j$  番目の第 1 ゲートラインに接続されたゲート端子とを具備する。

【0034】

前記  $j$  番目の第 1 及び第 2 ゲートラインに接続された画素の前記第 2 バイアススイッチはスキャンパルスが前記  $j$  番目の第 1 ゲートラインに供給される時、前記画素の第 2 駆動薄膜トランジスタのゲート端子に前記逆電圧で前記ターン-オフ電圧を供給する。

20

【0035】

前記ターン-オフ電圧は前記第 2 駆動薄膜トランジスタのソース端子に供給された基準電圧の電圧値より低い電圧値を持つ。

【0036】

前記エレクトロルミネセンス表示装置は  $i$  ( $i$  は奇数または偶数) 番目のフレームの間に前記第 1 ゲートラインにスキャンパルスを順次供給して  $i+1$  番目のフレームの間に前記第 2 ゲートラインに前記スキャンパルスを順次供給するゲート駆動部を更に具備する。

【0037】

本発明に係るエレクトロルミネセンス表示装置はそれぞれの水平ラインに形成される第 1 及び第 2 ゲートラインと、マトリックス形態に配列された画素に形成された多数のエレクトロルミネセンスセルと、前記画素ごとに形成されてスキャンパルスが前記第 1 ゲートラインに供給される時、前記エレクトロルミネセンスセルに流れる電流を制御する第 1 駆動薄膜トランジスタを持つ第 1 セル駆動部と、前記画素ごとに形成されて前記スキャンパルスが前記第 2 ゲートラインに供給される時、前記エレクトロルミネセンスセルに流れる電流を制御する第 2 駆動薄膜トランジスタを持つ第 2 セル駆動部とを具備する。

30

【0038】

$j$  ( $j$  は整数) 番目の水平ラインに配置された前記第 1 セル駆動部は前記スキャンパルスが前記第 2 ゲートラインに供給される時、前記第 1 駆動薄膜トランジスタに逆バイアス電圧を供給する。

【0039】

前記逆バイアス電圧は前記第 1 駆動薄膜トランジスタのソース端子に供給される基準電圧の電圧値より低い電圧値を持つ。

40

【0040】

前記  $j$  番目の水平ラインに配置された前記第 2 セル駆動部は前記スキャンパルスが前記第 1 ゲートラインに供給される時、前記第 2 駆動薄膜トランジスタに逆バイアス電圧を印加する。

【0041】

前記逆バイアス電圧は前記第 2 駆動薄膜トランジスタのソース端子に供給される基準電圧の電圧値より低い電圧値を持つ。

【0042】

50

前記エレクトロルミネセンス表示装置は前記逆バイアス電圧を供給するための電源部を更に具備する。

【0043】

前記逆バイアス電圧は  $j-1$  番目の水平ラインの前記第1及び第2ゲートラインの中からいずれか一つに供給されるターン-オフ電圧である。

【0044】

本発明に係るエレクトロルミネセンス表示装置の駆動方法はマトリクス形態に配置された画素のそれぞれに形成された第1及び第2セル駆動部を持つエレクトロルミネセンス表示装置の駆動方法において、第1及び第2ゲートラインにスキャンパルスを提供する段階と、前記スキャンパルスが  $j$  ( $j$ は整数)番目のゲートラインまたは  $j$  番目の第2ゲートラインに供給される時、 $j$  番目の水平ラインの画素に形成された前記第1及び第2セル駆動部の中からいずれか一つの駆動部にデータ信号を供給と異なる駆動部に逆バイアス電圧を供給する段階と、前記データ信号に基礎して供給電圧源から前記画素に形成されたエレクトロルミネセンスセルを経由して基準電圧源へ流れる電流を制御する段階とを含む。

10

【0045】

前記スキャンパルスは  $i$  ( $i$ は奇数または偶数)番目のフレーム間に前記第1ゲートラインに順次供給されて  $i+1$  番目のフレーム間に前記第2ゲートラインに順次供給される。

【0046】

前記第1セル駆動部は前記スキャンパルスが前記  $j$  番目の第1ゲートラインに供給される時、前記画素に形成されたエレクトロルミネセンスセルに流れる電流を制御する。

20

【0047】

前記逆バイアス電圧は前記スキャンパルスが前記  $j$  番目の第1ゲートラインに供給される時、前記画素に形成された前記第2セル駆動部に供給される。

【0048】

前記エレクトロルミネセンス表示装置の駆動方法は前記逆バイアス電圧の電圧値を前記基準電圧の電圧値より低く設定する段階を更に含んで、前記逆バイアス電圧は前記第2セル駆動部に含まれた駆動薄膜トランジスタのゲート端子に供給されて前記基準電圧は前記第2セル駆動部の前記駆動薄膜トランジスタのソース端子に供給される。

【0049】

前記第2セル駆動部は前記スキャンパルスが前記  $j$  番目の第2ゲートラインに供給される時、前記画素に形成されたエレクトロルミネセンスセルに流れる電流を制御する。

30

【0050】

前記逆バイアス電圧は前記スキャンパルスが前記  $j$  番目の第2ゲートラインに供給される時、前記画素に形成された前記第1セル駆動部に供給される。

【0051】

前記逆バイアス電圧は前記第1セル駆動部に含まれた駆動薄膜トランジスタのゲート端子に供給されて前記基準電圧は前記第1セル駆動部に含まれた前記駆動薄膜トランジスタのソース端子に供給される。

前記逆バイアス電圧は逆バイアス電圧源により供給される。

【0052】

40

前記エレクトロルミネセンス表示装置の駆動方法は前記スキャンパルスが供給されない時、前記第1及び第2ゲートラインにターン-オフ信号を供給する段階を更に含む。

前記ターン-オフ信号は前記逆バイアス電圧に供給される。

【発明の効果】

【0053】

本発明に係るエレクトロルミネセンス表示装置とその駆動方法は駆動薄膜トランジスタの劣化を最小化して安定した輝度で映像を表示することができる。

【発明を実施するための最良の形態】

【0054】

[実施例]

50

以下、図5乃至図10Bを参照して本発明の望ましい実施例について説明する。

【0055】

図5は本発明の実施例によるエレクトロルミネセンス表示装置を示す図面である。

図5を参照すると、本発明の実施例によるEL表示装置は水平ラインごとに形成される多数の第1ゲートライン(GL1)及び第2ゲートライン(GL2)と、第1及び第2ゲートライン(GL1, GL2)と交差されるように形成されるデータライン(DL)と、第1ゲートライン(GL1)、第2ゲートライン(GL2)とデータライン(DL)の交差で定義された領域に配置される画素50を具備するELパネル40と、第1ゲートライン(GL1)及び第2ゲートライン(GL2)を駆動するためのゲートドライバ42と、データライン(DL)を駆動するためのデータドライバ44と、画素50で供給電圧(VDD)、逆電圧(VI)、基準電圧(VSS1, VSS2)を供給するための図示されない電圧部とを具備する。

10

【0056】

電圧部はELパネル40が駆動されることができるよう供給電圧(VDD)、逆電圧(VI)及び基準電圧(VSS1, VSS2)を画素50で供給する。ここで、逆電圧(VI)の電圧値は基準電圧(VSS1, VSS2)の電圧値より低く設定される。

【0057】

ゲートドライバ42は第1ゲートライン(GL1)及び第2ゲートライン(GL2)でスキャンパルスを順次供給する。ここで、ゲートドライバ42は図7のように*i*(*i*は奇数または偶数)番目のフレームの間に第1ゲートライン(GL1)に順次スキャンパルスを供給して、*i*+1番目のフレームの間に第2ゲートライン(GL2)に順次スキャンパルスを供給する。

20

【0058】

データドライバ44は外部(タイミングコントローラ)から入力されたデジタルデータをアナログデータ信号に変換する。及び、データドライバ44はアナログデータ信号をスキャンパルスが供給される時の度にデータライン(DL)で供給する。

【0059】

画素50のそれぞれは自分が接続された第1ゲートライン(GL1)または第2ゲートライン(GL2)でスキャンパルスが供給される時、データライン(DL)からデータ信号を供給を受けて、ELセル(OEL)から供給を受けたデータ信号に対応される光が発生されるように制御する。このような画素50のそれぞれは第1セル駆動部46及び第2セル駆動部48を具備する。

30

【0060】

第1セル駆動部46は第1ゲートライン(GL1)でスキャンパルスが供給される時、データライン(DL)からデータ信号を供給を受けて、供給を受けたデータ信号に対応される光がELセル(OEL)から発生されるように制御する。及び、第1セル駆動部46は第2ゲートライン(GL2)でスキャンパルスが供給される時、逆電圧(VI)を供給を受けて自分に含まれた駆動薄膜トランジスタに逆バイアス電圧を印加する。

【0061】

第2セル駆動部48は第2ゲートライン(GL2)でスキャンパルスが供給される時、データライン(DL)からデータ信号を供給を受けて、供給を受けたデータ信号に対応される光がELセル(OEL)から発生されるように制御する。及び、第2セル駆動部48は第1ゲートライン(GL1)でスキャンパルスが供給される時、逆電圧(VI)を供給を受けて自分に含まれた駆動薄膜トランジスタに逆バイアス電圧を印加する。すなわち、本発明で第1セル駆動部46及び第2セル駆動部48はフレームごとに交互にELセル(OEL)を駆動する。及び、第1セル駆動部46及び第2セル駆動部48はフレームごとに交互に自分に含まれた駆動薄膜トランジスタに逆バイアス電圧を印加する。

40

【0062】

図6は第1セル駆動部及び第2セル駆動部の詳細な構成を含んだ画素を示す図面である。ここで、第1セル駆動部46及び第2セル駆動部48の構成は一つの実施例として実際では多様に構成されることが出来る。

図6を参照すると、本発明の画素50は供給電圧源(VDD)に陽極が接続されたELセル(OE

50

L)と、ELセル(OEL)の陰極に接続されることと同時に第1ゲートライン(GL1)、第2ゲートライン(GL2)、データライン(DL)、逆電圧(VI)及び基準電圧(VSS1, VSS2)に接続された第1セル駆動部46及び第2セル駆動部48を具備する。

【0063】

第1セル駆動部46は第1ゲートライン(GL1)にゲート端子が、データライン(DL)にソース端子が、及び第1ノード(N1)にドレイン端子が接続された第1スイッチング薄膜トランジスタ(T1)と、第1ノード(N1)にゲート端子が、第1基準電圧(VSS1)にソース端子が、そしてELセル(OEL)にドレイン端子が接続された第1駆動薄膜トランジスタ(T2)と、第1ノード(N1)と第2基準電圧(VSS2)の間に接続されたストレージキャパシタ(Cst)と、逆電圧(VI)にソース端子が、第2ゲートライン(GL2)にゲート端子が、そして第1ノード(N1)にドレイン端子が接続された第1バイアス用スイッチ(SW1)とを具備する。

10

【0064】

第1基準電圧(VSS1)及び第2基準電圧(VSS2)の電圧値は供給電圧(VDD)からELセル(OEL)及び第1駆動薄膜トランジスタ(T2)を経由して電流(I)が流れるように供給電圧(VDD)の電圧値より低く設定される。例えば、第1基準電圧(VSS1)及び第2基準電圧(VSS2)の電圧値はおおよそ基底電圧源(GND)以下の電圧値に設定される。(VDDの電圧値は正極性で設定)そして、第1基準電圧(VSS)及び第2基準電圧(VSS2)の電圧値は一般的に同一に設定される。(例えば、第1基準電圧(VSS1)及び第2基準電圧(VSS2)は基底電圧(GND)に設定されることができる)しかし、ELパネル120の解像度及びELパネル120の工程条件などの多様な要因により第1基準電圧(VSS1)及び第2基準電圧(VSS2)の電圧値は相異なるように設定されることができる。

20

【0065】

第1スイッチング薄膜トランジスタ(T1)は第1ゲートライン(GL1)にスキャンパルスが供給される時、ターン-オンされてデータライン(DL)に供給されるデータ信号を第1ノード(N1)で供給する。第1ノード(N1)に供給されたデータ信号はストレージキャパシタ(Cst)に充電されることと同時に第1駆動薄膜トランジスタ(T2)のゲート端子に供給される。第1駆動薄膜トランジスタ(T2)はゲート端子に供給されるデータ信号にตอบสนองしてELセル(OEL)を経由して供給電圧源(VDD)から第1基準電圧(VSS1)に流れる電流量(I)を制御する。この時、ELセル(OEL)は電流量(I)に対応される光を生成する。及び、第1スイッチング薄膜トランジスタ(T1)がターン-オフされてもストレージキャパシタ(Cst)に充電されたデータ信号により第1駆動薄膜トランジスタ(T2)はオン状態を維持する。

30

【0066】

第1バイアス用スイッチ(SW1)は第2ゲートライン(GL2)にスキャンパルスが供給される時、ターン-オンされる。第1バイアス用スイッチ(SW1)がターン-オンされると逆電圧(VI)の電圧が第1ノード(N1)に印加される。逆電圧(VI)の電圧は第1基準電圧(VSS1)の電圧値より低く設定されるから第1駆動薄膜トランジスタ(T2)に逆バイアス電圧が印加される。換言すると、逆電圧(VI)の電圧が印加された第1駆動薄膜トランジスタ(T2)のゲート端子の電圧より第1基準電圧(VSS1)の電圧を供給受ける第1駆動薄膜トランジスタ(T2)のソース端子の電圧が高く設定される。このように、第1駆動薄膜トランジスタ(T2)のゲート端子で逆電圧(VI)が印加されると第1駆動薄膜トランジスタ(T2)に逆バイアス電圧が印加されて第1駆動薄膜トランジスタ(T2)が劣化されることを防止することができる。したがって、本発明では第1駆動薄膜トランジスタ(T2)のしきい電圧(Vth)が時間の経過に従って増加されることを防止することができるし、これによって安定した輝度の映像を表示することができる。

40

【0067】

第2セル駆動部48は第2ゲートライン(GL2)にゲート端子が、データライン(DL)にソース端子が、及び第2ノード(N2)にドレイン端子が接続された第2スイッチング薄膜トランジスタ(T3)と、第2ノード(N2)にゲート端子が、第1基準電圧(VSS1)にソース端子が、及びELセル(OEL)にドレイン端子が接続された第2駆動薄膜トランジスタ(T4)と、第2ノード(N2)と第2基準電圧(VSS2)の間に接続されたストレージキャパシタ(Cst)と

50

、逆電圧(VI)にソース端子が、第1ゲートライン(GL1)にゲート端子が、そして第2ノード(N2)にドレイン端子が接続された第2バイアス用スイッチ(SW2)とを具備する。

【0068】

第1基準電圧(VSS1)及び第2基準電圧(VSS2)の電圧値は供給電圧(VDD)の電圧値より低く、一般的に基底電圧(GND)以下に設定される。及び、第1基準電圧(VSS1)及び第2基準電圧(VSS2)の電圧値は同一または相異なるように設定される。

【0069】

第2スイッチング薄膜トランジスタ(T3)は第2ゲートライン(GL2)にスキャンパルスが供給される時、ターン-オンされてデータライン(DL)に供給されるデータ信号を第2ノード(N2)で供給する。第2ノード(N2)に供給されたデータ信号はストレージキャパシタ(Cst)に充電されることと同時に第2駆動薄膜トランジスタ(T4)のゲート端子に供給される。第2駆動薄膜トランジスタ(T4)はゲート端子に供給されるデータ信号にตอบสนองしてELセル(OEL)を經由して供給電圧源(VDD)から第1基準電圧(VSS1)に流れる電流量(I)を制御する。この時、ELセル(OEL)は電流量(I)に対応される光を生成する。及び、第2スイッチング薄膜トランジスタ(T3)がターン-オフされてもストレージキャパシタ(Cst)に充電されたデータ信号により第2駆動薄膜トランジスタ(T4)はオン状態を維持する。

【0070】

第2バイアス用スイッチ(SW2)は第1ゲートライン(GL1)にスキャンパルスが供給される時、ターン-オンされる。第2バイアス用スイッチ(SW2)がターン-オンされると逆電圧(VI)の電圧が第2ノード(N2)に印加される。ここで、逆電圧(VI)の電圧は第1基準電圧(VSS1)の電圧値より低く設定されるから第2駆動薄膜トランジスタ(T4)に逆バイアス電圧が印加される。言い換えて、逆電圧(VI)の電圧が印加された第2駆動薄膜トランジスタ(T4)のゲート端子の電圧より第1基準電圧(VSS)の電圧を供給受ける第2駆動薄膜トランジスタ(T4)のソース端子の電圧が高く設定される。このように、第2駆動薄膜トランジスタ(T2)のゲート端子で逆電圧(VI)が印加されると第2駆動薄膜トランジスタ(T4)に逆バイアス電圧が印加されて第2駆動薄膜トランジスタ(T4)が劣化されることを防止することができる。したがって、本発明では第2駆動薄膜トランジスタ(T4)のしきい電圧(Vth)が時間の経過に従って増加されることを防止することができるし、これによって安定した輝度の映像を表示することができる。

【0071】

図7はゲートドライバから第1及び第2ゲートラインに供給されるスキャンパルスを示す図面である。図7を図6を参照して本発明の実施例によるEL表示装置の動作過程を詳しく説明する事にする。

【0072】

先に、i番目のフレームの間に一番目乃至n(nは自然数)番目の第1ゲートライン(GL1)で順次スキャンパルスが供給される。第1ゲートライン(GL1)で順次スキャンパルスが供給されると画素50ごとに含まれた第1セル駆動部46の第1スイッチング薄膜トランジスタ(T1)がターン-オンされる。第1スイッチング薄膜トランジスタ(T1)がターン-オンされるとデータライン(DL)に供給されるデータ信号が第1ノード(N1)に印加される。この時、第1駆動薄膜トランジスタ(T2)はデータ信号に対応される光が生成されることが

【0073】

及び、第1ゲートライン(GL1)で順次スキャンパルスが供給されると画素50ごとに含まれた第2セル駆動部48の第2バイアス用スイッチ(SW2)がターン-オンされる。第2バイアス用スイッチ(SW2)がターン-オンされると逆電圧(VI)の電圧が第2駆動薄膜トランジスタ(T4)のゲート端子に供給される。ここで、第2駆動薄膜トランジスタ(T4)のソース端子には逆電圧(VI)より高い第1基準電圧(VSS1)が供給される。したがって、逆電圧(VI)が第2駆動薄膜トランジスタ(T4)のゲート端子に供給されると第2駆動薄膜トランジスタ(T4)に逆バイアス電圧が印加される。このような逆バイアス電圧は第2駆動薄膜トランジスタ(T4)が劣化されることを防止する。

## 【 0 0 7 4 】

$i$  番目のフレームにつながる  $i+1$  番目のフレームの間に一番目乃至  $n$  ( $n$ は自然数) 番目の第 2 ゲートライン (GL 2) で順次スキャンパルスが供給される。第 2 ゲートライン (GL 2) で順次スキャンパルスが供給されると画素 5 0 ごとに含まれた第 2 セル駆動部 4 8 の第 2 スwitching 薄膜トランジスタ (T 3) がターン-オンされる。第 2 スwitching 薄膜トランジスタ (T 3) がターン-オンされるとデータライン (DL) に供給されるデータ信号が第 2 ノード (N 2) に供給される。この時、第 2 駆動薄膜トランジスタ (T 4) はデータ信号に対応される光が生成されることができるように EL セル (OEL) に流れる電流 (I) を制御する。

## 【 0 0 7 5 】

及び、第 2 ゲートライン (GL 2) で順次スキャンパルスが供給されると画素 5 0 ごとに含まれた第 1 セル駆動部 4 6 の第 1 バイアス用スイッチ (SW 1) がターン-オンされる。第 1 バイアス用スイッチ (SW 1) がターン-オンされると逆電圧 (VI) の電圧が第 1 駆動薄膜トランジスタ (T 2) のゲート端子に供給される。この時、第 1 駆動薄膜トランジスタ (T 2) のソース端子の電位 (VSS 1) が第 1 駆動薄膜トランジスタ (T 2) のゲート端子の電位 (VI) より高く設定される。すなわち、第 2 ゲートライン (GL 2) でスキャンパルスが供給される時、第 1 駆動薄膜トランジスタ (T 2) に逆バイアス電圧が印加されて第 1 駆動薄膜トランジスタ (T 4) が劣化されることを防止する。

## 【 0 0 7 6 】

図 8 は本発明の他の実施例例によるエレクトロルミネセンス表示装置を示す図面である。図 8 を説明する時、図 5 と同一な機能をするブロックは同一な図面符号を割当すると同時に簡略に説明する事にする。

## 【 0 0 7 7 】

図 8 を参照すると、本発明の他の実施例例による EL 表示装置は水平ラインごとに形成される多数の第 1 ゲートライン (GL 1) 及び第 2 ゲートライン (GL 2) と、第 1 及び第 2 ゲートライン (GL 1, GL 2) と交差されるように形成されるデータライン (DL) と、第 1 ゲートライン (GL 1)、第 2 ゲートライン (GL 2) とデータライン (DL) の交差で定義された領域に配置される画素 6 0 を具備する EL パネル 4 0 と、第 1 ゲートライン (GL 1) 及び第 2 ゲートライン (GL 2) を駆動するためのゲートドライバ 4 2 と、データライン (DL) を駆動するためのデータドライバ 4 4 と、画素 6 0 で供給電圧 (VDD) 及び基準電圧 (VSS 1, VSS 2) を供給するための図示されない電圧部とを具備する。

## 【 0 0 7 8 】

電圧部は供給電圧 (VDD) 及び基準電圧 (VSS 1, VSS 2) を画素 6 0 で供給する。

## 【 0 0 7 9 】

ゲートドライバ 4 2 はフレーム別に交番されるようにスキャンパルスを第 1 ゲートライン (GL 1) 及び第 2 ゲートライン (GL 2) で供給する。例えば、ゲートドライバ 4 2 は図 7 のように  $i$  ( $i$ は奇数または偶数) 番目のフレームの間に第 1 ゲートライン (GL 1) に順次スキャンパルスを供給して、 $i+1$  番目のフレームの間に第 2 ゲートライン (GL 2) に順次スキャンパルスを供給する。

## 【 0 0 8 0 】

データドライバ 4 4 は外部 (タイミングコントローラ) から入力されたデジタルデータをアナログデータ信号に変換する。及び、データドライバ 4 4 はアナログデータ信号をスキャンパルスが供給される時の度にデータライン (DL) で供給する。

## 【 0 0 8 1 】

画素 6 0 のそれぞれは第 1 ゲートライン (GL 1) または第 2 ゲートライン (GL 2) でスキャンパルスが供給される時、データライン (DL) からデータ信号を供給受けて、EL セル (OEL) から供給受けたデータ信号に対応される光が発生されるように制御する。及び、画素 6 0 のそれぞれは  $j$  ( $j$ は自然数) 番目の第 1 ゲートライン (GL 1  $j$ ) または第 2 ゲートライン (GL 2  $j$ ) でスキャンパルスが供給される時、 $j-1$  番目の第 1 及び第 2 ゲートライン (GL 1  $j-1$ , GL 2  $j-1$ ) 中からいずれか一つからターン-オフ電圧を供給受ける。このような画素 6 0 のそれぞれは第 1 セル駆動部 6 2 及び第 2 セル駆動部 6 4 を具備する。

10

20

30

40

50

## 【 0 0 8 2 】

j番目の水平ラインに位置された第1セル駆動部62はj番目の第1ゲートライン(GL1j)でスキャンパルスが供給される時、データライン(DL)からデータ信号を供給受けて、供給受けたデータ信号に対応される光がELセル(OEL)から発生されるように制御する。及び、第1セル駆動部62はj番目の第2ゲートライン(GL2j)でスキャンパルスが供給される時、j-1番目の第1ゲートライン(GL1j-1)及びj-1番目の第2ゲートライン(GL2j-1)中からいずれか一つからターン-オフ電圧を供給受けて自分に含まれた駆動薄膜トランジスタに逆バイアス電圧を印加する。

## 【 0 0 8 3 】

j番目の水平ラインに位置された第2セル駆動部64はj番目の第2ゲートライン(GL2j)でスキャンパルスが供給される時、データライン(DL)からデータ信号を供給受けて、供給受けたデータ信号に対応される光がELセル(OEL)から発生されるように制御する。及び、第2セル駆動部64はj番目の第1ゲートライン(GL1j)でスキャンパルスが供給される時、j-1番目の第1ゲートライン(GL1j-1)及びj-1番目の第2ゲートライン(GL2j-1)中からいずれか一つからターン-オフ電圧を供給受けて自分に含まれた駆動薄膜トランジスタに逆バイアス電圧を印加する。

## 【 0 0 8 4 】

図9は第1セル駆動部及び第2セル駆動部の詳細な構成を含んだ画素を示す図面である。ここで、第1セル駆動部62及び第2セル駆動部64の構成は一つの実施例として実際では多様に構成されることができ、以後、第1セル駆動部62及び第2セル駆動部64がj番目の水平ラインに位置されると仮定して説明する事にする。

## 【 0 0 8 5 】

図9を参照すると、本発明の画素60は供給電圧源(VDD)に陽極が接続されたELセル(OEL)と、ELセル(OEL)の陰極に接続されることと同時にj番目の第1ゲートライン(GL1j)、j番目の第2ゲートライン(GL2j)、データライン(DL)、基準電圧(VSS1, VSS2)、及びj-1番目の第1ゲートライン(GL1j-1)またはj-1番目の第2ゲートライン(GL2j-1)に接続された第1セル駆動部62及び第2セル駆動部64を具備する。(図9ではj-1番目の第1ゲートライン(GL1j-1)に接続されたことで図示した)

## 【 0 0 8 6 】

第1セル駆動部62はj番目の第1ゲートライン(GL1)にゲート端子が、データライン(DL)にソース端子が、及び第1ノード(N1)にドレイン端子が接続された第1スイッチング薄膜トランジスタ(T1)と、第1ノード(N1)にゲート端子が、第1基準電圧(VSS1)にソース端子が、及びELセル(OEL)にドレイン端子が接続された第1駆動薄膜トランジスタ(T2)と、第1ノード(N1)と第2基準電圧(VSS2)の間に接続されたストレージキャパシタ(Cst)と、j-1番目の第1ゲートライン(GL1j-1)(またはj-1番目の第2ゲートライン(GL2j-1))にソース端子が、j番目の第2ゲートライン(GL2j)にゲート端子が、及び第1ノード(N1)にドレイン端子が接続された第1バイアス用スイッチ(SW1)とを具備する。

## 【 0 0 8 7 】

第1スイッチング薄膜トランジスタ(T1)はj番目の第1ゲートライン(GL1j)にスキャンパルスが供給される時、ターン-オンされてデータライン(DL)に供給されるデータ信号を第1ノード(N1)で供給する。第1ノード(N1)に供給されたデータ信号はストレージキャパシタ(Cst)に充電されることと同時に第1駆動薄膜トランジスタ(T2)のゲート端子に供給される。第1駆動薄膜トランジスタ(T2)はゲート端子に供給されるデータ信号にตอบสนองしてELセル(OEL)を経由して供給電圧源(VDD)から第1基準電圧(VSS1)に流れる電流量(I)を制御する。この時、ELセル(OEL)は電流量(I)に対応される光を生成する。そして、第1スイッチング薄膜トランジスタ(T1)がターン-オフされてもストレージキャパシタ(Cst)に充電されたデータ信号により第1駆動薄膜トランジスタ(T2)はオン状態を維持する。

## 【 0 0 8 8 】

第1バイアス用スイッチ(SW1)はj番目の第2ゲートライン(GL2j)にスキャンパルスが供給される時、ターン-オンされる。第1バイアス用スイッチ(SW1)がターン-オンされ

10

20

30

40

50

ると  $j-1$  番目の第 1 ゲートライン (GL 1  $j-1$ ) (または  $j-1$  番目の第 2 ゲートライン (GL 2  $j-1$ ) ) に供給されるターン-オフ電圧が第 1 ノード (N 1) に印加される。ここで、ターン-オフ電圧は図 7 に図示したように負極性の電圧 (例えば、 $-5V$ ) に設定される。そして、第 1 及び第 2 基準電圧 (VSS 1, VSS 2) の電圧はターン-オフ電圧より高く設定される。

【 0 0 8 9 】

したがって、ターン-オフ電圧が第 1 駆動薄膜トランジスタ (T 2) のゲート端子に供給されると第 1 駆動薄膜トランジスタ (T 2) に逆バイアス電圧が印加される。言い換えて、第 1 駆動薄膜トランジスタ (T 2) のゲート端子の電位 (ターン-オフ電圧) が第 1 駆動薄膜トランジスタ (T 2) のソース端子の電位より低く設定される。このように第 1 駆動薄膜トランジスタ (T 2) に逆バイアス電圧が印加されると第 1 駆動薄膜トランジスタ (T 2) が劣化されることを防止することができる。従って、本発明の他の実施例では第 1 駆動薄膜トランジスタ (T 2) のしきい電圧 ( $V_{th}$ ) が時間の経過に従って増加されることを防止することができるし、これによって安定した輝度の映像を表示することができる。

10

【 0 0 9 0 】

第 2 セル駆動部 6 4 は  $j$  番目の第 2 ゲートライン (GL 2  $j$ ) にゲート端子が、データライン (DL) にソース端子が、及び第 2 ノード (N 2) にドレイン端子が接続された第 2 スwitching 薄膜トランジスタ (T 3) と、第 2 ノード (N 2) にゲート端子が、第 1 基準電圧 (VSS 1) にソース端子が、及び EL セル (OEL) にドレイン端子が接続された第 2 駆動薄膜トランジスタ (T 4) と、第 2 ノード (N 2) と第 2 基準電圧 (VSS 2) の間に接続されたストレージキャパシタ (Cst) と、 $j-1$  番目の第 1 ゲートライン (GL 1  $j-1$ ) (または  $j-1$  番目の第 2 ゲートライン (GL 2  $j-1$ ) ) にソース端子が、 $j$  番目の第 1 ゲートライン (GL 1  $j$ ) にゲート端子が、及び第 2 ノード (N 2) にドレイン端子が接続された第 2 バイアス用スイッチ (SW 2) とを具備する。

20

【 0 0 9 1 】

第 2 スwitching 薄膜トランジスタ (T 3) は  $j$  番目の第 2 ゲートライン (GL 2  $j$ ) にスキャンパルスが供給される時、ターン-オンされてデータライン (DL) に供給されるデータ信号を第 2 ノード (N 2) で供給する。第 2 ノード (N 2) に供給されたデータ信号はストレージキャパシタ (Cst) に充電されることと同時に第 2 駆動薄膜トランジスタ (T 4) のゲート端子に供給される。第 2 駆動薄膜トランジスタ (T 4) はゲート端子に供給されるデータ信号にตอบสนองして EL セル (OEL) を経由して供給電圧源 (VDD) から第 1 基準電圧 (VSS 1) に流れる電流量 ( $I$ ) を制御する。この時、EL セル (OEL) は電流量 ( $I$ ) に対応される光を生成する。及び、第 2 スwitching 薄膜トランジスタ (T 3) がターン-オフされてもストレージキャパシタ (Cst) に充電されたデータ信号により第 2 駆動薄膜トランジスタ (T 4) はオン状態を維持する。

30

【 0 0 9 2 】

第 2 バイアス用スイッチ (SW 2) は  $j$  番目の第 1 ゲートライン (GL 1  $j$ ) にスキャンパルスが供給される時、ターン-オンされる。第 2 バイアス用スイッチ (SW 2) がターン-オンされると  $j-1$  番目の第 1 ゲートライン (GL 1  $j-1$ ) (または  $j-1$  番目の第 2 ゲートライン (GL 2  $j-1$ ) ) に供給されるターン-オフ電圧が第 2 ノード (N 2) に印加される。ここで、ターン-オフ電圧は図 7 に図示したように負極性の電圧 (例えば、 $-5V$ ) に設定される。及び、第 1 及び第 2 基準電圧 (VSS 1, VSS 2) の電圧はターン-オフ電圧より高く設定される。

40

【 0 0 9 3 】

したがって、ターン-オフ電圧が第 2 駆動薄膜トランジスタ (T 4) のゲート端子に供給されると第 2 駆動薄膜トランジスタ (T 4) に逆バイアス電圧が印加される。言い換えて、第 2 駆動薄膜トランジスタ (T 4) のゲート端子の電位 (ターン-オフ電圧) が第 2 駆動薄膜トランジスタ (T 4) のソース端子の電位より低く設定される。このように第 2 駆動薄膜トランジスタ (T 4) に逆バイアス電圧が印加されると第 2 駆動薄膜トランジスタ (T 4) が劣化されることを防止することができる。したがって、本発明の他の実施例では第 2 駆動薄膜トランジスタ (T 4) のしきい電圧 ( $V_{th}$ ) が時間の経過に従って増加されることを防止することができるし、これによって安定した輝度の映像を表示することができる。

【 0 0 9 4 】

50

一方、本発明の図5及び図8に図示された本発明の実施例ではELセル(OEL)を駆動するために画素ごとに2個のセル駆動部を具備するから開口率の低くなる問題点が発生されることができる。

【0095】

これを詳しく説明すると、一般的なEL表示装置は図10Aのように光を発生するELが形成される第1基板80と、ELを駆動するためのセル駆動部が形成された第2基板82とを具備する。ここで、一般的に第1基板80から生成された光は第2基板82を經由して観察者に供給される。したがって、第2基板82に形成されたスイッチング素子の数が増加するほど第2基板82で遮られる光の量が増加されて、これによって開口率の低くなる問題点が発生される。

10

【0096】

このような問題点を克服するために現在には図10Bのように第1基板80方へ光を放出する発明が提案されて利用されている。これを詳しく説明すると、第2基板82に形成されたスイッチング素子は第1基板80に形成されたELを制御して所定の光が放出されるように制御する。それでは、第1基板80で生成された光は第2基板82と反対方向に放出される。(すなわち、第2基板82を經由しない)

【0097】

実際に、第1基板80に光を放出されると第2基板82に形成されたスイッチング素子の数とかかわらず高い開口率を確保することができる。したがって、図5及び図8に図示された本発明の実施例を図10Bのような発明に適用すると開口率の問題なしに安定した輝度を確保することができる。及び、本発明の実施例で薄膜トランジスタ(T1乃至T4)及びバイアス用スイッチ(SW1, SW2)はパネルの条件等に対応して多様な材料に形成されることができる。例えば、薄膜トランジスタ(T1乃至T4)及びバイアス用スイッチ(SW1, SW2)は非晶質シリコン(a-Si)及びポーリシリコン(p-Si)などに形成されることができる。

20

【0098】

上述したところのように、本発明に係るエレクトロルミネセンス表示装置とその駆動方法によると画素ごとにELセルを駆動するための第1及び第2セル駆動部を設置する。及び、第1及び第2セル駆動部は互いに交互に駆動されながらELセルに流れる電流を制御する。ここで、特定セル駆動部が駆動される時、他の一つのセル駆動部の駆動薄膜トランジスタには逆バイアス電圧が供給されて駆動薄膜トランジスタが劣化されることを防止する。すなわち、本発明では駆動薄膜トランジスタが劣化されることを防止して安定した輝度の映像を表示することができる。

30

【0099】

以上説明した内容を通じて当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正ができる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるのではなく特許請求の範囲により決められなければならない。

【図面の簡単な説明】

【0100】

【図1】従来のエレクトロルミネセンス表示装置を示す図面。

【図2】図1に図示されたエレクトロルミネセンス表示装置の画素を示す図面。

40

【図3A】非晶質シリコンの原子配列を示す図面。

【図3B】非晶質シリコンの原子配列を示す図面。

【図4】図2に図示された駆動薄膜トランジスタの劣化に係るしきい電圧の移動を示す図面。

【図5】本発明の実施例によるエレクトロルミネセンス表示装置を示す図面。

【図6】図5に図示されたエレクトロルミネセンス表示装置の画素を示す図面。

【図7】図5に図示されたゲートドライバから供給されるスキャンパルスを示す波形図。

【図8】本発明の他の実施例によるエレクトロルミネセンス表示装置を示す図面。

【図9】図8に図示されたエレクトロルミネセンス表示装置の画素を示す図面。

【図10A】基板で光が放出される過程を示す図面。

50

【図10B】基板で光が放出される過程を示す図面。

【符号の説明】

【0101】

20、40:ELパネル

22、42:ゲートドライバ

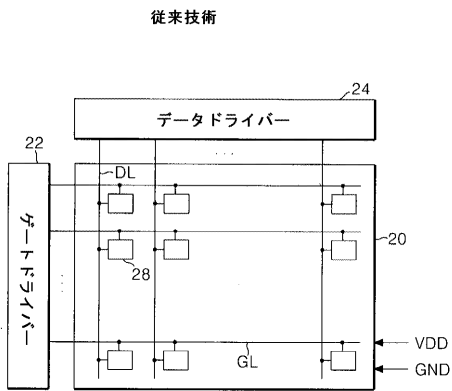
24、44:データドライバ

28、50、60:画素

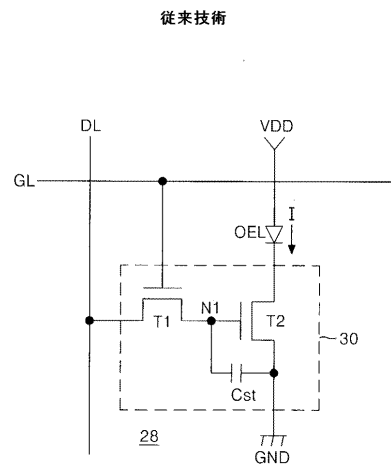
30、46、48、62、64:セル駆動部

80、82:基板

【図1】

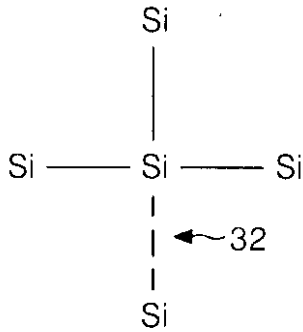


【図2】



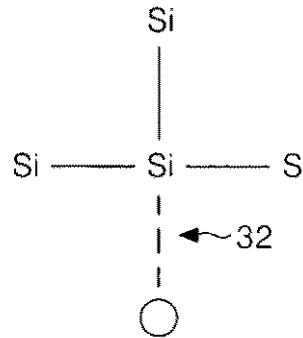
【図3A】

従来技術



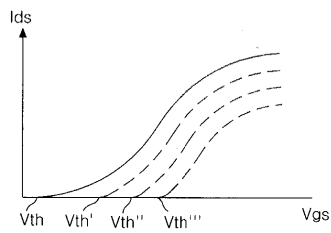
【図3B】

従来技術

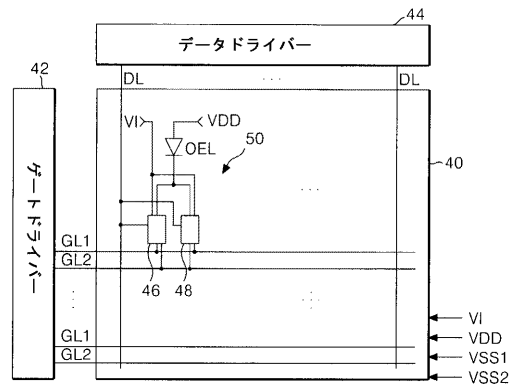


【図4】

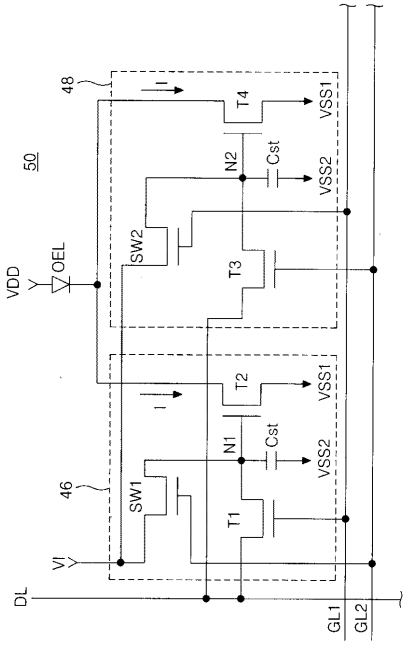
従来技術



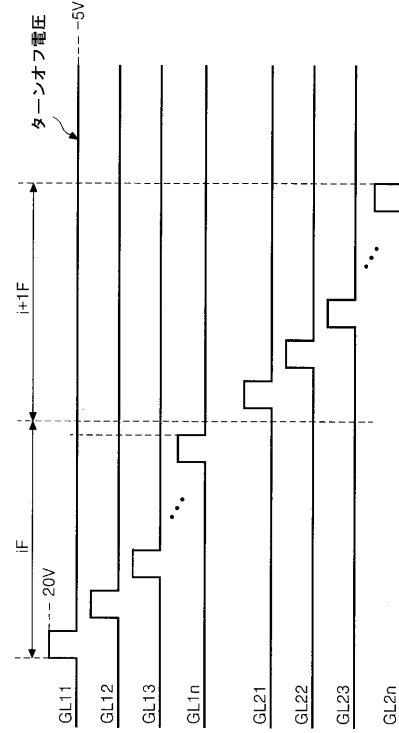
【図5】



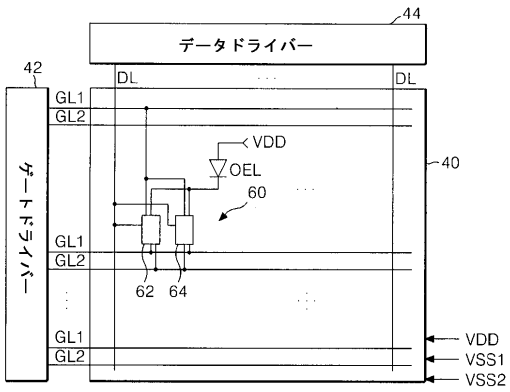
【図6】



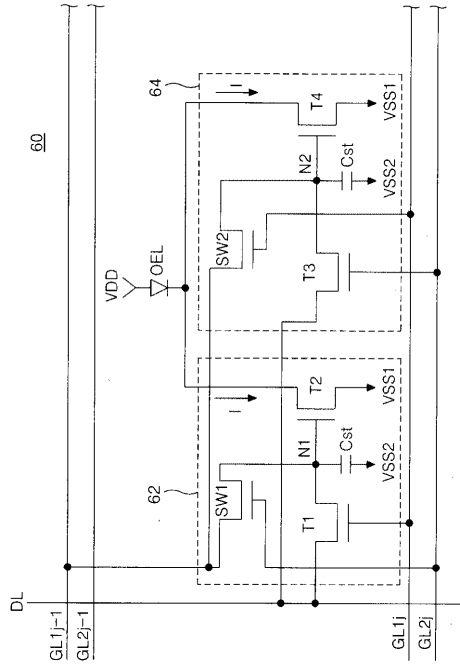
【図7】



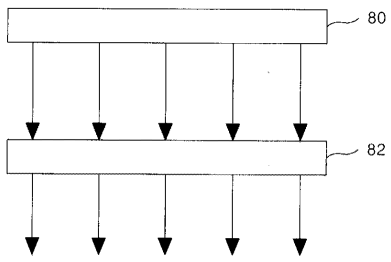
【図8】



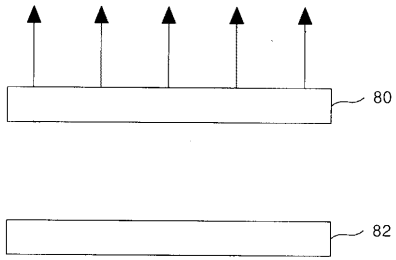
【図9】



【 10 A】



【 10 B】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 7 0 J  
H 0 5 B 33/14 A

(72)発明者 李 漢 相  
大韓民国 京畿道 儀旺市 五全洞 230 スンウォン 1次 梨花 アパート 106-19  
02号

審査官 小川 浩史

(56)参考文献 特開2005-156705(JP,A)  
国際公開第2005/034072(WO,A1)  
米国特許第6677713(US,B1)  
特開平11-219146(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 2 0 - 3 / 3 8  
H 0 1 L 5 1 / 5 0

专利名称(译)	电致发光显示装置		
公开(公告)号	<a href="#">JP4504803B2</a>	公开(公告)日	2010-07-14
申请号	JP2004380687	申请日	2004-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司, 有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	李 漢 相		
发明人	李 漢 相		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/10 G09G3/32 H05B33/14		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0852 G09G2310/0254 G09G2310/0262 G09G2320/043		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.621.B G09G3/20.624.B G09G3/20.641.D G09G3/20.670.J H05B33/14.A G09G3/20.670.K G09G3/3233 G09G3/3266 G09G3/3291		
F-TERM分类号	3K007/AB02 3K007/AB11 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC21 3K107/EE04 3K107/HH01 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB09 5C380/AB11 5C380/AB22 5C380/AB23 5C380/BA39 5C380/BD08 5C380/BD10 5C380/CA12 5C380/CB06 5C380/CB31 5C380/CC03 5C380/CC26 5C380/CC33 5C380/CC45 5C380/CC61 5C380/CC63 5C380/CD012 5C380/CD026 5C380/CE04 5C380/DA02 5C380/DA06 5C380/DA35		
代理人(译)	朝日 伸光		
审查员(译)	小川博		
优先权	1020040020349 2004-03-25 KR		
其他公开文献	JP2005275370A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种电致发光显示装置及其驱动方法，其通过防止为每个像素形成的驱动薄膜晶体管的阈值电压增加来改善图像质量。解决方案：电致发光显示装置包括电致发光面板，该电致发光面板在由数据线与第一和第二栅极线之间的交叉点限定的像素区域处具有多个像素；每个像素包括连接以接收电源电压的电致发光单元，以及用于交替控制流入电致发光单元的电流的第一单元驱动器和第二单元驱动器。 Z

