

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4386128号
(P4386128)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月9日(2009.10.9)

(51) Int.Cl. F I
H05B 33/26 (2006.01) H05B 33/26 Z
H01L 51/50 (2006.01) H05B 33/14 A

請求項の数 5 (全 16 頁)

(21) 出願番号	特願2007-296572 (P2007-296572)	(73) 特許権者	000002185
(22) 出願日	平成19年11月15日(2007.11.15)		ソニー株式会社
(65) 公開番号	特開2009-123538 (P2009-123538A)		東京都港区港南1丁目7番1号
(43) 公開日	平成21年6月4日(2009.6.4)	(74) 代理人	100094053
審査請求日	平成21年1月9日(2009.1.9)		弁理士 佐藤 隆久
		(72) 発明者	佐川 裕志
			東京都港区港南1丁目7番1号 ソニー株式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株式会社内
		審査官	渡邊 勇

最終頁に続く

(54) 【発明の名称】 有機電界発光表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の信号線と複数の走査線の各交差箇所にそれぞれ配置され、それぞれが有機電界発光(有機EL)素子を含み、画素ごとに設けられる複数の画素回路と、

前記有機EL素子に電界を印加する2つの電極の一方と電氣的に接続され、前記複数の画素回路の配置領域を囲んでリング状に配置される電源補助環状線と、

前記複数の信号線、前記複数の走査線の少なくとも一方と前記電源補助環状線とが交差する複数の交差箇所の間において前記電源補助環状線の下層に形成され、近接する前記信号線または前記走査線と絶縁分離された複数のダミー配線と、

を有する有機電界発光表示装置。

10

【請求項2】

前記複数のダミー配線の各々は、前記電源補助環状線の配線方向における、少なくとも2箇所で、上層の前記電源補助環状線に電氣的に接続され、前記電源補助環状線の裏打ち配線となっている

請求項1に記載の有機電界発光表示装置。

【請求項3】

前記複数の画素回路それぞれに、前記有機EL素子より下層の薄膜半導体層とゲート電極層に形成された薄膜トランジスタ(TFT)を所定数含み、

前記交差箇所の前記複数の信号線または前記複数の走査線、ならびに、前記複数のダミー配線は、前記薄膜半導体層と前記ゲート電極層との各形成時に積層される少なくとも2

20

つの導電層を含んで構成される

請求項 1 に記載の有機電界発光表示装置。

【請求項 4】

前記有機 E L 素子が、下層電極と、有機多層膜と、上層電極とを積層して形成され、前記下層電極と同一階層の配線層から形成され、各画素回路の周囲を囲み、前記上層電極と電氣的に接続される格子状の電源補助格子線を有し、

前記電源補助格子線と前記電源補助環状線が同一階層の配線層により形成され、

前記複数の信号線または前記複数の走査線は、その各端部が、より下層で前記ダミー配線と同一階層のブリッジ線に接続されて延長され、

前記電源補助環状線は、複数の前記ブリッジ線それぞれに対し、絶縁膜を介して交差する

10

請求項 1 に記載の有機電界発光表示装置。

【請求項 5】

前記複数の画素回路それぞれに、前記有機 E L 素子より下層の薄膜半導体層とゲート電極層に形成された薄膜トランジスタ (T F T) を所定数含み、

前記複数のブリッジ線および前記複数のダミー配線は、前記薄膜半導体層と前記ゲート電極層との各形成時に積層される少なくとも 2 つの導電層を含んで構成される

請求項 4 に記載の有機電界発光表示装置。

【発明の詳細な説明】

【技術分野】

20

【 0 0 0 1】

本発明は、2つの電極間に電界を印加して電極間の有機多層膜に電流を流し自発光させる有機電界発光 (E L) 素子を画素ごとに有する有機 E L 表示装置に関する。

【背景技術】

【 0 0 0 2】

有機 E L 表示装置 (有機 E L ディスプレイ) は、複数の画素回路をマトリクス状に配置する表示部と、その駆動部とを、1枚の基板に、T F T (thin film transistor) の形成プロセスを含む半導体技術を用いて形成した表示パネルを有する。あるいは、表示パネルの駆動回路はフレキシブル基板により提供され、両者の電氣的接続を行う。

【 0 0 0 3】

30

有機 E L ディスプレイの画素回路は、画素回路内の T F T の特性バラツキに起因する画質低下を防止するために、様々なものが提案されている。

主なものでは、4 トランジスタ (4 T) ・ 1 キャパシタ (1 C) 型、4 T ・ 2 C 型、5 T ・ 1 C 型、3 T ・ 1 C 型、などが知られている。

【 0 0 0 4】

上記何れのタイプの画素回路も、有機 E L 素子に流れる電流を一定に制御する補正回路を内蔵し、これにより有機 E L 素子の一方電極の電位が特性バラツキに応じて制御される。これに対し他方電極には共通電位、例えば接地電圧が画素部の複数の画素に共通に与えられる。

【 0 0 0 5】

40

したがって、一方電極の電位はある程度補正されるが、他方電極の電位 (接地電圧等) は補正されないため、この他方電極の電位が画素部内ではばらつくと、シェーディング、クロストークと称される画質の低下が発生する。

ここでシェーディングやクロストークは、一般に、有機 E L 素子にプラス側電源を供給する電源線の電圧降下で発生することが問題視されることが多いが、マイナス側電源の上記接地電圧等のバラツキによっても、それらの画質低下が発生する。

【 0 0 0 6】

シェーディングは、画素部の表示行 (水平方向の画素の並び) において、電源の供給側に近い画素と遠い画素で、徐々に画素 (具体的には有機 E L 素子) の輝度差が変化する現象であり、接地電圧等の共通電位が、電源に遠くなるほど徐々に上昇するような不均一性

50

をもつと、シェーディングがより増強されて表示画像に現れる。

【 0 0 0 7 】

一方、シェーディングが生じない場合でも、電源から遠い側で隣接する行の隣接する注目2画素が同じ輝度を表示しようとしても、上記注目2画素の各々の画素が属する隣接画素行において、電源から注目画素までに駆動電流の消費量が異なると、当該消費量が多い画素行の注目画素が、消費量が少ない行の注目画素より暗く表示される現象（クロストーク）が生じることがある。クロストークが生じる場合、接地電圧等の共通電位が、電源に遠くなるほど徐々に上昇するような不均一性をもつと、クロストークがより増強されて表示画像に現れる。

【 0 0 0 8 】

このようなシェーディングやクロストークなどの表示ムラを防止するために、有機EL素子の共通電極、例えば上部電極より低抵抗な補助配線を設けることが提案されている（例えば、特許文献1～3参照）。

【 0 0 0 9 】

特許文献1～3には、画素の境界付近に形成され、画素開口部の周囲を囲む格子状配置の補助配線が開示されている。以下、このような格子状配置の補助配線を特に「電源補助格子線」と称する。

また、特許文献2には、電源補助格子線と電氣的に接続され、画素配置領域の周囲を囲むリング状の他の補助配線（特許文献2では「第2電極電源線」と称する）を設けている。このリング状配置の補助配線を、以下、「電源補助環状線」と称する。

【特許文献1】特開2001-195008号公報

【特許文献2】特開2002-318553号公報

【特許文献3】特開2004-207217号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

上記電源補助環状線は画素部の周囲を囲むため、画素部から駆動部に接続され表示階調を決める映像信号を供給する信号線や走査線（一般には水平方向の表示行選択線）と電源補助環状線が交差する。一般には、信号線や走査線の上を、絶縁膜を介して電源補助環状線が直交する交差構造となる。

【 0 0 1 1 】

ここで、画素部から駆動部に接続される、いわゆる信号源（駆動部）に近い根元の部分では、信号線や走査線の配線抵抗を小さくするため複数の配線層が重ねられていることが多い。よって、一般には、画素部から駆動部に接続される根元部分の信号線や走査線と交差する際に、電源補助環状線が乗り越える段差が比較的大きく、これにより電源補助環状線の一部が高抵抗になり、あるいは「段切れ」が生じることがある。

【 0 0 1 2 】

また、電源補助環状線の上層には、例えば100度以下の低温CVDにより形成されるEL保護膜が形成されるが、段差部分でEL保護膜に「巣(air hole)」が形成され、その部分から湿気や異物等による汚染が拡大し、これが画素部にまで影響する懸念も否定できない。

【 0 0 1 3 】

本発明は、電源補助環状線と信号線や走査線との交差箇所、電源補助環状線の「段切れ」や汚染の原因となる「巣」の発生を防止するものである。

【課題を解決するための手段】

【 0 0 1 4 】

本発明の一形態（第1形態）に関する有機電界発光表示装置は、複数の信号線、複数の走査線、複数の画素回路、電源補助環状線、および、複数のダミー配線を有する。

前記複数の画素回路は、前記複数の信号線と前記複数の走査線の各交差箇所にそれぞれ配置され、それぞれが有機電界発光（有機EL）素子を含み、画素ごとに設けられている

10

20

30

40

50

前記電源補助環状線は、前記有機EL素子に電界を印加する2つの電極の一方と電氣的に接続され、前記複数の画素回路の配置領域を囲んでリング状に配置されている。

前記複数のダミー配線は、前記複数の信号線、前記複数の走査線の少なくとも一方と前記電源補助環状線とが交差する複数の交差箇所の間において前記電源補助環状線の下層に形成され、近接する前記信号線または前記走査線と絶縁分離されている。

【0015】

本発明の他の形態（第2形態）に関する有機電界発光表示装置は、上記第1形態の特徴に加え、前記複数のダミー配線の各々は、前記電源補助環状線の配線方向における、少なくとも2箇所、上層の前記電源補助環状線に電氣的に接続され、前記電源補助環状線の裏打ち配線となっている。

10

【0016】

本発明の他の形態（第3形態）に関する有機電界発光表示装置は、上記第1形態の特徴に加え、前記複数の画素回路それぞれに、前記有機EL素子より下層の薄膜半導体層とゲート電極層に形成された薄膜トランジスタ（TFT）を所定数含み、前記交差箇所の前記複数の信号線または前記複数の走査線、ならびに、前記複数のダミー配線は、前記薄膜半導体層と前記ゲート電極層との各形成時に積層される少なくとも2つの導電層を含んで構成される。

【0017】

本発明の他の形態（第4形態）に関する有機電界発光表示装置は、上記第1形態の特徴に加え、前記有機EL素子が、下層電極と、有機多層膜と、上層電極とを積層して形成され、前記下層電極と同一階層の配線層から形成され、各画素回路の周囲を囲み、前記上層電極と電氣的に接続される格子状の電源補助格子線を有し、前記電源補助格子線と前記電源補助環状線が同一階層の配線層により形成され、前記複数の信号線または前記複数の走査線は、その各端部が、より下層で前記ダミー配線と同一階層のブリッジ線に接続されて延長され、前記電源補助環状線は、複数の前記ブリッジ線それぞれに対し、絶縁膜を介して交差している。

20

第4形態では、好適に、前記複数の画素回路それぞれに、前記有機EL素子より下層の薄膜半導体層とゲート電極層に形成された薄膜トランジスタ（TFT）を所定数含み、前記複数のブリッジ線および前記複数のダミー配線は、前記薄膜半導体層と前記ゲート電極層との各形成時に積層される少なくとも2つの導電層を含んで構成されている。

30

【0018】

前述した第1形態によれば、複数のダミー配線が、電源補助環状線の下層に形成されている。複数のダミー配線は、電源補助環状線が、複数の信号線、複数の走査線の少なくとも一方と交差する交差箇所間に、信号線や走査線と絶縁分離して形成されている。このため、電源補助環状線を形成する際に、その形成面の段差がダミー配線によって緩和され、より平坦化されている。したがって、電源補助環状線に「段切れ」が生じにくく、また「巣」の発生も防止される。

【0019】

前述した第2形態によれば、配線材料からなるダミー配線が、上層の電源補助環状線と少なくとも2箇所、接続されている。このため、電源補助環状線部分に電位伝送のバイパス路が形成され、この部分の配線抵抗が低減されている。また、この部分の電源補助環状線が何らかの原因で高抵抗となり、あるいは、断線した場合、ダミー配線が電源補助環状線の代替線として機能する冗長性が発揮される。

40

【0020】

前述した第3形態によれば、交差箇所の複数の信号線または複数の走査線、ならびに、複数のダミー配線は、TFTを構成する薄膜半導体層とゲート電極層との各形成時に積層される少なくとも2つの導電層を含んで構成される。このため、信号線または走査線と、ダミー配線が同一階層で同一高さに形成でき、これにより段差の緩和（平坦性）がより高いものとなる。

50

【0021】

前述した第4形態によれば、有機EL素子の下層電極と、電源補助環状線と、電源補助格子線(の主部)とが同一階層の配線層により形成されている。そして複数の信号線または複数の制御線は、その各端部が、より下層でダミー配線と同一階層のブリッジ線として形成され、延長されている。このブリッジ線に対して、電源補助環状線が絶縁膜を介して交差している。したがって、電源補助に関する配線層は1層で、これに有機EL素子の上層電極層と、TFTのゲート電極や薄膜半導体層といった幾つかの導電層が加わった簡素な(導電)層構造により有機電界発光表示装置が形成されている。

【発明の効果】

【0022】

本発明によれば、電源補助環状線と信号線や走査線との交差箇所で、電源補助環状線の「段切れ」や汚染の原因となる「巣」の発生を有効に防止することができる。このため、表示ムラを防止し、不良率が低く、かつ、信頼性が高い有機電界発光表示装置を提供することが可能である。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施形態を、電源補助環状線と電源補助格子線の両方を備える有機ELディスプレイを例として図面を参照して説明する。

【0024】

《第1実施形態》

<全体構成>

図1に、本発明の実施形態に関わる有機ELディスプレイの主要構成を示す。

図解する有機ELディスプレイ1は、複数の画素回路3(i,j)がマトリクス状に配置されている画素アレイ2と、画素アレイ2を駆動する駆動回路とを有する。画素アレイ2の大きさは、「画素配置領域」を規定する。

駆動回路は、垂直駆動回路(Vスキヤナ)4と、水平駆動回路(Hスキヤナ:H.Scan)5を含む。

Vスキヤナ4は、画素回路3の構成により複数設けられている。ここではVスキヤナ4が、水平画素ライン駆動回路(Drive Scan)41と、書き込み信号走査回路(Write Scan)42とを含んで構成されている。

【0025】

図1に示す画素回路の符号「3(i,j)」は、当該画素回路が垂直方向(縦方向)のアドレスi(i=1,2)と、水平方向(横方向)のアドレスj(j=1,2,3)を持つことを意味する。これらのアドレスiとjは最大値をそれぞれ「n」と「m」とする1以上の整数をとる。ここでは図の簡略化のためi=1~2、j=1~3の一部分の画素アレイ2のみ示す。

このアドレス表記は、以後の説明や図面において画素回路の素子、信号や信号線ならびに電圧等についても同様に適用する。

【0026】

画素回路3(1,1)、3(2,1)が共通な垂直方向の第1信号線SIG(1)に接続されている。同様に、画素回路3(1,2)、3(2,2)が共通な垂直方向の第2信号線SIG(2)に接続され、画素回路3(1,3)、3(2,3)が共通な垂直方向の第3信号線SIG(2)に接続されている。

第1行の画素回路3(1,1)、3(1,2)および3(1,3)に対し、共通の第1走査線SCAN1(1)によって、水平画素ライン駆動回路41から第1スキャン信号(第1表示行の駆動信号)が印加可能となっている。同様に、第2行の画素回路3(2,1)、3(2,2)および3(2,3)に対し、共通の第1走査線SCAN1(2)によって、水平画素ライン駆動回路41から第1スキャン信号(第2表示行の駆動信号)が印加可能となっている。

また、第1行の画素回路3(1,1)、3(1,2)および3(1,3)に対し、共通の他の第2走査線SCAN2(1)によって、書き込み信号走査回路42から第2スキャン信号(第1表示行のサンプリング信号)が印加可能となっている。同様に、第2行の画素回路3(2,1)、

10

20

30

40

50

3 (2,2)および3 (2,3)に対し、共通の他の第2走査線SCAN2 (2)によって、書き込み信号走査回路42から第2スキャン信号(第2表示行のサンプリング信号)が印加可能となっている。

【0027】

画素アレイ2の周囲に、画素アレイ2を囲むリング状の電源補助環状線6が配置されている。

また、画素アレイ2内には、各画素回路3(i,j)の周囲をそれぞれ囲む格子状の電源補助格子線7が配置されている。

電源補助環状線6に共通電位、例えば接地電圧が印加可能になっている。一方、画素アレイ2から外側に向かう電源補助格子線7の各先端が、電源補助環状線6に接続されている。よって、電源補助環状線6および電源補助格子線7は、理想的には、共通電位(接地電圧等)で保持される。

【0028】

<画素回路>

図2に、画素回路3(i,j)の一構成例を示す。

図解する画素回路3(i,j)は、発光素子としての有機発光ダイオードOLEDを制御する回路である。画素回路は、有機発光ダイオードOLEDの他に、NMOSタイプのTFTからなる駆動トランジスタMdおよびサンプリングトランジスタMsと、1つの保持キャパシタCsとを有する。

【0029】

有機発光ダイオードOLEDは、特に図示しないが、例えば、透明ガラス等からなる基板の上に、「下層電極」としてのアノード電極を形成し、その上に、正孔輸送層、発光層、電子輸送層、電子注入層等を順次堆積させて有機多層膜を構成する積層体を形成し、この積層体の上に、「上層電極」としてのカソード電極を形成した構造を有する。アノード電極が正側の電源に接続され、カソード電極が負側の電源に接続される。

なお、図2では有機発光ダイオードOLEDのアノードが正側の電源から電源電圧VDDの供給を受け、有機発光ダイオードOLEDのカソードが基準電圧VSS、例えば接地電圧GNDに接続される場合を示す。ただし、有機発光ダイオードOLEDを逆バイアスする必要があるときは、基準電圧VSSが接地電圧GNDより低い電圧に制御される。

【0030】

有機発光ダイオードOLEDのアノードとカソードの電極間に所定の電界が得られるバイアス電圧を印加すると、注入された電子と正孔が発光層において再結合する際に自発光する。有機発光ダイオードOLEDは、有機多層膜を構成する有機材料を適宜選択することで赤(R)、緑(G)、青(B)の各色での発光が可能であることから、この有機材料を、例えば各行の画素にR、G、Bの発光が可能に配列することで、カラー表示が可能となる。あるいは、白色発光の有機材料を用いて、フィルタの色でR、G、Bの区別を行ってもよい。R、G、Bの他にW(ホワイト)を加えた4色構成でもよい。

【0031】

駆動トランジスタMdは、発光素子(有機発光ダイオードOLED)に流す電流量を制御して表示階調を規定する電流制御手段として機能する。

駆動トランジスタMdのドレインが、電源電圧VDDの供給を制御する走査線に接続され、ソースが有機発光ダイオードOLEDのアノードに接続されている。

【0032】

サンプリングトランジスタMsは、画素階調を決めるデータ電位Vsigの供給線(信号線SIG(j))と駆動トランジスタMdのゲートとの間に接続されている。サンプリングトランジスタMsのソースとドレインの一方が駆動トランジスタMdのゲートに接続され、もう片方が信号線SIG(j)に接続されている。信号線SIG(j)に、Hスキャナ5(図1参照)からデータ電位Vsigを持つデータパルスが印加される。サンプリングトランジスタMsは、このデータ電位印加期間(データパルスの持続時間(duration time))の適正なタイミングで、当該画素回路で表示すべきレベルのデータをサンプリングする。こ

10

20

30

40

50

れは、サンプリングすべき所望のデータ電位 V_{sig} を持つデータパルスの前部または後部における、レベルが不安定な遷移期間の表示映像に与える影響を排除するためである。

【0033】

駆動トランジスタ M_d のゲートとソース（有機発光ダイオード $OLED$ のアノード）との間に、保持キャパシタ C_s が接続されている。保持キャパシタ C_s の役割については、後述の動作説明で明らかにする。

【0034】

図2では、図1の水平画素ライン駆動回路41により、 GND 電位から電源電圧 V_{DD} にまで立ち上がる電源駆動パルス $D_S(i)$ が駆動トランジスタ M_d のドレインに供給され、駆動トランジスタ M_d の補正時や実際に有機発光ダイオード $OLED$ が発光する時の電源供給が行われる。

10

また、図1の書き込み信号走査回路42により、比較的短い持続時間の書込駆動パルス $W_S(i)$ がサンプリングトランジスタ M_s のゲートに供給され、サンプリング制御が行われる。

なお、電源供給の制御は、駆動トランジスタ M_d のドレインと電源電圧 V_{DD} の供給線との間にトランジスタをもう1つ挿入し、そのゲートを水平画素ライン駆動回路41により制御する構成であってもよい。

【0035】

通常、画素回路内の全てのトランジスタは $TFET$ で形成されている。 $TFET$ のチャンネルが形成される薄膜半導体層は、多結晶シリコン（ポリシリコン）または非晶質シリコン（アモルファスシリコン）等の半導体材料からなる。ポリシリコン $TFET$ は移動度を高くとれるが特性ばらつきが大きいいため、表示装置の大画面化に適さない。よって、大画面を有する表示装置では、一般に、アモルファスシリコン $TFET$ が用いられる。ただし、アモルファスシリコン $TFET$ では P チャンネル型 $TFET$ が形成し難いため、上述した画素回路3(i, j)のように、すべての $TFET$ を N チャンネル型とすることが望ましい。

20

【0036】

ここで、以上の画素回路3(i, j)は、本実施形態で適用可能な画素回路の一例、即ち2トランジスタ($2T$)・1キャパシタ($1C$)型の基本構成例である。よって、本実施形態で用いることができる画素回路は、上記画素回路3(i, j)を基本構成として、さらにトランジスタやキャパシタを付加した画素回路であってもよい。また、基本構成において、保持キャパシタ C_s を電源電圧 V_{DD} の供給線と駆動トランジスタ M_d のゲートとの間に接続するものもある。

30

具体的に、本実施形態で採用可能な $2T \cdot 1C$ 型以外の画素回路として、詳細な構成は割愛するが、例えば、 $4T \cdot 1C$ 型、 $4T \cdot 2C$ 型、 $5T \cdot 1C$ 型、 $3T \cdot 1C$ 型などであってもよい。

【0037】

<発光制御動作の概略>

上記画素回路3(i, j)における概略的な発光制御動作は、以下の如くである。

駆動トランジスタ M_d の制御ノード ND_c には、保持キャパシタ C_s が結合されている。信号線 $SIG(j)$ からの信号電圧がサンプリングトランジスタ M_s でサンプリングされ、これにより得られたデータ電位 V_{sig} (以下、特にサンプリング後のデータ電位を符号「 V_{in} 」により表記する) が制御ノード ND_c に印加される。

40

【0038】

駆動トランジスタ M_d のゲートに所定のデータ電位 V_{in} が印加された時、駆動トランジスタ M_d のドレイン電流 I_{ds} は、データ電位 V_{in} に応じた値を持つゲートソース間電圧 V_{gs} に応じて決まる。よって、サンプリング後のデータ電位 V_{in} に応じた輝度で有機発光ダイオード $OLED$ が発光する。

【0039】

有機発光ダイオード $OLED$ は、よく知られているように、熱により $I-V$ 特性が変化する。このとき、有機発光ダイオード $OLED$ の経時変化とともに駆動トランジスタ M_d

50

のゲートソース間電圧 V_{gs} が変化してしまう。

これにより、有機発光ダイオード O L E D に流れる駆動電流 I_d が変化し、その結果、所定のデータ電位 V_{sig} をサンプリングする場合であっても発光輝度が変化してしまう。

また、画素回路ごとに駆動トランジスタ M_d の閾値電圧 V_{th} 、移動度 μ が異なっているため、ドレイン電流 I_{ds} にバラツキが生じ、同じデータ電位 V_{sig} が与えられている画素の発光輝度が変化してしまう。

【 0 0 4 0 】

Nチャネル型の駆動トランジスタ M_d を有する画素回路は、駆動能力が高く製造プロセスを簡略化できる利点があるが、閾値電圧 V_{th} や移動度 μ のばらつきを抑えるため、以下のような補正動作を、前述した発光制御動作に先立って行う必要がある。

10

【 0 0 4 1 】

サンプリングの前に保持キャパシタ C_s によって、駆動トランジスタ M_d のゲート電位が、その閾値電圧 V_{th} のレベルで保持される。この予備的な動作は、「閾値補正」と称される。

閾値補正後に、駆動トランジスタ M_d のゲートにサンプリング後のデータ電位 V_{in} が加わるため、ゲート電位は " $V_{th} + V_{in}$ " となって保持される。このときのデータ電位 V_{in} の大きさに応じて駆動トランジスタ M_d がオンする。閾値電圧 V_{th} が大きくオンし難い駆動トランジスタ M_d の場合は " $V_{th} + V_{in}$ " も大きい、逆に、閾値電圧 V_{th} が小さくオンし易い駆動トランジスタ M_d の場合は " $V_{th} + V_{in}$ " も小さい。よって駆動電流から閾値電圧 V_{th} のバラツキの影響が排除され、データ電位 V_{in} が一定ならば、ドレイン電流 I_{ds} (駆動電流 I_d) も一定となる。

20

【 0 0 4 2 】

また、例えば、データサンプリングの前で閾値補正の後に、「移動度(厳密には、駆動力補正)」を行う。

移動度補正では、電圧 " $V_{th} + V_{in}$ " が保持されている状態から、さらに、駆動トランジスタ M_d の電流駆動能力に応じたゲート電位変化を行う。駆動トランジスタ M_d のゲートとソースとの間に、駆動トランジスタ M_d の電流チャネルを介した電流により保持キャパシタを充電または放電するパスが設けられており、このパスに電流を流すか否かを制御することによって移動度補正を行う。

その後、この一定な電流値に駆動されて有機発光ダイオード O L E D が発光する。

30

【 0 0 4 3 】

< 平面および断面の構造例 >

ここで、画素回路の平面パターンや断面構造について、図面を参照しつつ説明する。

図 3 (A) と図 3 (B) は、画素回路 3 (i, j) についての平面パターンを示すものである。図 3 (B) は、最上層のカソード電極(全面形成)を省いた平面図、図 3 (A) は、最上層のカソード電極(全面形成)を省き、さらに、有機発光ダイオード O L E D の電極や有機多層膜を省いた製造途中の平面図である。また、図 4 (B) は T F T 部の基本断面構造図、図 4 (A) はその平面図である。

【 0 0 4 4 】

図 4 (B) に示すように、ガラス等からなる基板 9 上に図示のように直接(または下地層(絶縁層の一種)を介して)、所定のゲート金属層(G M)、例えばモリブデン(M o) 等の高融点金属層からなるゲート電極 1 1 が形成されている。

40

ゲート電極 1 1 は、図 3 (A) において、駆動トランジスタ M_d のゲート電極 1 1 A、サンプリングトランジスタ M_s のゲート電極 1 1 B に該当する。ここでゲート電極 1 1 A は、保持キャパシタ C_s の下部電極としても機能させるため、保持キャパシタ C_s の形成領域に拡がって配置されている。一方、ゲート電極 1 1 B の一方端が、第 2 走査線 S C A N 2 (i) と接続のために、その下方に延びている。

【 0 0 4 5 】

図 4 (B) のゲート電極 1 1 の表面を覆うように、基板 9 上にゲート絶縁膜 1 0 が形成され、その上に、アモルファスシリコン(- S i) からなる薄膜半導体層 1 3 が形成さ

50

れている。

薄膜半導体層 13 は、図 3 (A) においては、駆動トランジスタ M d の T F T 層 13 A、サンプリグトランジスタ M s の T F T 層 13 B に該当する。

【 0046 】

図 4 (B) の薄膜半導体層 13 は、そのゲート電極 11 と対向する部分がチャネル形成領域である。薄膜半導体層 13 上のチャネル形成領域を保護する位置に、絶縁材料のチャネル保護膜 18 が形成されている。また、チャネル保護膜 18 に端部が乗り上げ、薄膜半導体層 13 より若干狭い幅で (図 4 (A) 参照)、2 つのソース・ドレイン電極 14 が配置されている。ソース・ドレイン電極 14 は、チャネル保護膜 18 上で互いに離間して、その片方がソース (S) 電極として機能し、他の片方がドレイン (D) 電極として機能する。2 つのソース・ドレイン電極 14 は、例えばアルミニウム (AL) を主材料とする配線層; (AL) 層から形成されている。

10

【 0047 】

図 4 のソース・ドレイン電極 14 は、図 3 (A) において、第 1 走査線 S C A N 1 (i) から分岐し駆動トランジスタ M d のドレイン電極として機能する V D D 線 14 A、駆動トランジスタ M d のソース電極として機能する接続配線 14 B に該当する。接続配線 14 B は、保持キャパシタ C s の上部電極として機能させるため、ゲート電極 11 A の広い面積部分に重ねて配置され、また、有機発光ダイオード O L E D のアノード電極と接続のためにパッド部を備える。

さらに、図 4 のソース・ドレイン電極 14 は、図 3 (A) において、サンプリグトランジスタ M s のドレイン電極として機能する接続配線 14 C、サンプリグトランジスタ M s のソース電極として機能する接続配線 14 D に該当する。接続配線 14 C は、信号線 S I G (j) の一部としても機能する。接続配線 14 D は、図 2 の制御ノード N D c 接続のために、その端部が保持キャパシタ C s の下部電極 (ゲート電極 11 A) の上方に延び、1st コンタクトホール (1 C H) の 1 つであるコンタクト 12 A によって、ゲート電極 11 A と接続されている。

20

【 0048 】

図 4 (B) に示すように、2 つのソース・ドレイン電極 14 と薄膜半導体層 13 との重なり部分に、P 型の薄膜半導体層 13 と逆導電型の N 型不純物が高濃度に導入されたソース不純物領域 17 S とドレイン不純物領域 17 D が設けられている。ソース不純物領域 17 S により、一方のソース・ドレイン電極 14 と薄膜半導体層 13 が低抵抗で接続されたソースコンタクトが達成されている。同様に、ドレイン不純物領域 17 D により、他のソース・ドレイン電極 14 と薄膜半導体層 13 が低抵抗で接続されたドレインコンタクトが達成されている。

30

【 0049 】

図 3 (A) において、第 1 走査線 S C A N 1 (i) と第 2 走査線 S C A N 2 (i) は、それぞれ (AL) 層から形成され、セル内の行方向の対向辺に沿って互いに平行に配置されている。

これに対し、信号線 S I G (j) が、第 1 走査線 S C A N 1 (i) と第 2 走査線 S C A N 2 (i) と直交する列方向に長く形成されている。

40

【 0050 】

信号線 S I G (j) のセル内部分の多くが、上述したように (AL) 層からなる接続配線 14 C により構成されている。

信号線 S I G (j) と第 1 走査線 S C A N 1 (i) との交差部分に、ゲート電極 11 と同じ階層で同じ材料の層 (GM) を含むブリッジ線 11 C が設けられている。接続配線 14 C の一方端部は、2 つのコンタクト (1 C H) 12 C により、下層のブリッジ線 11 C と接続され、ブリッジ線 11 C 上に、接続配線 14 C と同じ階層で同じ材料 (AL) の第 1 走査線 S C A N 1 (i) が交差している。

同様に、信号線 S I G (j) と第 2 走査線 S C A N 2 (i) との交差部分に、ゲート電極 11 と同じ階層で同じ材料の層 (GM) を含むブリッジ線 11 D が設けられている。接続配

50

線 1 4 C の他方端部は、2 つのコンタクト (1 C H) 1 2 D により、下層のブリッジ線 1 1 D と接続され、ブリッジ線 1 1 D 上に、接続配線 1 4 C と同じ階層で同じ材料 (A L) の第 2 走査線 S C A N 2 (i) が交差している。

【 0 0 5 1 】

図 4 (B) に戻ると、上述した構造の T F T を覆う T F T 保護膜 1 9 が堆積される。

図 4 (B) には示さないが、T F T 保護膜 1 9 上に有機発光ダイオード O L E D と、図 1 および図 2 に示す電源補助格子線 7 が形成される。電源補助格子線 7 は、図 3 (B) に示すように、例えば画素境界に沿って四角枠状に配置されている。有機発光ダイオード O L E D の「下層電極」としてのアノード電極 A E は、電源補助格子線 7 内で可能な限り大きく配置されている。電源補助格子線 7 とアノード電極 A E は、本実施形態では、同一階層の同一材料 (アノードメタル層 ; A M) から形成される。本実施形態では上面発光型であるため、アノードメタル層 (A M) は、例えば、クロム (C r)、鉄 (f e)、コバルト (C o)、ニッケル (N i)、銅 (C u)、タンタル (T a)、タングステン (W)、プラチナ (P t) さらに金 (A u) のように、仕事関数が大きく、かつ反射率の高い導電性材料を適宜選択して形成できる。

アノード電極 A E は、2 n d コンタクトホール (2 C H) の 1 つであるコンタクト 1 5 によって、下層の接続配線 1 4 B のパッド部と接続されている。

【 0 0 5 2 】

電源補助格子線 7 とアノード電極 A E の表面を覆う E L 保護膜 2 1 (不図示) が形成され、E L 保護膜 2 1 に開口部 2 1 A が設けられている。開口部 2 1 A は、コンタクト 1 5 を露出しない範囲で、アノード電極 A E 上で可能な限り大きく形成されている。

なお、特に図示しないが、開口部 2 1 A 内を含む範囲に有機多層膜が形成され、さらに、有機多層膜に接続し、全面を覆うようにカソード電極が設けられる。カソード電極は、電源補助格子線 7 上の E L 保護膜 2 1 部分に設けられた開口部 2 1 B を介して電源補助格子線 7 に電氣的に接続される。図 1 および図 2 に示すように電源補助格子線 7 は電源補助環状線 6 を介して接地電圧 G N D の供給線に接続されるため、有機発光ダイオード O L E D のアノードは接地される。

【 0 0 5 3 】

図 5 は、画素回路 3 (i , j) を 2 行 2 列分含む画素アレイ 2 の一部と、電源補助環状線 6 との接続部分を示す平面図である。

図 5 において、図 3 に示し、既に説明した画素回路内の構成は、同一符号を付している。図解した範囲の全面に有機発光ダイオード O L E D のカソード電極 K E が形成されている。カソード電極 K E は、光透過率が高いカソードメタル層 (K M) から形成されている。このため、図 5 はカソード電極 K E の下層を透視した図となっている。

上面発光型の場合、カソードメタル K M は、I T O や I X O のように、仕事関数が大きくかつ透過率の高い導電性材料から構成される。

【 0 0 5 4 】

電源補助環状線 6 は、電源補助格子線 7 と同じ階層で同じ材料 (アノードメタル層 ; A M) の上部メタル層 6 A と、より下層のメタル層、例えば (A L) から形成される下部メタル層 6 B とを重ねて構成されている。上部メタル層 6 A は電源補助格子線 7 とパターン上につながっている (一体に形成されている) 。

それぞれ (A L) から形成される第 1 走査線 S C A N 1 (i) と第 2 走査線 S C A N 2 (i) の端部が、電源補助環状線 6 の近くに位置している。

このうち第 1 走査線 S C A N 1 (i) の端部が、1 s t コンタクト (I C H) の 1 つであるコンタクト 1 2 E によって、より下層のブリッジ線 1 1 E と接続されている。ブリッジ線 1 1 E は、ゲートメタル層 (G M) を含む導電層であり、ブリッジ線 1 1 E の上方に、不図示の絶縁膜を介して電源補助環状線 6 が交差している。

同様に、第 2 走査線 S C A N 2 (i) の端部が、1 s t コンタクト (I C H) の 1 つであるコンタクト 1 2 F によって、より下層のブリッジ線 1 1 F と接続されている。ブリッジ線 1 1 F は、ゲートメタル層 (G M) を含む導電層であり、ブリッジ線 1 1 F の上方に、不

10

20

30

40

50

図示の絶縁膜を介して電源補助環状線 6 が交差している。

【 0 0 5 5 】

図 6 に、図 5 の A - A 線に沿った断面図を示す。

この図示例では、第 1 走査線 S C A N 1 (i) のブリッジ線 1 1 E 上に、アモルファスシリコン (- S i) からなる薄膜半導体層 1 3 E が重ねられている。また、図 4 (B) では除去されているため示されていない、薄膜半導体層 1 3 のエッチングストップ膜 2 0 E が薄膜半導体層 1 3 E 上に重なっている。

同様に、第 2 走査線 S C A N 2 (i) のブリッジ線 1 1 F 上に、薄膜半導体層 1 3 F とエッチングストップ膜 2 0 F が重ねられている。

【 0 0 5 6 】

本実施形態においては、このような断面構造を有する 2 つの走査線部分の間に、両走査線部分と離間して電氣的に非接続なダミー配線 D L が形成されている。

ダミー配線 D L は、ゲートメタル G M からなる第 1 導電層 1 1 M と、その上に重ねられ、アモルファスシリコン (- S i) からなる第 2 導電層 1 3 M とを含んで構成され、その上に、エッチングストップ膜 2 0 M が重ねられている。

このエッチングストップ膜 2 0 M、および、前述したエッチングストップ膜 2 0 E, 2 0 F は、他の周囲の絶縁膜が酸化シリコン系の場合、これとエッチング選択比が大きい窒化シリコン系の絶縁膜とするとよい。

【 0 0 5 7 】

第 1 走査線 S C A N 1 (i) のブリッジ部、第 2 走査線 S C A N 2 (i) のブリッジ部、および、ダミー配線 D L を覆って T F T 保護膜 1 9 が基板 9 上に形成されている。T F T 保護膜 1 9 の上に、下部メタル層 6 B と上部メタル層 6 A が重ねられて電源補助環状線 6 が形成され、さらに、電源補助環状線 6 上にカソード電極 K E が形成されている。

詳細は後述するが、本実施形態では、このようにダミー配線 D L が配置されているため、電源補助環状線 6 の「段切れ」「巣」の発生が有効に防止される。

【 0 0 5 8 】

《第 2 実施形態》

第 2 実施形態では、ダミー配線 D L 周りの構成が第 1 実施形態と異なる。よって、第 1 実施形態で用いた図 1 ~ 図 5、および、その説明は第 2 実施形態でも踏襲される。

【 0 0 5 9 】

図 7 に、第 2 実施形態に関わり、図 5 の A - A 線に沿った断面図を示す。

図 7 が図 6 と異なるのは、図 7 では、ダミー配線 D L の両端部に、それぞれ 1st コンタクトホール (1 C H) からなるコンタクト 1 2 M 1, 1 2 M 2 が設けられ、コンタクト 1 2 M 1, 1 2 M 2 によって、ダミー配線 D L の両端部が電源補助環状線 6 の裏面に接続されていることである。その他の構成は、第 1 実施形態と共通する。

なお、図 7 および図 6 では、E L 保護膜 2 1 が図示を省略されている。

【 0 0 6 0 】

《変形例》

図 5 ~ 図 7 は、電源補助環状線 6 が走査線、即ち第 1 走査線 S C A N 1 (1) および第 2 走査線 S C A N 2 (2) に対して交差する部分を図示し、その交差部分の間に電源補助環状線 6 に沿ってダミー配線 D L を配置した。

これと同様なダミー配線 D L を、信号線、すなわち信号線 S I G (j) が電源補助環状線 6 と交差する部分の間に、電源補助環状線 6 に沿った下層に設けてもよい。また、電源補助環状線 6 と走査線との交差部分間、電源補助環状線 6 と信号線の交差部分間の双方に、ダミー配線 D L を設けてよい。その場合、ダミー配線 D L の断面構造は図 6、図 7 のどちらでもよい。

【 0 0 6 1 】

第 2 実施形態において、ダミー配線 D L を電源補助環状線 6 と接続するコンタクトは、ダミー配線 D L の両端部に少なくとも 1 つ、全部で、少なくとも 2 つ形成されていればよい。よって、両端部のそれぞれに 2 個以上のコンタクトを設けてよい。また、ダミー配線

10

20

30

40

50

D Lの長さ方向全域に、例えば等間隔でコンタクトを、可能な限り多数設けてもよい。

【0062】

その他、走査線、信号線の層構造、電源補助環状線や電源補助格子線の層構造は、上述した図示例に限定されない。

また、上述した第1および第2実施形態は上面発光型の有機ELディスプレイを例示したが、下面発光型でもよい。

【0063】

以上の第1および第2実施形態によれば、以下の利益が得られる。

ダミー配線DLを設けることにより、走査線や信号線による、電源補助環状線形成面の段差を緩和し、これによって、電源補助環状線の「段切れ」を防止でき、また電源補助環状線上の保護膜に形成される「巣」の発生を防止できる。

【0064】

図8は、ダミー配線がない場合に「巣」が発生した断面図を示す。

この図では電源補助環状線6はかろうじてつながっているが、第2走査線SCAN2(i)の段差部分でEL保護膜21が途切れ、これにより「巣(air hole)」が発生している。

「巣」が発生すると、その部分でEL保護膜21が保護の機能を果たさないため、水分その他の汚染物質が電源補助環状線6を汚染する。特に水分が電源補助環状線6の界面を伝わって画素アレイ2内に進入すると、有機発光ダイオードOLEDの表示特性が変化し、これにより画面の一部で画質が悪くなる事態を招く懸念がある。

【0065】

本発明の第1および第2実施形態では、ダミー配線DLを設けることにより、電源補助環状線6の断線によるカソード電極KEの電位が一部で一定とならない現象を防止し、表示ムラの発生を防止する利益が得られる。

また、「巣」の発生を防止して、これにより画質低下の防止と歩留まり向上を図り、ディスプレイ製品の収益性と信頼性を高めることができるという利益が得られる。

【0066】

これらの利益に加えて、第2実施形態のように、ダミー配線DLを電源補助環状線6と電気的に接続すると、ダミー配線DLが電源補助環状線6の裏打ち配線として機能し、その電位変動をより安定化する役目を果たす。また、コンタクト間の電源補助環状線6が何らかの理由で高抵抗化し、あるいは、断線する場合、その部分で電源補助環状線6を代替する役目をダミー配線DLが担う。よって、この場合、ダミー配線DLは電源補助環状線6の部分的な冗長配線としての機能を発揮する。

【図面の簡単な説明】

【0067】

【図1】本発明の第1および第2実施形態に関わる有機ELディスプレイの主要構成例を示すブロック図である。

【図2】本発明の実施形態に関わる画素回路の一構成例を含む図である。

【図3】本発明の実施形態に関わる画素の平面図((B))と、有機発光ダイオードの電極層等を除去したときの画素の平面図((A))である。

【図4】本発明の実施形態に使用可能なTFT基本構造の平面図((A))と断面図((B))である。

【図5】画素アレイと電源補助環状線との接続部分を、画素アレイの一部を含めて示す平面図である。

【図6】本発明の第1実施形態に関わる、図5のA-A線に沿った断面図である。

【図7】本発明の第2実施形態に関わる、図5のA-A線に沿った断面図である。

【図8】ダミー配線がない場合に「巣」が発生した比較例の断面図である。

【符号の説明】

【0068】

1...有機ELディスプレイ、2...画素アレイ、3(i,j)...画素回路、4...Vスキャナ、5...Hスキャナ、6...電源補助環状線、6A...上部メタル層、6B...下部メタル層、7...

10

20

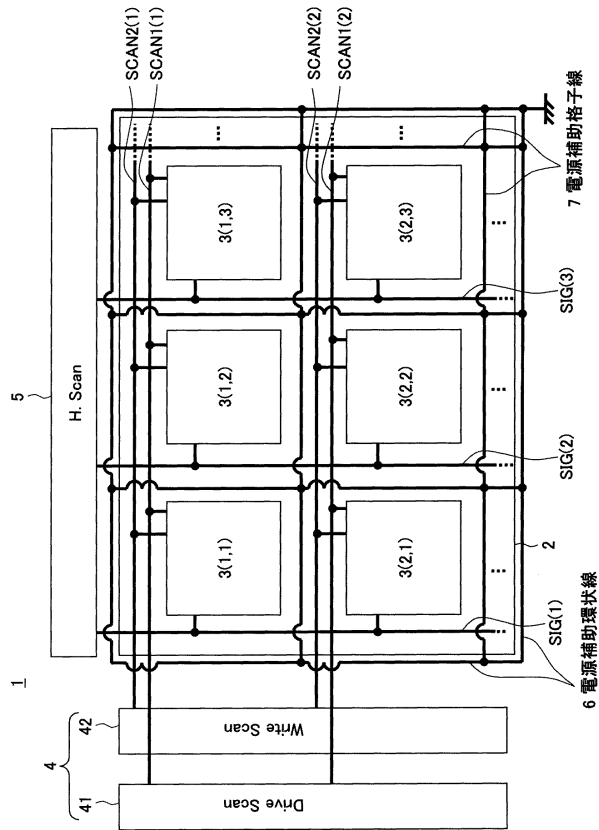
30

40

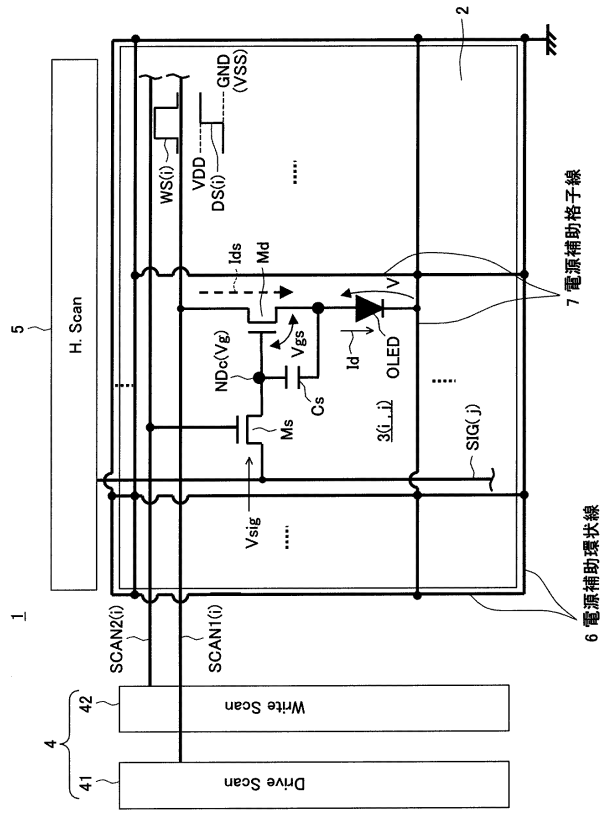
50

電源補助格子線、9...基板、10...ゲート絶縁膜、11...ゲート電極、12...(1st)コンタクト、13...薄膜半導体層、14...ソース・ドレイン電極、15...(2nd)コンタクト、18...チャネル保護膜、19...TFT保護膜、21...EL保護膜、21A,21B...開口部、41...水平画素ライン駆動回路、42...書き込み信号走査回路、Cs...保持キャパシタ、OLED...有機発光ダイオード、Ms...サンプリングトランジスタ、Md...駆動トランジスタ、SCAN1(i)...第1走査線、SCAN2(i)...第2走査線、SIG(j)...信号線、DL...ダミー配線、AE...アノード電極、AM...アノードメタル層、GM...ゲートメタル層、KE...カソード電極、KM...カソードメタル層

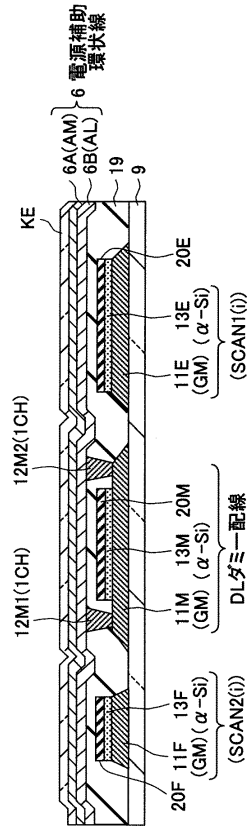
【図1】



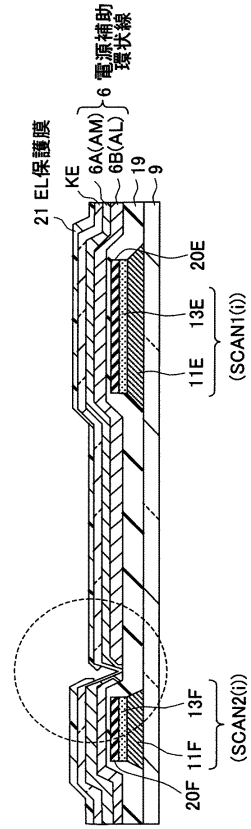
【図2】



【 図 7 】



【 図 8 】



フロントページの続き

- (56)参考文献 特開2001-109395(JP,A)
特開2007-258189(JP,A)
特開2002-324662(JP,A)
特開2005-078881(JP,A)
特開2007-213999(JP,A)
特開2004-355014(JP,A)
特開2004-063085(JP,A)
特開2007-164162(JP,A)
特開2003-150109(JP,A)
特開2006-059796(JP,A)
特開2006-004912(JP,A)

(58)調査した分野(Int.Cl., DB名)

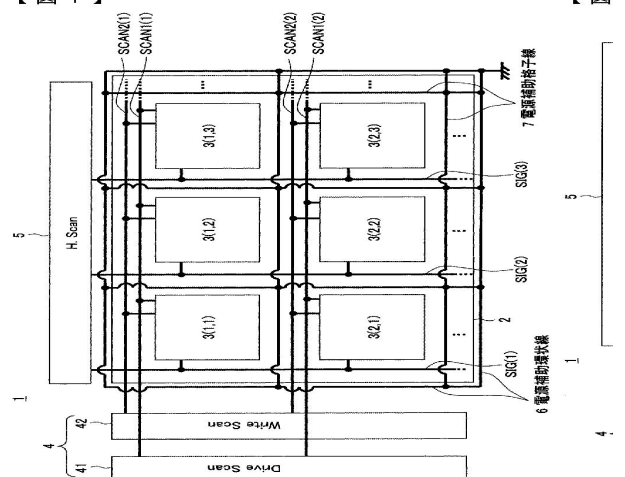
H05B 33/00 - 33/28
H01L 51/50

专利名称(译)	有机发光显示器		
公开(公告)号	JP4386128B2	公开(公告)日	2009-12-16
申请号	JP2007296572	申请日	2007-11-15
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	佐川裕志 内野勝秀		
发明人	佐川 裕志 内野 勝秀		
IPC分类号	H05B33/26 H01L51/50		
CPC分类号	H01L27/3276 H01L27/3223		
FI分类号	H05B33/26.Z H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/CC29 3K107/CC33 3K107/DD37 3K107/EE03		
代理人(译)	佐藤隆久		
审查员(译)	渡边勇		
其他公开文献	JP2009123538A		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止在电源辅助环形线与信号线和扫描线的交叉部分出现“踩踏”和“模腔”。ZOLUTION：有机电致发光显示装置包括多条信号线SIG(j)，多条扫描线(SCAN1(i)，SCAN2(i))，多个像素电路3(i,j)，电源辅助环形线6和虚设线DL。每个像素电路3(i,j)包括有机电致发光元件(有机发光二极管OLED)。电源辅助环形线6电连接到两个电极(例如，阴极电极KE)中的一个，用于向有机发光二极管OLED施加电场，并且围绕像素阵列2布置成环形。虚拟布线DL在电源辅助环形线6的下层形成在多个交叉部分之间，其中多条扫描线(或多条信号线)和电源辅助环形线6彼此交叉，并且是绝缘分离的从附近的扫描线等。Z

【图1】



【图】