

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4326965号
(P4326965)

(45) 発行日 平成21年9月9日(2009.9.9)

(24) 登録日 平成21年6月19日(2009.6.19)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/30 K
HO1L 51/50 (2006.01)	G09G 3/20 611H
	G09G 3/20 621F
	G09G 3/20 624B

請求項の数 7 (全 11 頁) 最終頁に続く

(21) 出願番号	特願2003-575365 (P2003-575365)	(73) 特許権者	503447036
(86) (22) 出願日	平成14年9月19日(2002.9.19)		サムスン エレクトロニクス カンパニー リミテッド
(65) 公表番号	特表2005-520191 (P2005-520191A)		大韓民国キョンギード, スウォン-シ, ヨ ントン-ク, マエタン-ドン 416
(43) 公表日	平成17年7月7日(2005.7.7)	(74) 代理人	110000408
(86) 国際出願番号	PCT/KR2002/001783		特許業務法人高橋・林アンドパートナーズ
(87) 国際公開番号	W02003/077229	(72) 発明者	チョイ, ペオム-ラク
(87) 国際公開日	平成15年9月18日(2003.9.18)		大韓民国 135-968 ソウル, カン ナム-ク, ダエチ 1-ドン, サムスン・ アパートメント 112-508
審査請求日	平成17年7月28日(2005.7.28)	(72) 発明者	チョイ, ジューン-フー
(31) 優先権主張番号	2002/12510		大韓民国 120-768 ソウル, セオ ダエムン-ク, ヤンチュオン-ドン, サン ホ・アパートメント 108-303
(32) 優先日	平成14年3月8日(2002.3.8)		最終頁に続く
(33) 優先権主張国	韓国 (KR)		

(54) 【発明の名称】 有機エレクトロルミネッセンス表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

画像信号を示すデータ電圧を伝達する複数のデータ線、
選択信号を伝達する複数の走査線、
補償信号を伝達する複数の補償線、及び
隣接する2つのデータ線と隣接する2つの走査線によって定義される画素領域に各々形成
される複数の画素回路、
を含み、
前記画素回路は、

印加される電流の量に対応する光を発光する有機エレクトロルミネッセンス(EL)素子

10

、
前記走査線に接続されるゲート、前記データ線に接続される端子及び第1キャパシタと第
2キャパシタとに接続される端子を持つ第2薄膜トランジスタであり、前記走査線に印加
される前記選択信号にตอบสนองして、前記データ線に印加される前記データ電圧をスイッチ
ングするための第1スイッチング素子、
前記第1スイッチング素子を通じてゲートに入力される前記データ電圧に対応して、ドレ
インに接続される前記有機EL素子に電流を供給して、電源電圧にソースが接続される第
1薄膜トランジスタ、

前記補償線に接続されるゲート、前記第1薄膜トランジスタのゲート及びドレインに接続
される2つの端子を持つ第3薄膜トランジスタであり、前記補償線に印加される前記補償

20

信号にตอบสนองして前記第 1 薄膜トランジスタがダイオード機能を行うようにスイッチングする第 2 スwitching 素子、

前記第 1 薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持するために、前記第 1 薄膜トランジスタのゲートと前記第 1 スwitching 素子のドレインとの間に接続された前記第 1 キャパシタ、

前記第 1 薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持するために、前記電源電圧と前記第 1 スwitching 素子のドレインとの間に接続された前記第 2 キャパシタ、であって、

前記第 1 キャパシタと前記第 2 キャパシタは、前記電源電圧と前記第 1 薄膜トランジスタとの間に直列に接続される有機 E L 表示装置。

10

【請求項 2】

前記データ電圧が前記データ線に印加される前に、前記補償信号が前記補償線に印加される請求項 1 に記載の有機 E L 表示装置。

【請求項 3】

前記補償線に印加される前記補償信号が遮断された後に、前記データ電圧が前記データ線に印加される請求項 2 に記載の有機 E L 表示装置。

【請求項 4】

R (赤)、G (緑)、B (青) の画素毎に、前記第 1 薄膜トランジスタに各々異なる前記電源電圧が印加される請求項 1 に記載の有機 E L 表示装置。

【請求項 5】

20

前記第 1 薄膜トランジスタは第 1 導電タイプのトランジスタであり、前記第 2 及び第 3 薄膜トランジスタは第 2 導電タイプのトランジスタである請求項 1 に記載の有機 E L 表示装置。

【請求項 6】

前記第 2 及び第 3 薄膜トランジスタは、互いに異なる導電タイプのトランジスタである請求項 1 に記載の有機 E L 表示装置。

【請求項 7】

前記第 1 ~ 第 3 薄膜トランジスタは、同じ電導タイプのトランジスタである請求項 1 に記載の有機 E L 表示装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス (以下、E L と称す) 表示装置とその駆動方法に関する。

【背景技術】

【0002】

一般に、有機 E L 表示装置は、蛍光性有機化合物を電氣的に励起させて発光させる表示装置であって、M×N 個の有機発光セルを電圧駆動あるいは電流駆動して映像を表現するようになっている。このような有機発光セルは、アノード (ITO)、有機薄膜、カソードレイヤ (metal) の構造を有している。有機薄膜は、電子と正孔の均衡を良くして発光効率を向上させるために、発光層 (EML)、電子輸送層 (ETL) 及び正孔輸送層 (HTL) を含む多層構造からなり、さらに別の電子注入層 (EIL) と正孔注入層 (HIL) を含む。

40

このような構成の有機発光セルの駆動方式には、単純マトリクス方式 (すなわち受動マトリクス方式) と T F T を用いる能動マトリクス方式がある。単純マトリクス方式は、正極と負極が直交するように形成し、ラインを選択して駆動するのに対し、能動マトリクス方式は、T F T とコンデンサを各 I T O 画素電極に接続し、コンデンサ容量によって電圧を維持させる駆動方式である。

【0003】

図 1 1 は、有機 E L 素子を T F T を用いて駆動するための従来の画素回路であって、N

50

×M個の画素のうちの1つを代表的に示したものである。図11を参照すれば、有機EL素子OELDに駆動用トランジスタMbが接続され発光のための電流を供給する。駆動用トランジスタMbの電流量は、スイッチングトランジスタMaを通じて印加されるデータ電圧によって制御される。この時、印加された電圧を一定期間維持するためのキャパシタCがトランジスタMbのソースとゲートの間に接続されている。トランジスタMaのゲートには走査線が接続され、ソース側にはデータ線が接続されている。

【0004】

このような構造の画素の動作を見ると、スイッチングトランジスタMaのゲートに印加される選択信号に基づいてトランジスタMaがオンになると、データ線を通じてデータ電圧 $V_{D_{ATA}}$ が駆動用トランジスタMbのゲート（ノードA）に印加される。そして、ゲートに印加されるデータ電圧 $V_{D_{ATA}}$ に対応してトランジスタMbを通じて有機EL素子OELDに電流が流れて発光が行われる。この時、有機EL素子に流れる電流は、次の式(1)の通りである。

$$I_{OLED} = \frac{1}{2} \cdot (V_{GS} - V_{TH})^2 \\ = \frac{1}{2} \cdot (V_{DD} - V_{D_{ATA}} - V_{TH})^2 \quad (1)$$

ここで、 I_{OLED} は有機EL素子に流れる電流、 V_{GS} はトランジスタMbのソースとゲートの間の電圧、 V_{TH} はトランジスタMbのしきい電圧、 $V_{D_{ATA}}$ はデータ電圧、 $\frac{1}{2}$ は定数値を示す。

式(1)に示したように、図11に示した画素回路によれば、印加されるデータ電圧 $V_{D_{ATA}}$ に対応する電流が有機EL素子OELDに供給され、供給された電流に対応して有機EL素子が発光する。この時、印加されるデータ電圧 $V_{D_{ATA}}$ は、階調を表現するために一定範囲で多値を有する。

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところが、このような従来の画素回路において、製造工程の不均一性のため、生じる薄膜トランジスタの特性偏差によってパネルの輝度が不均一になる問題点がある。

このような問題点を補償するために、追加の薄膜トランジスタを用いる画素回路が提案されている。しかし、このような画素回路の場合、薄膜トランジスタの個数が増加して開口率が減少し、低い階調でキャパシタの充電に長時間が要するという問題点がある。

本発明の技術的課題は、駆動用薄膜トランジスタの特性偏差を補償する画素回路を提供することにある。また、本発明はキャパシタの充電に要する時間を減らすことを技術的課題とする。

【課題を解決するための手段】

【0006】

このような課題を解決するために、本発明は、画素回路に補償用トランジスタを追加して形成する。

本発明の一特徴によれば、複数のデータ線、複数の走査線、複数の補償線及び隣接する2つのデータ線と隣接する2つの走査線によって画定される画素領域に各々形成される複数の画素回路を含む有機EL表示装置が提供される。データ線は、画像信号を示すデータ電圧を伝達し、走査線は選択信号を伝達し、補償線は補償信号を伝達する。

【0007】

この時、画素回路は、有機EL素子、第1及び第2スイッチング素子、第1薄膜トランジスタ及びキャパシタを含む。有機EL素子は、印加される電流の量に対応する光を発光する。第1スイッチング素子は、走査線に印加される選択信号に応答してデータ線に印加されるデータ電圧をスイッチングし、第2スイッチング素子は、補償線に印加される補償信号に応答して第1薄膜トランジスタのゲートとドレインを接続する。第1薄膜トランジスタは、第1スイッチング素子を通じてゲートに入力されるデータ電圧に対応して有機EL素子に電流を供給し、キャパシタは、第1薄膜トランジスタのゲートに印加されるデータ電圧を所定時間維持する。

【0008】

10

20

30

40

50

ここで、データ電圧がデータ線に印加される前に、補償信号が補償線に印加され、補償線に印加される補償信号が遮断された後に、データ電圧がデータ線に印加されることが好ましい。

また、R（赤）、G（緑）、B（青）の画素ごとに、第1薄膜トランジスタのソースに各々異なる電源電圧が接続されることが好ましい。

さらにまた、画素回路は、データ電圧が印加される間、第1薄膜トランジスタのゲートに印加される電圧を一定に維持するための第2キャパシタをさらに含むことができ、この第2キャパシタは、第1キャパシタに直列に接続されることが好ましい。

【0009】

第1スイッチング素子は、走査線に接続されるゲート及びデータ線とキャパシタに各々接続される2つの端子を3端子として持つ第2薄膜トランジスタであり、第2スイッチング素子は、補償線に接続されるゲート及び第1薄膜トランジスタのゲート及びドレインに各々接続される2つの端子を3端子として持つ第3薄膜トランジスタであることが好ましい。

10

この時、第1薄膜トランジスタは、第1電導タイプのトランジスタであり、第2及び第3薄膜トランジスタは、第2電導タイプのトランジスタであることができる。もしくは、第1薄膜トランジスタは、第1電導タイプのトランジスタであり、第2及び第3薄膜トランジスタは、互いに異なる電導タイプのトランジスタであることができる。もしくは、第1～第3薄膜トランジスタが、同じ電導タイプのトランジスタであることができる。

【0010】

20

本発明の他の特徴によれば、このような有機EL表示装置を駆動する方法が提示できる。この駆動方法によれば、まず複数の画素回路のうちの特定の画素回路を選択する選択信号を走査線に印加する。そして、走査線に平行な補償線を通じて薄膜トランジスタのゲートとドレインを接続するようにスイッチングする補償信号を画素回路に印加する。次に、補償信号を遮断し、データ線に画像信号を示すデータ電圧を印加し、印加されたデータ電圧を薄膜トランジスタのゲートに伝達して有機EL素子に電流を供給する。

この時、選択信号を補償信号よりも先に印加したり、あるいは選択信号を補償信号と同時に印加することができる。

【発明を実施するための最良の形態】

【0011】

30

以下、添付した図面を参照して、本発明の実施例を、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように、詳細に説明する。しかし、本発明は多様な形態で実現することができ、ここで説明する実施例に限定されない。

本発明の実施例による有機EL表示装置及びその駆動方法について、図面を参考にして詳細に説明する。まず、図1を参照して本発明の実施例による有機EL表示装置について説明する。

【0012】

図1は、本発明の実施例による有機EL表示装置の概略的な平面図である。図1に示したように、本発明の実施例による有機EL表示装置は、有機EL表示装置パネル100、走査ドライバ200及びデータドライバ300を含む。

40

有機EL表示装置パネル100は、画像信号を示すデータ電圧を伝達する複数のデータ線110、選択信号を伝達するための複数の走査線120、補償信号を伝達するための複数の補償線130及び複数の画素回路140を含む。画素回路140は、隣接する2つのデータ線110と隣接する2つの走査線120によって画定される画素領域に設けられている。なお、画素回路140は、R、G、Bごとに各々異なる電源VDD_R、VDD_G、VDD_B電圧が印加される。

走査ドライバ200は、走査線120に選択信号を印加する走査駆動部220及び補償線130に補償信号を印加する走査駆動部230を含み、データ駆動部300は、データ線110に画像信号を示すデータ電圧V_{DATA}を印加する。

【0013】

50

以下、図 2 ~ 図 10 を参照して、本発明の実施例による有機 EL 表示装置の画素回路について詳しく説明する。

図 2 は、本発明の第 1 実施例による画素回路の概略的な回路図であり、図 3 は、本発明の第 1 実施例による画素回路に対する駆動タイミング図である。図 4 A は、本発明の第 1 実施例による画素回路における駆動用トランジスタの電流-電圧特性曲線と有機 EL 素子の電流-電圧特性曲線を示すものであり、図 4 B は、一般的なトランジスタの電流-電圧特性曲線と有機 EL 素子の電流-電圧特性曲線を示すものである。

図 2 に示したように、本発明の第 1 実施例による画素回路 140 は、有機 EL 素子 OELD、スイッチングトランジスタ M1、補償用トランジスタ M2、駆動用トランジスタ M3 及びキャパシタ C1、C2 を含む。

10

有機 EL 素子 OELD は、印加される電流の量に対応する光を発光し、トランジスタ M3 は、電源 VDD にソースが接続され、有機 EL 素子 OELD にドレインが接続され、ゲートに印加されるデータ線から供給されるデータ電圧に対応する電流を有機 EL 素子 OELD に供給する。

【0014】

トランジスタ M1 は、走査線 120 に接続されたゲート、データ線 110 に接続されたソース及びキャパシタ C1、C2 の間のノード P1 に接続されたドレインを 3 端子として持ち、走査線に印加される選択信号 SEL1 に応答してデータ電圧 VDATA をトランジスタ M3 に伝達する。トランジスタ M2 は、トランジスタ M3 のゲート及びドレインに各々ドレイン及びソースが接続され、ゲートが補償線 130 に接続されて補償信号 SEL2 に

20

キャパシタ C2、C1 は、電源 VDD とトランジスタ M2 のゲートの間に直列に接続されており、トランジスタ M3 のゲートに印加されるデータ電圧を一定期間維持する。キャパシタ C2 は、電源 VDD とトランジスタ M1 のドレインの間に設けられる。

本発明の第 1 実施例による画素回路の動作を図 3 及び図 4 を参照して説明する。

図 3 に示すように、まず初期化ステップ S1 として、選択信号 SEL1 がハイレベルになりトランジスタ M1 がオン状態になれば、ノード P1 の電圧がデータ電圧の初期電圧 VDATA_INI に設定される。

【0015】

次に、補償ステップ S2 として、トランジスタ M1 がターンオンされた状態で補償信号 SEL2 がハイレベルになりトランジスタ M2 がターンオンされると、トランジスタ M3 はゲートとドレインが接続（ダイオード接続）されダイオードとして機能する。電源 VDD と接地電圧の間の電流経路には 2 つのダイオード M3、OELD が直列に接続され、ノード P2 の電圧は、トランジスタ M3 の特性によって決定される特性電圧 Vc となる。したがって、キャパシタ C1 には、ノード P1 とノード P2 の間の電圧差であるデータ電圧の初期電圧 VDATA_INI と特性電圧 Vc の差 ($V_{DATA_INI} - V_c$) が保存される。

30

【0016】

このような補償ステップ S2 において、トランジスタ M3 のゲートとドレインが接続されてダイオード機能として動作するので、トランジスタ M3 の電流-電圧特性曲線は、図 4 A のグラフ G1、G2 のようになる。そして、有機 EL 素子 OELD の電流-電圧特性曲線は、図 4 A のグラフ G0 のようになる。トランジスタ M3 の電流-電圧特性曲線と有機 EL 素子 OELD の電流-電圧特性曲線の交点で有機 EL 素子 OELD の駆動条件が決定される。したがって、補償ステップで初期設定が行われると、トランジスタ M3 の特性偏差による電流偏差は (I2-I1) になる。

40

しかし、従来のように、トランジスタ M3 のゲートとドレインが接続されない場合の一般的な電流-電圧特性曲線は、図 4 B のグラフ G3、G4 のように、ゲートとソースの間の電圧 VGS の値によって大きい偏差が生じる。ここで、有機 EL 素子 OELD の駆動条件が決定される地点におけるトランジスタ M3 の特性偏差による電流偏差は (I4-I3) になる。これは、前記の I2-I1 よりも大きい値である。

【0017】

50

次に、データ電圧印加ステップS3として、補償信号SEL2をローレベルに設定してトランジスタM2を遮断し、データ電圧を印加してトランジスタM3を駆動する。この時、キャパシタC1には補償ステップで特性電圧Vcが充電されているので、トランジスタM3のスイッチング時間が減少する。トランジスタM3が駆動すると、データ電圧に対応して、トランジスタM3を通じて有機EL素子OELDに電流が流れて発光が行われる。

また、R(赤)、G(緑)、B(青)発光をする有機EL素子OELDの特性は各々異なるので、トランジスタM3の面積と電源VDDの電圧をR、G、Bの各々に対して独立に決定する必要がある。

【0018】

図2に示す本発明の第1実施例の画素回路では、スイッチングトランジスタM1及び補償用トランジスタM2をNMOS型トランジスタで、駆動用トランジスタM3をPMOS型トランジスタで表示したが、トランジスタM1、M2、M3として他の型のトランジスタを用いることもできる。以下で、このような実施例について図5～図10を参照して説明する。

10

【0019】

図5は、本発明の第2実施例による画素回路の概略的な回路図であり、図6は、本発明の第2実施例による画素回路に対する駆動タイミング図である。

図5に示すように、本発明の第2実施例による画素回路は、電流供給用トランジスタM1がPMOS型トランジスタで形成されている点を除いて、第1実施例による画素回路と同じである。このような第2実施例による画素回路に対する駆動タイミングは、図6に示すように、走査線を選択するための選択信号がローレベルになる点を除いて、第1実施例による駆動タイミングと同じである。

20

【0020】

図7は、本発明の第3実施例による画素回路の概略的な回路図であり、図8は、本発明の第3実施例による画素回路に対する駆動タイミング図である。

図7に示すように、本発明の第3実施例による画素回路は、補償用トランジスタM2がPMOS型トランジスタで形成されている点を除いて、第1実施例による画素回路と同じである。このような第2実施例による画素回路に対する駆動タイミングは、図8に示すように、補償用トランジスタM2を導通させるための補償信号がローレベルになる点を除いて、第1実施例による駆動タイミングと同じである。

30

【0021】

図9は、本発明の第4実施例による画素回路の概略的な回路図であり、図10は、本発明の第4実施例による画素回路に対する駆動タイミング図である。

図9に示したように、本発明の第4実施例による画素回路は、電流駆動用トランジスタM1及び補償用トランジスタM2がPMOS型トランジスタで形成されている点を除いて、第1実施例による画素回路と同じである。このような第2実施例による画素回路に対する駆動タイミングは、図10に示すように、走査線を選択するための選択信号及び補償用トランジスタM2を導通させるための補償信号がローレベルになる点を除いて、第1実施例による駆動タイミングと同じである。

第2～第4実施例による画素回路及びその駆動方法は、図2～図4を参照して、本発明の第1実施例の説明により本発明の属する技術分野における通常の知識を有する者が容易に理解できる内容であるので、重複する説明は省略する。

40

【0022】

このように、本発明の第1～第4実施例において、初期化ステップ、補償ステップ及びデータ電圧印加ステップの3つのステップからなるが、初期化ステップは省略できる。

そして、本発明では、駆動用トランジスタM3としてPMOS型トランジスタを用いたが、駆動用トランジスタM3としてNMOS型トランジスタを用いても良い。NMOS型トランジスタを用いる場合の回路構成及び駆動は、本発明の第1～第4実施例の説明により本発明の属する技術分野における通常の知識を有する者が容易に理解できる内容であるので、説明を省略する。

50

このように本発明によれば、駆動用薄膜トランジスタの特性偏差による輝度不均一性を補償することができ、キャパシタには補償ステップで電圧が充電されているので、トランジスタのスイッチング時間が減少する。

【0023】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0024】

【図1】本発明の実施例による有機EL表示装置の概略的な平面図である。

10

【図2】本発明の第1実施例による画素回路の概略的な回路図である。

【図3】本発明の第1実施例による画素回路に対する駆動タイミング図である。

【図4A】本発明の第1実施例による画素回路における駆動用トランジスタの電流-電圧特性曲線と有機EL素子の電流-電圧特性曲線を示すものである。

【図4B】一般的なトランジスタの電流-電圧特性曲線と有機EL素子の電流-電圧特性曲線を示すものである。

【図5】本発明の第2実施例による画素回路の概略的な回路図である。

【図6】本発明の第2実施例による画素回路に対する駆動タイミング図である。

【図7】本発明の第3実施例による画素回路の概略的な回路図である。

【図8】本発明の第3実施例による画素回路に対する駆動タイミング図である。

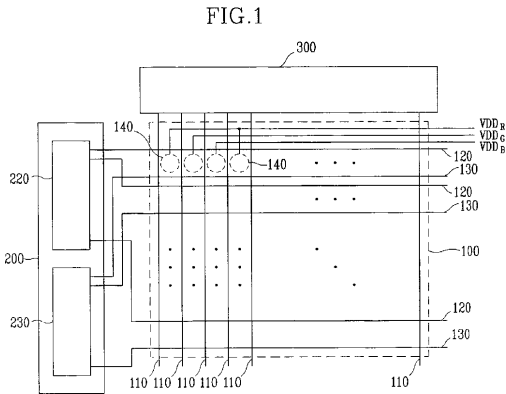
20

【図9】本発明の第4実施例による画素回路の概略的な回路図である。

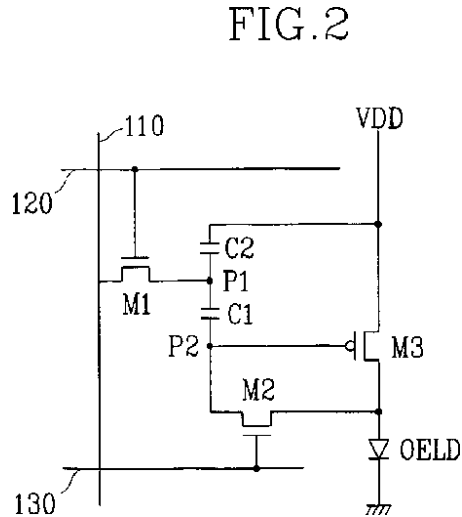
【図10】本発明の第4実施例による画素回路に対する駆動タイミング図である。

【図11】従来技術による有機EL表示装置の画素回路の概略的な回路図である。

【図1】

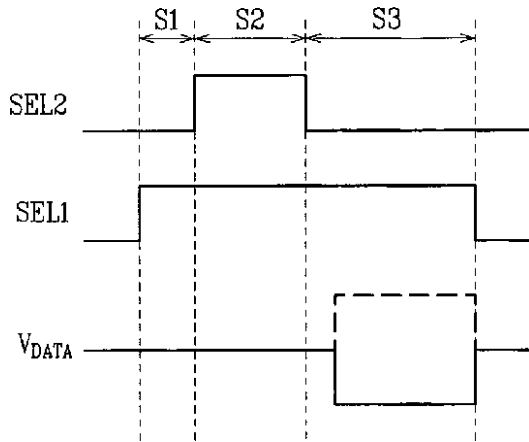


【図2】

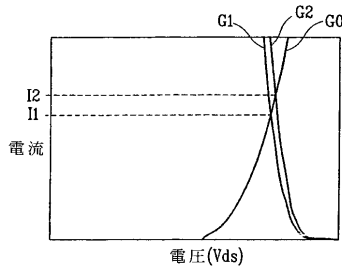


【 図 3 】

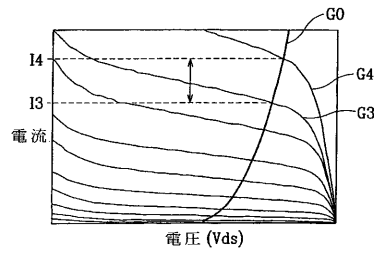
FIG.3



【 図 4 A 】

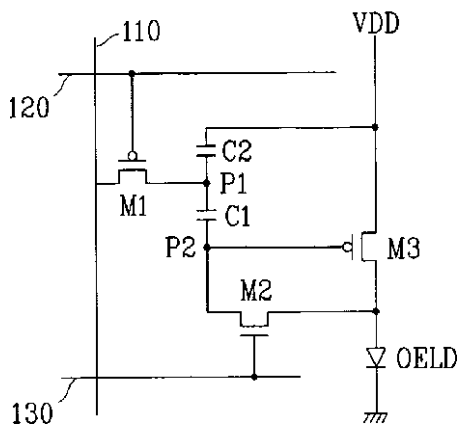


【 図 4 B 】



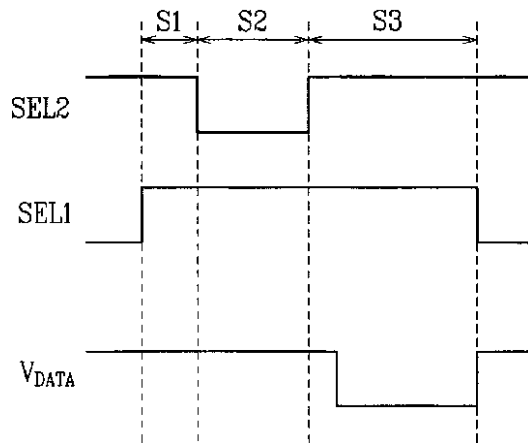
【 図 5 】

FIG.5



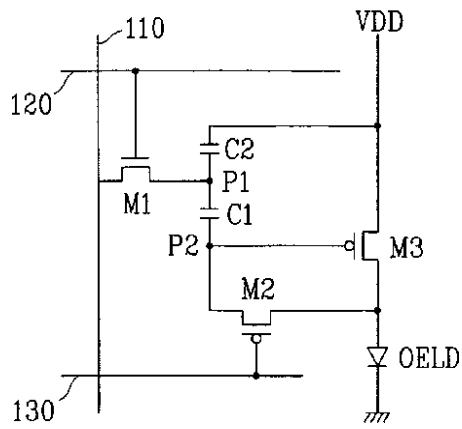
【 図 6 】

FIG.6



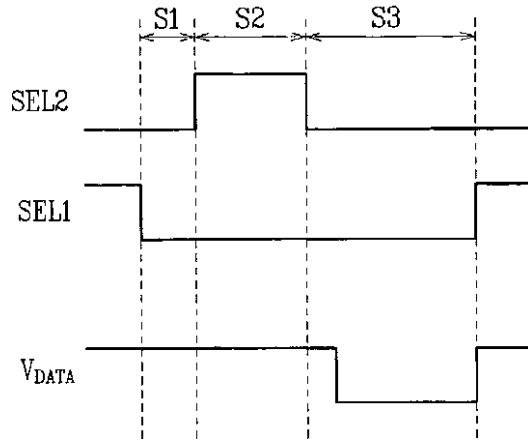
【 図 7 】

FIG.7



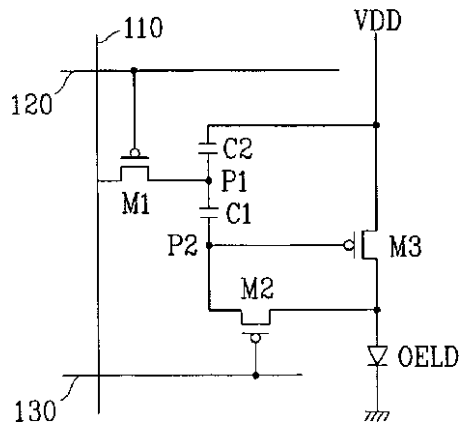
【 図 8 】

FIG.8



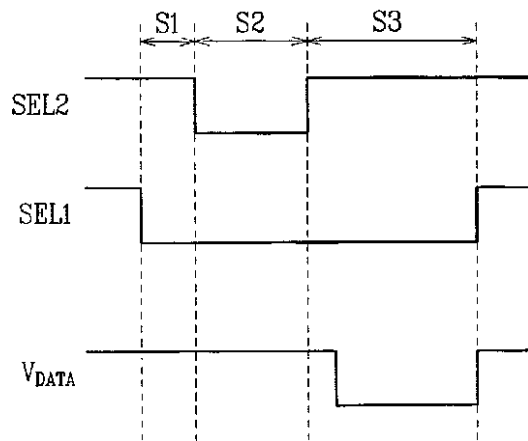
【 図 9 】

FIG.9

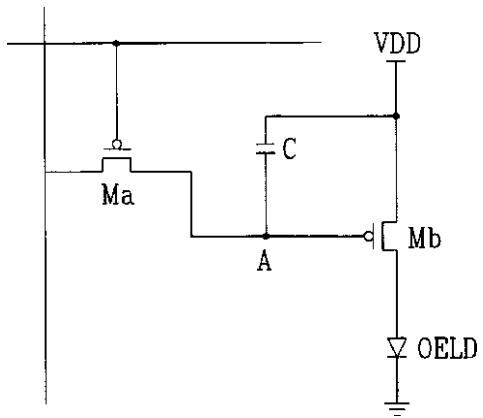


【 図 1 0 】

FIG.10



【図 11】
FIG.11



フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 4 1 D
 G 0 9 G 3/20 6 4 2 A
 G 0 9 G 3/20 6 4 2 J
 H 0 5 B 33/14 A

(72)発明者 チャエ, チョン - チュル
 大韓民国 1 2 1 - 7 6 5 ソウル, マポ - ク, シンゴンドウク - ドン, サムスン・アパートメン
 ト 1 0 2 - 1 0 0 4

(72)発明者 ミン, ウン - キュ
 大韓民国 4 7 2 - 9 0 8 キュンギ - ド, ナムヤンジユ市 , ワブ - ウブ, ドゴク - リ 1 0 1
 2, ハンガン・ウースン・アパートメント 1 1 4 - 2 0 2

(72)発明者 シン, キョン - ジュ
 大韓民国 4 4 9 - 9 0 4 キュンギ - ド, ヤンギン市, キヘウン - ウブ, ボラ - リ 2 8 9 - 1
 2, サムジェオン・セオンピ・マウル 1 0 2 - 5 0 4

審査官 橋本 直明

(56)参考文献 国際公開第98 / 0 4 8 4 0 3 (WO, A 1)
 特開2003 - 1 0 8 0 6 7 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/30

G09G 3/20

H01L 51/50

专利名称(译)	有机电致发光显示装置及其驱动方法		
公开(公告)号	JP4326965B2	公开(公告)日	2009-09-09
申请号	JP2003575365	申请日	2002-09-19
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	チヨイベオムラク チヨイジューンフー チャエチヨンチュル ミンウンキュ シンキョンジュ		
发明人	チヨイ,ベオム-ラク チヨイ,ジューン-フー チャエ,チヨン-チュル ミン,ウン-キュ シン,キョン-ジュ		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/32		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2310/0262 G09G2320/0233 G09G2320/0242 G09G2320/043		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.H G09G3/20.621.F G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.642.J H05B33/14.A		
审查员(译)	Naoaki 桥本		
优先权	1020020012510 2002-03-08 KR		
其他公开文献	JP2005520191A		
外部链接	Espacenet		

摘要(译)

在有机EL显示装置中，像素电路包括有机EL元件，第一和第二开关元件，驱动薄膜晶体管和电容器。所述第一开关元件开关响应于施加到扫描线的选择信号施加到数据线的的数据电压，所述第二开关元件，用于响应于所述补偿信号驱动施加到补偿线连接薄膜晶体管的栅极和漏极。驱动薄膜晶体管通过第一开关元件向对应于输入到栅极的数据电压的有机EL元件提供电流，并且电容器将施加到驱动薄膜晶体管的栅极的数据电压保持预定时间。此时，在施加数据电压之前，将补偿信号施加到补偿线以连接驱动薄膜晶体管的栅极和漏极，以补偿晶体管的特性偏差，此后，补偿信号被中断并且数据电压它适用于。以这种方式，可以补偿驱动薄膜晶体管的特性偏差。

