

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4210243号  
(P4210243)

(45) 発行日 平成21年1月14日(2009.1.14)

(24) 登録日 平成20年10月31日(2008.10.31)

|                             |                |
|-----------------------------|----------------|
| (51) Int.Cl.                | F I            |
| <b>G09G 3/30 (2006.01)</b>  | G09G 3/30 J    |
| <b>G09G 3/20 (2006.01)</b>  | G09G 3/20 612E |
| <b>HO1L 51/50 (2006.01)</b> | G09G 3/20 622E |
|                             | G09G 3/20 624B |
|                             | G09G 3/20 641D |
| 請求項の数 23 (全 24 頁) 最終頁に続く    |                |

|              |                               |           |                       |
|--------------|-------------------------------|-----------|-----------------------|
| (21) 出願番号    | 特願2004-191842 (P2004-191842)  | (73) 特許権者 | 501426046             |
| (22) 出願日     | 平成16年6月29日(2004.6.29)         |           | エルジー ディスプレイ カンパニー リ   |
| (65) 公開番号    | 特開2005-196114 (P2005-196114A) |           | ミテッド                  |
| (43) 公開日     | 平成17年7月21日(2005.7.21)         |           | 大韓民国 ソウル, ヨンドゥンポーク, ヨ |
| 審査請求日        | 平成16年6月29日(2004.6.29)         |           | イドードン 20              |
| (31) 優先権主張番号 | 2003-099752                   | (74) 代理人  | 100064447             |
| (32) 優先日     | 平成15年12月30日(2003.12.30)       |           | 弁理士 岡部 正夫             |
| (33) 優先権主張国  | 韓国 (KR)                       | (74) 代理人  | 100085176             |
|              |                               |           | 弁理士 加藤 伸晃             |
|              |                               | (74) 代理人  | 100106703             |
|              |                               |           | 弁理士 産形 和央             |
|              |                               | (74) 代理人  | 100096943             |
|              |                               |           | 弁理士 臼井 伸一             |
|              |                               | (74) 代理人  | 100101498             |
|              |                               |           | 弁理士 越智 隆夫             |
| 最終頁に続く       |                               |           |                       |

(54) 【発明の名称】 エレクトロルミネセンス表示装置とその駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の駆動電圧供給ライン、  
 N個の基底電圧供給ライン、  
 複数のデータラインとゲートラインの交差領域ごとにマトリックス状に形成されて前記  
 駆動電圧供給ラインから供給される電流に反応して光を発生するエレクトロルミネセンス  
 セル、  
 前記エレクトロルミネセンスセルと前記基底電圧供給ラインの間に接続されて前記エレ  
 クトルミネセンスセルを経由する電流量を制御する駆動用薄膜トランジスタ、  
 前記ゲートライン、前記データライン及び前記駆動用薄膜トランジスタの制御端子に接  
 続されるスイッチ用薄膜トランジスタ、  
 前記駆動用薄膜トランジスタの制御端子と第2入力端子の間に接続されるストレージキ  
 ャパシター、  
 ハイ状態の基底電圧を発生する基底電圧発生部、  
 前記ハイ状態の基底電圧を順次シフトさせて前記N個の基底電圧供給ラインに順次供給  
 するシフトレジスター部、  
 前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子  
 と前記N-1番目の基底電圧供給ラインの間に接続されており、前記N-1番目のゲート  
 ラインに供給されるスキャンパルスに反応して前記駆動用薄膜トランジスタに逆バイアス  
 電圧が供給されるようなバイアス用スイッチを具備し、

10

20

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合、前記 N 番目の基底電圧供給ラインには前記シフトレジスタ部からハイ状態の基底電圧が供給されて、前記 N - 1 番目の基底電圧供給ラインには前記シフトレジスタ部からロー状態の基底電圧が供給されることを特徴とするエレクトロルミネセンス表示装置。

【請求項 2】

前記バイアス用スイッチは前記 N - 1 番目のゲートラインに接続される制御端子、前記 N - 1 番目の基底電圧供給ラインに接続される第 1 入力端子、前記駆動用薄膜トランジスタの制御端子であって、前記 N 番目の基底電圧供給ラインに接続されている制御端子に接続される第 2 入力端子を具備することを特徴とする請求項 1 記載のエレクトロルミネセンス表示装置。

10

【請求項 3】

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合において、前記 N - 1 番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記スイッチ用薄膜トランジスタを経由してデータが供給されて、第 2 入力端子には前記 N - 1 番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されることを特徴とする請求項 1 記載のエレクトロルミネセンス表示装置。

【請求項 4】

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合において、前記 N 番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記 N - 1 番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第 2 入力端子には前記 N 番目の基底電圧供給ラインから前記ハイ状態の基底電圧が供給されることを特徴とする請求項 1 記載のエレクトロルミネセンス表示装置。

20

【請求項 5】

複数の駆動電圧供給ライン、  
N 個の基底電圧供給ライン、  
複数のデータラインとゲートラインの交差領域ごとにマトリックス状に形成されて前記駆動電圧供給ラインから供給される電流に反応して光を発生するエレクトロルミネセンスセル、

前記エレクトロルミネセンスセルと前記基底電圧供給ラインの間に接続されて前記エレクトロルミネセンスセルを経由する電流量を制御する駆動用薄膜トランジスタ、

30

前記ゲートライン、データライン及び前記駆動用薄膜トランジスタの制御端子に接続されるスイッチ用薄膜トランジスタ、

前記駆動用薄膜トランジスタの制御端子と第 2 入力端子の間に接続されるストレージキャパシター、

前記 N 番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子と前記 N - 1 番目の基底電圧供給ラインの間に接続されており、前記 N - 1 番目のゲートラインに供給されるスキャンパルスに反応して前記駆動用薄膜トランジスタに逆バイアス電圧が供給されるようなバイアス用スイッチ、

前記基底電圧を発生する基底電圧発生部、

40

前記 N 個の基底電圧供給ラインに共通に接続されて前記基底電圧発生部から前記基底電圧が供給される基底電圧共通ライン、

前記 N 個の基底電圧供給ラインのそれぞれと前記基底電圧共通ラインの間に接続される N 個の内蔵スイッチを具備し、

前記バイアス用スイッチは前記 N - 1 番目のゲートラインに接続される制御端子、前記 N - 1 番目の基底電圧供給ラインに接続される第 1 入力端子、前記駆動用薄膜トランジスタの制御端子であって、前記 N 番目の基底電圧供給ラインに接続されている制御端子に接続される第 2 入力端子を具備し、

前記 N 個の内蔵スイッチは対応するゲートラインに前記スキャンパルスが供給される場合にターンオンされ、1 行前のゲートラインに前記スキャンパルスが供給される場合にタ

50

ーンオフされることを特徴とするエレクトロルミネセンス表示装置。

【請求項 6】

前記 N 個の内蔵スイッチは前記駆動用薄膜トランジスタ、スイッチ用薄膜トランジスタ及びバイアス用スイッチと異なる導電型の薄膜トランジスタであることを特徴とする請求項 5 記載のエレクトロルミネセンス表示装置。

【請求項 7】

前記内蔵スイッチの制御端子と1 行前のゲートラインの間には前記スキャンパルスを反転させるためのインバーターが接続されることを特徴とする請求項 5 記載のエレクトロルミネセンス表示装置。

【請求項 8】

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合において、前記 N - 1 番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記スイッチ用薄膜トランジスタを経由してデータが供給されて、第 2 入力端子には前記内蔵スイッチを経由して前記 N - 1 番目の基底電圧供給ラインに供給されるロー状態の基底電圧が供給されることを特徴とする請求項 5 記載のエレクトロルミネセンス表示装置。

【請求項 9】

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合において、前記 N 番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記 N - 1 番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第 2 入力端子には前記内蔵スイッチのターンオフによりフローティング状態にされることを特徴とする請求項 5 記載のエレクトロルミネセンス表示装置。

【請求項 10】

複数の駆動電圧供給ライン、  
N 個の基底電圧供給ライン、  
複数のデータラインとゲートラインの交差領域ごとにマトリックス状に形成されて前記駆動電圧供給ラインから供給される電流に反応して光を発生するエレクトロルミネセンスセル、

前記エレクトロルミネセンスセルと前記基底電圧供給ラインの間に接続されて前記エレクトロルミネセンスセルを経由する電流量を制御する駆動用薄膜トランジスタ、

前記ゲートライン、前記データライン及び前記駆動用薄膜トランジスタの制御端子に接続されるスイッチ用薄膜トランジスタ、

前記駆動用薄膜トランジスタの制御端子と第 2 入力端子の間に接続されるストレージキャパシター、

N 番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子と N - 1 番目の基底電圧供給ラインの間に接続されており、前記 N - 1 番目のゲートラインに供給されるスキャンパルスに反応して前記駆動用薄膜トランジスタに逆バイアス電圧が供給されるようなバイアス用スイッチ、

前記基底電圧を発生する基底電圧発生部、

前記 N 個の基底電圧供給ラインに共通に接続されて前記基底電圧発生部から前記基底電圧が供給される基底電圧共通ライン、

前記 N 個の基底電圧供給ラインのそれぞれと前記駆動用薄膜トランジスタの第 2 入力端子の間に接続される N 個の内部スイッチを具備し、

前記バイアス用スイッチは前記 N - 1 番目のゲートラインに接続される制御端子、前記 N - 1 番目の基底電圧供給ラインに接続される第 1 入力端子、前記駆動用薄膜トランジスタの制御端子であって、前記 N 番目の基底電圧供給ラインに接続されている制御端子に接続される第 2 入力端子を具備し、

前記 N 個の内部スイッチは対応するゲートラインに前記スキャンパルスが供給される場合にターンオンされ、1 行前のゲートラインに前記スキャンパルスが供給される場合にタ

10

20

30

40

50

ーンオフされることを特徴とするエレクトロルミネセンス表示装置。

【請求項 1 1】

前記 N 個の内部スイッチは前記駆動用薄膜トランジスタ、スイッチ用薄膜トランジスタ及びバイアス用スイッチと異なる導電型の薄膜トランジスタであることを特徴とする請求項 1 0 記載のエレクトロルミネセンス表示装置。

【請求項 1 2】

前記内部スイッチの制御端子と1 行前のゲートラインの間には前記スキャンパルスを反転させるためのインバーターが接続されることを特徴とする請求項 1 0 記載のエレクトロルミネセンス表示装置。

【請求項 1 3】

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合において、前記 N - 1 番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記スイッチ用薄膜トランジスタを経由してデータが供給されて、第 2 入力端子には前記内部スイッチを経由して前記 N - 1 番目の基底電圧供給ラインに供給されるロー状態の基底電圧が供給されることを特徴とする請求項 1 0 記載のエレクトロルミネセンス表示装置。

【請求項 1 4】

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合において、前記 N 番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記 N - 1 番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第 2 入力端子には前記内部スイッチのターンオフによりフローティング状態にされることを特徴とする請求項 1 0 記載のエレクトロルミネセンス表示装置。

【請求項 1 5】

多数のデータラインとゲートラインの交差領域ごとにマトリクス状に形成されて駆動電圧供給ラインから供給される電流に対応して光を発生するエレクトロルミネセンスセル、前記エレクトロルミネセンスセルと基底電圧供給ラインの間に接続されて前記エレクトロルミネセンスセルを経由する電流量を制御する駆動用薄膜トランジスタを含むエレクトロルミネセンス表示装置の駆動方法において、

N - 1 番目のゲートラインに供給されるスキャンパルスを供給して前記駆動用薄膜トランジスタを駆動して前記エレクトロルミネセンスセルを発光させる段階、

ハイ状態の基底電圧を発生する段階、

前記ハイ状態の基底電圧を順次シフトさせて前記 N 個の基底電圧供給ラインに順次供給する段階

N 番目の基底電圧供給ラインに接続される前記駆動用薄膜トランジスタの制御端子と前記 N - 1 番目の基底電圧供給ラインの間に接続されたバイアス用スイッチを利用して前記スキャンパルスにより前記駆動用薄膜トランジスタに逆バイアス電圧が供給されるようにする段階、

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合、前記 N 番目の基底電圧供給ラインにはハイ状態の基底電圧が供給されて、前記 N - 1 番目の基底電圧供給ラインにはロー状態の基底電圧が供給される段階を含むことを特徴とするエレクトロルミネセンス表示装置の駆動方法。

【請求項 1 6】

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合において、前記 N - 1 番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子にはスイッチ用薄膜トランジスタを経由してデータが供給されて、第 2 入力端子には前記 N - 1 番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されることを特徴とする請求項 1 5 記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項 1 7】

前記 N - 1 番目のゲートラインに前記スキャンパルスが供給される場合において、前記

10

20

30

40

50

N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記N - 1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第2入力端子には前記N番目の基底電圧供給ラインから前記ハイ状態の基底電圧が供給されることを特徴とする請求項15記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項18】

多数のデータラインとゲートラインの交差領域ごとにマトリックス状に形成されて前記駆動電圧供給ラインから供給される電流に対応して光を発生するエレクトロルミネセンスセル、前記エレクトロルミネセンスセルと前記基底電圧供給ラインの間に接続されて前記エレクトロルミネセンスセルを経由する電流量を制御する駆動用薄膜トランジスタを含む

10

エレクトロルミネセンス表示装置の駆動方法において、  
N - 1番目のゲートラインに供給されるスキャンパルスを提供して前記駆動用薄膜トランジスタを駆動して前記エレクトロルミネセンスセルを発光させる段階、

N番目の基底電圧供給ラインに接続される前記駆動用薄膜トランジスタの制御端子と前記N - 1番目基底電圧供給ラインの間に接続されたバイアス用スイッチを利用して前記スキャンパルスにより前記駆動用薄膜トランジスタに逆バイアス電圧が供給されるようにする段階、

前記基底電圧を発生する段階、

N個の基底電圧供給ラインに共通に接続された基底電圧共通ラインに前記基底電圧を供給する段階、

20

前記N個の基底電圧供給ラインのそれぞれと前記基底電圧共通ラインの間に接続されるN個の内蔵スイッチを利用して前記スキャンパルスにより前記N個の基底電圧供給ラインのそれぞれを選択的にフローティングさせる段階を含み、

前記N個の内蔵スイッチは対応するゲートラインに前記スキャンパルスが供給される場合にターンオンされ、1行前のゲートラインに前記スキャンパルスが供給される場合にターンオフされることを特徴とするエレクトロルミネセンス表示装置の駆動方法。

【請求項19】

前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合において、前記N - 1番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子にはデータが供給されて、第2入力端子には前記内蔵スイッチを経由して前記N - 1番目の基底電圧供給ラインに供給されるロー状態の基底電圧が供給されることを特徴とする請求項18記載のエレクトロルミネセンス表示装置の駆動方法。

30

【請求項20】

前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合において、前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記N - 1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第2入力端子には前記内蔵スイッチのターンオフによりフローティング状態にされることを特徴とする請求項18記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項21】

40

多数のデータラインとゲートラインの交差領域ごとにマトリックス状に形成されて前記駆動電圧供給ラインから供給される電流に対応して光を発生するエレクトロルミネセンスセル、前記エレクトロルミネセンスセルと前記基底電圧供給ラインの間に接続されて前記エレクトロルミネセンスセルを経由する電流量を制御する駆動用薄膜トランジスタを含む  
エレクトロルミネセンス表示装置の駆動方法において、

前記N - 1番目のゲートラインに供給されるスキャンパルスを提供して前記駆動用薄膜トランジスタを駆動して前記エレクトロルミネセンスセルを発光させる段階、

前記N番目の基底電圧供給ラインに接続される前記駆動用薄膜トランジスタの制御端子と前記N - 1番目基底電圧供給ラインの間に接続されたバイアス用スイッチを利用して前記スキャンパルスにより前記駆動用薄膜トランジスタに逆バイアス電圧が供給されるよう

50

にする段階、

前記基底電圧を発生する段階、

前記基底電圧を前記N個の基底電圧供給ラインに供給する段階、

前記N個の基底電圧供給ラインのそれぞれと前記駆動用薄膜トランジスタの第2入力端子の間に接続されるN個の内部スイッチを利用して前記スキャンパルスにより前記駆動用薄膜トランジスタの第2入力端子を選択的にフローティングさせる段階を含み、

前記N個の内蔵スイッチは対応するゲートラインに前記スキャンパルスが供給される場合にターンオンされ、1行前のゲートラインに前記スキャンパルスが供給される場合にターンオフされることを特徴とするエレクトロルミネセンス表示装置の駆動方法。

【請求項22】

前記N-1番目のゲートラインに前記スキャンパルスが供給される場合において、前記N-1番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子にはデータが供給されて、第2入力端子には前記内部スイッチを経由して前記N-1番目の基底電圧供給ラインに供給されるロー状態の基底電圧が供給されることを特徴とする請求項21記載のエレクトロルミネセンス表示装置の駆動方法。

【請求項23】

前記N-1番目のゲートラインに前記スキャンパルスが供給される場合において、前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記N-1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第2入力端子には前記内部スイッチのターンオフによりフローティング状態にされることを特徴とする請求項21記載のエレクトロルミネセンス表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はエレクトロルミネセンス表示装置とその駆動方法に関するもので、特に薄膜トランジスタの劣化を防止して画質を改善できるようにしたエレクトロルミネセンス表示装置とその駆動方法に関するものである。

【背景技術】

【0002】

最近、陰極線管(Cathode Ray Tube)の短所である重さと嵩を減らすことができる各種平板表示装置が注目されている。このような平板表示装置では液晶表示装置(Liquid Crystal Display)、電界放出表示装置(Field Emission Display)、プラズマ表示パネル(Plasma Display Panel)及びエレクトロルミネセンス(Electro-Luminescence; 以下、“EL”という)表示装置などがある。

【0003】

これらの中でEL表示装置は電子と正孔の再結合で蛍光体を発光させる自発光素子で、無機化合物として前記蛍光体を使用する無機ELと有機化合物として前記蛍光体を使用する有機ELに大別される。このようなEL表示装置は低電圧駆動、自己発光、薄膜型、広い視野角、早い回答速度、高いコントラストなどの多くの長所を有して次世代表示装置として期待されている。

【0004】

有機EL素子は電子注入層、電子搬送層、発光層、正孔搬送層、正孔注入層から構成される。このような有機EL素子では陽極と陰極の間に所定の電圧を印加する場合、陰極から発生した電子が電子注入層及び電子搬送層を通じて発光層の方に移動して、陽極から発生した正孔が正孔注入層及び正孔搬送層を通じて発光層の方に移動する。このように、電子搬送層と正孔搬送層から供給された電子と正孔が、発光層で再結合し、光を放出する。

【0005】

このような有機EL素子を利用するアクティブマトリックスEL表示装置は図1に図示

10

20

30

40

50

されたようにゲートラインG LとデータラインD Lの交差で定義された領域にそれぞれ配列された画素28を具備するE Lパネル20、E Lパネル20のゲートラインG Lを駆動するゲートドライバー22、E Lパネル20のデータラインD Lを駆動するデータドライバー24、データドライバー24に多数のガンマ電圧を供給するガンマ電圧生成部26を具備する。

【0006】

ゲートドライバー22はゲートラインG Lにスキャンパルスを提供してゲートラインG Lを順次に駆動する。

【0007】

データドライバー24は外部から入力されたデジタルデータ信号をガンマ電圧生成部26からのガンマ電圧を利用してアナログデータ信号に変換する。データドライバー24はアナログデータ信号をスキャンパルスが供給される度にデータラインD Lに供給する。

【0008】

画素28のそれぞれはゲートラインG Lにスキャンパルスが供給される時、データラインD Lからのデータ信号を受信して、そのデータ信号に対応する光を発生する。

【0009】

このために、画素28のそれぞれは図2に図示されたように供給電圧源V D Dに陽極が接続されたE LセルO E Lと、E LセルO E Lに陰極が接続されることと同時にゲートラインG L、データラインD L及び基底電圧源G N Dに接続されてE LセルO E Lを駆動するためのセル駆動部30を具備する。

【0010】

セル駆動部30はゲートラインG Lに接続されたゲート端子、データラインD Lに接続されたソース端子、第1ノードN 1に接続されたドレイン端子を有するスイッチング用薄膜トランジスタT 1、第1ノードN 1に接続されたゲート端子、基底電圧源G N Dに接続されたドレイン端子が、E LセルO E Lに接続されたソース端子を有する駆動用薄膜トランジスタT 2、基底電圧源G N Dと第1ノードN 1の間に接続されたストレージキャパシタC s t、を具備する。

【0011】

スイッチング用薄膜トランジスタT 1はゲートラインG Lにスキャンパルスが印加されればターンオンされてデータラインD Lから供給されたデータ信号を第1ノードN 1に供給する。第1ノードN 1に供給されたデータ信号はストレージキャパシタC s tに充電されることと同時に駆動用薄膜トランジスタT 2のゲート端子に供給される。駆動用薄膜トランジスタT 2はゲート端子に供給されるデータ信号に応答してE LセルO E Lを経由して供給電圧源V D Dから供給される電流量Iを制御することでE LセルO E Lの発光量を調節するようになる。及び、スイッチング用薄膜トランジスタT 1がターンオフされても駆動用薄膜トランジスタT 2はストレージキャパシタC s tに充電されたデータ信号によりオン状態を維持して次のフレームのデータ信号が供給されるまでE LセルO E Lを経由して供給電圧源V D Dから供給される電流量Iを制御することができる。

【0012】

ここで、E LセルO E Lへ流れる電流量Iは数1のように表示されることができる。

【0013】

【数1】

$$I = \frac{W}{2L} COX (Vg2 - Vth)^2$$

【0014】

ここで、Wは駆動用薄膜トランジスタT 2の幅を示して、Lは駆動用薄膜トランジスタT 2の長さを示す。及び、C o xは駆動用薄膜トランジスタT 2を製造する時、一つの層を形成する絶縁膜により形成されるキャパシタの値を示す。同時に、V g 2は駆動用薄膜トランジスタT 2のゲート端子に入力されるデータ信号の電圧値を示して、V t hは駆

10

20

30

40

50

動用薄膜トランジスタT2のしきい電圧値を示す。

【0015】

数学式1でW、L、Cox、Vg2は時間の経過にかかわらず一定に維持することができる。

【0016】

しかし、駆動用薄膜トランジスタT2のゲート端子に持続的な正極性(+)の電圧が供給されることと同時に電流駆動により駆動用薄膜トランジスタT2が劣化される問題点がある。このような、駆動用薄膜トランジスタT2の劣化により駆動用薄膜トランジスタT2のしきい電圧値は時間の経過に沿って増加するようになる。このように、駆動用薄膜トランジスタT2のしきい電圧値が増加するようになればELセルOELに流れる電流の量を正確に制御(実際に電流量減少)できないため輝度が減少され、所望の画像が表示されない問題点がある。

10

【0017】

これを詳しく説明すれば、駆動用薄膜トランジスタT2は水素化された非晶質シリコンを利用して生成される。このような水素化された非晶質シリコンは対面的に製作が容易くて、350以下の低い基板温度で蒸着が可能だという利点がある。したがって、大部分の薄膜トランジスタTFTは水素化された非晶質シリコンを使用して形成される。

【0018】

しかし、このような水素化された非晶質シリコンは原子配列が無秩序であるため図3aのように弱い結合(Si-Si Bond)32及びデングリングボンド(Dangling Bond)が存在する。ここで弱い結合32で結合されたSiは時間の経過とともに図3bに示すように原子を離脱し、離脱した位置で電子または正孔が再結合されるか、離脱状態が維持される。このように水素化された非晶質シリコンの原子配列の変化がエネルギー準位の変化をひきおこすことで図4に図示されたように駆動用薄膜トランジスタT2のしきい電圧Vthが増加(Vth'、Vth''、Vth''')する。したがって、駆動用薄膜トランジスタT2のしきい電圧Vthが増加(Vth'、Vth''、Vth''')することによってELパネル20において所望の輝度の映像を表示することが困難である。さらに、部分的な輝度の減少はELパネル20に残像を必然的にもたらすから画質に悪影響を及ぼすようになる。

20

【発明の開示】

30

【発明が解決しようとする課題】

【0019】

したがって、本発明の目的は薄膜トランジスタの劣化を防止して画質を改善できるようにしたエレクトロルミネセンス表示装置とその駆動方法を提供することである。

【課題を解決するための手段】

【0020】

前記目的を達成するために、本発明の実施例に係るエレクトロルミネセンス表示装置は駆動電圧供給ライン、N個の基底電圧供給ライン、複数のデータラインとゲートラインの交差領域ごとにマトリクス状に形成されて前記駆動電圧供給ラインから供給される電流に反応して光を発生するエレクトロルミネセンスセル、前記エレクトロルミネセンスセルと前記基底電圧供給ラインの間に接続されて前記エレクトロルミネセンスセルを経由する電流量を制御する駆動用薄膜トランジスタ、前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子と前記N-1番目の基底電圧供給ラインの間に接続されており、前記N-1番目のゲートラインに印加されるスキャンパルスに応じて前記駆動用薄膜トランジスタに逆バイアス電圧が流れるようなバイアス用スイッチを具備することを特徴とする。

40

【0021】

前記エレクトロルミネセンス表示装置において前記画素セルは前記ゲートラインとデータライン及び前記駆動用薄膜トランジスタの制御端子に接続されるスイッチ用薄膜トランジスタ、前記駆動用薄膜トランジスタの制御端子、第2入力端子の間に接続されるストレ

50

ージキャパシターをさらに具備することを特徴とする。

【0022】

前記エレクトロルミネセンス表示装置において前記バイアス用スイッチは前記N - 1番目のゲートラインに接続される制御端子、前記N - 1番目の基底電圧供給ラインに接続される第1入力端子、前記駆動用薄膜トランジスタの制御端子であって、前記N番目の基底電圧供給ラインに接続されている制御端子に接続される第2入力端子を具備することを特徴とする。

【0023】

前記エレクトロルミネセンス表示装置は前記ハイ状態の基底電圧を発生する基底電圧発生部、前記ハイ状態の基底電圧を順次、シフトさせて前記N個の基底電圧供給ラインに順次に供給するシフトレジスター部をさらに具備することを特徴とする。

10

【0024】

前記エレクトロルミネセンス表示装置において前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合、前記N番目の基底電圧供給ラインには前記シフトレジスター部からハイ状態の基底電圧が供給されて、前記N - 1番目の基底電圧供給ラインには前記シフトレジスター部からロー状態の基底電圧が供給されることを特徴とする。

【0025】

前記エレクトロルミネセンス表示装置において前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合において、前記N - 1番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記スイッチング薄膜トランジスタを経由してデータが供給されて、第2入力端子には前記N - 1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されることを特徴とする。

20

【0026】

前記エレクトロルミネセンス表示装置において前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合において、前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記N - 1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第2入力端子には前記N番目の基底電圧供給ラインから前記ハイ状態の基底電圧が供給されることを特徴とする。

【0027】

前記エレクトロルミネセンス表示装置は前記基底電圧を発生する基底電圧発生部と、前記N個の基底電圧供給ラインに共通に接続されて前記基底電圧発生部から前記基底電圧が供給される基底電圧共通ライン、前記N個の基底電圧供給ラインのそれぞれと前記基底電圧共通ラインの間に接続されるN個の内蔵スイッチをさらに具備することを特徴とする。

30

【0028】

前記エレクトロルミネセンス表示装置において前記N個の内蔵スイッチは前記ゲートラインに前記スキャンパルスが供給される場合にターンオン状態を維持して、前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合にターンオフされることを特徴とする。

【0029】

前記エレクトロルミネセンス表示装置において前記N個の内蔵スイッチは前記駆動用薄膜トランジスタ、スイッチ用薄膜トランジスタ及びバイアス用スイッチと異なるタイプの薄膜トランジスタであることを特徴とする。

40

【0030】

前記エレクトロルミネセンス表示装置において前記N個の内蔵スイッチの制御端子と前記N - 1番目のゲートラインの間には前記スキャンパルスを反転させるためのインバーターが接続されることを特徴とする。

【0031】

前記エレクトロルミネセンス表示装置において前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合において、前記N - 1番目の基底電圧供給ラインに接続さ

50

れた前記駆動用薄膜トランジスタの制御端子には前記スイッチング薄膜トランジスタを経由してデータが供給されて、第2入力端子には前記内蔵スイッチを経由して前記N - 1番目の基底電圧供給ラインに供給されるロー状態の基底電圧が供給されることを特徴とする。

【0032】

前記エレクトロルミネセンス表示装置において前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合において、前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記N - 1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第2入力端子には前記内蔵スイッチのターンオフにより前記N番目の基底電圧供給ラインに発生されるフローティング電圧が供給されることを特徴とする。

10

【0033】

前記エレクトロルミネセンス表示装置は前記基底電圧を発生する基底電圧発生部と、前記N個の基底電圧供給ラインに共通に接続されて前記基底電圧発生部から前記基底電圧が供給される基底電圧共通ライン、前記N個の基底電圧供給ラインのそれぞれと前記駆動用薄膜トランジスタの第2入力端子の間に接続されるN個の内部スイッチをさらに具備することを特徴とする。

【0034】

前記エレクトロルミネセンス表示装置において前記N個の内部スイッチは前記ゲートラインに前記スキャンパルスが供給される場合にターンオン状態を維持して、前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合にターンオフされることを特徴とする。

20

【0035】

前記エレクトロルミネセンス表示装置において前記N個の内部スイッチは前記駆動用薄膜トランジスタ、スイッチング薄膜トランジスタ及びバイアス用スイッチとは異なるタイプの薄膜トランジスタであることを特徴とする。

【0036】

前記エレクトロルミネセンス表示装置において前記N個の内部スイッチの制御端子と前記N - 1番目のゲートラインの間には前記スキャンパルスを反転させるためのインバーターが接続されることを特徴とする。

30

【0037】

前記エレクトロルミネセンス表示装置において前記N - 1番目のゲートラインに前記スキャンパルスが供給される時に、前記N - 1番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記スイッチング薄膜トランジスタを経由してデータが供給されて、第2入力端子には前記内部スイッチを経由して前記N - 1番目の基底電圧供給ラインに供給されるロー状態の基底電圧が供給されることを特徴とする。

【0038】

前記エレクトロルミネセンス表示装置において前記N - 1番目のゲートラインに前記スキャンパルスが供給される場合において、前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記N - 1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第2入力端子には前記内部スイッチのターンオフにより前記N番目の基底電圧供給ラインに発生されるフローティング電圧が供給されることを特徴とする。

40

【0039】

本発明の実施例に係るエレクトロルミネセンス表示装置の駆動方法は多数のデータラインとゲートラインの交差領域ごとにマトリクス状態に形成されて前記駆動電圧供給ラインから供給される電流に対応して光を発生するエレクトロルミネセンスセル、前記エレクトロルミネセンスセルと前記基底電圧供給ラインの間に接続されて前記エレクトロルミネセンスセルを経由する電流量を制御する駆動用薄膜トランジスタを含むエレクトロルミネセンス表示装置の駆動方法において、前記N - 1番目のゲートラインに供給されるスキャ

50

ンパルスを供給して前記駆動用薄膜トランジスタを駆動して前記エレクトロルミネセンスセルを発光させる段階、前記N番目の基底電圧供給ラインに接続される前記駆動用薄膜トランジスタの制御端子と前記N-1番目の基底電圧供給ラインの間に接続されたバイアス用スイッチを利用して前記スキャンパルスにより前記駆動用薄膜トランジスタに逆バイアス電圧が供給されるようにする段階を含むことを特徴とする。

【0040】

前記エレクトロルミネセンス表示装置の駆動方法はハイ状態の基底電圧を発生する段階と、前記ハイ状態の基底電圧を順次、シフトさせて前記N個の基底電圧供給ラインに順次、供給する段階をさらに含むことを特徴とする。

【0041】

前記エレクトロルミネセンス表示装置の駆動方法において前記N-1番目のゲートラインに前記スキャンパルスが供給される場合、前記N-1番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記スイッチング薄膜トランジスタを経由してデータが供給されて、第2入力端子には前記N-1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されることを特徴とする。

【0042】

前記エレクトロルミネセンス表示装置の駆動方法において前記N-1番目のゲートラインに前記スキャンパルスが供給される場合、前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記N-1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第2入力端子には前記N番目の基底電圧供給ラインから前記ハイ状態の基底電圧が供給されることを特徴とする。

【0043】

前記エレクトロルミネセンス表示装置の駆動方法は前記基底電圧を発生する段階、前記N個の基底電圧供給ラインに共通に接続された基底電圧共通ラインに前記基底電圧を供給する段階、前記N個の基底電圧供給ラインのそれぞれと前記基底電圧共通ラインの間に接続されるN個の内蔵スイッチを利用して前記スキャンパルスにより前記N個の基底電圧供給ラインのそれぞれを選択的にフローティングさせる段階をさらに含むことを特徴とする。

【0044】

前記エレクトロルミネセンス表示装置の駆動方法において前記N個の内蔵スイッチは前記ゲートラインに前記スキャンパルスが供給される場合にターンオン状態を維持して、前記N-1番目のゲートラインに前記スキャンパルスが供給される場合にターンオフされることを特徴とする。

【0045】

前記エレクトロルミネセンス表示装置の駆動方法において前記N-1番目のゲートラインに前記スキャンパルスが供給される場合、前記N-1番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子にはデータが供給されて、第2入力端子には前記内蔵スイッチを経由して前記N-1番目の基底電圧供給ラインに供給されるロー状態の基底電圧が供給されることを特徴とする。

【0046】

前記エレクトロルミネセンス表示装置の駆動方法において前記N-1番目のゲートラインに前記スキャンパルスが供給される場合、前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記N-1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第2入力端子には前記内蔵スイッチのターンオフにより前記N番目の基底電圧供給ラインに発生されるフローティング電圧が供給されることを特徴とする。

【0047】

前記エレクトロルミネセンス表示装置の駆動方法は前記基底電圧を発生する段階、前記基底電圧を前記N個の基底電圧供給ラインに供給する段階、前記N個の基底電圧供給ライ

10

20

30

40

50

ンのそれぞれと前記駆動用薄膜トランジスタの第2入力端子の間に接続されるN個の内部スイッチを利用して前記スキャンパルスにより前記駆動用薄膜トランジスタの第2入力端子を選択的にフローティングさせる段階をさらに含むことを特徴とする。

【0048】

前記エレクトロルミネセンス表示装置の駆動方法において前記N個の内部スイッチは前記ゲートラインに前記スキャンパルスが供給される場合にターンオン状態を維持して、前記N-1番目のゲートラインに前記スキャンパルスが供給される場合にターンオフされることを特徴とする。

【0049】

前記エレクトロルミネセンス表示装置の駆動方法において前記N-1番目ゲートラインに前記スキャンパルスが供給される場合において、前記N-1番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子にはデータが供給されて、第2入力端子には前記内部スイッチを経由して前記N-1番目の基底電圧供給ラインに供給されるロー状態の基底電圧が供給されることを特徴とする。

10

【0050】

前記エレクトロルミネセンス表示装置の駆動方法において前記N-1番目のゲートラインに前記スキャンパルスが供給される時に、前記N番目の基底電圧供給ラインに接続された前記駆動用薄膜トランジスタの制御端子には前記バイアス用スイッチを経由して前記N-1番目の基底電圧供給ラインから前記ロー状態の基底電圧が供給されて、第2入力端子には前記内部スイッチのターンオフにより前記N番目の基底電圧供給ラインに発生されるフローティング電圧が供給されることを特徴とする。

20

【発明の効果】

【0051】

上述したように、本発明の実施例に係るエレクトロルミネセンス表示装置とその駆動方法はN-1番目の画素とN番目の画素の間に接続されるバイアス用スイッチを具備する。これによって、本発明は前段のゲートラインに供給されるスキャンパルスを利用してN番目の画素を駆動する駆動用薄膜トランジスタに逆バイアス電圧を供給してしきい電圧を回復させるようになる。したがって本発明は駆動用薄膜トランジスタの劣化を防止して画質を改善することを可能とする。尚、本発明の駆動用薄膜トランジスタのしきい電圧を回復させて輝度の減少を防止することで残像による画質低下を防止することができる。

30

【発明を実施するための最良の形態】

【0052】

以下、本発明の実施例を添付した図5乃至図13を参照して詳しく説明する事にする。

【実施例】

【0053】

図5を参照すれば、本発明の第1実施例によるエレクトロルミネセンス(Electro-Luminescence;以下、“EL”という)表示装置はゲートラインGLとデータラインDLの交差に定義された領域にそれぞれ配列されられた画素128を具備するELパネル120、ELパネル120のゲートラインGLを駆動するゲートドライバー122、ELパネル120のデータラインDLを駆動するデータドライバー124、データドライバー124に複数のガンマ電圧を供給するガンマ電圧生成部126、基底電圧VSSを発生する基底電圧発生部125、基底電圧発生部125からの基底電圧をELパネル120に形成された複数の基底電圧供給ラインVSLに順次に供給するシフトレジスタ部129、上下に接した画素128の間に接続されて基底電圧供給ラインVSLからの基底電圧VSSを次の段の画素128に供給する複数のバイアス用スイッチSWを具備する。

40

【0054】

ゲートドライバー122はゲートラインGLにスキャンパルスを供給してゲートラインGLを順次に駆動する。

【0055】

50

データドライバー 124 は外部から入力されたデジタルデータ信号をガンマ電圧生成部 126 からのガンマ電圧を利用してアナログデータ信号に変換する。及び、データドライバー 124 はアナログデータ信号をスキャンパルスが供給される度にデータライン DL に供給するようになる。

【0056】

基底電圧発生部 125 はハイ状態の基底電圧  $V_{SSH}$  を発生してシフトレジスタ部 129 に供給する。この時、基底電圧発生部 125 は数 mA の電流を発生しながら電圧降下が数十 mV 以下になる。

【0057】

シフトレジスタ部 129 は多数のシフトレジスタを利用して基底電圧発生部 125 から供給されるハイ状態の基底電圧  $V_{SSH}$  を順次にシフトさせて複数の基底電圧供給ライン  $V_{SL}$  に順次に供給する。これによって、EL パネル 120 に形成された複数の基底電圧供給ライン  $V_{SL}$  はラインごとに独立して駆動される。このような、シフトレジスタ部 129 は EL パネル 120 の内部、或いは外部に形成されることができる。

【0058】

画素 128 のそれぞれはゲートライン GL にスキャンパルスが供給される時データライン DL からのデータ信号を受信して、そのデータ信号に対応する光を発生する。

【0059】

このために、画素 128 のそれぞれは図 6 に図示されたところのように供給電圧源  $V_{DD}$  に陽極が接続されたセル OEL と、EL セル OEL に陰極が接続されることと同時に第  $N-1$  番目のゲートライン  $GL_{n-1}$ 、データライン DL 及び基底電圧供給ライン  $V_{SL}$  に接続されて EL セル OEL を駆動させるためのセル駆動部 130 を具備する。

【0060】

セル駆動部 130 はゲートライン GL にゲート端子が、データライン DL にソース端子が、及び第 1 ノード  $N_1$  にドレイン端子が接続されたスイッチング用薄膜トランジスタ  $T_1$  と、第 1 ノード  $N_1$  にゲート端子が、基底電圧供給ライン  $V_{SL}$  にソース端子が、及び EL セル OEL にドレイン端子が接続された駆動用薄膜トランジスタ  $T_2$  と、基底電圧供給ライン  $V_{SL}$  と第 1 ノード  $N_1$  の間に接続されたストレージキャパシタ  $C_{st}$  を具備する。

【0061】

スイッチング用薄膜トランジスタ  $T_1$  はゲートライン GL にスキャンパルスが供給されればターンオンされてデータライン DL に供給されたデータ信号を第 1 ノード  $N_1$  に供給する。第 1 ノード  $N_1$  に供給されたデータ信号はストレージキャパシタ  $C_{st}$  に充電されることと同時に駆動用薄膜トランジスタ  $T_2$  のゲート端子に供給される。駆動用薄膜トランジスタ  $T_2$  はゲート端子に供給されるデータ信号にตอบสนองして EL セル OEL を経由して供給電圧源  $V_{DD}$  から供給される電流量  $I$  を制御することで EL セル OEL の発光量を調節するようになる。及び、スイッチング用薄膜トランジスタ  $T_1$  がターンオフされても駆動用薄膜トランジスタ  $T_2$  はストレージキャパシタ  $C_{st}$  に充電されたデータ信号によりターンオン状態を維持して次のフレームのデータ信号が供給されるまで EL セル OEL を経由して供給電圧源  $V_{DD}$  から供給される電流量  $I$  を制御することができる。

【0062】

多数のバイアス用スイッチ SW のそれぞれは図 6 に図示されたように第  $N-1$  番目のゲートライン  $GL_{n-1}$  にゲート端子が、第  $N-1$  番目の基底電圧供給ライン  $V_{SL_{n-1}}$  にソース端子が、次の段の画素 128 のそれぞれのセル駆動部 132 の第 1 ノード  $N_1$  にドレイン端子が接続される。

【0063】

このような、多数のバイアス用スイッチ SW のそれぞれは第  $N-1$  番目のゲートライン  $GL_{n-1}$  にスキャンパルスが供給されれば第  $N-1$  番目の基底電圧供給ライン  $V_{SL_{n-1}}$  からのロー状態の基底電圧  $V_{SSL}$  を第  $N$  番目の画素セル 128 の第 1 ノード  $N_1$  上に供給する。これに沿って、第  $N$  番目の画素セル 128 の第 1 ノード  $N_1$  上に供給される

10

20

30

40

50

ロー状態の基底電圧 $V_{SSL}$ が駆動用薄膜トランジスタ $T_2$ のゲート端子に供給される。この時、シフトレジスター部129から第 $N$ 番目の基底電圧供給ライン $V_{SLn}$ に供給されるハイ状態の基底電圧 $V_{SSH}$ は駆動用薄膜トランジスタ $T_2$ のソース端子に印加される。これにより $N$ 番目の画素セル128の $EL$ セル $OEL$ を駆動する駆動用薄膜トランジスタ $T_2$ のゲート端子 $G$ とソース端子 $S$ の間の電圧 $V_{gs}$ は第 $N-1$ 番目の基底電圧供給ライン $V_{SLn-1}$ からバイアス用スイッチ $SW$ を経由してゲート端子 $G$ に供給されるロー状態の基底電圧 $V_{SSL}$ と第 $N$ 番目の基底電圧供給ライン $V_{SLn}$ に供給されるハイ状態の基底電圧 $V_{SSH}$ の差値になる。したがって、バイアス用スイッチ $SW$ は第 $N-1$ 番目の基底電圧供給ライン $V_{SLn-1}$ からのロー状態の基底電圧 $V_{SSL}$ を利用して駆動用薄膜トランジスタ $T_2$ にネガティブバイアス(Negative Bias) -  $V_{gs}$ 電圧を供給することで駆動用薄膜トランジスタ $T_2$ のしきい電圧 $V_{th}$ のシフトを回復させるようになる。

10

【0064】

図7は図6に図示されたセル駆動部130を駆動させるための駆動信号を示す波形図である。

【0065】

図7を図6と結付して本発明の第1実施例に係る $EL$ 表示装置及びその駆動方法を説明すれば次のようである。

【0066】

本発明の第1実施例に係る $EL$ 表示装置及びその駆動方法は第 $N-1$ 番目のゲートライン $GLn-1$ に供給されるスキャンパルスを利用して第 $N-1$ 番目の画素セル128に画像を表示することと同時に第 $N-1$ 番目のゲートライン $GLn-1$ に供給されるスキャンパルスを利用して第 $N$ 番目の画素セル128の駆動用薄膜トランジスタ $T_2$ にネガティブバイアス -  $V_{gs}$ 電圧を供給して第 $N$ 番目の画素セル128を駆動する駆動用薄膜トランジスタ $T_2$ のしきい電圧 $V_{th}$ のシフトを回復させる段階を含む。ここで、第 $N-1$ 番目の画素セル128は第 $N-1$ 番目のゲートライン $GLn-1$ に接続されて、第 $N$ 番目の画素セル128は第 $N$ 番目のゲートライン $GLn-1$ に接続される。

20

【0067】

具体的に、図7に図示された $P_1$ 期間のように第 $N-1$ 番目のゲートライン $GLn-1$ にスキャンパルスが供給される。尚、シフトレジスター部129から第 $N-1$ 番目の画素セル128の駆動用薄膜トランジスタ $T_2$ のソース端子に接続された第 $N-1$ 番目の基底電圧供給ライン $V_{SLn-1}$ にはロー状態の基底電圧 $V_{SSL}$ が供給されて、第 $N$ 番目の画素セル128の駆動用薄膜トランジスタ $T_2$ のソース端子に接続された第 $N$ 番目の基底電圧供給ライン $V_{SLn}$ にはハイ状態の基底電圧 $V_{SSH}$ が供給される。

30

【0068】

これによって、図8に図示されたところのように第 $N-1$ 番目の画素セル128のスイッチング薄膜トランジスタ $T_1$ がターンオンされると同時にバイアス用スイッチ $SW$ がターンオンされる。データライン $DL$ に供給されるデータ電圧 $V_D$ は第 $N-1$ 番目の画素セル128のスイッチング薄膜トランジスタ $T_1$ を経由して第1ノード $N_1$ 上に供給される。第1ノード $N_1$ に供給されたデータ電圧 $V_D$ はストレージキャパシター $C_{st}$ に充電されることと同時に第 $N-1$ 番目の画素セル128の駆動用薄膜トランジスタ $T_2$ のゲート端子に供給されて、第 $N-1$ 番目の基底電圧供給ライン $V_{SLn-1}$ に供給されるロー状態の基底電圧 $V_{SSL}$ が駆動用薄膜トランジスタ $T_2$ のソース端子に供給される。これにより、第 $N-1$ 番目の画素セル128の駆動用薄膜トランジスタ $T_2$ はゲート端子に供給されるデータ信号に回答して $EL$ セル $OEL$ を経由して供給電圧源 $V_{DD}$ から供給される電流量 $I$ を制御することで $EL$ セル $OEL$ の発光量を調節するようになる。これと同時に、第 $N-1$ 番目の基底電圧供給ライン $V_{SLn-1}$ に供給されるロー状態の基底電圧 $V_{SSL}$ はバイアス用スイッチ $SW$ を経由して第 $N$ 番目の画素セル128の第1ノード $N_1$ に供給される。これにより、第1ノード $N_1$ 上に供給されるロー状態の基底電圧 $V_{SSL}$ が第 $N$ 番目の画素セル128の駆動用薄膜トランジスタ $T_2$ のゲート端子に供給される。こ

40

50

れにより、第N番目の画素セル128の駆動用薄膜トランジスタT2はバイアス用スイッチSWを經由して第N-1番目の基底電圧供給ラインVSLn-1からゲート端子に供給されるロー状態の基底電圧VSSLと第N番目の基底電圧供給ラインVSLnからソース端子に供給されるハイ状態の基底電圧VSSHの差値によりネガティブバイアス電圧-Vgsが供給される。したがって、第N番目の画素セル128の駆動用薄膜トランジスタT2のしきい電圧Vthはネガティブバイアス電圧-Vgsにより回復する。

【0069】

一方、図8に図示されたP2期間のように第N-1番目のゲートラインGLn-1に供給されるスキャンパルスがオフされて、第N番目のゲートラインGLnにスキャンパルスが供給される。これにより、第N-1番目の画素セル128のスイッチング用薄膜トランジスタT1がターンオフされても第N-1番目の画素セル128の駆動用薄膜トランジスタT2はストレージキャパシタースtに充電されたデータ信号によりターンオン状態を維持して次のフレームのデータ信号が供給されるまでELセルOELを經由して供給電圧源VDDから供給される電流量Iを制御するようになる。これと同時に、第N番目の画素セル128の駆動用薄膜トランジスタT2は図9に図示されたところのように第N番目のゲートラインGLnに供給されるスキャンパルスによりターンオンされて第N番目の画素セル128に供給される電流量Iを制御するようになる。この時、第N+1番目の画素セル128の駆動用薄膜トランジスタT2のしきい電圧Vthは上述したところのようにネガティブバイアス電圧-Vgsにより供給されて回復する。

【0070】

一方、図10及び図11を参照すれば、本発明の第2実施例に係るEL表示装置はゲートラインGLとデータラインDLの交差で定義された領域にそれぞれ配列された画素228を具備するELパネル220、ELパネル220のゲートラインGLを駆動するゲートドライバー222、ELパネル120のデータラインDLを駆動するデータドライバー224、データドライバー224に多数のガンマ電圧を供給するガンマ電圧生成部226、基底電圧VSSを発生する基底電圧発生部225、上下に接した画素228の間に接続されて基底電圧供給ラインVSLからの基底電圧VSSを次の段の画素228に供給する多数のバイアス用スイッチSW、基底電圧供給ラインVSLと基底電圧発生部225の間に接続されて前段のゲートラインGLに供給されるスキャンパルスにより基底電圧発生部225から基底電圧供給ラインVSLに供給される基底電圧VSSを遮断する多数の内蔵スイッチPQを具備する。

【0071】

このような、本発明の第2実施例に係るEL表示装置でゲートドライバー222、データドライバー224、ガンマ電圧生成部226、画素228及び多数のバイアス用スイッチSWは本発明の第1実施例によるEL表示装置と同一なので、それに対する説明は本発明の第1実施例によるEL表示装置の説明で代わりとする。

【0072】

基底電圧発生部225は基底電圧VSSを発生し、ELパネル220に形成された基底電圧共通ラインVSC Lを通過して多数の基底電圧供給ラインVSLに供給する。

【0073】

複数の内蔵スイッチPQのそれぞれは前段のゲートラインGLに供給されるスキャンパルスによりターンオフされて基底電圧共通ラインVSC Lから基底電圧供給ラインVSLに供給される基底電圧VSSを遮断するようになる。このために、複数の内蔵スイッチPQは、画素228のスイッチ用薄膜トランジスタT1、駆動用薄膜トランジスタT2及び多数のバイアス用スイッチSWとは異なるタイプ(P型)の薄膜トランジスタから構成される。言い換えると、スイッチ用薄膜トランジスタT1、駆動用薄膜トランジスタT2及び多数のバイアス用スイッチSWのそれぞれはNタイプの薄膜トランジスタで、内蔵スイッチPQはPタイプ薄膜トランジスタである。これにより、多数の内蔵スイッチPQのそれぞれは前段のゲートラインGLからスキャンパルスが供給される期間にターンオフされて、その以外の期間にはターンオン状態を維持するようになる。したがって、多数の内蔵

10

20

30

40

50

スイッチPQは以前段のゲートラインGLからスキャンパルスにより基底電圧共通ラインV<sub>SSL</sub>を駆動用薄膜トランジスタT<sub>2</sub>のソース端子に接続させるか基底電圧共通ラインV<sub>SSL</sub>をフローティングさせるようになる。

【0074】

複数の基底電圧供給ラインV<sub>SSL</sub>は複数の内蔵スイッチPQのスイッチングにより駆動用薄膜トランジスタT<sub>2</sub>のソース端子に接続されるか或いは、フローティングされる。この時、内蔵スイッチPQがターンオフされてフローティングされる基底電圧供給ラインV<sub>SSL</sub>は供給電圧源V<sub>DD</sub>から供給される供給電圧V<sub>DD</sub>より小さな電圧値を有するようになって、このフローティング電圧はデータ電圧V<sub>D</sub>と供給電圧V<sub>DD</sub>の間の電圧値を有するようになる。

10

【0075】

複数の基底電圧供給ラインV<sub>SSL</sub>がフローティング状態になれば駆動用薄膜トランジスタT<sub>2</sub>には逆バイアス電圧が供給されることで駆動用薄膜トランジスタT<sub>2</sub>のしきい電圧V<sub>th</sub>が回復する。

【0076】

このような、本発明の第2実施例に係るEL表示装置及びその駆動方法は第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスを利用して第N-1番目の画素セル228に画像を表示することと同時に第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスを利用して第N番目の画素セル228の駆動用薄膜トランジスタT<sub>2</sub>にネガティブバイアス-V<sub>gs</sub>電圧を供給して第N番目の画素セル228を駆動する駆動用薄膜トランジスタT<sub>2</sub>のしきい電圧V<sub>th</sub>のシフトを回復させる段階を含む。ここで、第N-1番目の画素セル228は第N-1番目のゲートラインGL<sub>n-1</sub>に接続されて、第N番目の画素セル228は第N番目のゲートラインGL<sub>n-1</sub>に接続される。

20

【0077】

具体的に、第N-1番目の画素セル228の第N-1番目のゲートラインGL<sub>n-1</sub>にスキャンパルスが供給されて第N-1番目の画素セル228のスイッチング薄膜トランジスタT<sub>1</sub>がターンオンされることと同時にバイアス用スイッチSWがターンオンされる。この時、第N-1番目の基底電圧供給ラインV<sub>SSL<sub>n-1</sub></sub>に接続された内蔵スイッチPQは第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスによりオン状態を維持するようになって、第N番目の基底電圧供給ラインV<sub>SSL<sub>n</sub></sub>に接続された内蔵スイッチPQは第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスによりターンオフされる。

30

【0078】

これによって、第N-1番目の画素セル228のスイッチング薄膜トランジスタT<sub>1</sub>がターンオンされることとしてデータラインDLに供給されるデータ電圧V<sub>D</sub>は第N-1番目の画素セル228のスイッチング薄膜トランジスタT<sub>1</sub>を經由して第1ノードN<sub>1</sub>上に供給される。第1ノードN<sub>1</sub>に供給されたデータ電圧V<sub>D</sub>はストレージキャパシタC<sub>st</sub>に充電されることと同時に第N-1番目の画素セル228の駆動用薄膜トランジスタT<sub>2</sub>のゲート端子に供給される。これによって、第N-1番目の画素セル228の駆動用薄膜トランジスタT<sub>2</sub>はゲート端子に供給されるデータ信号に回答してELセルOELを經由して供給電圧源V<sub>DD</sub>から第N-1番目の基底電圧供給ラインV<sub>SSL<sub>n-1</sub></sub>に供給される電流量Iを制御することでELセルOELの発光量を調節するようになる。

40

【0079】

これと同時に、第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスによりバイアス用スイッチSWがターンオンされることとして第N-1番目の基底電圧供給ラインV<sub>SSL<sub>n-1</sub></sub>に供給される基底電圧V<sub>SS</sub>がバイアス用スイッチSWを經由して第N番目の画素セル228の第1ノードN<sub>1</sub>に供給される。この時、第N番目の基底電圧供給ラインV<sub>SSL<sub>n</sub></sub>は第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスにより内蔵スイッチPQがターンオフされることでフローティング状態になる。これによって、第N番目の画素セル228の駆動用薄膜トランジスタT<sub>2</sub>のゲート端子には基底電

50

圧 $V_{SS}$ が供給されて、ソース端子はフローティング状態になる。したがって、第 $N-1$ 番目のゲートライン $GL_{n-1}$ にスキャンパルスが供給される区間に第 $N$ 番目の画素セル $228$ の駆動用薄膜トランジスタ $T_2$ にはネガティブバイアス電圧 $-V_{gs}$ が供給される。したがって、第 $N$ 番目の画素セル $228$ の駆動用薄膜トランジスタ $T_2$ のしきい電圧 $V_{th}$ はネガティブバイアス電圧 $-V_{gs}$ により回復する。

【0080】

一方、第 $N-1$ 番目のゲートライン $GL_{n-1}$ に供給されるスキャンパルスがオフされて、第 $N$ 番目のゲートライン $GL_n$ にスキャンパルスが供給される。これによって、第 $N-1$ 番目の画素セル $228$ のスイッチング用薄膜トランジスタ $T_1$ がターンオフされても第 $N-1$ 番目の画素セル $228$ の駆動用薄膜トランジスタ $T_2$ はストレージキャパシタ $C_{st}$ に充電されたデータ電圧 $V_D$ によりオン状態を維持して次のフレームのデータ信号が供給されるまで $EL$ セル $OEL$ を経由して供給電圧源 $V_{DD}$ から供給される電流量 $I$ を制御するようになる。これと同時に、第 $N$ 番目の画素セル $128$ の駆動用薄膜トランジスタ $T_2$ は第 $N$ 番目のゲートライン $GL_n$ に供給されるスキャンパルスによりターンオンされて第 $N$ 番目の画素セル $128$ に供給される電流量 $I$ を制御するようになる。この時、第 $N+1$ 番目の画素セル $228$ の駆動用薄膜トランジスタ $T_2$ のしきい電圧 $V_{th}$ は上述したところのようにネガティブバイアス電圧 $-V_{gs}$ により供給されて回復する。

【0081】

このような、本発明の第2実施例に係る $EL$ 表示装置は多数の内蔵スイッチ $PQ$ のそれぞれを $N$ タイプから形成して、この内蔵スイッチ $PQ$ を制御するために以前段のゲートライン $GL_{n-1}$ からのスキャンパルスを反転させて供給するインバーターから構成されて上述したように同一な動作を遂行することができる。

【0082】

図12及び図13を参照すれば、本発明の第3実施例に係る $EL$ 表示装置はゲートライン $GL$ とデータライン $DL$ の交差で定義された領域にそれぞれ配列された画素 $328$ を具備する $EL$ パネル $320$ 、 $EL$ パネル $320$ のゲートライン $GL$ を駆動するゲートドライバー $322$ 、 $EL$ パネル $320$ のデータライン $DL$ を駆動するデータドライバー $324$ 、データドライバー $324$ に複数のガンマ電圧を供給するガンマ電圧生成部 $326$ 、基底電圧 $V_{SS}$ を発生する基底電圧発生部 $325$ 、上下に接した画素 $328$ の間に接続されて基底電圧供給ライン $V_{SL_{n-1}}$ からの基底電圧 $V_{SS}$ を次の段の画素 $328$ に供給する多数のバイアス用スイッチ $SW$ 、前段のゲートライン $GL$ に供給されるスキャンパルスにより基底電圧供給ライン $V_{SL}$ と画素 $328$ を接続させる多数の内部スイッチ $PQ$ を具備する。

【0083】

このような、本発明の第3実施例に係る $EL$ 表示装置においてゲートドライバー $322$ 、データドライバー $324$ 、ガンマ電圧生成部 $326$ 、画素 $328$ 及び複数のバイアス用スイッチ $SW$ は本発明の第1実施例に係る $EL$ 表示装置と同一なので、それに対する説明は本発明の第1実施例に係る $EL$ 表示装置の説明で代わりとする。

【0084】

基底電圧発生部 $325$ は基底電圧 $V_{SS}$ を発生して $EL$ パネル $320$ に形成された基底電圧共通ライン $V_{SCL}$ を通じて複数の基底電圧供給ライン $V_{SL}$ に供給する。

【0085】

多数の内部スイッチ $PQ$ のそれぞれはターンオフされて画素 $328$ の駆動用薄膜トランジスタ $T_2$ のソース端子と基底電圧共通ライン $V_{SCL}$ の間に接続される。このような、多数の内部スイッチ $PQ$ のそれぞれは前段のゲートライン $GL$ に供給されるスキャンパルスにより駆動用薄膜トランジスタ $T_2$ のソース端子と基底電圧共通ライン $V_{SCL}$ の接続を遮断するようになる。このために、多数の内部スイッチ $PQ$ は画素 $328$ のスイッチ用薄膜トランジスタ $T_1$ 、駆動用薄膜トランジスタ $T_2$ 及び多数のバイアス用スイッチ $SW$ と異なるタイプ( $P$ 型)の薄膜トランジスタから構成される。言い換えれば、スイッチ用薄膜トランジスタ $T_1$ 、駆動用薄膜トランジスタ $T_2$ 及び多数のバイアス用スイッチ $SW$

10

20

30

40

50

のそれぞれはNタイプの薄膜トランジスタで、内部スイッチPQはPタイプ薄膜トランジスタである。これによって、多数の内部スイッチPQのそれぞれは前段のゲートラインGLからスキャンパルスが供給される期間にターンオフされて、それ以外の期間にはターンオン状態を維持するようになる。したがって、複数の内部スイッチPQは前段のゲートラインGLからスキャンパルスにより基底電圧共通ラインV<sub>SC</sub>Lを駆動用薄膜トランジスタT<sub>2</sub>のソース端子に接続させるようになる。

【0086】

多数の基底電圧供給ラインV<sub>S</sub>Lは多数の内部スイッチPQのスイッチングにより駆動用薄膜トランジスタT<sub>2</sub>のソース端子に接続される。

【0087】

この時、多数の内部スイッチPQがターンオフされる場合、駆動用薄膜トランジスタT<sub>2</sub>のソース端子はフローティング状態になる。これによって、フローティングされる駆動用薄膜トランジスタT<sub>2</sub>のソース端子は供給電圧源V<sub>DD</sub>から供給される供給電圧V<sub>DD</sub>より小さな電圧値を有するようになって、このフローティング電圧はデータ電圧V<sub>D</sub>と供給電圧V<sub>DD</sub>の間の電圧値を有するようになる。

【0088】

駆動用薄膜トランジスタT<sub>2</sub>のソース端子がフローティング状態になれば駆動用薄膜トランジスタT<sub>2</sub>には逆バイアス電圧が供給されて駆動用薄膜トランジスタT<sub>2</sub>のしきい電圧V<sub>th</sub>が回復する。

【0089】

このような、本発明の第3実施例に係るEL表示装置及びその駆動方法は第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスを利用して第N-1番目の画素セル328に画像を表示することと同時に第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスを利用して第N番目の画素セル328の駆動用薄膜トランジスタT<sub>2</sub>にネガティブバイアス-V<sub>gs</sub>電圧を供給して第N番目の画素セル328を駆動する駆動用薄膜トランジスタT<sub>2</sub>のしきい電圧V<sub>th</sub>のシフトを回復させる段階を含む。ここで、第N-1番目の画素セル328は第N-1番目のゲートラインGL<sub>n-1</sub>に接続されて、第N番目の画素セル328は第N番目のゲートラインGL<sub>n-1</sub>に接続される。

【0090】

具体的に、第N-1番目の画素セル328の第N-1番目のゲートラインGL<sub>n-1</sub>にスキャンパルスが供給されて第N-1番目の画素セル328のスイッチング薄膜トランジスタT<sub>1</sub>がターンオンされることと同時にバイアス用スイッチSWがターンオンされる。この時、第N-1番目の基底電圧供給ラインV<sub>S</sub>L<sub>n-1</sub>に接続された内部スイッチPQは第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスによりオン状態を維持するようになって、第N番目の基底電圧供給ラインV<sub>S</sub>L<sub>n</sub>に接続された内部スイッチPQは第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスによりターンオフされる。

【0091】

これによって、第N-1番目の画素セル328のスイッチング薄膜トランジスタT<sub>1</sub>がターンオンされることとしてデータラインDLに供給されるデータ電圧V<sub>D</sub>は第N-1番目の画素セル328のスイッチング薄膜トランジスタT<sub>1</sub>を経由して第1ノードN<sub>1</sub>上に供給される。第1ノードN<sub>1</sub>に供給されたデータ電圧V<sub>D</sub>はストレージキャパシタC<sub>st</sub>に充電されることと同時に第N-1番目の画素セル328の駆動用薄膜トランジスタT<sub>2</sub>のゲート端子に供給される。これによって、第N-1番目の画素セル328の駆動用薄膜トランジスタT<sub>2</sub>はゲート端子に供給されるデータ信号に回答してELセルOELを経由して供給電圧源V<sub>DD</sub>から第N-1番目の基底電圧供給ラインV<sub>S</sub>L<sub>n-1</sub>に供給される電流量Iを制御することでELセルOELの発光量を調節するようになる。

【0092】

これと同時に、第N-1番目のゲートラインGL<sub>n-1</sub>に供給されるスキャンパルスによりバイアス用スイッチSWがターンオンされることにより第N-1番目の基底電圧供給

10

20

30

40

50

ライン  $VSL_{n-1}$  に供給される基底電圧  $VSS$  がバイアス用スイッチ  $SW$  を経由して第  $N$  番目の画素セル 328 の第 1 ノード  $N1$  に供給される。この時、第  $N$  番目の画素セル 328 の駆動用薄膜トランジスタ  $T2$  のソース端子は第  $N-1$  番目のゲートライン  $GL_{n-1}$  に供給されるスキャンパルスにより内部スイッチ  $PQ$  がターンオフされることでフローティング状態になる。これによって、第  $N$  番目の画素セル 328 の駆動用薄膜トランジスタ  $T2$  のゲート端子には基底電圧  $VSS$  が供給されて、ソース端子はフローティング電圧が供給される。したがって、第  $N-1$  番目のゲートライン  $GL_{n-1}$  にスキャンパルスが供給される期間に第  $N$  番目の画素セル 328 の駆動用薄膜トランジスタ  $T2$  にはネガティブバイアス電圧  $-Vgs$  が供給される。したがって、第  $N$  番目の画素セル 328 の駆動用薄膜トランジスタ  $T2$  のしきい電圧  $Vth$  はネガティブバイアス電圧  $-Vgs$  により回復する。

10

#### 【0093】

一方、第  $N-1$  番目のゲートライン  $GL_{n-1}$  に供給されるスキャンパルスがターンオフされて、第  $N$  番目のゲートライン  $GL_n$  にスキャンパルスが供給される。これによって、第  $N-1$  番目の画素セル 328 のスイッチング用薄膜トランジスタ  $T1$  がターンオフされても第  $N-1$  番目の画素セル 328 の駆動用薄膜トランジスタ  $T2$  はストレージキャパシタ  $Cst$  に充電されたデータ電圧  $VD$  によりオン状態を維持して次のフレームのデータ信号が供給されるまで  $EL$  セル  $OEL$  を経由して供給電圧源  $VDD$  から供給される電流量  $I$  を制御するようになる。これと同時に、第  $N$  番目の画素セル 328 の駆動用薄膜トランジスタ  $T2$  は第  $N$  番目のゲートライン  $GL_n$  に供給されるスキャンパルスによりターンオンされて第  $N$  番目の画素セル 328 に供給される電流量  $I$  を制御するようになる。この時、第  $N+1$  番目の画素セル 328 の駆動用薄膜トランジスタ  $T2$  のしきい電圧  $Vth$  は上述したようにネガティブバイアス電圧  $-Vgs$  により供給されて回復する。

20

#### 【0094】

このような、本発明の第 3 実施例に係る  $EL$  表示装置は多数の内部スイッチ  $PQ$  のそれぞれを  $N$  タイプから形成して、この内部スイッチ  $PQ$  を制御するために以前段のゲートライン  $GL_{n-1}$  からのスキャンパルスを反転させて供給するインバーターから構成されて上述したように同一な動作を遂行することができる。

#### 【産業上の利用可能性】

#### 【0095】

以上説明した内容を通じて当業者であれば、本発明の技術思想を逸脱しない範囲内で多様な変更及び修正ができる。したがって、本発明の技術的範囲は明細書の詳細な説明に記載した内容に限定されるのではなく特許請求の範囲により決められなければならない。

30

#### 【図面の簡単な説明】

#### 【0096】

【図 1】従来のエレクトロルミネセンス表示装置を概略的に示す図面である。

【図 2】図 1 に図示された画素セルを詳しく示す図面である。

【図 3 a】非晶質シリコンの原子配列を示す図面である。

【図 3 b】非晶質シリコンの原子配列を示す図面である。

【図 4】図 2 に図示された駆動用薄膜トランジスタの劣化によるしきい電圧が移動を示す図面である。

40

【図 5】本発明の第 1 実施例に係るエレクトロルミネセンス表示装置を概略的に示す図面である。

【図 6】図 5 に図示された画素セルを示す回路図である。

【図 7】図 6 に図示された画素セルを駆動させるための駆動波形図である。

【図 8】図 7 に図示された  $P1$  期間での垂直方向の動作において隣接する画素セルの回路図である。

【図 9】図 7 に図示された  $P2$  期間での垂直に接した画素セル間の動作で示す回路図である。

【図 10】本発明の第 2 実施例に係るエレクトロルミネセンス表示装置を概略的に示す図

50

面である。

【図 1 1】図 1 0 に図示された画素セルを示す回路図である。

【図 1 2】本発明の第 3 実施例に係るエレクトロルミネセンス表示装置を概略的に示す図面である。

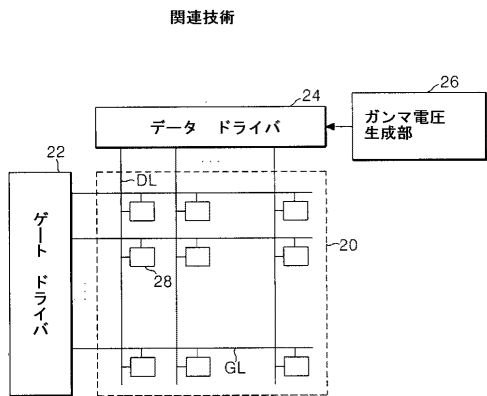
【図 1 3】図 1 2 に図示された画素セルを示す回路図である。

【符号の説明】

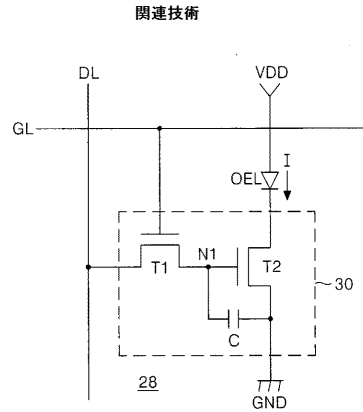
【 0 0 9 7 】

- 2 0、1 2 0、2 2 0、3 2 0・・・E L パネル
- 2 2、1 2 2、2 2 2、3 2 2・・・ゲートドライバー
- 2 4、1 2 4、2 2 4、3 2 4・・・データドライバー
- 2 6、1 2 6、2 2 6、3 2 6・・・ガンマ電圧生成部
- 2 8、1 2 8、2 2 8、3 2 8・・・画素
- 3 0、1 3 0、1 3 2・・・セル駆動部
- 1 2 9・・・シフトレジスター部

【 図 1 】

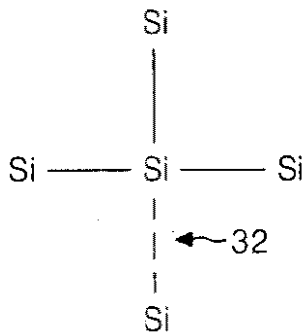


【 図 2 】



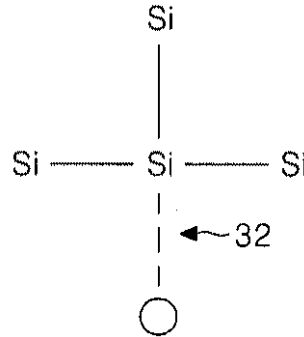
【図3a】

関連技術



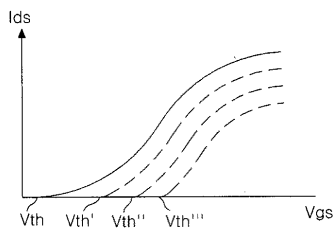
【図3b】

関連技術

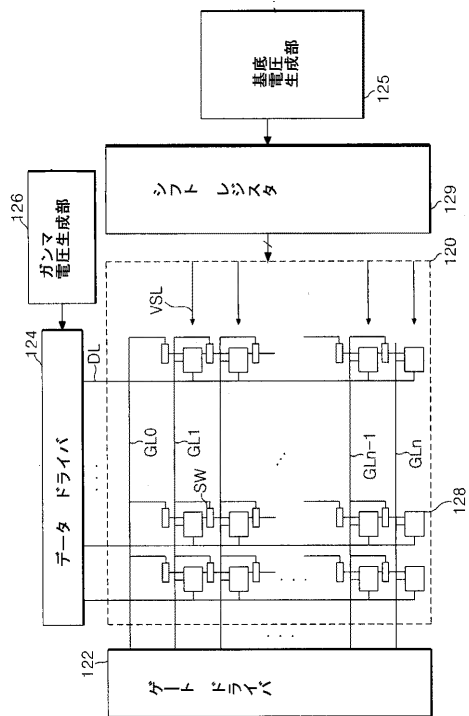


【図4】

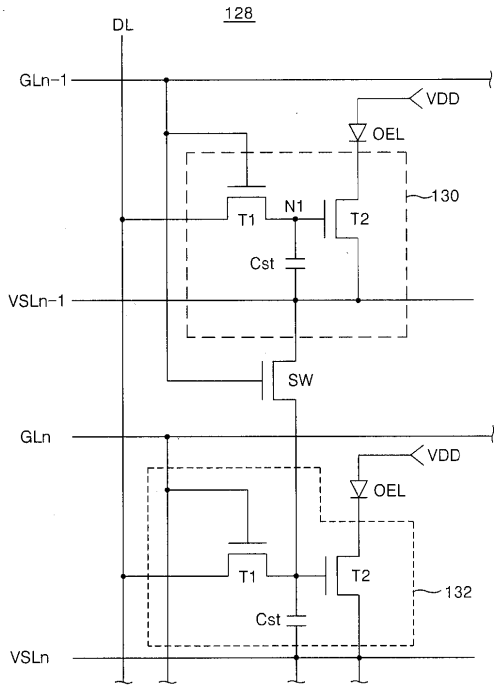
関連技術



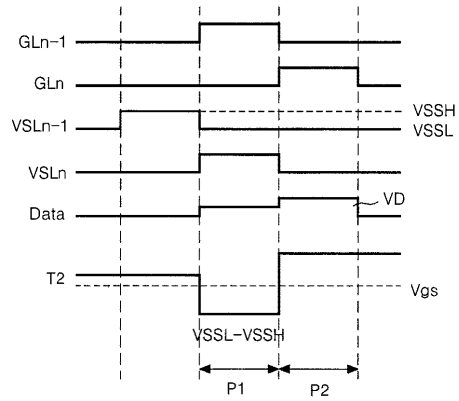
【図5】



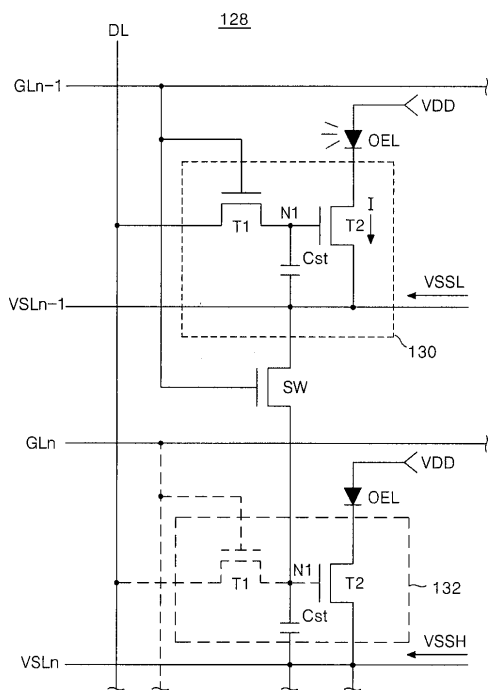
【 図 6 】



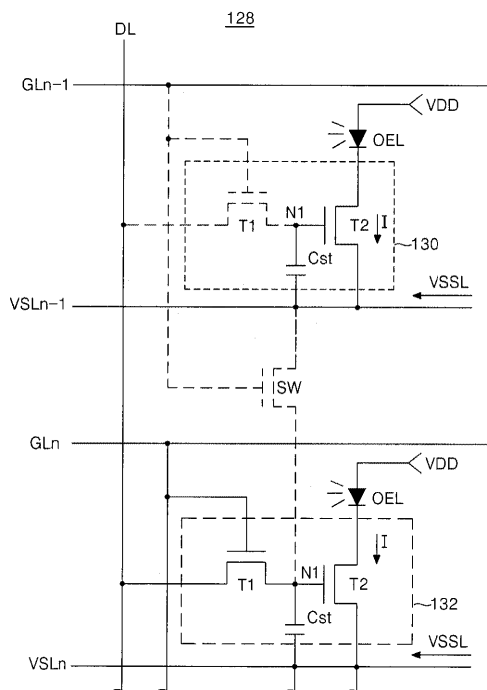
【 図 7 】



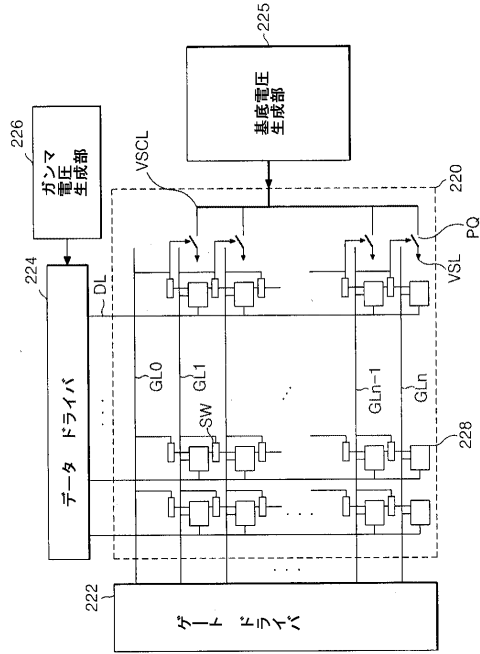
【 図 8 】



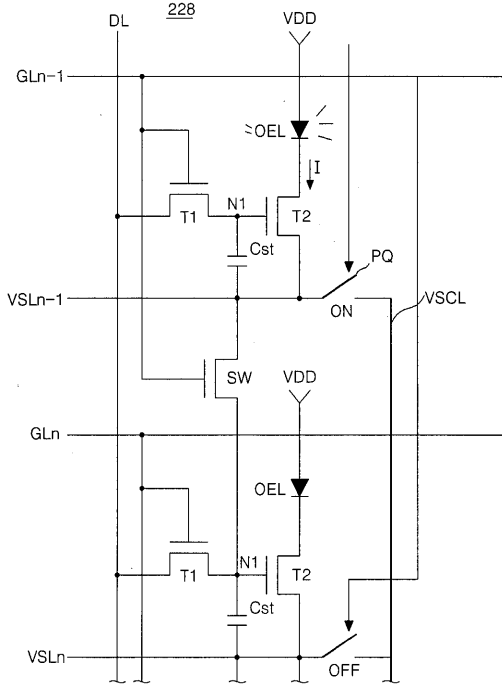
【 図 9 】



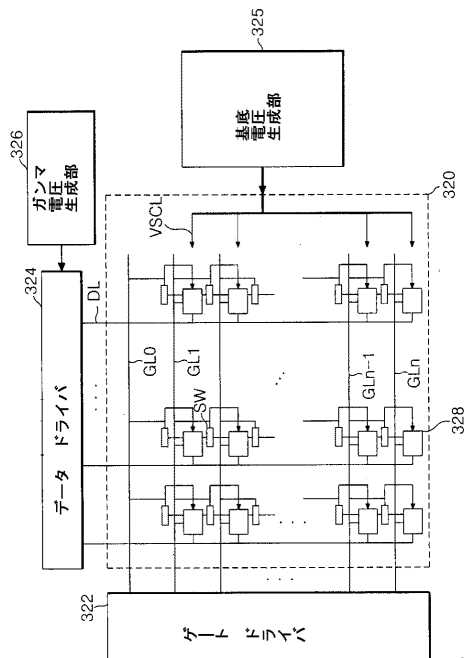
【図10】



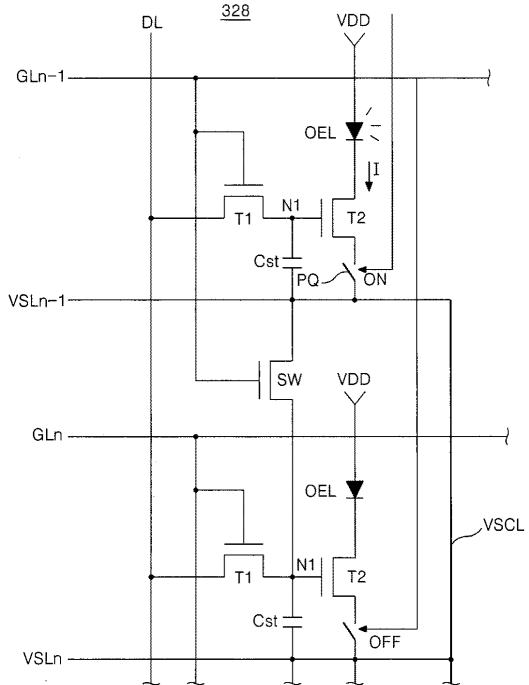
【図11】



【図12】



【図13】



## フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 4 2 C

G 0 9 G 3/20 6 7 0 K

H 0 5 B 33/14 A

(74)代理人 100096688

弁理士 本宮 照久

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 李 漢 相

大韓民国 京畿道 儀旺市 五全洞 230 スンウォン 1次 梨花 アパート 106-19  
02号

(72)発明者 金 聖 起

大韓民国 ソウル特別市 瑞草區 チャム 院洞 新盤浦 10次 アパート 315-100  
1号

(72)発明者 金 海 烈

大韓民国 京畿道 儀旺市 五全洞 モラク マウンテン 現代 アパート 110-2201号

(72)発明者 柳 俊 錫

大韓民国 ソウル特別市 瑞草區 瑞草洞 1494-6 ロイヤル カウンティ ヴィラ 30  
2号

審査官 濱本 禎広

(56)参考文献 特開2005-099714(JP,A)

特開2005-099772(JP,A)

特開2000-347621(JP,A)

特開2002-244617(JP,A)

特開2005-004174(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 0 , 3 / 2 0

|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 电致发光显示装置及其驱动方法  |         |            |
| 公开(公告)号        | <a href="#">JP4210243B2</a>   | 公开(公告)日 | 2009-01-14 |
| 申请号            | JP2004191842  | 申请日     | 2004-06-29 |
| [标]申请(专利权)人(译) | 乐金显示有限公司  |         |            |
| 申请(专利权)人(译)    | Eruji.菲利普斯杜天公司, 有限公司  |         |            |
| 当前申请(专利权)人(译)  | Eruji显示有限公司   |         |            |
| [标]发明人         | 李漢相<br>金聖起<br>金海烈<br>柳俊錫  |         |            |
| 发明人            | 李漢相<br>金聖起<br>金海烈<br>柳俊錫  |         |            |
| IPC分类号         | G09G3/30 G09G3/20 H01L51/50 G09G3/32 H05B33/00 H05B33/14  |         |            |
| CPC分类号         | G09G3/3233 G09G3/3266 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2300/0876<br>G09G2310/0254 G09G2320/043   |         |            |
| FI分类号          | G09G3/30.J G09G3/20.612.E G09G3/20.622.E G09G3/20.624.B G09G3/20.641.D G09G3/20.642.C<br>G09G3/20.670.K H05B33/14.A G09G3/20.642.A G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291  |         |            |
| F-TERM分类号      | 3K007/AB11 3K007/AB18 3K007/BA06 3K007/DB03 3K007/GA00 3K107/AA01 3K107/BB01 3K107<br>/CC21 3K107/CC31 3K107/EE04 3K107/HH02 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD05<br>5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080<br>/JJ05 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB22 5C380/BA24 5C380/BD08 5C380/BD10<br>5C380/CA04 5C380/CA08 5C380/CA12 5C380/CA24 5C380/CB01 5C380/CB17 5C380/CB20 5C380<br>/CB26 5C380/CB32 5C380/CC02 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC55<br>5C380/CC62 5C380/CD012 5C380/CD013 5C380/CD014 5C380/CE04 5C380/CF07 5C380/CF48<br>5C380/DA02 5C380/DA06 5C380/DA32 |         |            |
| 代理人(译)         | 白井伸一<br>朝日 伸光   |         |            |
| 优先权            | 1020030099752 2003-12-30 KR   |         |            |
| 其他公开文献         | JP2005196114A   |         |            |
| 外部链接           | <a href="#">Espacenet</a>   |         |            |

#### 摘要(译)

本发明的一个目的是提供一种电致发光显示装置和一种驱动该电致发光显示装置的方法，该装置可以通过防止薄膜晶体管的劣化来改善图像质量。根据本发明的一个实施例的电致发光显示装置为驱动电压供给线，地电压供给线的N个，由所述驱动用于所述多个数据线和栅极线的每个交叉区域形成的基质电致发光单元对应于从电压电源线提供的电流的光，通过被连接在所述电致发光单元接地电压供给线之间电致发光单元控制电流的量驱动薄膜晶体管，连接到所述连接的驱动薄膜晶体管的控制端子连接到电源线和第N-1个接地电压供给线之间的N-1个栅极线的第N基极电压并且响应于所提供的扫描脉冲将反向偏置电压提供给驱动薄膜晶体管通过包括一个偏压开关，其特征在于。点域6

関連技術

