

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4153842号
(P4153842)

(45) 発行日 平成20年9月24日(2008.9.24)

(24) 登録日 平成20年7月11日(2008.7.11)

(51) Int.Cl.

F I

G 0 9 G 3/30 (2006.01)

G 0 9 G 3/30 J

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/20 6 1 1 H

H 0 1 L 51/50 (2006.01)

G 0 9 G 3/20 6 2 2 G

G 0 9 G 3/20 6 2 2 Q

G 0 9 G 3/20 6 2 3 R

請求項の数 37 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2003-282534 (P2003-282534)
 (22) 出願日 平成15年7月30日(2003.7.30)
 (65) 公開番号 特開2004-310006 (P2004-310006A)
 (43) 公開日 平成16年11月4日(2004.11.4)
 審査請求日 平成16年7月12日(2004.7.12)
 (31) 優先権主張番号 2003-020432
 (32) 優先日 平成15年4月1日(2003.4.1)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 590002817
 三星エスディアイ株式会社
 大韓民国京畿道水原市靈通区▲しん▼洞5
 75番地
 (74) 代理人 100095957
 弁理士 亀谷 美明
 (74) 代理人 100096389
 弁理士 金本 哲男
 (72) 発明者 呂 柱天
 大韓民国京畿道安養市東安区平安洞(番地
 なし) ヒャンチョン現代アパート110
 -601
 (72) 発明者 權 五敬
 大韓民国ソウル市松坡区新川洞(番地なし)
) ザンミアアパート14-1102
 最終頁に続く

(54) 【発明の名称】 発光表示装置とその駆動方法及び表示パネル

(57) 【特許請求の範囲】

【請求項1】

画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、前記データ線と前記走査線に連結された画素回路を含む画素領域が形成されている表示パネルを含む発光表示装置であって、

前記画素回路は、

印加される電流に対応して光を発する発光素子と、

前記発光素子を発光させるための駆動電流を供給し、第1及び第2主電極と制御電極を有する第1トランジスタと、

第1制御信号に応答して前記第1トランジスタをダイオード形態に連結させる第1スイッチング素子と、

第2制御信号のオンレベルに応答して並列に連結されて、ダイオード形態に連結された前記第1トランジスタのしきい電圧に対応する第1電圧を保存する第1及び第2キャパシタと、

前記走査線からの選択信号に応答して前記データ線からのデータ電流を伝達する第2スイッチング素子と、

第3制御信号に応答して前記第1トランジスタからの前記駆動電流を前記発光素子に伝達する第3スイッチング素子とを含み、

前記第1キャパシタは前記第2制御信号のオフレベルに応答して前記第1スイッチング素子からの前記データ電流に対応する第2電圧を保存し、前記第2制御信号のオンレベル

10

20

に応答して、前記第 2 電圧を保存した第 1 キャパシタと前記第 1 電圧を保存した第 2 キャパシタを並列に連結することによって決定された第 3 電圧が前記第 1 トランジスタに印加されて前記駆動電流が前記発光素子に供給されることを特徴とする発光表示装置。

【請求項 2】

画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、前記データ線と前記走査線に連結された画素回路を含む画素領域が形成されている表示パネルを含む発光表示装置であって、

前記画素回路は、

印加される電流に対応して光を発する発光素子と、

前記発光素子を発光させるための駆動電流を供給し、第 1 及び第 2 主電極と制御電極を有する第 1 トランジスタと、

第 1 制御信号に応答して前記第 1 トランジスタをダイオード形態に連結させる第 1 スイッチング素子と、

第 2 制御信号のオンレベルに応答して、ダイオード形態に連結された前記第 1 トランジスタのしきい電圧に対応する第 1 電圧を保存する第 1 キャパシタと、

前記走査線からの選択信号に応答して前記データ線からのデータ電流を伝達する第 2 スイッチング素子と、

第 3 制御信号に応答して前記第 1 トランジスタからの前記駆動電流を前記発光素子に伝達する第 3 スイッチング素子と、

前記第 1 キャパシタと直列に連結されている第 2 キャパシタとを含み、

直列に連結された前記第 1 及び第 2 キャパシタは、前記第 2 制御信号のオフレベルに応答して、

前記第 1 スイッチング素子からの前記データ電流に対応する第 2 電圧を保存し、

前記第 2 制御信号のオンレベルに応答して、直列に連結された前記第 1 及び第 2 キャパシタの中の前記第 1 キャパシタに保存された第 3 電圧が前記第 1 トランジスタに印加されて前記駆動電流が前記発光素子に供給されることを特徴とする発光表示装置。

【請求項 3】

前記第 2 制御信号のオンレベル、前記選択信号及び前記第 3 制御信号が順次に受信されることを特徴とする、請求項 1 または 2 に記載の発光表示装置。

【請求項 4】

前記第 1 ～第 3 スイッチング素子及び前記第 1 トランジスタは同一伝導タイプのトランジスタであることを特徴とする、請求項 1 または 2 に記載の発光表示装置。

【請求項 5】

前記第 1 ～第 3 スイッチング素子のうちの少なくとも一つのスイッチング素子は前記第 1 トランジスタと反対の伝導タイプのトランジスタであることを特徴とする、請求項 1 または 2 に記載の発光表示装置。

【請求項 6】

前記画素回路は、前記第 2 制御信号のオンレベルに応答して導通して前記第 1 キャパシタと前記第 2 キャパシタを並列に連結する第 4 スイッチング素子をさらに含むことを特徴とする、請求項 1 に記載の発光表示装置。

【請求項 7】

前記第 2 制御信号は前記走査線からの前記選択信号であり、

前記第 4 スイッチング素子は前記選択信号のオフレベルに応答することを特徴とする、請求項 6 に記載の発光表示装置。

【請求項 8】

前記第 1 制御信号は直前走査線からの選択信号及び現在走査線からの選択信号を含むことを特徴とする、請求項 6 に記載の発光表示装置。

【請求項 9】

前記第 1 スイッチング素子は、前記直前走査線からの選択信号に応答して前記第 1 トランジスタをダイオード形態に連結させる第 2 トランジスタ及び前記現在走査線からの選択信

10

20

30

40

50

号に応答して前記第 1 トランジスタをダイオード形態に連結させる第 3 トランジスタを含むことを特徴とする、請求項 8 に記載の発光表示装置。

【請求項 10】

前記第 2 制御信号は直前走査線からの選択信号及び前記第 3 制御信号を含み、

前記直前走査線からの選択信号のオンレベルに응答して前記第 1 電圧を前記第 1 及び第 2 キャパシタに保存し、

前記第 3 制御信号のオンレベルに응答して前記第 3 電圧を前記第 1 トランジスタに印加することを特徴とする、請求項 6 に記載の発光表示装置。

【請求項 11】

前記画素回路は前記第 4 スイッチング素子に並列に連結される第 5 スイッチング素子をさらに含み、前記第 4 及び第 5 スイッチング素子は各々直前走査線からの選択信号のオンレベル及び前記第 3 制御信号のオンレベルに응答して導通されることを特徴とする、請求項 6 に記載の発光表示装置。

10

【請求項 12】

前記画素回路は直列に連結された前記第 1 及び第 2 キャパシタの接点と前記第 1 トランジスタの制御電極の間に連結され、前記第 2 制御信号のオンレベルに응答して導通する第 4 スイッチング素子をさらに含むことを特徴とする、請求項 2 に記載の発光表示装置。

【請求項 13】

前記選択信号、前記第 1 ～第 3 制御信号を供給する第 1 駆動回路、そして前記データ電流を供給する第 2 駆動回路をさらに含み、

20

前記第 1 及び第 2 駆動回路は前記表示パネルに連結されているか、前記表示パネルの基板上に集積回路チップの形態で装着されているか、前記基板上に前記走査線、前記データ線及び前記第 1 スイッチング素子と同一層に直接形成されていることを特徴とする、請求項 1 または 2 に記載の発光表示装置。

【請求項 14】

画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、前記データ線と前記走査線に連結された画素回路を含む画素領域が形成された発光表示装置の表示パネルであって、

前記画素回路は、

第 1 電圧を供給する第 1 電源に第 1 主電極が連結される第 1 トランジスタと、
前記第 1 トランジスタの第 2 主電極と前記データ線の間に連結され、前記走査線からの第 1 選択信号によって制御される第 1 スイッチング素子と、

30

前記第 1 トランジスタをダイオード形態に連結させるように第 1 制御信号によって制御される第 2 スイッチング素子と、

前記第 1 トランジスタの制御電極に第 1 端が連結され、第 2 制御信号によって制御される第 3 スイッチング素子と、

前記第 1 トランジスタの第 2 主電極に第 1 端が連結され、第 3 制御信号によって制御される第 4 スイッチング素子と、

印加される電流に対応して光を発し、前記第 4 スイッチング素子の第 2 端と第 2 電圧を供給する第 2 電源の間に連結される発光素子と、

40

前記第 1 トランジスタの制御電極と第 1 主電極の間に連結される第 1 キャパシタと、

前記第 3 スイッチング素子の第 2 端と前記第 1 トランジスタの第 1 主電極の間に連結される第 2 キャパシタとを含み、

前記画素回路は第 1、第 2 及び第 3 区間順に駆動され、

前記第 1 区間では前記第 1 及び第 2 制御信号がオン区間を有し、

前記第 2 区間では前記第 1 制御信号及び前記第 1 選択信号がオン区間を有し、

前記第 3 区間では前記第 2 及び第 3 制御信号がオン区間を有することを特徴とする表示パネル。

【請求項 15】

画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線

50

、前記データ線と前記走査線に連結された画素回路を含む画素領域が形成された発光表示装置の表示パネルであって、

前記画素回路は、

第1電圧を供給する第1電源に第1主電極が連結される第1トランジスタと、
前記第1トランジスタの第2主電極と前記データ線の間に連結され、前記走査線からの第1選択信号によって制御される第1スイッチング素子と、

前記第1トランジスタをダイオード形態に連結させるように第1制御信号によって制御される第2スイッチング素子と、

前記第1トランジスタの制御電極に第1端が連結され、第2制御信号によって制御される第3スイッチング素子と、

前記第1トランジスタの第2主電極に第1端が連結され、第3制御信号によって制御される第4スイッチング素子と、

印加される電流に対応して光を発し、前記第4スイッチング素子の第2端と第2電圧を供給する第2電源の間に連結される発光素子と、

前記第1トランジスタの第1主電極と前記第3スイッチング素子の第2端の間に連結される第1キャパシタと、

前記第3スイッチング素子の第2端と前記第1トランジスタの制御電極の間に連結される第2キャパシタとを含むことを特徴とする表示パネル。

【請求項16】

前記第1～第3制御信号は各々第1～第3信号線によって供給され、前記表示パネルは前記第1～第3信号線をさらに含むことを特徴とする、請求項14または15に記載の表示パネル。

【請求項17】

前記画素回路は第1、第2及び第3区間順に駆動され、

前記第1区間では前記第1及び第2制御信号がオン区間を有し、

前記第2区間では前記第1制御信号及び前記第1選択信号がオン区間を有し、

前記第3区間では前記第2及び第3制御信号がオン区間を有することを特徴とする、請求項15に記載の表示パネル。

【請求項18】

前記第2制御信号は前記走査線からの前記第1選択信号であり、前記第3スイッチング素子は前記第1選択信号のオフ区間で導通されることを特徴とする、請求項14に記載の表示パネル。

【請求項19】

前記画素回路は第1、第2及び第3区間順に駆動され、

前記第1区間では前記第1制御信号がオン区間を有し、

前記第2区間では前記第1制御信号及び前記第1選択信号がオン区間を有し、

前記第3区間では前記第3制御信号がオン区間を有することを特徴とする、請求項18に記載の表示パネル。

【請求項20】

前記第1制御信号は前記第1選択信号がオンされる時点にオフ区間を有することを特徴とする、請求項19に記載の表示パネル。

【請求項21】

前記第1制御信号は、前記第1選択信号及び前記第1選択信号より先にオン区間を有する直前走査線からの第2選択信号を含み、

前記第2スイッチング素子は、前記第2及び第1選択信号に各々応答して前記第1トランジスタをダイオード形態に連結させる第2及び第3トランジスタを含むことを特徴とする、請求項14に記載の表示パネル。

【請求項22】

前記第2制御信号は、前記第1選択信号より先にオン区間を有する直前走査線からの第2選択信号と前記第3制御信号を含み、

10

20

30

40

50

前記第 3 スイッチング素子は、前記第 1 トランジスタの制御電極と前記第 2 キャパシタの間に連結され、前記第 2 選択信号及び前記第 3 制御信号に各々応答する第 2 及び第 3 トランジスタを含むことを特徴とする、請求項 1 4 に記載の表示パネル。

【請求項 2 3】

前記第 1 制御信号は前記第 1 選択信号及び前記第 1 選択信号より先にオン区間を有する直前走査線からの第 2 選択信号を含み、前記第 2 制御信号は前記第 2 選択信号と前記第 3 制御信号を含み、

前記第 2 スイッチング素子は、前記第 2 及び第 1 選択信号に各々応答して前記第 1 トランジスタをダイオード形態に連結させる第 2 及び第 3 トランジスタを含み、前記第 3 スイッチング素子は、前記第 1 トランジスタの制御電極と前記第 2 キャパシタの間に連結されて前記第 2 選択信号及び前記第 3 制御信号に各々応答する第 4 及び第 5 トランジスタを含むことを特徴とする、請求項 1 4 に記載の表示パネル。

10

【請求項 2 4】

走査線からの選択信号に応答してデータ線からのデータ電流を伝達するスイッチング素子、前記データ電流に対応して駆動電流を出力し第 1 及び第 2 主電極と制御電極を有するトランジスタ、そして前記トランジスタからの駆動電流に対応して光を発する発光素子を含む画素回路が形成されている発光表示装置を駆動する方法であって、

前記トランジスタの制御電極と第 1 主電極の間に並列に連結される第 1 及び第 2 キャパシタに前記トランジスタのしきい電圧に対応する第 1 電圧を保存する第 1 段階と、

前記第 1 及び第 2 キャパシタの並列連結を遮断することにより、前記スイッチング素子からのデータ電流に対応する第 2 電圧を前記第 1 キャパシタに保存する第 2 段階と、

20

前記第 1 及び第 2 キャパシタを並列に連結して前記トランジスタの制御電極と第 1 主電極の間の電圧を第 3 電圧とし、前記トランジスタからの駆動電流を前記発光素子に伝達する第 3 段階とを含み、

前記トランジスタからの駆動電流は前記第 3 電圧に対応して決定されることを特徴とする発光表示装置の駆動方法。

【請求項 2 5】

走査線からの選択信号に応答してデータ線からのデータ電流を伝達するスイッチング素子、前記データ電流に対応して駆動電流を出力し第 1 及び第 2 主電極と制御電極を有するトランジスタ、そして前記トランジスタからの駆動電流に対応して光を発する発光素子を含む画素回路が形成されている発光表示装置を駆動する方法であって、

30

前記トランジスタの制御電極と第 1 主電極の間に第 1 キャパシタを連結することにより、第 1 キャパシタに前記トランジスタのしきい電圧に対応する第 1 電圧を保存する第 1 段階と、

前記トランジスタの制御電極と第 1 主電極の間に前記第 1 キャパシタと第 2 キャパシタを直列に連結することにより、前記スイッチング素子からのデータ電流に対応する第 2 電圧を直列に連結される前記第 1 と第 2 キャパシタに保存する第 2 段階と、

前記トランジスタの制御電極と第 1 主電極の間に第 1 キャパシタを連結して前記トランジスタの制御電極と第 1 主電極の間の電圧を第 3 電圧とし、前記トランジスタからの駆動電流を前記発光素子に伝達する第 3 段階とを含み、

40

前記トランジスタからの駆動電流は前記第 3 電圧に対応して決定されることを特徴とする発光表示装置の駆動方法。

【請求項 2 6】

走査線からの選択信号に応答してデータ線からのデータ電流を伝達するスイッチング素子、前記データ電流に対応して駆動電流を出力し第 1 及び第 2 主電極と制御電極を有するトランジスタ、そして前記トランジスタからの駆動電流に対応して光を発する発光素子を含む画素回路が形成されている発光表示装置を駆動する方法であって、

第 1 制御信号に応答して前記トランジスタがダイオード形態に連結され、第 2 制御信号の第 1 レベルに応答して前記トランジスタの制御電極と第 1 主電極の間に第 1 キャパシタ

50

と第2キャパシタが並列に連結されて前記第1及び第2キャパシタに前記トランジスタのしきい電圧に対応する第1電圧が保存される第1段階と、

前記第1制御信号によってトランジスタはダイオード形態に連結されており、前記第2制御信号の第2レベルにตอบสนองして前記トランジスタの制御電極と第1主電極の間に第1キャパシタが連結され、前記走査線からの第1選択信号にตอบสนองして前記第1キャパシタに前記データ電流に対応する第2電圧が保存される第2段階と、

前記第2制御信号の第1レベルにตอบสนองして前記トランジスタの制御電極と第1主電極の間に前記第1及び第2キャパシタが並列に連結されて前記トランジスタの制御電極と第1主電極の間の電圧が第3電圧になり、前記トランジスタには前記第3電圧に対応する駆動電流が流れ、第3制御信号にตอบสนองして前記駆動電流が前記発光素子に供給される第3段階とを含むことを特徴とする発光表示装置の駆動方法。

10

【請求項27】

走査線からの選択信号にตอบสนองしてデータ線からのデータ電流を伝達するスイッチング素子、前記データ電流に対応して駆動電流を出力し第1及び第2主電極と制御電極を有するトランジスタ、そして前記トランジスタからの駆動電流に対応して光を発する発光素子を含む画素回路が形成されている発光表示装置を駆動する方法であって、

第1制御信号にตอบสนองして前記トランジスタがダイオード形態に連結され、第2制御信号の第1レベルにตอบสนองして前記トランジスタの制御電極と第1主電極の間に第1キャパシタが連結されて前記第1キャパシタに前記トランジスタのしきい電圧に対応する第1電圧が保存される第1段階と、

20

前記第1制御信号によってトランジスタはダイオード形態に連結されており、前記第2制御信号の第2レベルにตอบสนองして前記トランジスタの制御電極と第1主電極の間に前記第1キャパシタと第2キャパシタが直列に連結され、前記走査線からの第1選択信号にตอบสนองして前記第1及び第2キャパシタに前記データ電流に対応する第2電圧が保存される第2段階と、

前記第2制御信号の第1レベルにตอบสนองして前記トランジスタの制御電極と第1主電極の間に前記第1キャパシタが連結されて前記トランジスタの制御電極と第1主電極の間の電圧が第3電圧になり、前記トランジスタには前記第3電圧に対応する駆動電流が流れ、第3制御信号にตอบสนองして前記駆動電流が前記発光素子に供給される第3段階とを含むことを特徴とする発光表示装置の駆動方法。

30

【請求項28】

前記第1～第3制御信号は前記走査線とは別途の第1～第3信号線によって各々伝達されることを特徴とする、請求項26または27に記載の発光表示装置の駆動方法。

【請求項29】

前記第2制御信号は前記第1選択信号であり、前記第2制御信号の第1レベルは前記第1選択信号のオフレベルであることを特徴とする、請求項26に記載の発光表示装置の駆動方法。

【請求項30】

前記第1制御信号は前記第1選択信号がオンレベルになる瞬間にオフ区間を有することを特徴とする、請求項29に記載の発光表示装置の駆動方法。

40

【請求項31】

前記第1制御信号は前記第1選択信号及び前記第1選択信号より先にオン区間を有する直前走査線からの第2選択信号を含み、

前記トランジスタは前記第1及び第2段階で各々前記第2及び第1選択信号によってダイオード形態に連結されることを特徴とする、請求項26に記載の発光表示装置の駆動方法。

【請求項32】

前記第2制御信号は前記第1選択信号より先にオン区間を有する直前走査線からの第2選択信号及び前記第3制御信号を含み、

前記第1及び第3段階での前記第2制御信号の第1レベルは各々前記第2選択信号及び

50

前記第 3 制御信号によって決定されることを特徴とする、請求項 2 6に記載の発光表示装置の駆動方法。

【請求項 3 3】

前記第 1 制御信号は前記第 1 選択信号及び前記第 1 選択信号より先にオン区間を有する直前走査線からの第 2 選択信号を含み、

前記第 2 制御信号は前記第 2 選択信号及び前記第 3 制御信号を含み、

前記トランジスタは前記第 1 及び第 2 段階で各々前記第 2 及び第 1 選択信号によってダイオード形態に連結され、

前記第 1 及び第 3 段階での前記第 2 制御信号の第 1 レベルは各々前記第 2 選択信号及び前記第 3 制御信号によって決定されることを特徴とする、請求項 2 6に記載の発光表示装置の駆動方法。

10

【請求項 3 4】

第 1 選択信号に応答して画像信号を示すデータ電流をトランジスタに伝達して発光素子を駆動する発光素子表示装置の駆動方法であって、

第 1 及び第 2 スイッチング素子に各々印加される第 1 及び第 2 制御信号をオンレベルとして前記トランジスタのしきい電圧に対応する第 1 電圧を保存し、第 3 スイッチング素子に印加される第 3 制御信号をオフレベルとして前記トランジスタと前記発光素子を電氣的に遮断し、第 4 スイッチング素子に印加される前記第 1 選択信号をオフレベルとして前記データ電流を遮断する第 1 段階と、

前記第 1 選択信号をオンレベルとして前記データ電流を供給し、前記第 1 及び第 2 制御信号を各々オン及びオフレベルとして前記データ電流に対応する第 2 電圧を保存する第 2 段階と、

20

前記第 1 選択信号をオフレベルとして前記データ電流を遮断し、前記第 1 及び第 2 制御信号を各々オフ及びオンとして第 3 電圧を前記トランジスタの主電極とゲート電極に印加し、前記第 3 制御信号をオンとして前記トランジスタからの電流を前記発光素子に伝達する第 3 段階とを含み、

前記第 3 電圧は前記第 1 及び第 2 電圧によって決定されることを特徴とする発光素子表示装置の駆動方法。

【請求項 3 5】

前記第 2 制御信号は前記第 1 選択信号によって決定され、前記第 2 制御信号は前記第 1 選択信号と反対レベルを有することを特徴とする、請求項 3 4に記載の発光素子表示装置の駆動方法。

30

【請求項 3 6】

前記第 1 制御信号は前記第 1 選択信号及び前記第 1 選択信号より先にオンレベルになり、前記第 1 選択信号がオンレベルになった後にはオフレベルになる第 2 選択信号によって決定されることを特徴とする、請求項 3 4に記載の発光素子表示装置の駆動方法。

【請求項 3 7】

前記第 2 制御信号は、前記第 1 選択信号より先にオンレベルになり前記第 1 選択信号がオンレベルになった後にはオフレベルになる第 2 選択信号及び前記第 3 制御信号によって決定され、

40

前記第 2 選択信号のオンレベルに응答して前記第 1 電圧が保存され、

前記第 3 制御信号のオンレベルに응答して前記第 3 電圧が前記トランジスタの主電極とゲート電極に印加されることを特徴とする、請求項 3 4 または 3 6に記載の発光素子表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は発光表示装置とその駆動方法及びその表示パネルに関し、特に有機物質の電界発光（有機 EL という）を利用した発光表示装置とその駆動方法及びその表示パネルに関する。

50

【背景技術】

【0002】

一般に有機EL表示装置は蛍光性有機化合物を電氣的に励起して発光させる表示装置であって、行列状に配列された $N \times M$ 個の有機発光セルを電圧駆動あるいは電流駆動して映像を表現することができるようになっている。このような有機発光セルはダイオード特性を有して有機発光ダイオード（Organic Light-Emitting Diode）と呼ばれ、図1に示したようにアノード（図1ではITOとして図示）、有機薄膜（図1ではHIL、HTL、EML、ETL、EILとして図示）、カソード電極層（図1では金属として図示）の構造を有している。有機薄膜は電子と正孔の均衡を良くして発光効率を向上させるために発光層、電子輸送層及び正孔輸送層を含む多層構造からなり、また、別途の電子注入層と正孔注入層を含んでいる。

10

【0003】

このように構成される有機発光セルを駆動する方式には単純マトリックス方式と薄膜トランジスタまたはMOSFETを利用した能動駆動方式がある。単純マトリックス方式は正極と負極を直交するように形成しラインを選択して駆動することに比べて、能動駆動方式は薄膜トランジスタとキャパシタを各ITO画素電極に接続し瞬間的に信号を伝えるが、伝えられた信号電圧をキャパシタ容量によって維持するようにする駆動方式である。能動駆動方式では、キャパシタに電圧を記入し維持させるために印加する信号の形態に従って、電圧記入方式と電流記入方式に分類される。

【0004】

20

次に、図2及び図3を参照して従来技術による電圧記入及び電流記入方式の特徴について説明する。

【0005】

図2は有機EL素子を駆動するための従来の電圧記入方式の画素回路の等価回路図であって、 $N \times M$ 個の画素のうちの一つを代表的に示した図面である。図において、有機EL（EL: Electroluminescence）素子OLEDにp-chのトランジスタM101が連結されて発光のための電流を正極の電源電圧VDDから供給する。トランジスタM101の電流量はスイッチング用p-chのトランジスタM102を通じて印加されるデータ電圧によって、調節されるようになっている。この時、印加された電圧を一定の期間維持するためのキャパシタC101がトランジスタM101のソースとゲートの間に連結されている。トランジスタM102のゲートにはオン・オフ形態の選択信号を伝える選択走査線Snが連結されており、ソース側にはデータ線Dmが連結されている。

30

【0006】

このような構造の画素の動作を見てみると、トランジスタM102のゲートに印加される選択信号によってトランジスタM102が導通すれば、データ線Dmからのデータ電圧がトランジスタM101のゲートに印加される。その後、キャパシタC101によってゲートとソース（VDD側）の間に充電された電圧 V_{GS} に対応してトランジスタM101に電流 I_{OLED} が流れ、この電流 I_{OLED} に対応して有機EL素子OLEDが発光する。この時、有機EL素子OLEDに流れる電流は次の数式（1）で近似的に表現できる。

40

【0007】

【数1】

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = \frac{\beta}{2} (V_{DD} - V_{DATA} - |V_{TH}|)^2$$

・・・（1）

【0008】

ここで、 I_{OLED} は有機EL素子OLEDに流れる電流、 V_{GS} はトランジスタM101のソースとゲートの間の電圧、 V_{TH} はトランジスタM101のしきい電圧、 V_{DD}

50

は電源電圧、 V_{DATA} はデータ電圧、 β は定数値を示す。数式(1)に示したように、図2に示した画素回路によれば印加されるデータ電圧に対応する電流が有機EL素子OLEDに供給され、供給された電流に対応する輝度で有機EL素子が発光する。この時、印加されるデータ電圧は、所定の明暗階調を表現するために一定の範囲で多段階の値を有する。

【0009】

しかし、このような従来の電圧記入方式の画素回路では製造工程の不均一性により各画素毎に生じる薄膜トランジスタのしきい電圧 V_{TH} 及び電子移動度の偏差によって高階調が得がたいという問題点がある。例えば、3Vで画素の薄膜トランジスタを駆動する場合、8ビット(256段)階調を表現するためには約12mV(=3V/256)間隔で薄膜トランジスタのゲートに電圧を印加しなければならないが、万一製造工程の不均一による薄膜トランジスタのしきい電圧の偏差が100mVに達する場合には高階調を表現することが難しくなる。また、移動度の偏差によって数式(1)に含まれる β 値が変わるのでさらに高階調を表現することが難しくなる。

【0010】

これに対し、電流記入方式の画素回路は、画素回路に電流を供給する電流源がパネル全体、つまり全てのデータ線に関して均一であるとすれば、各画素内の駆動トランジスタが不均一な電圧-電流特性を有すると仮定しても均一なディスプレイ特性を得ることができる。

【0011】

図3は有機EL素子を駆動するための従来の電流記入方式の画素回路の等価回路図であって、 $N \times M$ 個の画素のうちの一つを代表的に示した図面である。図3を参照すれば、有機EL素子OLEDにトランジスタM201が連結されて発光のための電流を供給し、トランジスタM201の電流量はトランジスタM202を通じて印加されるデータ電流によって制御されるようになっている。

【0012】

まず回路の動作を見ると、選択走査線 S_n からの選択信号によってトランジスタM202、M203が導通して、先ずトランジスタM201がダイオード接続の状態になり、キャパシタC201に電流が流れて充電電圧を生じ、トランジスタM201のゲート電位が低下してドレインからソースに電流が流れる。時間経過により充電電圧が高くなってトランジスタM201のドレイン電流がトランジスタM202のソース電流と等しくなればキャパシタC201の充電電流が停止して充電電圧が安定する。従って、データ線 D_m からの輝度設定用データ電流 I_{DATA} に対応する電圧がキャパシタC201に保存される。次に、選択走査線 S_n からの選択信号がハイレベルになってトランジスタM202、M203が遮断されるが、発光走査線 E_n からの発光信号がローレベルになってトランジスタM204が導通し、電源電圧VDDから電源が供給され、キャパシタC201に保存された電圧に対応する電流が有機EL素子OLEDに流れて設定輝度の発光をする。この時、有機EL素子OLEDに流れる電流は数式(2)のようである。

【0013】

【数2】

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = I_{DATA}$$

・・・(2)

【0014】

ここで、 I_{OLED} は有機EL素子OLEDに流れる電流、 V_{GS} はトランジスタM201のソースとゲートの間の電圧、 V_{TH} はトランジスタM201のしきい電圧、 I_{DATA} は輝度設定用データ電流、 β は定数値を示す。数式(2)で示したように従来の電流ピクセル回路によれば、有機EL素子に流れる電流 I_{OLED} はデータ電流 I_{DATA} と同一であるので記入電流源がデータ線全てに関して均一であるとすれば均一な特性を得る

ことができる。しかし、有機EL素子に流れる電流 I_{OLED} は微小電流でありながら所要電圧は高く、この微細電流 I_{DATA} で画素回路を駆動するには、データ線の寄生容量など充電するのに時間が多くかかるという問題点がある。例えば、データ線負荷キャパシタンスが 30 pF であると仮定する場合に、数十 nA から数百 nA 程度のデータ電流でデータ線の負荷を充電するためには、数 ms の時間が必要である。これは数十 μs 水準であるライン時間（例えば、水平走査時間）を考慮してみる時、充電時間が充分でないという問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0015】

10

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、トランジスタのしきい電圧や移動度を補償することができ、データ線を十分に充電させることができる発光表示装置とその駆動方法及びその表示パネルを提供することにある。

【課題を解決するための手段】

【0016】

本発明の第1特徴による発光表示装置は表示パネルを含み、表示パネルには画像信号を示すデータ電流を伝達する複数のデータ線、選択信号を伝達する複数の走査線、そしてデータ線と走査線によって定義される複数の画素に各々形成される複数の画素回路が形成されている。画素回路は、発光素子と、第1トランジスタと、第1～第3スイッチング素子と、第1及び第2保存素子とを含む。発光素子は印加される電流に対応して光を発光し、第1トランジスタは発光素子を発光させるための駆動電流を制御し、第1及び第2主電極と制御電極を有する。第1スイッチング素子は第1制御信号に応答して前記第1トランジスタをダイオード形態に連結させ、第1保存素子は第2制御信号に応答して前記第1トランジスタのしきい電圧に対応する第1電圧を保存する。第2スイッチング素子は走査線からの選択信号に応答してデータ線からのデータ信号を伝達し、第2保存素子は前記第1スイッチング素子からのデータ電流に対応する第2電圧を保存する。第3スイッチング素子は第3制御信号に応答して前記第1トランジスタからの駆動電流を発光素子に伝達する。前記第1及び第2電圧を各々保存している第1及び第2保存素子の結合によって決定された第3電圧が前記第1トランジスタに印加されて前記駆動電流が発光素子に供給される。

20

【0017】

30

かかる構成によれば、発光素子に供給される電流は、トランジスタのしきい電圧や移動度に関係なく決定されるので、トランジスタのしきい電圧偏差や移動度の偏差を補償することができる。また、発光素子に流れる微小電流を制御することができるので、一ライン時間内にデータ線を十分に充電させることができる。この時、第2制御信号、選択信号及び第3制御信号が順次に受信または形成されることが好ましい。

【0018】

前記画素回路は第2制御信号に応答して導通され、第1端が第1トランジスタの制御電極に連結される第4スイッチング素子をさらに含むのが好ましい。第2保存素子は第1トランジスタの制御電極と第1主電極の間に連結される第1キャパシタによって形成され、第1保存素子は第1トランジスタの第1主電極と第4スイッチング素子の第2端の間に連結される第2キャパシタと第1キャパシタの並列連結によって形成されるよう構成してもよい。

40

【0019】

第2制御信号は前記走査線からの前記選択信号であってもよい。この場合には配線の本数を減らすことができる。この時、第4スイッチング素子は前記選択信号のディスエーブル区間で応答する。

【0020】

そして、第1制御信号は直前走査線からの選択信号及び現在走査線からの選択信号からなることができる。この時、前記第1スイッチング素子は、直前走査線からの選択信号に
応答して前記第1トランジスタをダイオード形態に連結させる第2トランジスタ及び現在

50

走査線からの選択信号に応答して前記第1トランジスタをダイオード形態に連結させる第3トランジスタを含む。

【0021】

また、第2制御信号は直前走査線からの選択信号及び前記第3制御信号からなることができる。この時、画素回路は前記第4スイッチング素子に並列に連結される第5スイッチング素子をさらに含み、第4及び第5スイッチング素子は各々直前走査線からの選択信号及び第3制御信号に応答して導通される。

【0022】

本発明の第2特徴による発光表示装置の表示パネルは複数の画素回路を含む。画素回路は、第1トランジスタと、第1～第4スイッチング素子と、発光素子と、第1及び第2保存素子とを含む。第1トランジスタは第1電圧を供給する第1電源に第1主電極が連結され、第1スイッチング素子は第1トランジスタの第2主電極とデータ線との間に連結されて走査線からの第1選択信号によって制御される。第2スイッチング素子は第1トランジスタをダイオード形態に連結させるように第1制御信号によって制御され、第3スイッチング素子は第1トランジスタの制御電極に第1端が連結されて第2制御信号によって制御される。第4スイッチング素子は第1トランジスタの第2主電極に第1端が連結されて第3制御信号によって制御され、発光素子は印加される電流に対応して光を発光して第4スイッチング素子の第2端と第2電圧を供給する第2電源の間に連結される。第1保存素子は第3スイッチング素子がオン状態である時、第1トランジスタの制御電極と第1主電極の間に連結され、第2保存素子は第3スイッチング素子がオフの状態である時、第1トランジスタの制御電極と第1主電極の間に連結される。

【0023】

本発明の第3及び第4特徴によると、走査線からの選択信号に応答してデータ線からのデータ電流を伝達するスイッチング素子と、データ電流に対応して駆動電流を出力して第1及び第2主電極と制御電極を有するトランジスタと、前記トランジスタからの駆動電流に対応して光を発光する発光素子とを含む画素回路が形成されている発光表示装置を駆動する方法が提供される。

【0024】

本発明の第3特徴による駆動方法によれば、まず、トランジスタの制御電極と第1主電極の間に形成される第1保存素子にトランジスタのしきい電圧に対応する第1電圧を保存する。そしてスイッチング素子からのデータ電流に対応する第2電圧がトランジスタの制御電極と第1主電極の間に形成される第2保存素子に保存される。次に、第1及び第2保存素子を結合してトランジスタの制御電極と第1主電極の間の電圧を第3電圧とし、トランジスタからの駆動電流を発光素子に伝達する。この時、トランジスタからの駆動電流は第3電圧に対応して決定される。

【0025】

本発明の第4特徴による駆動方法によれば、まず、第1制御信号に応答して前記トランジスタがダイオード形態に連結され、第2制御信号の第1レベルに応答して前記トランジスタの制御電極と第1主電極の間に第1保存素子が連結されて前記第1保存素子に前記トランジスタのしきい電圧に対応する第1電圧が保存される。そして第2制御信号の第2レベルに応答して前記トランジスタの制御電極と第1主電極の間に第2保存素子が連結され、走査線からの第1選択信号に応答して前記第2保存素子にデータ電流に対応する第2電圧が保存される。次に、第2制御信号の第1レベルに応答して前記第1及び第2保存素子が結合されて前記トランジスタの制御電極と第1主電極の間の電圧が第3電圧になり、前記トランジスタには第3電圧に対応する駆動電流が流れ、第3制御信号に応答して駆動電流が発光素子に供給される。

【0026】

本発明の第5特徴によると、第1選択信号に応答して画像信号を示すデータ電流をトランジスタに伝達して発光素子を駆動する方法が提供される。まず、第1及び第2スイッチング素子に各々印加される第1及び第2制御信号をイネーブルレベルとして前記トランジ

スタのしきい電圧に対応する第1電圧を保存し、第3スイッチング素子に印加される第3制御信号をディスエーブルレベルとして前記トランジスタと発光素子を電氣的に遮断し、第4スイッチング素子に印加される第1選択信号をディスエーブルレベルとしてデータ電流を遮断する。そして第1選択信号をイネーブルレベルとしてデータ電流を供給し、第1及び第2制御信号を各々イネーブル及びディスエーブルレベルとしてデータ電流に対応する第2電圧を保存する。次に、第1選択信号をディスエーブルレベルとしてデータ電流を遮断し、第1及び第2制御信号を各々ディスエーブル及びイネーブルとして第3電圧を前記トランジスタの主電極とゲート電極に印加し、第3制御信号をイネーブルとして前記トランジスタからの電流を発光素子に伝達する。この時、第3電圧は第1及び第2電圧によって決定される。

10

【発明の効果】

【0027】

以上のように、本発明によれば、発光素子に流れる微小電流を制御することができるので、一ライン時間内にデータ線を十分に充電させることができる。また、本発明の別の観点によれば、発光素子に流れる電流は、トランジスタのしきい電圧や移動度に関係なく決定されるので、トランジスタのしきい電圧偏差や移動度の偏差を補償することができる。

【発明を実施するための最良の形態】

【0028】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。図面において本発明を明確に説明するために説明と関係ない部分は省略した。本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。ある部分が他の部分と連結されていると言う時、これは直接的に連結されている場合だけでなく、その中間に他の素子を隔てて電氣的に連結されている場合も含む。

20

【0029】

次に、本発明の実施の形態にかかる発光表示装置としての有機EL表示装置、及びその画素回路と駆動方法について図面を参照して詳細に説明する。

【0030】

まず、図4を参照して本発明の実施の形態にかかる有機EL表示装置について詳しく説明する。図4は本発明の実施の形態にかかる有機EL表示装置の概略的な平面図である。

30

【0031】

図4に示したように、本発明の実施の形態にかかる有機EL表示装置は有機EL表示パネル10、走査駆動部20及びデータ駆動部30を含む。

【0032】

有機EL表示パネル10は、行方向（図の紙面左右方向）に並んで配置され、それぞれは列方向（図の紙面上下方向）に長くのびている複数のデータ線 $D_1, D_2, \dots, D_m$ 、列方向（図の紙面上下方向）に並んで配置され、それぞれは行方向（図の紙面左右方向）に長くのびている複数種類の走査線群（選択走査線 $S_1, S_2, \dots, S_n$ 、発光走査線 $E_1, E_2, \dots, E_n$ 、X走査線 $X_1, X_2, \dots, X_n$ 、Y走査線 $Y_1, Y_2, \dots, Y_n$ ）及び複数の画素回路11を含む。データ線 $D_1, D_2, \dots, D_m$ は画像信号を示すデータ信号を画素回路11に伝達し、選択走査線 $S_1, S_2, \dots, S_n$ は選択信号を画素回路11に伝達する。画素回路11は隣接した二つのデータ線 $D_1, D_2, \dots, D_m$ と隣接した二つの選択走査線 $S_1, S_2, \dots, S_n$ によって定義される画素領域に形成されている。また、発光走査線 $E_1, E_2, \dots, E_n$ は画素回路11の発光を制御する発光信号を伝達し、X走査線 $X_1, X_2, \dots, X_n$ 、及びY走査線 $Y_1, Y_2, \dots, Y_n$ は各々画素回路11の動作を制御するための制御信号を伝達する。なお、選択信号及び発光信号も各種の制御を行う制御信号として機能する。

40

【0033】

走査駆動部20は選択走査線 $S_1, S_2, \dots, S_n$ および発光走査線 $E_1, E_2, \dots, E_n$ に各々選択信号と発光信号を順次に印加し、また、X走査線 $X_1, X_2, \dots, X_n$ 、

50

及びY走査線 $Y_1, Y_2, \dots, Y_n$ に制御信号を順次に印加する駆動回路である。データ駆動部30はデータ線 $D_1, D_2, \dots, D_m$ に画像信号を示すデータ電流を印加する駆動回路である。

【0034】

走査駆動部20及び／またはデータ駆動部30は表示パネル10に電氣的に連結されることができ、または表示パネル10に接着されて電氣的に連結されているテープキャリアパッケージ(TCP)にチップなどの形態で装着することができる。または表示パネル10に接着されて電氣的に連結されている可撓性印刷回路(FPC)またはフィルムなどに集積回路チップなどの形態で装着されることができ、これをCoF(chip on flexible board, chip on film)方式という。これとは異なっ

10

【0035】

以下では図5及び図6を参照して本発明の第1の実施の形態にかかる有機EL表示装置の画素回路11について詳細に説明する。図5は本発明の第1の実施の形態にかかる画素回路の等価回路図であり、図6は図5の画素回路を駆動するための駆動波形図である。そして図5では説明の便宜上m番目データ線 D_m とn番目選択走査線 S_n に連結された画素回路だけを示した。

20

【0036】

図5に示したように、本発明の第1の実施の形態にかかる画素回路11は発光素子である有機EL素子OLED、トランジスタM1、M2、M3、M4、M5及びキャパシタC1、C2を含み、トランジスタM1、M2、M3、M4、M5はPMOSトランジスタで形成されている。本実施の形態においてはトランジスタM2、M3、M4、M5はスイッチング素子として機能する。このようなトランジスタは表示パネル10のガラス基板上に形成されるゲート電極、ドレーン電極及びソース電極を各々制御電極及び2個の主電極として有する薄膜トランジスタであることが好ましい。また、電源電圧VDDは正電圧を供給する。

【0037】

トランジスタ(第1トランジスタ)M1は電源電圧VDDにソース、トランジスタM5の第2主電極(第2端)にゲートが連結されており、トランジスタM1のゲートとドレーンの間にはトランジスタM3が連結されている。トランジスタM1はゲートとソースの間にかかる電圧 V_{GS} に対応する電流 I_{OLED} を出力する。トランジスタM1は有機EL素子OLEDを発光させるための駆動電流を供給する。トランジスタM3はX走査線 X_n からのローレベルの制御信号(第1制御信号) $CS1_n$ に応答してトランジスタM1をダイオード形態に連結させる。キャパシタC1の一端はトランジスタM1のソースに、他端はトランジスタM1のゲートの間に連結され、キャパシタC2も一端はトランジスタM1のソースに、他端はトランジスタM5の第1主電極(第1端)の間に連結される。このようなキャパシタC1、C2はトランジスタのゲートとソースの間の電圧を保存する保存素子(第1保存素子)として作用する。トランジスタM5はY走査線 Y_n からのローレベルの制御信号 $CS2_n$ に応答してキャパシタC1、C2各々の他端を接続する。

30

40

【0038】

トランジスタM2は選択走査線 S_n からのローレベルの選択信号 SE_n に응答してデータ線 D_m からのデータ電流 I_{DATA} をトランジスタM1に伝達する。トランジスタM4はトランジスタM1のドレーンと有機EL素子OLEDの間に連結されて、発光走査線 E_n からのローレベルの発光信号(第3制御信号) EM_n に응答してトランジスタM1の電流 I_{OLED} を有機EL素子OLEDに伝達する。有機EL素子OLEDはトランジスタM4と基準電圧の間に連結され、印加される電流の量 I_{OLED} に対応した強さの光を発光する。

50

【0039】

次に、図6を参照して本発明の第1の実施の形態にかかる画素回路の動作について詳細に説明する。本実施の形態では、制御信号 $CS1_n$ 、 $CS2_n$ 、選択信号 SE_n 、発光信号 EM_n それぞれにおいて、ローレベルがイネーブルレベル、ローレベルの区間がイネーブル区間となり、ハイレベルがディスエーブルレベル、ハイレベルの区間がディスエーブルレベル区間となる。

【0040】

図6において、区間T1では、ローレベルのY制御信号 $CS2_n$ によってトランジスタM5が導通してキャパシタC1、C2はトランジスタM1のゲートとソースの間で並列連結される。そしてローレベルの制御信号 $CS1_n$ によってトランジスタM3が導通しトランジスタM1はダイオード形態に連結され、ダイオード形態に連結されたトランジスタM1によって並列連結されたキャパシタC1、C2にはトランジスタM1のしきい電圧 V_{TH} が保存される。つまり、区間T1ではキャパシタC1、C2にトランジスタM1のしきい電圧 V_{TH} がサンプリングされたことになる。また、ハイレベルの発光信号 EM_n によりトランジスタM4は遮断状態であって有機EL素子OLEDへの電流は遮断されている。

【0041】

区間T2ではY制御信号 $CS2_n$ がハイレベルになってトランジスタM5が遮断され、選択信号 SE_n がローレベルになってトランジスタM2が導通する。遮断されたトランジスタM5によってキャパシタC2は電圧が充電された状態でフローティング状態になる。そして導通したトランジスタM2を通してデータ線 D_m に吸い込まれるデータ電流 I_{DATA} がトランジスタM1に流れる。その後、データ電流 I_{DATA} に対応してトランジスタM1のゲート-ソース電圧 $V_{GS}(T2)$ が形成され、キャパシタ(第2保存素子)C1に保存される。トランジスタM1にはデータ電流 I_{DATA} が流れるのでデータ電流 I_{DATA} は数式(3)のように示すことができ、数式(3)から区間T2でのゲート-ソース電圧 $V_{GS}(T2)$ は数式(4)で与えられる。つまり、区間T2ではデータ電流 I_{DATA} に相当するゲート-ソース電圧が画素回路のキャパシタC1に記入される。

【0042】

【数3】

$$I_{DATA} = \frac{\beta}{2} (|V_{GS}(T2)| - |V_{TH}|)^2$$

・・・(3)

【数4】

$$|V_{GS}(T2)| = \sqrt{\frac{2I_{DATA}}{\beta}} + |V_{TH}|$$

・・・(4)

【0043】

ここで、 β は定数値である。次に、区間T3ではハイレベルのX制御信号 $CS1_n$ 及び選択信号 SE_n に応答してトランジスタM3、M2が遮断され、ローレベルのY制御信号 $CS2_n$ 及び発光信号 EM_n によってトランジスタM5、M4が導通する。トランジスタM5が導通すればキャパシタC1、C2の結合によって区間T3でのトランジスタM1のゲート-ソース電圧 $V_{GS}(T3)$ は数式(5)のようになる。

【0044】

【数 5】

$$|V_{GS}(T3)| = |V_{TH}| + \frac{C_1}{C_1 + C_2} (|V_{GS}(T2)| - |V_{TH}|)$$

・・・ (5)

【0045】

ここで、 C_1 及び C_2 は各々キャパシタ C_1 、 C_2 のキャパシタンスである。したがって、トランジスタ $M1$ に流れる電流 I_{OLED} は数式 (6) のようになり、この電流 I_{OLED} が導通したトランジスタ $M4$ を通って有機 EL 素子 $OLED$ に供給され発光が行われる。つまり、区間 $T3$ ではキャパシタ C_1 、 C_2 の結合によって電荷が分配されてトランジスタ $M1$ のゲートソース電圧 $V_{GS}(T3)$ が減少し、データ電流 I_{DATA} よりも少ない電流が有機 EL 素子 $OLED$ に流れて、適切な発光が行われる。

10

【0046】

【数 6】

$$I_{OLED} = \frac{\beta}{2} \left\{ \frac{C_1}{C_1 + C_2} (|V_{GS}(T2)| - |V_{TH}|) \right\}^2 = \left(\frac{C_1}{C_1 + C_2} \right)^2 I_{DATA}$$

20

・・・ (6)

【0047】

数式 (6) に示したように、有機 EL 素子 $OLED$ に供給される電流 I_{OLED} はトランジスタ $M1$ のしきい電圧 V_{TH} や移動度に関係なく決定されるので、しきい電圧の偏差や移動度の偏差が補償できる。また、有機 EL 素子 $OLED$ に供給される電流 I_{OLED} はデータ電流 I_{DATA} に比べて $C_1 / (C_1 + C_2)$ の自乗倍ほど小さい値

【0048】

【数 7】

30

$$I_{DATA} \left(\frac{C_1}{C_1 + C_2} \right)^2$$

・・・ (7)

【0049】

になる。例えば、 C_2 が C_1 の M 倍 ($C_2 = M * C_1$) であれば、電流 I_{OLED} に対して $(M+1)^2$ 倍だけ大きいデータ電流 I_{DATA} として有機 EL 素子 $OLED$ に流れる微細電流を制御することができるので、高階調を表現することが可能である。そしてデータ線 $D1$ 、 $D2$ 、 $\dots$ 、 D_m に大きいデータ電流 I_{DATA} を供給するのでデータ線の充電時間を十分に確保することができる。

40

【0050】

本発明の第 1 の実施の形態では 5 つのトランジスタ $M1 \sim M5$ を PMOS トランジスタで実現したが、これを NMOS トランジスタで実現することができる。以下ではこのような実施の形態について図 7 及び図 8 を参照して説明する。

【0051】

図 7 は本発明の第 2 の実施の形態にかかる画素回路の等価回路図であり、図 8 は図 7 の画素回路を駆動するための駆動波形図である。

【0052】

50

図7に示した画素回路ではトランジスタM21, M22, M23, M24, M25がNMOSトランジスタで形成されており、その連結構造は図5の画素回路と対称をなす。第2の実施の形態におけるトランジスタM21, M22, M23, M24, M25, キャパシタC21, C22をそれぞれ、第1の実施の形態におけるトランジスタM1, M2, M3, M4, M5, キャパシタC1, C2に対応させて考えることができる。詳しく説明すれば、トランジスタ(第1トランジスタ)M21は基準電圧にソースが連結されトランジスタM25にゲートが連結されており、トランジスタM21のゲートとドレインの間にはトランジスタM23が連結されている。キャパシタC21はトランジスタM21のソースとゲートの間に連結され、キャパシタC22はトランジスタM21のソースとトランジスタM25の第1主電極(第1端)の間に連結される。トランジスタM25の第2主電極(第2端)はトランジスタM21のゲートに連結され、トランジスタM23, M25のゲートには各々X走査線 X_n 及びY走査線 Y_n からのX制御信号 $CS1_n$ 及びY制御信号 $CS2_n$ が印加される。トランジスタM22は選択走査線 S_n からのハイレベルの選択信号 SE_n に応答してデータ線 D_m からのデータ電流 I_{DATA} をトランジスタM21に伝達する。トランジスタM24はトランジスタM21のドレインと有機EL素子OLEDの間に連結され、そのゲートに発光走査線 E_n からの発光信号 EM_n が印加される。有機EL素子OLEDはトランジスタM24と電源電圧VDDの間に連結される。本実施の形態においてはトランジスタM22, M23, M24, M25はスイッチング素子として機能し、キャパシタC21, C22は電圧を保存する保存素子として機能する。

10

【0053】

20

図7の画素回路はNMOSトランジスタで形成されているので、図8に示したように図7の画素回路を駆動するための駆動波形は図6の駆動波形に対して反転された形態を有する。本実施の形態では、制御信号 $CS1_n$, $CS2_n$, 選択信号 SE_n , 発光信号 EM_n それぞれにおいて、ハイレベル、ローレベルとイネーブル、ディスエーブルの関係が第1の実施の形態の場合と逆になる。本発明の第2の実施の形態にかかる画素回路の詳細な動作は図7及び図8と第1の実施の形態の説明から容易に分かるので詳細な説明を省略する。

【0054】

本発明の第1及び第2の実施の形態によれば、5つのトランジスタが全て同一タイプのトランジスタであるので、表示パネル10のガラス基板上に薄膜トランジスタを形成する工程を簡単にすることができる。

30

【0055】

本発明の第1及び第2の実施の形態それぞれでは5つのトランジスタをPMOSまたはNMOSトランジスタで実現したが、これに限定されず、PMOSとNMOSの組み合わせ、または類似な機能をする他のスイッチング素子で実現することができる。

【0056】

そして本発明の第1及び第2の実施の形態では二つの制御信号 $CS1_n$, $CS2_n$ を使用して画素回路を制御したが、一つの制御信号だけを使用して画素回路を制御することができる。以下ではこのような実施の形態について図9～図12を参照して詳細に説明する。

40

【0057】

図9は本発明の第3の実施の形態にかかる画素回路の等価回路図であり、図10は図9の画素回路を駆動するための駆動波形図である。

【0058】

図9に示したように、本発明の第3の実施の形態にかかる画素回路はトランジスタM32, M35を除けば第1の実施の形態と同様の構造を有する。すなわち、第3の実施の形態におけるトランジスタM31, M33, M34, キャパシタC31, C32をそれぞれ、第1の実施の形態におけるトランジスタM1, M3, M4, キャパシタC1, C2に対応させて考えることができる。トランジスタM32はNMOSトランジスタで形成されており、トランジスタM32, M35のゲートは選択走査線 S_n に共通に連結されている。

50

つまり、トランジスタM35は選択走査線 S_n からの選択信号 SE_n により駆動される。本実施の形態においてはトランジスタM32, M33, M34, M35はスイッチング素子として機能し、キャパシタC31, C32は電圧を保存する保存素子として機能する。本実施の形態では、制御信号 $CS1_n$, 発光信号 EM_n それぞれにおいて、ローレベルがイネーブルレベル、ローレベルの区間がイネーブル区間となり、ハイレベルがディスエーブルレベル、ハイレベルの区間がディスエーブルレベル区間となる。また、選択信号 SE_n は、トランジスタM35に関しては、ローレベルがイネーブルレベル、ローレベルの区間がイネーブル区間となり、ハイレベルがディスエーブルレベル、ハイレベルの区間がディスエーブルレベル区間となるが、トランジスタM32に関しては、ハイレベルがイネーブルレベル、ハイレベルの区間がイネーブル区間となり、ローレベルがディスエーブルレベル、ローレベルの区間がディスエーブルレベル区間となる。

10

【0059】

図10を見れば、区間T1ではローレベルのX制御信号（第1制御信号） $CS1_n$ 及び選択信号 SE_n によりトランジスタM33, M35が導通する。導通したトランジスタM33によってトランジスタ（第1トランジスタ）M31はダイオード形態に連結されて、キャパシタC31, C32にはトランジスタM31のしきい電圧 V_{TH} が保存される（キャパシタC31, C32は第1保存素子として機能する）。また、ハイレベルの発光信号 EM_n によってトランジスタM34が遮断されて有機EL素子OLEDへの電流が遮断されている。

20

【0060】

区間T2では選択信号 SE_n がハイレベルになってトランジスタM32が導通しトランジスタM35が遮断される。その後、キャパシタC31には数式(4)に示した電圧 $V_{gs}(T2)$ が充電される（キャパシタC31は第2保存素子として機能する）。この時、選択信号 SE_n によりトランジスタM32が導通する瞬間キャパシタC32に充電された電圧が変わることがあるので、これを防止するためにトランジスタM32が導通する前にトランジスタM33を遮断した後、トランジスタM32が導通した後に再びトランジスタM33を導通させる。つまり、選択信号 SE_n がハイレベルになる前にX制御信号 $CS1_n$ を暫くハイレベルに反転させる。

【0061】

本発明の第3の実施の形態での残りの動作は第1の実施の形態と同様であるので詳細な説明は省略する。このような第3の実施の形態によれば、Y制御信号 $CS2_n$ を供給する走査線 $Y_1 - Y_n$ をなくすることができるので画素の開口率を高めることができる。

30

【0062】

そして本発明の第3の実施の形態ではトランジスタM31, M33, M34, M35をPMOSトランジスタで実現しトランジスタM32をNMOSトランジスタで実現したが、これとは反対に実現することもできる。次に、このような実施の形態について図11及び図12を参照して説明する。

【0063】

図11は本発明の第4の実施の形態にかかる画素回路の等価回路図であり、図12は図11の画素回路を駆動するための駆動波形図である。

40

【0064】

図11に示したように、本発明の第4の実施の形態にかかる画素回路はトランジスタM42がPMOSトランジスタで実現されトランジスタM41, M43, M44, M45がNMOSトランジスタで実現されており、その連結構造は図9の画素回路と対称をなす。第4の実施の形態におけるトランジスタM41, M42, M43, M44, M45, キャパシタC41, C42をそれぞれ、第3の実施の形態におけるトランジスタM31, M32, M33, M34, M35, キャパシタC31, C32に対応させて考えることができる。本実施の形態においてはトランジスタM42, M43, M44, M45はスイッチング素子として機能し、キャパシタC41, C42は電圧を保存する保存素子として機能する。また、図12に示したように図11の画素回路を駆動するための駆動波形は図10の

50

駆動波形に対して反転された形態を有する。本実施の形態では、制御信号 $CS1_n$ 、選択信号 SE_n 、発光信号 EM_n それぞれにおいて、ハイレベル、ローレベルとイネーブル、ディスエーブルの関係が第3の実施の形態の場合と逆になる。第4の実施の形態にかかる画素回路の連結構造及び動作については第3の実施の形態の説明から容易に分かるので詳細な説明を省略する。

【0065】

本発明の第1～第4の実施の形態では2つのキャパシタを電源電圧 VDD に並列に連結したが、これとは異なって2つのキャパシタを電源電圧 VDD に直列に連結することもできる。次に、このような実施の形態について図13及び図14を参照して詳細に説明する。

10

【0066】

図13は本発明の第5の実施の形態にかかる画素回路の等価回路図である。

【0067】

図13に示したように、本発明の第5の実施の形態にかかる画素回路はキャパシタ $C51$ 、 $C52$ 及びトランジスタ $M55$ の連結状態を除けば第1の実施の形態と同様の構造を有する。第5の実施の形態におけるトランジスタ $M51$ 、 $M52$ 、 $M53$ 、 $M54$ 、 $M55$ をそれぞれ、第1の実施の形態におけるトランジスタ $M1$ 、 $M2$ 、 $M3$ 、 $M4$ 、 $M5$ に対応させて考えることができる。詳しく説明すれば、キャパシタ $C51$ 、 $C52$ は電源電圧 VDD とトランジスタ $M53$ の間に直列に連結され、トランジスタ $M55$ はキャパシタ $C51$ 、 $C52$ 間の接続点とトランジスタ（第1トランジスタ） $M51$ のゲートの間に連結されている。本実施の形態においてはトランジスタ $M52$ 、 $M53$ 、 $M54$ 、 $M55$ はスイッチング素子として機能し、キャパシタ $C51$ 、 $C52$ は電圧を保存する保存素子として機能する。

20

【0068】

第5の実施の形態にかかる画素回路は第1の実施の形態と同一駆動波形によって駆動され、詳細な動作について図6及び図13を参照して説明する。本実施の形態では、制御信号 $CS1_n$ 、 $CS2_n$ 、選択信号 SE_n 、発光信号 EM_n それぞれにおいて、ローレベルがイネーブルレベル、ローレベルの区間がイネーブル区間となり、ハイレベルがディスエーブルレベル、ハイレベルの区間がディスエーブルレベル区間となる。

【0069】

まず、区間 $T1$ ではローレベルの X 制御信号（第1制御信号） $CS1_n$ によってトランジスタ $M53$ が導通してトランジスタ $M51$ はダイオード形態に連結される。ダイオード形態に連結されたトランジスタ $M51$ によってキャパシタ（第1キャパシタ） $C51$ にはトランジスタ $M51$ のしきい電圧 V_{TH} が保存され、キャパシタ（第2キャパシタ） $C52$ の電圧は $0V$ になる。また、ハイレベルの発光信号 EM_n によってトランジスタ $M54$ が遮断されて有機 EL 素子 $OLED$ への電流が遮断されている。

30

【0070】

区間 $T2$ では Y 制御信号 $CS2_n$ がハイレベルになってトランジスタ $M55$ が遮断され、選択信号 SE_n がローレベルになってトランジスタ $M52$ が導通する。導通したトランジスタ $M52$ によってデータ線 D_m からのデータ電流 I_{DATA} がトランジスタ $M51$ に流れるようになり、トランジスタ $M51$ のゲートソース電圧 $V_{GS}(T2)$ が数式(4)のようになる。したがって、しきい電圧 V_{TH} を充電していたキャパシタ $C51$ の電圧 V_{C1} はキャパシタ $C51$ 、 $C52$ の結合によって数式(8)のようになる。ここで、 C_1 及び C_2 は各々キャパシタ $C51$ 、 $C52$ のキャパシタンスである。

40

【0071】

【数8】

$$V_{C1} = |V_{TH}| + \frac{C_2'}{C_1 + C_2} (|V_{GS}(T2)| - |V_{TH}|)$$

50

・・・ (8)

【0072】

次に、区間 (T3) ではハイレベルの X 制御信号 $CS1_n$ 及び選択信号 SE_n に応答してトランジスタ M53, M52 が遮断され、ローレベルの Y 制御信号 $CS2_n$ 及び発光信号 EM_n によってトランジスタ M55, M54 が導通する。トランジスタ M53 が遮断されてトランジスタ M55 が導通すれば、キャパシタ C51 の電圧 V_{C1} が区間 T3 でのトランジスタ M51 のゲートソース電圧 $V_{GS}(T3)$ になる。したがって、トランジスタ M51 に流れる電流 I_{OLED} は数式 (9) のようになり、この電流 I_{OLED} がトランジスタ M54 によって有機 EL 素子 OLED に供給され発光が行われる。

【0073】

【数9】

$$I_{OLED} = \frac{\beta}{2} \left\{ \frac{C_2}{C_1 + C_2} (|V_{GS}(T2)| - |V_{TH}|) \right\}^2 = \left(\frac{C_2}{C_1 + C_2} \right)^2 I_{DATA}$$

・・・ (9)

【0074】

本発明の第5の実施の形態でも第1の実施の形態と同様に有機 EL 素子 OLED に供給される電流 I_{OLED} はトランジスタ M51 のしきい電圧 V_{TH} や移動度に関係なく決定される。また、電流 I_{OLED} に対して $(C_1 + C_2) / C_2$ の自乗倍ほど大きいデータ電流 I_{DATA} として有機 EL 素子 OLED に流れる微細電流を制御することができるので、高階調を表現することができる。そしてデータ線 D1, D2, ..., D_m に大きいデータ電流 I_{DATA} を供給するのでデータ線の充電時間を十分に確保することができる。

【0075】

本発明の第5の実施の形態では5つのトランジスタ M51 ~ M55 を PMOS トランジスタで実現したが、これらを NMOS トランジスタで実現することも可能である。次に、このような実施の形態について図14を参照して説明する。

【0076】

図14は本発明の第6の実施の形態にかかる画素回路の等価回路図である。

【0077】

図14に示したように、本発明の第6の実施の形態にかかる画素回路はトランジスタ M61, M62, M63, M64, M65 が NMOS トランジスタで実現されており、その連結構造は図13の画素回路と対称をなす。第6の実施の形態におけるトランジスタ M61, M62, M63, M64, M65, キャパシタ C61, C62 をそれぞれ、第5の実施の形態におけるトランジスタ M51, M52, M53, M54, M55, キャパシタ C51, C52 に対応させて考えることができる。本実施の形態においてはトランジスタ M62, M63, M64, M65 はスイッチング素子として機能し、キャパシタ C61, C62 は電圧を保存する保存素子として機能する。図14の画素回路を駆動するための駆動波形は図13の画素回路を駆動するための駆動波形の反転された形態を有し、図8の駆動波形と同一である。本実施の形態では、制御信号 $CS1_n$, $CS2_n$, 選択信号 SE_n , 発光信号 EM_n それぞれにおいて、ハイレベル、ローレベルとイネーブル、ディスエーブルの関係が第5の実施の形態の場合と逆になる。このような第6の実施の形態にかかる画素回路の連結構造及び動作については第5の実施の形態の説明から容易に分かるので詳細な説明を省略する。

【0078】

本発明の第1 ~ 第6の実施の形態では二つの制御信号または一つの制御信号を使用して画素回路を制御したが、これとは異なって制御信号を使用せずに直前走査線の選択信号を使用して画素回路を制御することもできる。次に、このような実施の形態について図15及び図16を参照して詳細に説明する。

【0079】

10

20

30

40

50

図15は本発明の第7の実施の形態にかかる画素回路の等価回路図であり、図16は図15の画素回路を駆動するための駆動波形図である。

【0080】

図15に示したように、本発明の第7の実施の形態にかかる画素回路はトランジスタM73、M75、M76、M77を除けば第1の実施の形態と同様な構造を有する。第7の実施の形態におけるトランジスタM71、M72、M74、キャパシタC71、C72をそれぞれ、第1の実施の形態におけるトランジスタM1、M2、M4、キャパシタC1、C2に対応させて考えることができる。詳しく説明すれば、トランジスタ（第2トランジスタ）M73は直前選択走査線 S_{n-1} からの選択信号 SE_{n-1} にตอบสนองしてトランジスタ（第1トランジスタ）M71をダイオード形態に連結し、トランジスタ（第3トランジスタ）M77は現在選択走査線 S_n からの選択信号 SE_n にตอบสนองしてトランジスタM71をダイオード形態に連結する。図15でトランジスタM77はデータ線 D_m とトランジスタM71のゲートの間に連結されているが、トランジスタM71のゲートとドレインの間に連結されることもできる。そしてトランジスタM75、M76はキャパシタC72とトランジスタM71のゲートの間に並列に連結される。トランジスタM75は直前選択走査線 S_{n-1} からの選択信号 SE_{n-1} にตอบสนองし、トランジスタM76は発光走査線 E_n からの発光信号 EM_n にตอบสนองする。本実施の形態においてはトランジスタM72、M73、M74、M75、M76、M77はスイッチング素子として機能し、キャパシタC71、C72は電圧を保存する保存素子として機能する。

【0081】

次に、図16を参照して図15の画素回路の動作について詳細に説明する。本実施の形態では、選択信号 SE_n 、 SE_{n-1} 、発光信号 EM_n それぞれにおいて、ローレベルがイネーブルレベル、ローレベルの区間がイネーブル区間となり、ハイレベルがディスエーブルレベル、ハイレベルの区間がディスエーブルレベル区間となる。

【0082】

図16を見れば、まず、区間T1ではローレベルの直前選択信号 SE_{n-1} によってトランジスタM73、M75が導通する。導通したトランジスタM75によってキャパシタC71、C72はトランジスタM71のゲートとソースの間で並列連結される。そして導通されたトランジスタM73によってトランジスタM71はダイオード形態に連結され、並列連結されたキャパシタC71、C72にはトランジスタM71のしきい電圧 V_{TH} が保存される。そしてハイレベルの現在選択信号 SE_n 及び発光信号 EM_n によってトランジスタM72、M77、M74、M76は遮断されている。

【0083】

区間T2では直前選択信号 SE_{n-1} がハイレベルになってトランジスタM73が遮断されるが、ローレベルの現在選択信号 SE_n によりトランジスタM77が導通してトランジスタM71はダイオード形態に連結された状態で維持される。直前選択信号 SE_{n-1} によってトランジスタM75が遮断されてキャパシタC72は電圧が保存された状態でフローティングになる。そして現在選択信号 SE_n によりトランジスタM72が導通してデータ線 D_m からのデータ電流 I_{DATA} がトランジスタM71に流れる。その後、データ電流 I_{DATA} に対応してトランジスタM71のゲートソース電圧 $V_{GS}(T2)$ が決定され、ゲートソース電圧 $V_{GS}(T2)$ は第1の実施の形態と同様に数式(4)で与えられる。

【0084】

次に、区間T3では選択信号 SE_n がハイレベルになってトランジスタM72、M77が遮断され、ローレベルの発光信号 EM_n によってトランジスタM74、M76が導通する。トランジスタM76が導通すればキャパシタC71、C72の結合によってトランジスタM71のゲートソース電圧 $V_{GS}(T3)$ は第1の実施の形態と同一に数式(5)で与えられる。したがって、数式(6)に示した電流 I_{OLED} が導通されたトランジスタM74によって有機EL素子OLEDに供給されて発光が行われる。

【0085】

本発明の第7の実施の形態ではX制御信号 $CS1_n$ 及びY制御信号 $CS2_n$ を除去したが、これとは異なってX制御信号 $CS1_n$ 及びY制御信号 $CS2_n$ のうちの一つを除去することもできる。詳しく説明すれば、本発明の第7の実施の形態でX制御信号 $CS1_n$ を追加的に使用する場合には、図15の画素回路でトランジスタM77を除去し、直前選択信号 SE_{n-1} の代りのX制御信号 $CS1_n$ でトランジスタM73を駆動すればよい。そして本発明の第7の実施の形態でY制御信号 $CS2_n$ を追加的に使用する場合には、図15の画素回路でトランジスタM76を除去し、トランジスタM75を直前選択信号 SE_{n-1} と発光信号 EM_n の代りのY制御信号 $CS2_n$ で駆動することができる。このようにすれば、図15に比べて配線の数が増加するが、トランジスタの個数を減らすことができる。

10

【0086】

以上のように、本発明の実施の形態によれば、大きいデータ電流によって有機EL素子に流れる微小電流を制御することができるので、一ライン時間内にデータ線を十分に充電することができる。また、有機EL素子に流れる電流は、トランジスタのしきい電圧や移動度に関係なく決定されるので、トランジスタのしきい電圧偏差や移動度の偏差が補償され、高解像度と大面積の発光表示装置が実現できる。

【0087】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

20

【0088】

例えば、上記の第1～第7の実施の形態ではPMOS及び／またはNMOSトランジスタを使用して画素回路を実現したが、上記例に限定されずPMOS、NMOSまたはPMOSとNMOSの組み合わせで画素回路を実現することができ、また、類似の機能をする他のスイッチング素子を使用して画素回路を実現することもできる。

【産業上の利用可能性】**【0089】**

本発明は、発光表示装置とその駆動方法及び表示パネルに適用可能であり、特に有機物質の電界発光（有機EL）を利用し、電流記入回路を有する能動駆動方式の発光表示装置とその駆動方法及びその表示パネルに適用可能である。

30

【図面の簡単な説明】**【0090】**

【図1】有機電界発光素子の概念図である。

【図2】従来の電圧記入方式の画素回路の等価回路図である。

【図3】従来の電流記入方式の画素回路の等価回路図である。

【図4】本発明の実施の形態にかかる有機EL表示装置の概略的な平面図である。

【図5】本発明の第1の実施の形態にかかる画素回路の等価回路図である。

【図6】図5の画素回路を駆動するための駆動波形図である。

【図7】本発明の第2の実施の形態にかかる画素回路の等価回路図である。

40

【図8】図7の画素回路を駆動するための駆動波形図である。

【図9】本発明の第3の実施の形態にかかる画素回路の等価回路図である。

【図10】図9の画素回路を駆動するための駆動波形図である。

【図11】本発明の第4の実施の形態にかかる画素回路の等価回路図である。

【図12】図11の画素回路を駆動するための駆動波形図である。

【図13】本発明の第5の実施の形態にかかる画素回路の等価回路図である。

【図14】本発明の第6の実施の形態にかかる画素回路の等価回路図である。

【図15】本発明の第7の実施の形態にかかる画素回路の等価回路図である。

【図16】図15の画素回路を駆動するための駆動波形図である。

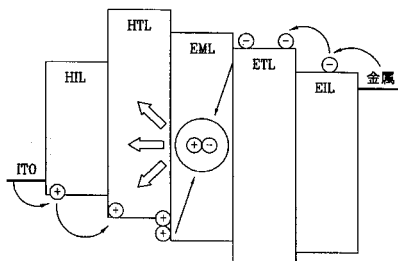
【符号の説明】

50

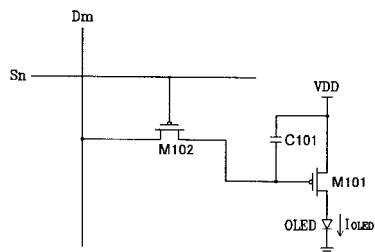
【0091】

10	有機EL表示パネル	
11	画素回路	
20	走査駆動部	
30	データ駆動部	
CS1 _n	X制御信号	
CS2 _n	Y制御信号	
C1, C2	キャパシタ	
D1, D2, ..., D _m	データ線	
E ₁ , E ₂ , ..., E _n	発光走査線	10
EM _n	発光信号	
I _{OLED}	電流	
I _{DATA}	データ電流	
M1, M2, M3, M4, M5	トランジスタ	
OLED	有機EL素子	
VDD	電源電圧	
S ₁ , S ₂ , ..., S _n	選択走査線	
SE _n	選択信号	
V _{GS} (T2), V _{GS} (T3)	ゲートソース電圧	
V _{TH}	しきい電圧	20
X ₁ , X ₂ , ..., X _n	X走査線	
Y ₁ , Y ₂ , ..., Y _n	Y走査線	

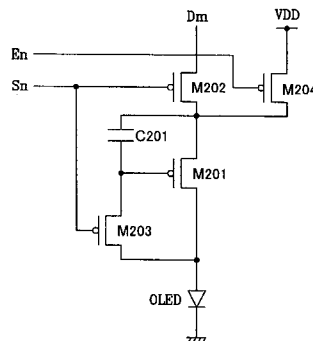
【図1】



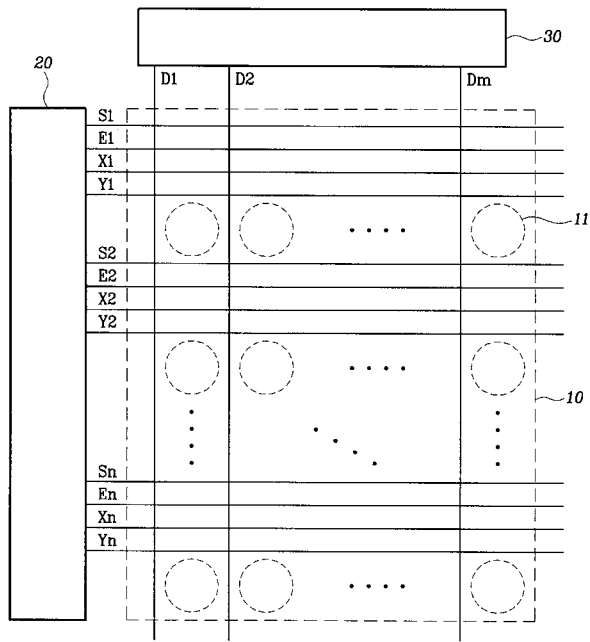
【図2】



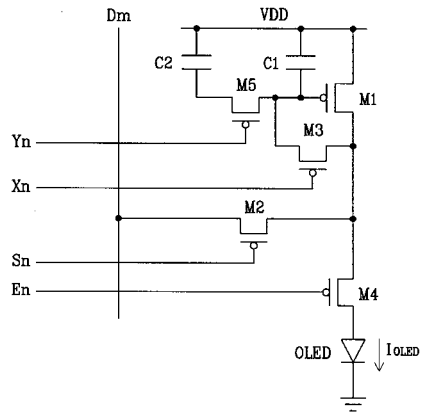
【図3】



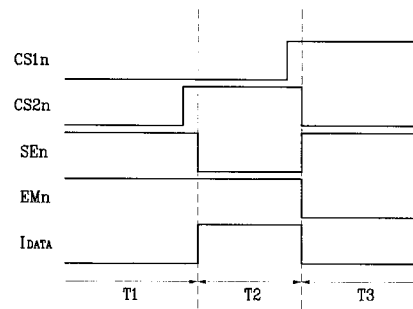
【図 4】



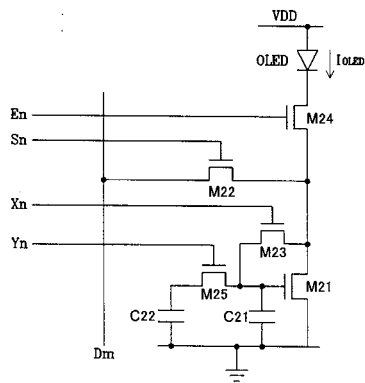
【図 5】



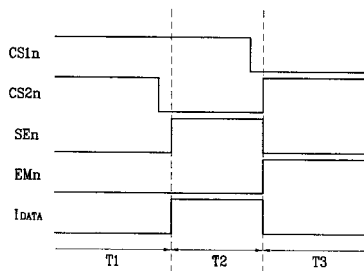
【図 6】



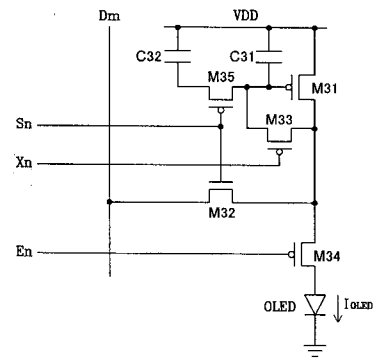
【図 7】



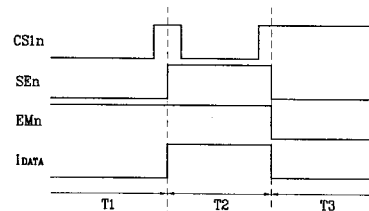
【図 8】



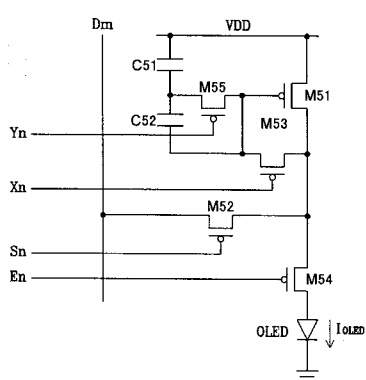
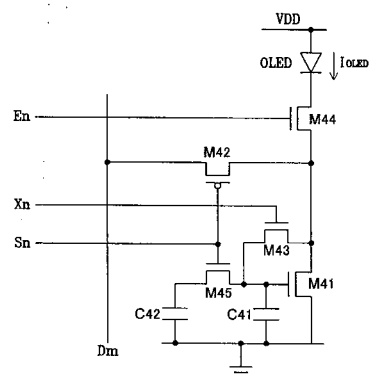
【図 9】



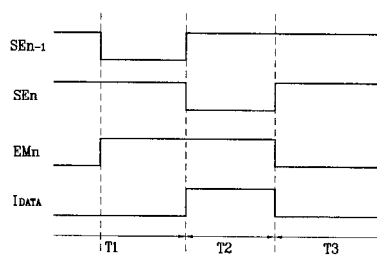
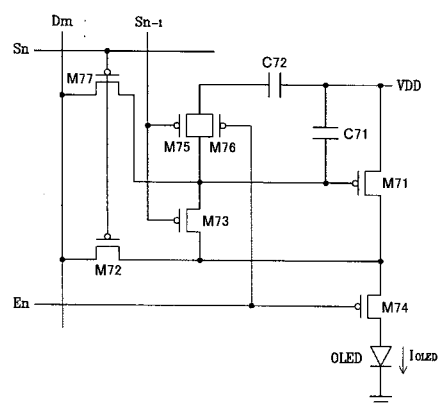
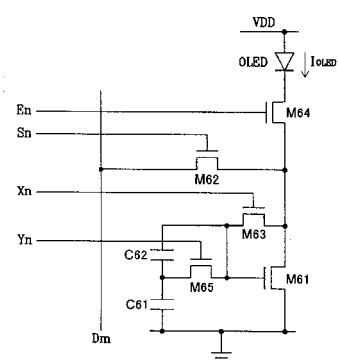
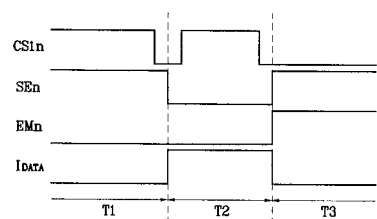
【図 10】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 Y
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 4 1 D
H 0 5 B 33/14 A

審査官 濱本 禎広

(56)参考文献 特開 2 0 0 3 - 1 7 7 7 0 9 (J P, A)
特開 2 0 0 5 - 0 6 2 7 9 4 (J P, A)
特開 2 0 0 4 - 3 1 0 0 1 4 (J P, A)

(58)調査した分野(Int.Cl., D B名)
G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 5 B 3 3 / 0 0 - 3 3 / 2 8

专利名称(译)	发光显示装置，其驱动方法，显示面板		
公开(公告)号	JP4153842B2	公开(公告)日	2008-09-24
申请号	JP2003282534	申请日	2003-07-30
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
当前申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	呂柱天 權五敬		
发明人	呂 柱天 權 五敬		
IPC分类号	G09G3/30 G09G3/20 H01L51/50 G09G3/14 G09G3/32 G09G3/36 G11C11/00 H05B33/00 H05B33/14		
FI分类号	G09G3/30.J G09G3/20.611.H G09G3/20.622.G G09G3/20.622.Q G09G3/20.623.R G09G3/20.623.Y G09G3/20.624.B G09G3/20.641.D H05B33/14.A G09G3/20.621.F G09G3/3241 G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291 G11C19/28.230		
F-TERM分类号	3K007/AB02 3K007/AB17 3K007/BA06 3K007/DB03 3K007/GA04 3K107/AA01 3K107/BB01 3K107/CC11 3K107/EE04 3K107/HH02 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/BA13 5C380/BA19 5C380/BA20 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB31 5C380/CC02 5C380/CC03 5C380/CC13 5C380/CC18 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC53 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CD012 5C380/CD014 5C380/CD025 5C380/CD026 5C380/DA02 5C380/DA06		
优先权	1020030020432 2003-04-01 KR		
其他公开文献	JP2004310006A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供可以补偿晶体管（TR）的阈值电压和迁移率并且可以充分地数据线充电的发光显示系统等。ŽSOLUTION：在有机电致发光（EL）显示系统的像素电路中，TR提供用于使有机EL元件发光的驱动电流，并且第一开关元件响应于第一控制信号以二极管形式耦合TR；第一保存元件响应第二控制信号保持对应于TR的阈值电压的第一电压；第二开关元件响应选择信号发送数据电流；第二保存元件保存对应于数据电流的第二电压。第三开关元件响应于第三控制信号将驱动电流从TR传输到有机EL元件。通过第一和第二保存元件的耦合确定的第三电压施加到TR，并且驱动电流被提供给有机EL元件。Ž

$$I_{OLED} = \frac{\beta}{2} (V_{GS} - V_{TH})^2 = \frac{\beta}{2} (V_{DD} - V_{DATA} - V_{TH})^2$$