

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2015-505980

(P2015-505980A)

(43) 公表日 平成27年2月26日 (2015.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 611H	5C380
	G09G 3/20 642A	
	HO5B 33/14 A	

審査請求 未請求 予備審査請求 未請求 (全 17 頁)

(21) 出願番号 特願2014-543757 (P2014-543757)
 (86) (22) 出願日 平成24年11月1日 (2012.11.1)
 (85) 翻訳文提出日 平成24年12月17日 (2012.12.17)
 (86) 国際出願番号 PCT/CN2012/083927
 (87) 国際公開番号 W02013/078931
 (87) 国際公開日 平成25年6月6日 (2013.6.6)
 (31) 優先権主張番号 201110393996.3
 (32) 優先日 平成23年12月1日 (2011.12.1)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 510280589
 京東方科技集團股▲ふん▼有限公司
 中華人民共和國100015北京市朝陽區
 酒仙橋路10號
 (71) 出願人 511121702
 成都京東方光電科技有限公司
 中華人民共和國611731四川省成都市
 高新區(西區)合作路1188號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 画素ユニット駆動回路と方法、画素ユニット及び表示装置

(57) 【要約】

当該画素ユニット駆動回路は、駆動薄膜トランジスタ、第1のスイッチ素子、格納コンデンサ及び駆動制御部を有し、前記駆動薄膜トランジスタのソース電極は、前記第1のスイッチ素子を通じてデータラインに接続され、前記駆動薄膜トランジスタのドレイン電極は前記駆動制御部を通じて前記OLEDのアノード及び前記駆動電源の低レベル出力端にそれぞれ接続され、そのソース電極は駆動制御部を通じて駆動電源の高レベル出力端に接続され、そのゲート電極は駆動制御部を通じて駆動薄膜トランジスタのドレイン電極に接続され、駆動制御部は、前記格納コンデンサの放充電を制御することにより、駆動薄膜トランジスタが飽和帯で作業し、駆動薄膜トランジスタのゲート・ソース電圧を利用して駆動薄膜トランジスタの閾値電圧 V_{th} を補償するよう制御するために用いられる。本発明はOLEDパネルの輝度の不均一と輝度の減衰の問題を解決できる。

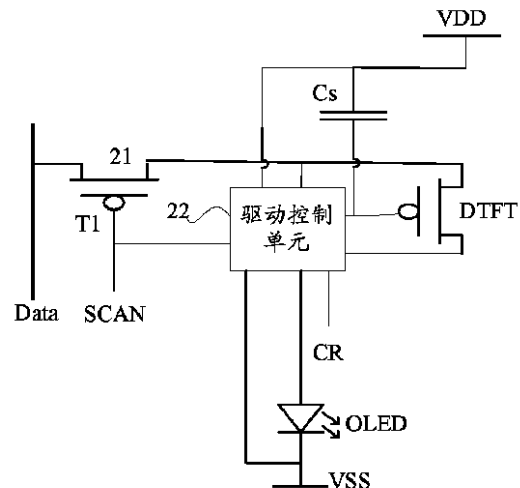


図 2 /FIG. 2

22 DRIVE CONTROL UNIT

【特許請求の範囲】**【請求項 1】**

OLEDを駆動するための画素ユニット駆動回路であって、前記画素ユニット駆動回路は、駆動薄膜トランジスタ、第1のスイッチ素子、格納コンデンサ及び駆動制御部を有し、

前記格納コンデンサの第1端は前記駆動薄膜トランジスタのゲート電極に接続され、その第2端は駆動電源の高レベル出力端に接続され、

前記駆動薄膜トランジスタのソース電極は、前記第1のスイッチ素子を通じてデータラインに接続され、

前記駆動薄膜トランジスタのドレイン電極は前記駆動制御部を通じて前記OLEDのアノード及び駆動電源の低レベル出力端にそれぞれ接続され、そのソース電極は前記駆動制御部を通じて前記駆動電源の高レベル出力端に接続され、そのゲート電極は前記駆動制御部を通じて前記駆動薄膜トランジスタのドレイン電極に接続され、

前記駆動制御部は、前記格納コンデンサの放充電を制御することにより、前記駆動薄膜トランジスタが飽和帯で作業し、前記駆動薄膜トランジスタのゲート・ソース電圧を利用して前記駆動薄膜トランジスタの閾値電圧 V_{th} を補償するよう制御するために用いられる画素ユニット駆動回路。

【請求項 2】

前記駆動薄膜トランジスタはP型薄膜トランジスタである請求項1に記載の画素ユニット駆動回路。

【請求項 3】

前記第1のスイッチ素子はP型薄膜トランジスタであり、

前記第1のスイッチ素子のゲート電極は制御信号を伝送するためのスキャンラインに接続され、そのソース電極はデータラインに接続され、そのドレイン電極は前記駆動薄膜トランジスタのソース電極に接続される請求項1又は2に記載の画素ユニット駆動回路。

【請求項 4】

前記駆動制御部は、第2のスイッチ素子、第3のスイッチ素子、第4のスイッチ素子、及び第5のスイッチ素子を有し、

前記駆動薄膜トランジスタのドレイン電極と前記駆動電源の低レベル出力端の間に前記第2のスイッチ素子が接続され、

前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極の間に前記第3のスイッチ素子が接続され、

前記駆動薄膜トランジスタのドレイン電極と前記OLEDのアノードの間に前記第4のスイッチ素子が接続され、

前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端の間に前記第5のスイッチ素子が接続される請求項1～3のいずれか1項に記載の画素ユニット駆動回路。

【請求項 5】

前記第2のスイッチ素子、前記第3のスイッチ素子、前記第4のスイッチ素子、及び前記第5のスイッチ素子はP型TFTであり、

前記第2のスイッチ素子のゲート電極は第1の制御ラインに接続され、そのソース電極は前記駆動薄膜トランジスタのドレイン電極に接続され、そのドレイン電極は前記駆動電源の低レベル出力端に接続され、

前記第3のスイッチ素子のゲート電極は前記スキャンラインに接続され、そのソース電極は前記駆動薄膜トランジスタのゲート電極に接続され、そのドレイン電極は前記駆動薄膜トランジスタのドレイン電極に接続され、

前記第4のスイッチ素子のゲート電極は第2の制御ラインに接続され、そのソース電極は前記駆動薄膜トランジスタのドレイン電極に接続され、そのドレイン電極は前記OLEDのアノードに接続され、

前記第5のスイッチ素子のゲート電極は前記第2の制御ラインに接続され、そのソース

10

20

30

40

50

電極は前記駆動電源の高レベル出力端に接続され、そのドレイン電極は前記駆動薄膜トランジスタのソース電極に接続される請求項4に記載の画素ユニット駆動回路。

【請求項6】

請求項1に記載する画素ユニット駆動回路に応用する画素ユニット駆動方法であって、格納コンデンサが充電されるよう駆動制御部が制御する画素充電ステップと、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 V_{th} になるまで前記格納コンデンサに前記駆動薄膜トランジスタを通じて放電させるよう駆動制御部が制御する画素放電ステップと、駆動薄膜トランジスタのゲート電極電圧の安定を維持するよう駆動制御部が制御するバッファ切替ステップと、前記駆動薄膜トランジスタが飽和帯で作業するよう制御し、且つ前記格納コンデンサの両端の電圧差が変化しないよう制御することによって、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 V_{th} を補償するようにして、前記駆動薄膜トランジスタを通じてOLEDの発光を駆動させるよう駆動制御部が制御するOLED発光表示駆動ステップと、を有する画素ユニット駆動方法。

10

【請求項7】

前記画素充電ステップは、第1のスイッチ素子が駆動薄膜トランジスタのソース電極とデータラインとの接続をオンにするステップと、前記駆動制御部が前記駆動薄膜トランジスタのドレイン電極と前記OLEDのカソードとの接続をオンにし、前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極との接続をオンにし、前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端との接続をオフにし、前記格納コンデンサが充電されるよう制御するステップとを有し、

20

前記画素放電ステップは、前記駆動制御部が前記駆動薄膜トランジスタのドレイン電極と前記OLEDのカソードとの接続をオフにし、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 V_{th} になるまで前記格納コンデンサに前記駆動薄膜トランジスタを通じて放電させるよう前記駆動制御部が制御するステップを有し、

前記バッファ切替ステップは、前記第1のスイッチ素子が駆動薄膜トランジスタのソース電極とデータラインとの接続をオフにし、前記駆動制御部が前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極との接続をオフにするステップを有し、

30

前記OLED発光表示駆動ステップは、駆動制御部が前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端との接続をオンにし、前記駆動薄膜トランジスタのドレイン電極と前記OLEDのアノードとの接続をオンにし、前記駆動薄膜トランジスタが飽和帯で作業するよう制御し、且つ前記格納コンデンサの両端の電圧差が変化しないよう制御することによって、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 V_{th} を補償するようにして、前記駆動薄膜トランジスタを通じてOLEDの発光を駆動させるステップを有する請求項6に記載の画素ユニット駆動方法。

【請求項8】

40

画素ユニットであって、OLEDと請求項1ないし請求項5のいずれか1項に記載の画素ユニット駆動回路を有し、当該画素ユニット駆動回路はOLEDのアノードに接続され、前記OLEDのカソードは駆動電源の低レベル出力端に接続される画素ユニット。

【請求項9】

表示装置であって、請求項8に記載の画素ユニットを有する表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は有機発光表示分野に関するものであり、特にAMOLED（アクティブマトリックス有機発光ダイオード）の画素ユニット駆動回路と方法、画素ユニット及び表示装置

50

に関する。

【背景技術】

【0002】

従来の画素ユニット駆動回路を図1に示しているが、当該駆動回路は、二つのトランジスタと一つのコンデンサを有し、一つのトランジスタはスイッチトランジスタT1であり、スキャンラインの出力するスキャン信号 V_{SCAN} によって制御され、データライン上のデータ信号 V_{DATA} の入力を制御するために用いられ、もう一つのトランジスタは駆動トランジスタT2であり、OLEDの発光を制御し、 C_S は格納コンデンサであり、非スキャン期間にて駆動トランジスタT2に印加する電圧を維持するために用いられ、以上の回路は2T1C画素ユニット駆動回路と呼ばれる。

10

【発明の概要】

【発明が解決しようとする課題】

【0003】

AMOLED (Active Matrix Organic Light Emitting Diode、アクティブマトリクス有機発光ダイオード)が発光できるのは、駆動トランジスタが飽和状態のときに発生する電流によって駆動されるからである。同一のグレーレベル電圧を入力した場合、前記駆動トランジスタの異なる閾値電圧では異なる駆動電流が発生するため、電流の不一致性を引き起こす。LTPS (低温多結晶シリコン技術)の製造プロセスにおいて、閾値電圧 V_{th} の均一性は非常に悪く、同時に閾値電圧 V_{th} にオフセットが生じることもあり、そのため従来の2T1C画素ユニット駆動回路の輝度の均一性は非常に悪かった。

20

【課題を解決するための手段】

【0004】

本発明はOLEDパネルの輝度の均一性を向上させるための画素ユニット駆動回路と方法、画素ユニット及び表示装置を提供する。

【0005】

上記の目的を果たすために、本発明の実施例はOLEDを駆動するための画素ユニット駆動回路であって、画素ユニット駆動回路は駆動薄膜トランジスタ、第1のスイッチ素子、格納コンデンサ及び駆動制御部を有し、

前記格納コンデンサの第1端は前記駆動薄膜トランジスタのゲート電極に接続され、その第2端は駆動電源の高レベル出力端に接続され、

30

前記駆動薄膜トランジスタのソース電極は、前記第1のスイッチ素子を通じてデータラインに接続され、

前記駆動薄膜トランジスタのドレイン電極は前記駆動制御部を通じて前記OLEDのアンノード及び駆動電源の低レベル出力端にそれぞれ接続され、そのソース電極は前記駆動制御部を通じて前記駆動電源の高レベル出力端に接続され、そのゲート電極は前記駆動制御部を通じて前記駆動薄膜トランジスタのドレイン電極に接続され、

前記駆動制御部は、前記格納コンデンサの放充電を制御することにより、前記駆動薄膜トランジスタが飽和帯で作業し、前記駆動薄膜トランジスタのゲート・ソース電圧を利用して前記駆動薄膜トランジスタの閾値電圧 V_{th} を補償するよう制御するために用いられる画素ユニット駆動回路を提供する。

40

【0006】

一つの実施例において、前記駆動薄膜トランジスタはP型薄膜トランジスタである。

【0007】

一つの実施例において、前記第1のスイッチ素子はP型薄膜トランジスタであり、

前記第1のスイッチ素子のゲート電極は制御信号を伝送するためのスキャンラインに接続され、そのソース電極はデータラインに接続され、そのドレイン電極は前記駆動薄膜トランジスタのソース電極に接続される。

【0008】

一つの実施例において、前記駆動制御部は、第2のスイッチ素子、第3のスイッチ素子

50

、第4のスイッチ素子、及び第5のスイッチ素子を有し、
 前記駆動薄膜トランジスタのドレイン電極と前記駆動電源の低レベル出力端の間に前記第2のスイッチ素子が接続され、
 前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極の間に前記第3のスイッチ素子が接続され、
 前記駆動薄膜トランジスタのドレイン電極と前記OLEDのアノードの間に前記第4のスイッチ素子が接続され、
 前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端の間に前記第5のスイッチ素子が接続される。

【0009】

一つの実施例において、前記第2のスイッチ素子、前記第3のスイッチ素子、前記第4のスイッチ素子、及び前記第5のスイッチ素子はP型TFTであり、
 前記第2のスイッチ素子のゲート電極は第1の制御ラインに接続され、そのソース電極は前記駆動薄膜トランジスタのドレイン電極に接続され、そのドレイン電極は前記駆動電源の低レベル出力端に接続され、
 前記第3のスイッチ素子のゲート電極は前記スキャンラインに接続され、そのソース電極は前記駆動薄膜トランジスタのゲート電極に接続され、そのドレイン電極は前記駆動薄膜トランジスタのドレイン電極に接続され、
 前記第4のスイッチ素子のゲート電極は第2の制御ラインに接続され、そのソース電極は前記駆動薄膜トランジスタのドレイン電極に接続され、そのドレイン電極は前記OLEDのアノードに接続され、
 前記第5のスイッチ素子のゲート電極は前記第2の制御ラインに接続され、そのソース電極は前記駆動電源の高レベル出力端に接続され、そのドレイン電極は前記駆動薄膜トランジスタのソース電極に接続される。

【0010】

本発明の実施例は、更に、上記画素ユニット駆動回路に応用する画素ユニット駆動方法であって、
 格納コンデンサが充電されるよう駆動制御部が制御する画素充電ステップと、
 前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 V_{th} になるまで前記格納コンデンサに前記駆動薄膜トランジスタを通じて放電させるよう駆動制御部が制御する画素放電ステップと、
 駆動薄膜トランジスタのゲート電極電圧の安定を維持するよう駆動制御部が制御するバッファ切替ステップと、
 前記駆動薄膜トランジスタが飽和帯で作業するよう制御し、且つ前記格納コンデンサの両端の電圧差が変化しないよう制御することによって、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 V_{th} を補償するようにして、前記駆動薄膜トランジスタを通じてOLEDの発光を駆動させるよう駆動制御部が制御するOLED発光表示駆動ステップと、を有する画素ユニット駆動方法を提供する。

【0011】

一つの実施例において、前記画素充電ステップは、第1のスイッチ素子が駆動薄膜トランジスタのソース電極とデータラインとの接続をオンにするステップと、前記駆動制御部が前記駆動薄膜トランジスタのドレイン電極と前記OLEDのカソードとの接続をオンにし、前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極との接続をオンにし、前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端との接続をオフにし、前記格納コンデンサが充電されるよう制御するステップとを有し、
 前記画素放電ステップは、前記駆動制御部が前記駆動薄膜トランジスタのドレイン電極と前記OLEDのカソードとの接続をオフにし、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 V_{th} になるまで前記格納コンデンサに前記駆動薄膜トランジスタを通じて放電させるよう前記駆動制御部が制御するステップを

10

20

30

40

50

有し、

前記バッファ切替ステップは、前記第1のスイッチ素子が駆動薄膜トランジスタのソース電極とデータラインとの接続をオフにし、前記駆動制御部が前記駆動薄膜トランジスタのゲート電極と前記駆動薄膜トランジスタのドレイン電極との接続をオフにするステップを有し、

前記OLED発光表示駆動ステップは、駆動制御部が前記駆動薄膜トランジスタのソース電極と前記駆動電源の高レベル出力端との接続をオンにし、前記駆動薄膜トランジスタのドレイン電極と前記OLEDのアノードとの接続をオンにし、前記駆動薄膜トランジスタが飽和帯で作業するように制御し、且つ前記格納コンデンサの両端の電圧差が変化しないよう制御することによって、前記駆動薄膜トランジスタのゲート・ソース電圧が前記駆動薄膜トランジスタの閾値電圧 V_{th} を補償するようにして、前記駆動薄膜トランジスタを通じてOLEDの発光を駆動させるステップを有する。

10

【0012】

本発明の実施例は、更に、画素ユニットであって、OLEDと前記の画素ユニット駆動回路を有し、当該画素ユニット駆動回路はOLEDのアノードに接続され、前記OLEDのカソードは駆動電源の低レベル出力端に接続される画素ユニットを提供する。

【0013】

本発明の実施例は、更に、複数の上記画素ユニットを有する表示装置を提供する。

【0014】

本発明の実施例が提供する画素ユニット駆動回路と方法、画素ユニット及び表示装置は、従来技術と比べて、駆動薄膜トランジスタのゲート・ソース電圧がOLEDの駆動薄膜トランジスタの閾値電圧を補償するよう前記駆動制御部が格納コンデンサ C_s を制御することによって、OLEDパネルの輝度の不均一と輝度の劣化の問題を解決する。

20

【図面の簡単な説明】

【0015】

【図1】従来の2T1C画素ユニット駆動回路の回路図である。

【図2】本発明の第1の実施例に係る画素ユニット駆動回路の回路図である。

【図3A】本発明の第2の実施例に係る画素ユニット駆動回路の回路図である。

【図3B】本発明の第2の実施例に係る画素ユニット駆動回路の第1の時間帯での等価回路図である。

30

【図3C】本発明の第2の実施例に係る画素ユニット駆動回路の第2の時間帯での等価回路図である。

【図3D】本発明の第2の実施例に係る画素ユニット駆動回路の第3の時間帯での等価回路図である。

【図3E】本発明の第2の実施例に係る画素ユニット駆動回路の第4の時間帯での等価回路図である。

【図4】当該実施例に係る画素ユニット駆動回路における各信号のシーケンス図である。

【発明を実施するための形態】

【0016】

本発明は、画素ユニット駆動回路と方法、画素ユニット及び表示装置を提供し、ダイオード接続(Diode Connection)を利用し、且つ格納コンデンサの放電の制御により、駆動薄膜トランジスタのゲート・ソース電圧がOLEDの駆動薄膜トランジスタの閾値電圧を補償するようにし、よってOLEDパネルの輝度の不均一と輝度の減衰の問題を解決する。

40

【0017】

図2は本発明の第1の実施例に係る画素ユニット駆動回路の回路図を示すが、当該実施例に係る画素ユニット駆動回路は、OLEDの駆動に用いられ、駆動薄膜トランジスタDTFT、第1のスイッチ素子21、格納コンデンサ C_s 及び駆動制御部22を有し、

前記格納コンデンサ C_s の第1端は前記駆動薄膜トランジスタDTFTのゲート電極に接続され、第2端は出力電圧がVDDである駆動電源の高レベル出力端に接続され、

50

前記駆動薄膜トランジスタD T F Tのソース電極は前記第1のスイッチ素子21を通じてデータラインD a t aに接続され、

前記駆動薄膜トランジスタD T F Tのドレイン電極は前記駆動制御部22を通じて前記O L E Dのアノード及び出力電圧がV S Sである前期駆動電源の低レベル出力端にそれぞれ接続され、そのソース電極は前記駆動制御部22を通じて前記駆動電源の高レベル出力端に接続され、そのゲート電極は前記駆動制御部22を通じて前記駆動薄膜トランジスタD T F Tのドレイン電極に接続され、

前記駆動制御部22は、前記格納コンデンサC_sの放充電を制御することにより、前記駆動薄膜トランジスタD T F Tが飽和帯で作業し、前記駆動薄膜トランジスタD T F Tのゲート・ソース電圧を利用して前記駆動薄膜トランジスタD T F Tの閾値電圧V_{t_h}を補償するように制御するために用いられ、

前記駆動制御部22は更に制御信号を送送するためのスキャンラインS C A N及び制御ラインC Rにそれぞれ接続される。

【0018】

図2に示すように、本発明の第1の実施例に係る画素ユニット駆動回路において、前記第1のスイッチ素子21は記号がT1である第1のスイッチT F Tであり、T1はP型薄膜トランジスタであり、

前記第1のスイッチ素子21のゲート電極は制御信号を送送するためのスキャンラインS C A Nに接続され、そのソース電極はデータラインD a t aに接続され、そのドレイン電極は前記駆動薄膜トランジスタD T F Tのソース電極に接続される。

【0019】

図3Aは本発明の第2の実施例に係る画素ユニット駆動回路の回路図を示すが、当該実施例に係る画素ユニット駆動回路は6T1C回路を採用し、V_{t_h}を補償することにより前記駆動T F Tの駆動電流を前記駆動T F Tの閾値電圧V_{t_h}と無関係にし、電流の一致を図り、均一性と信頼性を改善する。

【0020】

当該実施例において、前記第1のスイッチ素子は記号がT1である第1のスイッチT F Tであり、前記第2のスイッチ素子は記号がT2である第2のスイッチT F Tであり、前記第3のスイッチ素子は記号がT3である第3のスイッチT F Tであり、前記第4のスイッチ素子は記号がT4である第4のスイッチT F Tであり、前記第5のスイッチ素子は記号がT5である第5のスイッチT F Tであり、前記駆動T F Tの記号はD T F Tであり、

前記第1のスイッチT F T、前記第2のスイッチT F T、前記第2のスイッチT F T、前記第4のスイッチT F T及び前記駆動T F TはP型T F Tであり、P型T F Tの閾値電圧はV_{t_h} < 0であり、

T4のドレイン電極は前記O L E Dのアノードに接続され、T4のソース電極はD T F Tのドレイン電極に、T2のソース電極はT3のドレイン電極に接続され、T4のゲート電極はT5のゲート電極に接続され、

T2のドレイン電極は前記O L E Dのアノードに接続され且つ接地され、

T3のソース電極は前記D T F Tのゲート電極及び前記格納コンデンサC_sの第1端に接続され、前記T3のゲート電極はT1のゲート電極に接続され、

T1のドレイン電極はT5のドレイン電極に接続され、T1のソース電極はデータラインD a t aに接続され、

T5のソース電極は出力電圧がV D Dである前記駆動電源の高レベル出力端に接続され、T5のドレイン電極はD T F Tのソース電極に接続され、

T3のゲート電極はT1のゲート電極と制御信号を送送するためのスキャンラインS C A Nとに接続され、

T2のゲート電極は制御ラインC R 1に接続され、

T4のゲート電極はT5のゲート電極と制御ラインC R 2に接続される。

【0021】

図3Bに示すように、本発明の第2の実施例に係る画素ユニット駆動回路が作業してい

10

20

30

40

50

る時、第1の時間帯即ちプレチャージ段階において、前記スキャンラインSCANと前記制御ラインCR1は低レベルを出力し、T2、T3及びT1を制御してオンにし、前記制御ラインCR2は高レベルとなり、T4、T5を制御してオフにし、このとき前記格納コンデンサCsの第1端は接地され、前記格納コンデンサCsの第2端は出力電圧がVDDである前期駆動電源の高レベル出力端に接続され、よって前記格納コンデンサCsは充電され、A点(即ち前記DTFTのドレイン電極)の電圧とB点(即ち前記DTFTのゲート電極)の電圧は0となり、C点(即ち前記DTFTのソース電極)の電圧は前記データラインDataが出力する電圧Vdataとなる。

【0022】

図3Cに示すように、本発明の第2の実施例にかかる画素ユニット駆動回路が作業している時、第2の時間帯即ちデータ書込及び放電補償段階において、前記スキャンラインSCANは低レベルを出力し、T3及びT1を制御してオンにし、前記制御ラインCR1及び前記制御ラインCR2は高レベルを出力し、T4、T2、T5を制御してオフにし、前記DTFTのゲート電極とドレイン電極を短絡し、よって前記DTFTはダイオードの役割と等価になり、前記格納コンデンサCsの第1端はDTFTのゲート電極に接続され、前記格納コンデンサCsの第2端は出力電圧がVDDである駆動電源の高レベル出力端に接続され、同時に前記DTFTのソース電極(即ちC点)は出力電圧がVdataである前記データラインDataに接続される。

DTFTのゲート・ソース電極の電圧Vgs(即ちVB-VC)は-Vdataであり、Vthより小さいため、DTFTはオンになり、前記格納コンデンサCsはDTFTのVgsがDTFTの閾値電圧Vthに増大するまでDTFTを通じて前記データラインDataに放電し、このときDTFTはサブスレッショルド伝導の状態に入り、C点の電圧はVdataに維持され、B点とC点間の電圧差(即ちVgs)はDTFTの閾値電圧Vthであるため、DTFTのゲート電極(即ちB点)の電圧はVC+Vth=Vdata+Vthとなり、前記格納コンデンサCsの第2端と第1端の間の電圧差はVDD-VB即ちVDD-Vdata-Vthとなる。

【0023】

図3Dに示すように、本発明の第2の実施例にかかる画素ユニット駆動回路が作業している時、第3の時間帯即ちバッファ切替段階において、前記スキャンラインSCAN、前記制御ラインCR1及び前記制御ラインCR2は高レベルを出力し、T1、T2、T3、T4、T5を制御してオフにし、DTFTのゲート電極(即ちB点)の電圧は前記格納コンデンサCsによってVdata+Vthに安定化される。

【0024】

図3Eに示すように、本発明の第2の実施例にかかる画素ユニット駆動回路が作業している時、第4の時間帯即ちOLED駆動段階において、前記制御ラインCR2は低レベルを出力し、T4、T5を制御してオンにし、前記制御ラインCR1及び前記スキャンラインSCANは高レベルを出力し、T2、T3、T1を制御してオフにし、このときDTFTは飽和帯で作業し、前記OLEDに駆動電流が流れて、OLEDを発光させる。

【0025】

DTFTのゲート電極(即ちB点)の電圧はVdata+Vthであり、DTFTのソース電極はT5を通じて出力電圧がVDDである前記駆動電源の高レベル出力端に接続され、即ちDTFTのゲート・ソース電極の電圧VgsはVdata+Vth-VDDとなり、このとき前記OLEDに流れる電流Iの計算式は式(1)に示すとおりである。

【0026】

10

20

30

40

【数 1】

$$\begin{aligned}
 I &= K \times (V_{gs} - V_{th})^2 \\
 &= K \times (V_{data} + V_{th} - V_{DD} - V_{th})^2 \\
 &= K \times (V_{data} - V_{DD})^2; \qquad \qquad \qquad \text{式 (1)}
 \end{aligned}$$

KはDTFTの電流係数であり、

$$K = C_{ox} \cdot \mu \cdot \frac{W}{L};$$

10

【0027】

μ 、 C_{ox} 、 W 、 L はそれぞれDTFTの電界効果移動度、ゲート絶縁層単位面積の蓄電容量、チャンネル幅、チャンネル長を示す。

当該第4の時間帯はOLED発光段階であり、前記OLEDは前記データラインDataに次のフレームのデータが書き込まれるまで発光する。

【0028】

このように、前記駆動TFTの駆動電流、即ち前記OLEDに流れる電流を $V_{data} - V_{DD}$ のみによって決定されるようにすることで、前記駆動TFTの閾値電圧 V_{th} 及びOLEDのアノード電圧 $V_{th-oled}$ の影響を受けず、当該駆動電流が前記駆動TFTの閾値電圧及び前記OLEDのアノード電圧のオフセットによって変化することを回避し、流れ込んでゆく電流の均一性を改善し、OLEDパネルの輝度の均一を図ることができる。

20

【0029】

図4は当該実施例にかかる画素ユニット駆動回路におけるスキャンラインSCANが出力するスキャン信号 V_{SCAN} 、データラインDataが出力するデータ信号 V_{data} 、第1の制御ラインCR1が出力する制御信号 V_{CR1} 及び第2の制御ラインCR2が出力する制御信号 V_{CR2} のシーケンス図である。図4において、D、E、F、Gはそれぞれ第1の時間帯、第2の時間帯、第3の時間帯、第4の時間帯を示している。

30

【0030】

以上は本発明に対する説明に過ぎず、限定するものではない。当業者が理解するように、添付の特許請求の範囲が限定する精神及び範囲を離脱しない場合、多数の修正、変化、または等価手段を行ってもよく、これらすべては本発明の保護範囲に含まれるものとする。

【符号の説明】

【0031】

21	第1のスイッチ素子
22	駆動制御部
T1	第1のスイッチ素子
T2	第2のスイッチ素子
T3	第3のスイッチ素子
T4	第4のスイッチ素子
T5	第5のスイッチ素子
DTFT	駆動薄膜トランジスタ
Cs	格納コンデンサ
DATA	データライン
SCAN	スキャンライン

40

【 图 1 】

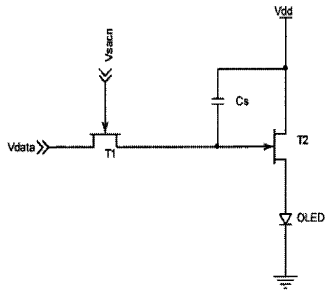


图 1

【 图 3 A 】

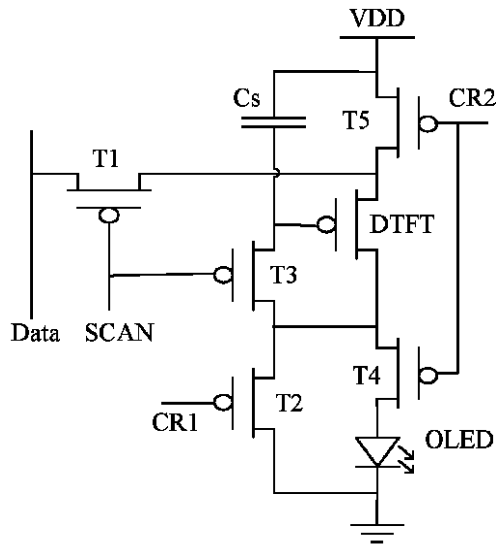


图 3A

【 图 3 B 】

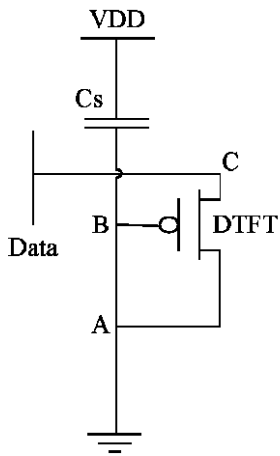


图 3B

【 图 3 C 】

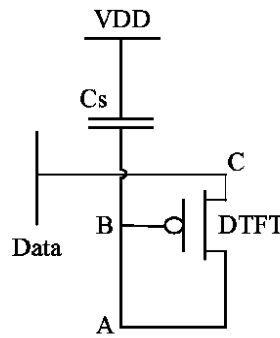


图 3C

【图 3 D】

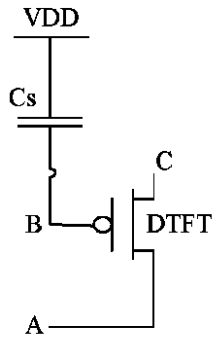


图 3D

【图 3 E】

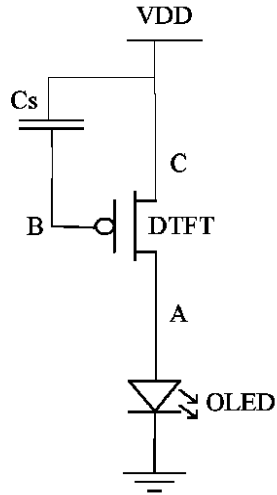


图 3E

【图 4】

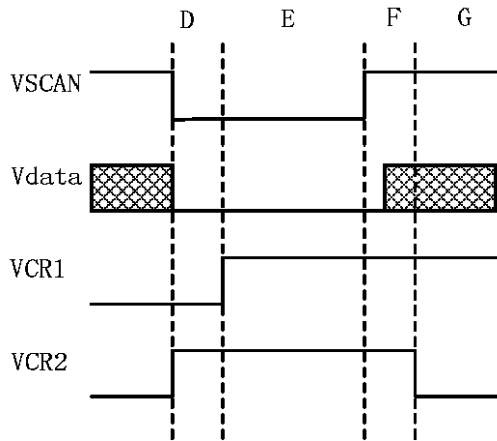
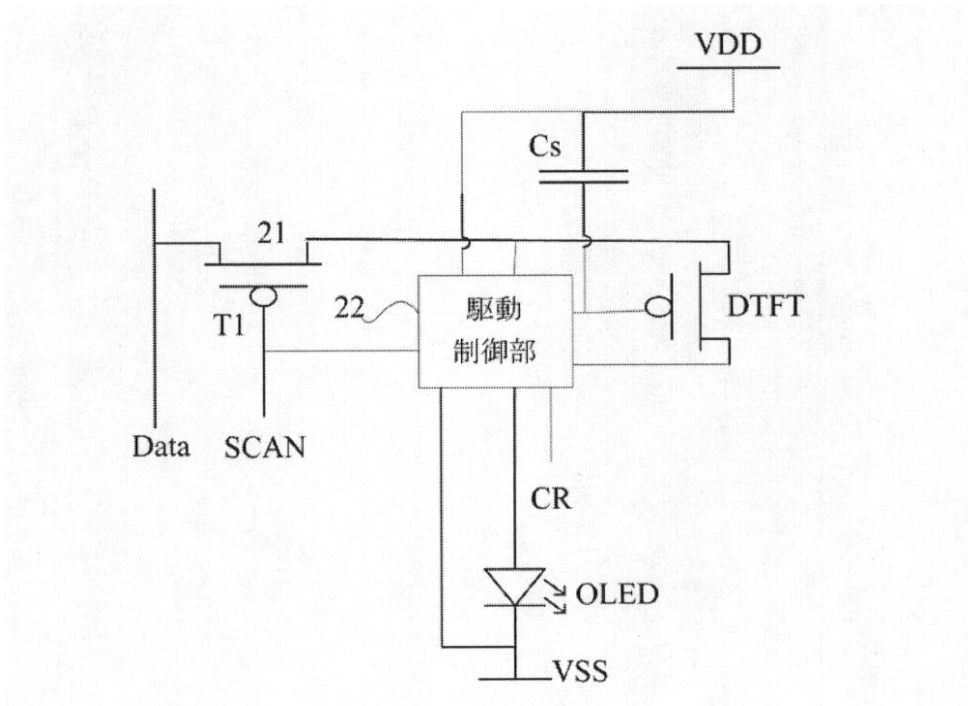


图 4

【 図 2 】



【 國際調查報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2012/083927
A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/32 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G09G 3+		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS, VEN: brightness, consensus, uneven, unify, same, equal, peer-to-peer, open, breakover, dead zone, border line, boundary, tft?, transistor?, mos+, nmos+, pmos+, oled, organic+, amoled, threshold+, Vth, uniform+, even+, homogene+, 6t1c		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1744774 A (SAMSUNG SDI CO., LTD.), 08 March 2006 (08.03.2006), description, page 5, paragraph 2 to page 7, paragraph 7, and figures 3-4	1-9
PX	CN 102708791 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 October 2012 (03.10.2012), description, paragraphs 0043-0077, and figures 2-5	1-9
PX	CN 102651197 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 29 August 2012 (29.08.2012), description, paragraphs 0027-0051, and figures 1-2	1-9
X	CN 101859536 A (SAMSUNG MOBILE DISPLAY CO., LTD.), 13 October 2010 (13.10.2010), description, paragraphs 0044-0058, and figures 3-4	1-3, 8-9
A		4-7
A	US 2006/0022305 A1 (YAMASHITA, A.), 02 February 2006 (02.02.2006), the whole document	1-9
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 22 January 2013 (22.01.2013)	Date of mailing of the international search report 14 February 2013 (14.02.2013)	
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer GE, Yingjie Telephone No.: (86-10) 62085791	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/083927

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 1744774 A	08.03.2006	KR 20060019757 A	06.03.2006
		KR 100673759 B	24.01.2007
		CN 1744774 B	02.06.2010
		JP 2006065282 A	09.03.2006
		JP 4188930 B2	03.12.2008
		US 2006055336 A	16.03.2006
		US 7180486 B	20.02.2007
CN 102651197 A	29.08.2012	None	
CN 101859536 A	13.10.2010	EP 2237254 A	06.10.2010
		US 2010253608 A	07.10.2010
		KR 20100110060 A	12.10.2010
		JP 2010244003 A	28.10.2010
		JP 5043907 B2	10.10.2012
		JP 2006309104 A	09.11.2006
US 2006/0022305 A1	02.02.2006		
CN 102708791 A	03.10.2012	None	

国际检索报告		国际申请号 PCT/CN2012/083927
A. 主题的分类		
G09G3/32 (2006.01) i		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: G09G3+		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, VEN: 均匀, 亮度, 一致, 均一, 不均, 统一, 相同, 相等, 同等, 同一, 亮度, 阈值, 门限, 开启, 门槛, 导通, 死区, 有机, 临界, 界限, 阈值, 晶体管, tft?, transistor?, mos+, nmos+, pmos+, oled, organic+, amoled, threshold+, Vth, uniform+, even+, homogene+, 6t1c		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN1744774A (三星 SDI 株式会社) 08.3 月 2006 (08.03.2006) 说明书第 5 页第 2 段-第 7 页第 7 段, 附图 3-4	1-9
PX	CN102708791A (京东方科技集团股份有限公司等) 03.10 月 2012 (03.10.2012) 说明书第 0043-0077 段, 附图 2-5	1-9
PX	CN102651197A (京东方科技集团股份有限公司等) 29.8 月 2012 (29.08.2012) 说明书第 0027-0051 段, 附图 1-2	1-9
X	CN101859536A (三星移动显示器株式会社) 13.10 月 2010 (13.10.2010) 说明书第 0044-0058 段, 附图 3-4	1-3,8-9
A		4-7
A	US2006/0022305A1 (YAMASHITA ATSUHIRO) 02.2 月 2006 (02.02.2006) 全文	1-9
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型:		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
“A” 认为不特别相关的表示了现有技术一般状态的文件		“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
“E” 在国际申请日的当天或之后公布的在先申请或专利		“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)		“&” 同族专利的文件
“O” 涉及口头公开、使用、展览或其他方式公开的文件		
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件		
国际检索实际完成的日期 22.1 月 2013(22.01.2013)	国际检索报告邮寄日期 14.2 月 2013 (14.02.2013)	
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451	受权官员 戈颖杰 电话号码: (86-10) 62085791	

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/083927

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1744774A	08.03.2006	KR20060019757A	06.03.2006
		KR100673759B	24.01.2007
		CN1744774B	02.06.2010
		JP2006065282A	09.03.2006
		JP4188930B2	03.12.2008
		US2006055336A	16.03.2006
		US7180486B	20.02.2007
CN102651197A	29.08.2012	无	
CN101859536A	13.10.2010	EP2237254A	06.10.2010
		US2010253608A	07.10.2010
		KR20100110060A	12.10.2010
		JP2010244003A	28.10.2010
		JP5043907B2	10.10.2012
		JP2006309104A	09.11.2006
US2006/0022305A1	02.02.2006		
CN102708791A	03.10.2012	无	

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72)発明者 譚 文

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

(72)発明者 祁 小敬

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

(72)発明者 胡 理科

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

(72)発明者 高 永益

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

Fターム(参考) 3K107 AA01 BB01 CC33 EE03 HH02 HH05

5C080 AA06 BB05 DD05 FF11 JJ03 JJ04

5C380 AA01 AB06 AB24 BA39 BB02 CA12 CC03 CC04 CC26 CC30

CC33 CC38 CC39 CC64 CD016 DA02 DA06

专利名称(译)	像素单元驱动电路和方法，像素单元和显示装置		
公开(公告)号	JP2015505980A	公开(公告)日	2015-02-26
申请号	JP2014543757	申请日	2012-11-01
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股▲心ん▼有限公司 成都京东方光电科技有限公司		
[标]发明人	祁小敬 胡理科 高永益		
发明人	▲譚▼文 祁小敬 胡理科 高永益		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3225 G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/0233 G09G2320/045		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.611.H G09G3/20.642.A H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC33 3K107/EE03 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/FF11 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB24 5C380/BA39 5C380/BB02 5C380/CA12 5C380/CC03 5C380/CC04 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC38 5C380/CC39 5C380/CC64 5C380/CD016 5C380/DA02 5C380/DA06		
代理人(译)	村山彦 渡边隆		
优先权	201110393996.3 2011-12-01 CN		
其他公开文献	JP6117232B2		
外部链接	Espacenet		

摘要(译)

像素单元的驱动电路，所述驱动薄膜晶体管，具有存储电容器和驱动控制单元的第一开关元件，所述驱动薄膜晶体管的源极电极通过第一开关元件，所述驱动薄膜晶体管连接到数据线每个连接到阳极，并通过驱动控制单元OLED的驱动电源的电平输出低电平的漏电极，源电极连接到通过驱动控制单元，栅电极的驱动电源的高电平输出端子它被连接到通过驱动控制单元，驱动TFT的漏极电极通过控制充放电存储电容器的，驱动薄膜晶体管在饱和区工作时，通过利用驱动TFT的栅极-源极电压驱动TFT理论值的阈值电压V用于控制以补偿。本发明可以解决OLED面板的非均匀性和亮度的衰减的问题。

