

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-530372

(P2014-530372A)

(43) 公表日 平成26年11月17日(2014.11.17)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 621F	5C380
	G09G 3/20 611H	
	G09G 3/20 642A	

審査請求 未請求 予備審査請求 未請求 (全 21 頁) 最終頁に続く

(21) 出願番号 特願2014-530087 (P2014-530087)
 (86) (22) 出願日 平成24年9月12日 (2012.9.12)
 (85) 翻訳文提出日 平成24年12月13日 (2012.12.13)
 (86) 国際出願番号 PCT/CN2012/081304
 (87) 国際公開番号 W02013/037295
 (87) 国際公開日 平成25年3月21日 (2013.3.21)
 (31) 優先権主張番号 201110271117.X
 (32) 優先日 平成23年9月14日 (2011.9.14)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 510280589
 京東方科技集團股▲ふん▼有限公司
 中華人民共和國100015北京市朝陽區
 酒仙橋路10號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 ▲呉▼ 仲▲遠▼
 中華人民共和國100176北京市▲經▼
 ▲濟▼技▲術▼▲開▼▲發▼区地▲澤▼路
 9号

最終頁に続く

(54) 【発明の名称】 O L E D画素構造及び駆動方法

(57) 【要約】

有機発光表示素子の画素構造及びその駆動方法を提供する。当該画素構造は、第1から第5の薄膜トランジスタ、コンデンサ及びO L E D素子を有し、且つ第1の薄膜トランジスタの幅長比はO L E D素子の劣化による輝度損失を補償できるように設定されている。それぞれのフレームの画像リフレッシュ過程において、当該画素構造に対し、プレチャージ周期にスキャンラインと第1の制御信号 (E M) は低レベルとなり、第2の制御信号 (E M D) は高レベルとなるステップと、補償周期にスキャンラインは低レベルとなり、第1の制御信号 (E M) 及び第2の制御信号 (E M D) が高レベルとなるステップと、発光周期にスキャンラインは高レベルとなり、第1の制御信号 (E M) 及び第2の制御信号 (E M D) は低レベルとなるステップを実行する。

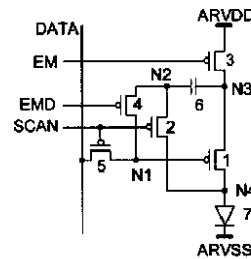


图 1a / Fig.1a

【特許請求の範囲】

【請求項 1】

第 1 から第 5 の薄膜トランジスタ、コンデンサ及び有機発光表示素子を有する有機発光表示素子の画素構造であって、第 1 の薄膜トランジスタのドレイン電極は有機発光表示素子を通じてバックプレートの負レベルに接続され、第 1 の薄膜トランジスタのソース電極は第 3 の薄膜トランジスタのドレイン電極に接続され、第 3 の薄膜トランジスタのソース電極はバックプレートの正レベルに接続され、コンデンサの一端は第 1 の薄膜トランジスタと第 3 の薄膜トランジスタの間に接続され、コンデンサの他端は第 2 の薄膜トランジスタと第 4 の薄膜トランジスタのソース電極に接続され、第 2 の薄膜トランジスタのドレイン電極は第 1 薄膜トランジスタのドレイン電極と有機発光表示素子に接続され、第 4 の薄膜トランジスタのドレイン電極は第 5 の薄膜トランジスタのドレイン電極及び第 1 の薄膜トランジスタのゲート電極に接続され、第 5 の薄膜トランジスタのソース電極はデータラインに接続され、第 5 の薄膜トランジスタ及び第 2 の薄膜トランジスタのゲート電極はスキャンラインに接続され、第 1 の制御信号 (E M) は第 3 の薄膜トランジスタのゲート電極に提供され、第 2 の制御信号 (E M D) は第 4 の薄膜トランジスタのゲート電極に提供される画素構造。

10

【請求項 2】

プレチャージ周期内でスキャンライン上のラインスキャン電圧及び第 1 の制御信号は低レベルとなり、第 2 の制御信号は高レベルとなり、第 4 の薄膜トランジスタがオフとなり、第 1 の薄膜トランジスタ、第 2 の薄膜トランジスタ、第 3 の薄膜トランジスタ及び第 5 の薄膜トランジスタがオンとなり、データ電圧は第 5 の薄膜トランジスタを通じて第 1 の薄膜トランジスタのゲート電極に伝送される請求項 1 に記載の画素構造。

20

【請求項 3】

補償周期内で、スキャンラインのラインスキャン電圧が低レベルとなり、第 1 の制御信号及び第 2 の制御信号は高レベルとなり、第 3 の薄膜トランジスタ及び第 4 の薄膜トランジスタはオフとなり、第 1 の薄膜トランジスタ、第 2 の薄膜トランジスタ及び第 5 の薄膜トランジスタがオンとなり、データ電圧は第 5 の薄膜トランジスタを通じて第 1 の薄膜トランジスタのゲート電極に伝送される請求項 2 に記載の画素構造。

【請求項 4】

発光周期内で、スキャンラインのラインスキャン電圧が高レベルとなり、第 1 の制御信号及び第 2 の制御信号は低レベルとなり、第 2 の薄膜トランジスタ及び第 5 の薄膜トランジスタがオフとなり、第 1 の薄膜トランジスタ、第 3 の薄膜トランジスタ及び第 4 の薄膜トランジスタがオンとなる請求項 3 に記載の画素構造。

30

【請求項 5】

プレチャージ周期と補償周期内で、前記データライン上の信号 (D A T A) は実際のデータ電圧である請求項 1 から請求項 4 のいずれかに記載の画素構造。

【請求項 6】

前記第 1 から第 5 の薄膜トランジスタは低温多結晶シリコン薄膜トランジスタである請求項 1 から請求項 5 のいずれかに記載の画素構造。

【請求項 7】

第 1 の薄膜トランジスタの幅長比は有機発光表示素子の劣化による輝度損失を補償できるように設定されている請求項 1 から請求項 6 のいずれかに記載の画素構造。

40

【請求項 8】

請求項 1 の画素構造を駆動するための方法であって、
それぞれのフレームの画像リフレッシュ過程において、
プレチャージ周期にスキャンラインと第 1 の制御信号 (E M) は低レベルとなり、第 2 の制御信号 (E M D) は高レベルとなって第 4 の薄膜トランジスタをオフさせ、第 1 の薄膜トランジスタ、第 2 の薄膜トランジスタ、第 3 の薄膜トランジスタ及び第 5 の薄膜トランジスタをオンさせるステップと、
補償周期にスキャンラインは低レベルとなり、第 1 の制御信号 (E M) 及び第 2 の制御

50

信号 (E M D) が高レベルとなって、第 3 の薄膜トランジスタ及び第 4 の薄膜トランジスタをオフさせ、第 1 の薄膜トランジスタ、第 2 の薄膜トランジスタ及び第 5 の薄膜トランジスタをオンさせるステップと、

発光周期にスキャンラインは高レベルとなり、第 1 の制御信号 (E M) 及び第 2 の制御信号 (E M D) は低レベルとなって第 2 の薄膜トランジスタ及び第 5 の薄膜トランジスタをオフさせ、第 1 の薄膜トランジスタ、第 3 の薄膜トランジスタ、第 4 の薄膜トランジスタをオンさせるステップとを有する方法。

【請求項 9】

プレチャージ周期及び補償周期内で、前記データライン上の信号 (D A T A) は実際のデータ電圧である請求項 8 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は有機発光ディスプレイ素子の画素構造及びその駆動方法に関する。

【背景技術】

【0002】

電流型発光素子として、有機発光ダイオード (O L E D) はますます高性能表示に応用されていく。表示サイズの増大に伴い、従来のパッシブ・マトリクス有機発光表示素子 (P a s s i v e M a t r i x O L E D 、 P M O L E D) は、更なる短い 1 つの画素あたりの駆動時間が要求されるので、瞬間電流を大きくして電力消費を増大する必要がある。それとともに、大きい電流の使用によってインジウムスズ酸化物 (I T O) ラインに電圧降下が大きすぎようになり、O L E D の作業電圧が高すぎようになり、O L E D の効率が増してしまふ。アクティブマトリクス有機発光表示素子 (A c t i v e M a t r i x O L E D 、 A M O L E D) は、スイッチトランジスタによって入力 O L E D 電流をラインずつにスキャンすることで、上記問題をうまく解決した。

【0003】

A M O L E D バックプレートを設計するとき、主に解決すべき課題は画素と画素との間の輝度が不均一なことである。

【0004】

まず、A M O L E D は、O L E D 素子に対応する電流を供給するよう低温多結晶シリコン薄膜トランジスタ (L T P S T F T) で画素回路を構成することが多い。L T P S T F T は、一般的な非結晶シリコン薄膜トランジスタ (a m o r p h o u s - S i T F T) に比べ、より高い移動率及びより安定する特性を有するので、A M O L E D 表示により適合する。然し、結晶化技術の制限により、大面積のガラス基板に形成される L T P S T F T は、例えば、閾値電圧、移動率等の電気パラメータに常に不均一性を有する。この不均一性は、O L E D の電流差異及び輝度差異になってしまい、肉眼に感知される。即ち、ムラ (m u r a) 現象が生じてしまふ。

【0005】

第二に、大きいサイズの表示に、バックプレート電源線にある程度電気抵抗を有し、かつ全ての画素の駆動電流が A R V D D により供給されるので、バックプレートにおいて、A R V D D 電源の供电位置領域に近い電源電圧は供电位置から遠い領域の電源電圧より高い。このような現象は I R D r o p と称する。A R V D D の電圧は電流に関わるので、I R D r o p によって異なる領域の電流が異なるようになり、表示の時にムラ現象が生じてしまふ。

【0006】

第三に、O L E D 素子が蒸着される時、膜厚の不均一によって電気性能の不均一性ももたらす。また、長時間の作業を行った後、O L E D 内部の電気学性能の劣化によって閾値電圧が高くなり、発光効率が増下し、輝度が低下する。図 6 (a) に示すように、O L E D 素子は使用時間の増加に伴って、輝度は次第に低下する一方、閾値電圧は次第に上昇する。

10

20

30

40

50

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】「Current programming pixel circuit and data-driver design for active-matrix organic light-emitting diodes」Journal of the Society for Information Display 12(2004)227

【発明の概要】

【発明が解決しようとする課題】

10

【0008】

現在、如何にOLED素子の劣化を補償するかは1つの重要課題になった。OLEDの劣化によって、固定画面を長時間に表示する領域に画像残像(Image Sticking)が生じ、表示効果が影響される。

【0009】

図6b、図6cに示すように、OLEDの閾値電圧の上昇は輝度損失とほぼリニア関係をなし、OLED電流と輝度の関係もリニア関係であるので、OLEDの劣化を補償するとき、OLEDの閾値電圧の増大に従って、OLEDの駆動電流をリニア増加させることで、輝度損失を補償することができる。

【0010】

20

AMOLEDは駆動の種類によってデジタル型、電流型及び電圧型の三種類に分けられる。デジタル型駆動法は、TFTをスイッチとして駆動時間を制御することでグレーレベルを実現し、不均一性を補償する必要がないが、作業頻度が表示サイズの増大に伴って倍に上昇し、電力消費が大きくなり、一定の範囲内に設計が物理の極限になるので、大きいサイズの表示に適合しない。電流型駆動法は、駆動トランジスタに大きさの異なる電流を直接に供給することでグレーレベルを実現し、TFT不均一性及びIR Dropを比較的によく補償できるが、低いグレーレベル信号を書き込むとき、小さい電流でデータラインにおけるより大きい寄生容量を充電することで、書き込み時間が長すぎてしまう。この問題は、大きいサイズ表示で特に厳しくて克服しがたい。電圧型駆動方法は従来のAMLCD駆動方法に類似し、駆動ICによって1つのグレーレベルを示す電圧信号を供給し、

30

【0011】

図7は従来の2つのTFTトランジスタ及び1つのコンデンサからなる電圧駆動型画素ユニット回路構造(2T1C)を示す。それにおいて、スイッチトランジスタT2はデータラインにおける電圧を駆動トランジスタT1のゲート電極に伝送し、駆動トランジスタT1はこのデータ電圧を対応する電流に転換してOLEDに供給する。正常に作業するとき、駆動トランジスタT1は飽和領域にあり、1つのラインのスキャン時間内に定電流を供給する。その駆動電流は下式(1)で表す。

40

【0012】

【数1】

$$I_{OLED} = \frac{1}{2} \mu_P \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{Data} - ARVDD - V_{th})^2 \quad (1)$$

【0013】

それにおいて、

【0014】

50

【数 2】

 μ_p

【0015】

はキャリアー移動率であり、

【0016】

【数 3】

 C_{OX}

【0017】

はゲート酸化層容量であり、 W/L はトランジスタの幅と長さの比であり、 V_{data} はデータ電圧であり、 $ARVDD$ はAMOLEDバックプレートの電源であって全ての画素ユニットに共有され、 V_{TH} はトランジスタの閾値電圧である。上式から分かるように、異なる画素ユニット間の V_{TH} が異なれば、電流が異なるようになる。また、OLED素子の劣化に従って、定電流を供給しても、OLEDの発光輝度が低減する。

10

【0018】

文献1は、図8に示すように、 V_{TH} 均一性、 IR_{drop} を補償できる画素構造及び制御シーケンスを公開している。図8に示す構造は V_{TH} 不均一性、 IR_{Drop} 及びOLEDの劣化による影響を補償できるが、電流型駆動であるので、大きいサイズのパネルに応用に適しない。従って、従来技術は、OLED素子の劣化、TFT駆動トランジスタの閾値電圧の不均一性、及びバックプレート電源の IR_{Drop} による発光不均一をどのように補償するか、という前記技術的課題を解決する有効な手段を提供していない。

20

【課題を解決するための手段】

【0019】

本発明の実施例は、改良された有機発行表示素子(OLED)の画素構造を提供し、当該画素構造は前記OLED素子に流れる駆動電流を薄膜トランジスタの閾値電圧及びバックプレート電源と無関係にさせることによって、TFT駆動トランジスタの閾値電圧の不均一性、及びバックプレート電源の電圧降下(IR_{drop})による発光不均一の問題を除去するものである。

30

本発明の一つの実施例によれば、当該画素構造は第1から第5の薄膜トランジスタ、コンデンサ及びOLED素子を有し、第1の薄膜トランジスタのドレイン電極はOLED素子を通じて負電源に接続され、第1の薄膜トランジスタのソース電極は第3の薄膜トランジスタのドレイン電極に接続され、第3の薄膜トランジスタのソース電極は正電源に接続され、コンデンサの一端は第1の薄膜トランジスタと第3の薄膜トランジスタの間にある第3のノードN3に接続され、コンデンサの他端は第2の薄膜トランジスタと第4の薄膜トランジスタのソース電極の間にある第2のノードN2に接続され、第2の薄膜トランジスタのドレイン電極は第1薄膜トランジスタとOLED素子の間にある第4のノードN4に接続され、第4の薄膜トランジスタのドレイン電極は第5の薄膜トランジスタのドレイン電極及び第1の薄膜トランジスタのゲート電極の間にある第1のノードN1に接続され、第5の薄膜トランジスタのソース電極はデータラインに接続され、第5の薄膜トランジスタ及び第2の薄膜トランジスタのゲート電極はスキャンラインに接続され、第1の制御信号(EM)は第3の薄膜トランジスタのゲート電極に提供され、第2の制御信号(EMD)は第4の薄膜トランジスタのゲート電極に提供される。

40

【0020】

本発明のもう一つの実施例によれば、例えば、当該画素構造は、プレチャージ周期内でスキャンライン上のラインスキャン電圧及び第1の制御信号は低レベルとなり、第2の制御信号は高レベルとなり、第4の薄膜トランジスタがオフとなり、第1の薄膜トランジスタ、第2の薄膜トランジスタ、第3の薄膜トランジスタ及び第5の薄膜トランジスタがオンとなり、データ電圧は第5の薄膜トランジスタを通じて第1の薄膜トランジスタのゲート

50

ト電極に伝送される。

【0021】

本発明のもう一つの実施例によれば、例えば、当該画素構造の補償周期内で、スキャンラインのラインスキャン電圧が低レベルとなり、第1の制御信号及び第2の制御信号は高レベルとなり、第3の薄膜トランジスタ及び第4の薄膜トランジスタはオフとなり、第1の薄膜トランジスタ、第2の薄膜トランジスタ及び第5の薄膜トランジスタがオンとなり、データ電圧は第5の薄膜トランジスタを通じて第1の薄膜トランジスタのゲート電極に伝送される。

【0022】

本発明のもう一つの実施例によれば、例えば、当該画素構造の発光周期内で、スキャンラインのラインスキャン電圧が高レベルとなり、第1の制御信号及び第2の制御信号は低レベルとなり、第2の薄膜トランジスタ及び第5の薄膜トランジスタがオフとなり、第1の薄膜トランジスタ、第3の薄膜トランジスタ及び第4の薄膜トランジスタがオンとなる。

10

【0023】

本発明のもう一つの実施例によれば、例えば、当該画素構造のプレチャージ周期と補償周期内で、データライン上の信号(DATA)は実際のデータ電圧である。

【0024】

本発明のもう一つの実施例によれば、例えば、当該画素構造にある第1から第5の薄膜トランジスタは低温多結晶シリコン薄膜トランジスタである。

20

【0025】

本発明のもう一つの実施例によれば、例えば、当該画素構造にある第1の薄膜トランジスタの幅長比はOLED素子の劣化による輝度損失を補償できるように設定されている。

【0026】

本発明の実施例によれば、上記画素を駆動するための駆動方法であって、それぞれのフレームの画像リフレッシュ過程において、プレチャージ周期にスキャンラインと第1の制御信号(EM)は低レベルとなり、第2の制御信号(EMD)は高レベルとなって第4の薄膜トランジスタをオフにさせ、第1の薄膜トランジスタ、第2の薄膜トランジスタ、第3の薄膜トランジスタ及び第5の薄膜トランジスタをオンさせるステップと、補償周期にスキャンラインは低レベルとなり、第1の制御信号(EM)及び第2の制御信号(EMD)が高レベルとなって、第3の薄膜トランジスタ及び第4の薄膜トランジスタをオフさせ、第1の薄膜トランジスタ、第2の薄膜トランジスタ及び第5の薄膜トランジスタをオンさせるステップと、発光周期にスキャンラインは高レベルとなり、第1の制御信号(EM)及び第2の制御信号(EMD)は低レベルとなって第2の薄膜トランジスタ及び第5の薄膜トランジスタをオフさせ、第1の薄膜トランジスタ、第3の薄膜トランジスタ、第4の薄膜トランジスタをオンさせるステップとを有する駆動方法を提供する。

30

【0027】

上記のAMOLED画素構造及び駆動方法によれば、OLED素子の劣化及びTFT駆動トランジスタの閾値電圧の不均一性、バックプレート電源の電圧降下を有効的に補償でき、表示効果及び消費電力の改善を図ることができる。

40

【図面の簡単な説明】

【0028】

【図1a】本発明の画素構造を示す図である。

【図1b】図1aの画素構造の制御手順を示す図である。

【図2a】図1の画素構造の三つの異なる周期での回路状態を示す図である。

【図2b】図1の画素構造の三つの異なる周期での回路状態を示す図である。

【図2c】図1の画素構造の三つの異なる周期での回路状態を示す図である。

【図3】薄膜トランジスタ駆動トランジスタの閾値電圧に対する均一性補償をシミュレートしたグラフである。

【図4】バックプレート電源の電圧降下に対する補償をシミュレートしたグラフである。

50

【図5】OLED素子の劣化に対する補償をシミュレートしたグラフである。

【図6a】OLED素子の輝度及び閾値電圧の使用時間の増加に伴う変化を示すグラフである。

【図6b】OLED素子の輝度及び閾値電圧の使用時間の増加に伴う変化を示すグラフである。

【図6c】OLED素子の輝度及び閾値電圧の使用時間の増加に伴う変化を示すグラフである。

【図7】従来の画素構造を示す回路図である。

【図8a】参考文献1の画素補償回路図及び制御シーケンス図である。

【図8b】参考文献1の画素補償回路図及び制御シーケンス図である。

【発明を実施するための形態】

【0029】

図1(a)に示すように、当該画素回路構造はP型TFTトランジスタ1~5、コンデンサ6及びOLED7によって構成され、ARVD及びARVSはそれぞれバックプレートの直流正、負レベルであり、DATAはデータ電圧信号であり、SCANはラインスキャン電圧信号であり、EM、EMDは制御信号であり、同一の行の画素部はSCAN及びEM、EMD制御信号を共用し、同一の列の画素部はDATAデータ電圧信号を共用する。本発明に基づく画素回路構成において、第1の薄膜トランジスタ1のドレイン電極はOLED素子を通じてバックプレートの負レベルに接続され、第1の薄膜トランジスタ1のソース電極は第3の薄膜トランジスタ3のドレイン電極に接続され、第3の薄膜トランジスタ3のソース電極はバックプレートの正レベルに接続され、コンデンサ6の一端は第1の薄膜トランジスタ1と第3の薄膜トランジスタ3の間(N3)に接続され、コンデンサ6の他端は第2の薄膜トランジスタ2と第4の薄膜トランジスタ4のソース電極(N2)に接続され、第2の薄膜トランジスタ2のドレイン電極は第1薄膜トランジスタ1のドレイン電極とOLED素子7(N4)に接続され、第4の薄膜トランジスタ4のドレイン電極は第5の薄膜トランジスタ5のドレイン電極及び第1の薄膜トランジスタ1のゲート電極(N1)に接続され、第5の薄膜トランジスタ5のソース電極はデータラインに接続され、第5の薄膜トランジスタ5及び第2の薄膜トランジスタ2のゲート電極はスキャンラインに接続され、第1の制御信号(EM)は第3のトランジスタ3のゲート電極に提供され、第2の制御信号(EMD)は第4のトランジスタに提供される画素構造である。

【0030】

当該画素回路の作業プロセスはプレチャージ、補償、発光の三段階に分かれ、その制御信号のシーケンスは図1(b)に示すとおりである。

【0031】

図2(a)に示すように、第1の段階はプレチャージ段階である。この段階では、SCAN、EMは低レベルとなり、EMDは高レベルとなり、DATAは実際のデータ電圧である。このときトランジスタ4はオフとなり、トランジスタ1、2、3、5はオンとなる。データ電圧はトランジスタ5を通じてトランジスタ1のゲート電極にある第1のノードN1に伝送される。第3のノードN3はトランジスタ3を通じてARVDに接続され、そのレベルはARVDである。第4のノードN4の電圧はARVSにOLED駆動電圧を加えたものとなる。トランジスタ2がオンであるため、このときコンデンサ6は第3のノードN3と第4のノードN4の間に接続されていることになる。プレチャージの役割は第3のノードN3をあらかじめ高レベルにするようにして、第2段階の補償プロセスでトランジスタ1に正確な初期電圧を確立させることである。

【0032】

図2(b)に示すように、第2の段階は補償段階である。この段階では、SCANは低レベルとなり、EM、ENDは高レベルとなり、Vdataは実際のデータ電圧となる。このときトランジスタ3、4はオフとなり、トランジスタ1、2、5はオンとなる。データ電圧はトランジスタ5を通じてトランジスタ1のゲート電極にある第1のノードN1に伝送される。EMが高レベルになる前に第3のノードN3はトランジスタ3を通じてAR

10

20

30

40

50

VDDに接続されるため、第3のノードN3はトランジスタがオフとなる瞬間の初期電圧は高レベルであるARVDDとなる。トランジスタ3がオフになった後、第3のノードN3はフローティングし、トランジスタ1はオンとなり、第3のノードN3はARCVSSに対して放電し、よって第3のノードN3の電位はトランジスタ1がオフ臨界点に達するまで次第に低下する。このとき第3のノードN3の電圧は $V_{DATA} - V_{TH}$ であり、 V_{TH} はトランジスタ1の閾値電圧となる。このプロセスにおいて、トランジスタ1とOLEDに流れる電流はだんだん小さくなり、第4のノードN4の電位もこれに伴って小さくなり、トランジスタ1がオフとなると、電流がゼロになる。このとき、第4のノードN4の電圧は V_{OLED_0} 、即ちOLED7の閾値電圧となる。こうして、コンデンサ6に $(V_{DATA} - V_{TH} - V_{OLED_0}) \cdot C$ の電荷が蓄えられる。

10

【0033】

図2(c)に示すように、第2の段階は発光段階である。この段階では、SCANは高レベルとなり、EM, EMDは低レベルとなる。このときトランジスタ2、5はオフとなり、トランジスタ1、3、4はオンとなる。第3のノードN3はトランジスタ3を通じてARVDDと接続され、その電位はARVDDとなる。トランジスタ5がオフとなり、第1のノードN1に直流の通路がなくなるため、当該点の電荷総量は第2の段階と変わらず、下記の式(2)のようになる。

【0034】

【数4】

$$(V_{DATA} - V_{TH} - V_{OLED_0}) \cdot C = (ARVDD - V_{N1}) \cdot C \quad (2)$$

20

【0035】

計算の結果、以下の式が得られる。

【0036】

【数5】

$$V_{N1} = ARVDD - V_{DATA} + V_{TH} + V_{OLED_0} \quad (3)$$

【0037】

このとき、トランジスタ1に流れる電流は以下のとおりである。

30

【0038】

【数6】

$$\begin{aligned} I_{OLED} &= \frac{1}{2} \cdot \mu_p \cdot Cox \cdot \frac{W}{L} \cdot (ARVDD - V_{DATA} + V_{TH} + V_{OLED_0} - ARVDD - V_{TH})^2 \\ &= \frac{1}{2} \cdot \mu_p \cdot Cox \cdot \frac{W}{L} \cdot [V_{OLED_0} - V_{DATA}]^2 \end{aligned} \quad (4)$$

【0039】

上記の式(4)から分かるように、その電流は閾値電圧及びARVDDと関係なく、閾値電圧の不均一性及びIR Dropの影響を基本的になくした。図3は閾値電圧の不均一性を補償する場合をシミュレートした結果を示す図である。補償を行わない従来の構造では、閾値電圧が±0.6Vドリフティングしたとき、その電流は最大で1.8倍以上もドリフティングすることがあるが、本発明の構造においては、電流のバラツキは3%より小さい。図4はIR Dropを補償する場合をシミュレートした結果を示す図である。補償を行わない従来の構造では、ARVDD電圧降下が±0.5Vドリフティングしたとき、電流は最大で81%ドリフティングする。これに対して、本発明の構造において、電流のバラツキは3.4%より小さい。

40

【0040】

同時に、 I_{OLED} 電流はOLEDの閾値電圧 V_{OLED_0} と関連しており、OLED劣

50

化による輝度の損失を補償することができる。OLED素子が劣化するとき、 V_{OLED_0} は次第に増大し、発光効率が低減し、第1の薄膜トランジスタ（駆動トランジスタ）1が更に大きな電流を提供して同様の輝度を維持する必要がある。そして、応用にあたって、 $V_{DATA} < 0$ 且つ $V_{DATA} < V_{OLED_0}$ とする場合、 V_{OLED_0} の増大に伴い、 $|V_{DATA} - V_{OLED_0}|$ も増大し、 I_{OLED} を増加させることによって、OLED輝度の損失を補償する。

テイラー級数の展開により、閾値電圧にドリフティングが発生した場合、ドリフティング後の閾値電圧を $V'_{OLED_0} = V_{OLED_0} + \Delta V_{OLED_0}$ と表すことができ、したがって I_{OLED} の V_{OLED_0} に対する1次近似展開式は以下のとおりとなる。

【0041】

【数7】

$$I_{OLED} = \frac{1}{2} \cdot \mu_p \cdot C_{OX} \cdot \frac{W}{L} \cdot [V_{OLED_0} - V_{DATA}]^2 + \mu_p \cdot C_{OX} \cdot \frac{W}{L} \cdot [V_{OLED_0} - V_{DATA}] \cdot \Delta V_{OLED_0} \quad (5)$$

【0042】

I_{OLED} は V_{OLED_0} とリニア関係であり、設計するときに、OLED劣化の測定結果にしたがって、第1の薄膜トランジスタ1の幅長比を設定することで、 I_{OLED} 曲線の傾斜度を調整し、それを輝度 V_{OLED_0} 曲線と補完関係にさせて、丁度OLED劣化による輝度損失を補償するようにする。図5はOLED劣化を補償する場合をシミュレートした結果を示す図である。補償を行わない従来の構造では、OLED閾値電圧が0～8Vドリフティングしたとき、その電流は緩やかに減少する傾向があり、表示輝度の低減を深刻化させる。しかし、本発明の構造においては、電流はOLED閾値電圧の増大と同時にリニアに増加するので、OLED輝度の損失を効果的に補償することができる。第1の薄膜トランジスタ1の幅長比を調節することによって、電流の速度や範囲を制御することができる。

【符号の説明】

【0043】

- 1、2、3、4、5 薄膜トランジスタ
- 6、コンデンサ
- 7 OLED

【图 1 a】

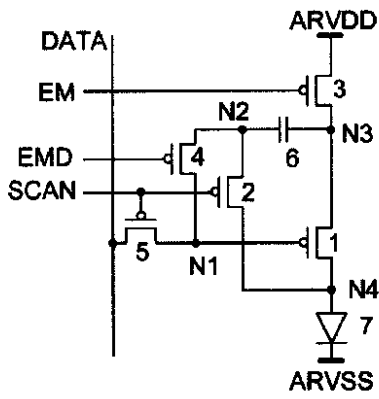


图 1a

【图 3】

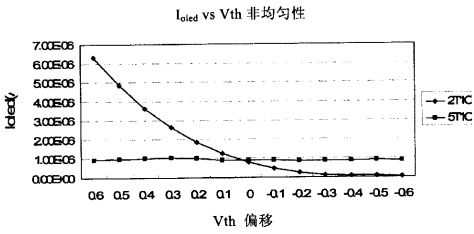


图 3

【图 7】

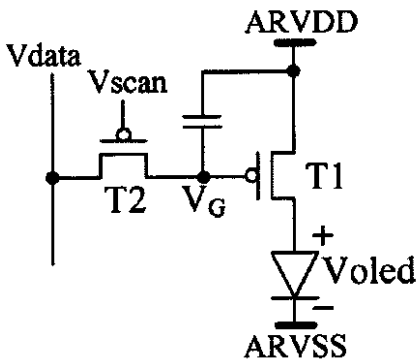


图 7

【图 4】

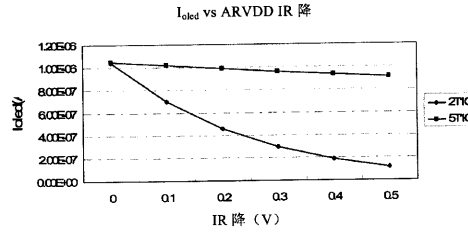


图 4

【图 5】

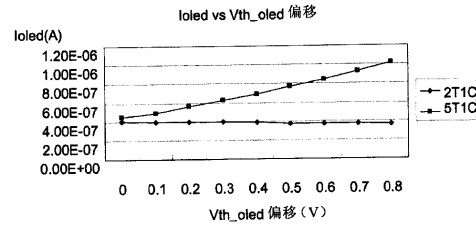


图 5

【图 8 a】

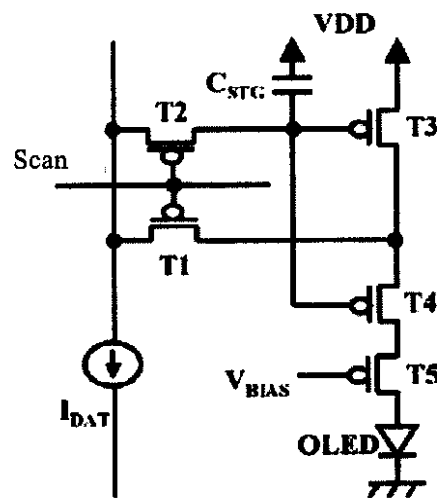


图 8a

【 図 8 b 】

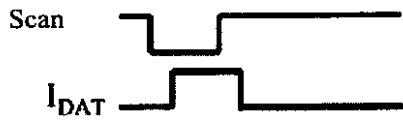
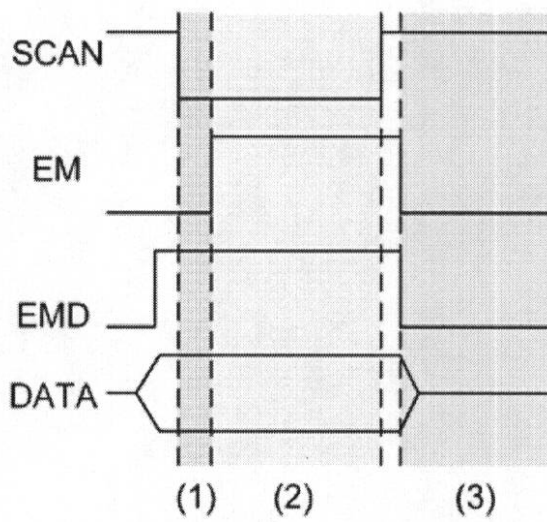


图 8b

【 図 1 b 】

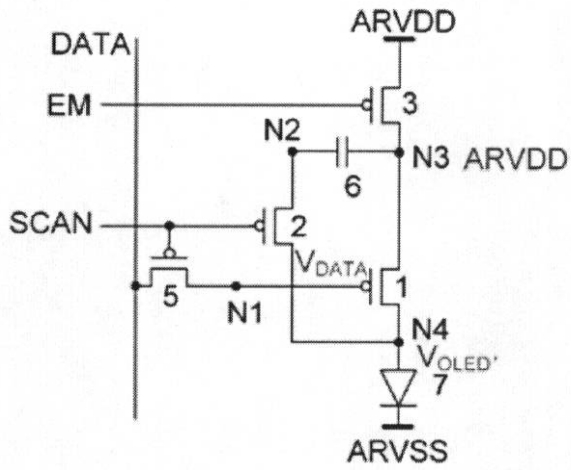


(1) プレチャージ

(2) 補償

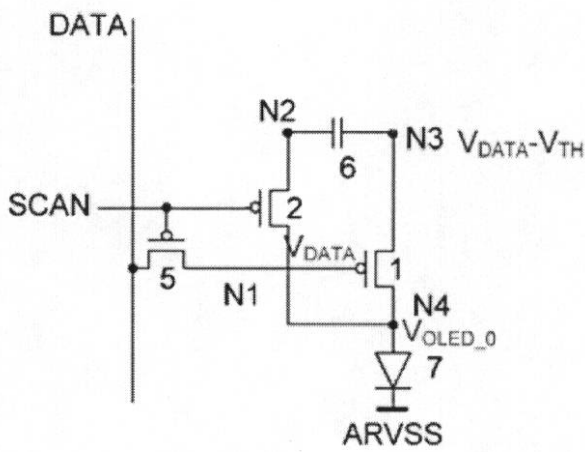
(3) 発光

【図 2 a】



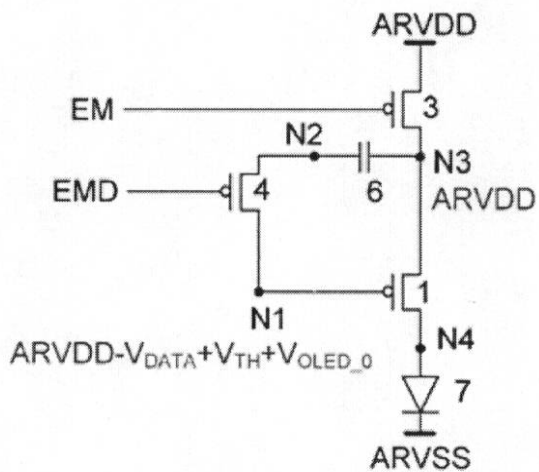
(a) プレチャージ

【図 2 b】



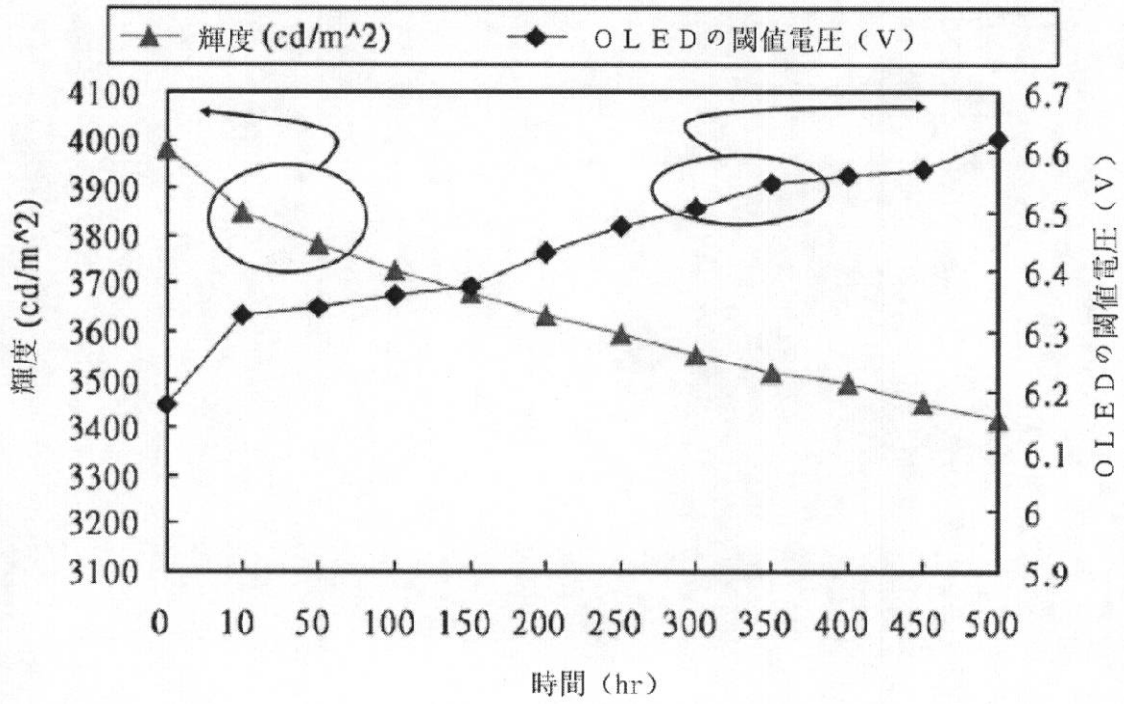
(b) 補償

【図 2 c】

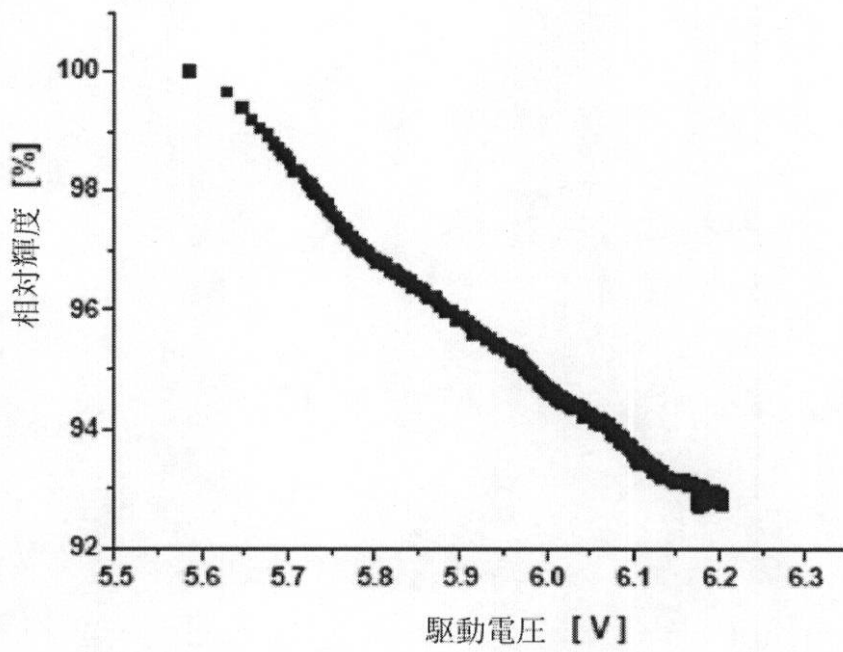


(c) 発光

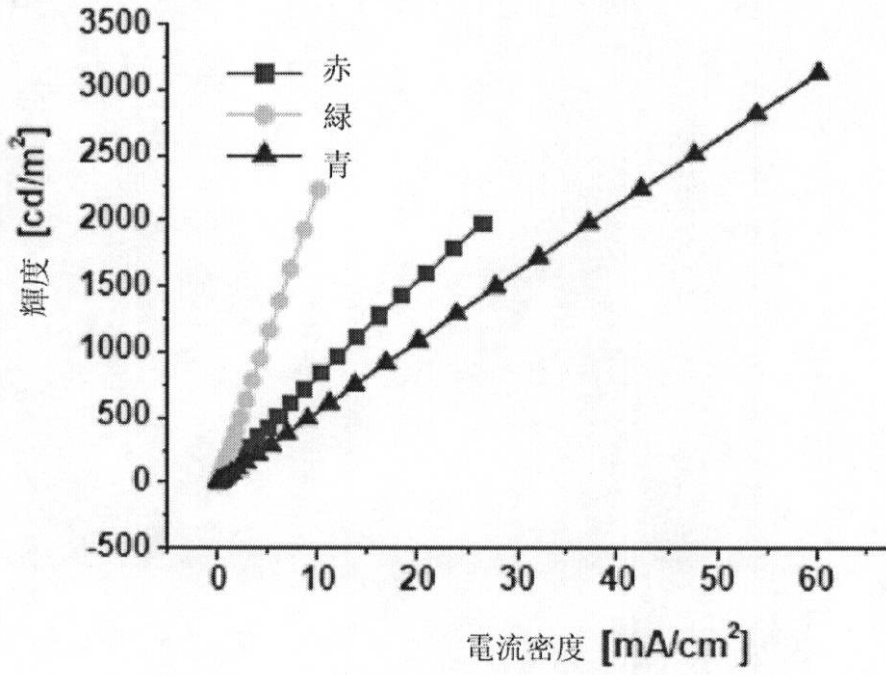
【図 6 a】



【図 6 b】



【図 6 c】



【 國際調查報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2012/081304
A. CLASSIFICATION OF SUBJECT MATTER		
G09G3/32 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G09G3/32, G09G3/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS, CNTXT, VEN: OLED, TFT, fifth, transistor, switch, capacitor, age, degrade, threshold, uniform		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN102651195A (BOE Technology Group Co., Ltd.) 29 Aug. 2012 (29.08.2012) claims 1-8, description, pages 3-5 and figures 1a-8	1-9
X	CN1949342A (YOU DA PHOTOELECTRIC CO LTD) 18 Apr. 2007 (18.04.2007) description, pages 4-6 and figures 4-8	1-9
A	CN101859542A (YOU DA PHOTOELECTRIC CO LTD) 13 Oct. 2010 (13.10.2010) the whole document	1-9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 16 Nov. 2012 (16.11.2012)	Date of mailing of the international search report 06 Dec. 2012 (06.12.2012)	
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer LIU, Shikui Telephone No. (86-10)62085842	

INTERNATIONAL SEARCH REPORT

International application No. PCT/CN2012/081304
--

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101996579A (UNIV SOUTH CHINA TECH) 30 Mar. 2011 (30.03.2011) the whole document	1-9
A	CN101996582A (UNIV SOUTH CHINA TECH) 30 Mar. 2011 (30.03.2011) the whole document	1-9
A	US20100127955A1 (SAMSUNG MOBILE DISPLAY CO LTD) 27 May 2010 (27.05.2010) the whole document	1-9
A	KR20110038393A (SAMSUNG MOBILE DISPLAY CO LTD) 14 Apr. 2011 (14.04.2011) the whole document	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/081304

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN102651195A	29.08.2012	NONE	
CN1949342A	18.04.2007	CN100435199C	19.11.2008
CN101859542A	13.10.2010	CN101859542B	23.05.2012
CN101996579A	30.03.2011	NONE	
CN101996582A	30.03.2011	NONE	
US20100127955A1	27.05.2010	KR20100059317A	04.06.2010
		KR101008438B1	14.01.2011
KR20110038393A	14.04.2011	US2011084947A1	14.04.2011
		KR101030002B1	20.04.2011

国际检索报告		国际申请号 PCT/CN2012/081304
A. 主题的分类		
G09G3/32 (2006.01) i		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: G09G3/32, G09G3/30		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, CNTXT, VEN; OLED, 发光二极管, 第五, 晶体管, 电容, 退化, 老化, 阈值, 临界, 门限, 均匀, 一致, TFT, fifth, transistor, switch, capacitor, age, degrade, threshold, uniform		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN102651195A(京东方科技集团股份有限公司)29.8月2012(29.08.2012) 权利要求 1-8, 说明书第 3-5 页, 附图 1a-8	1-9
X	CN1949342A(友达光电股份有限公司)18.4月2007(18.04.2007) 说明书第 4-6 页, 图 4-8	1-9
A	CN101859542A(友达光电股份有限公司)13.10月2010(13.10.2010) 全文	1-9
A	CN101996579A(华南理工大学)30.3月2011(30.03.2011)全文	1-9
A	CN101996582A(友达光电股份有限公司)30.3月2011(30.03.2011) 全文	1-9
<input checked="" type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
国际检索实际完成的日期 16.11月2012(16.11.2012)		国际检索报告邮寄日期 06.12月2012(06.12.2012)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		授权官员 刘士奎 电话号码: (86-10) 62085842

国际检索报告

国际申请号 PCT/CN2012/081304

C(续). 相关文件		
类型	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US20100127955A1 (SAMSUNG MOBILE DISPLAY CO LTD) 27.5 月 2010 (27.05.2010) 全文	1-9
A	KR20110038393A (SAMSUNG MOBILE DISPLAY CO LTD) 14.4 月 2011 (14.04.2011) 全文	1-9

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/081304

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102651195A	29.08.2012	无	
CN1949342A	18.04.2007	CN100435199C	19.11.2008
CN101859542A	13.10.2010	CN101859542B	23.05.2012
CN101996579A	30.03.2011	无	
CN101996582A	30.03.2011	无	
US20100127955A1	27.05.2010	KR20100059317A	04.06.2010
		KR101008438B1	14.01.2011
KR20110038393A	14.04.2011	US2011084947A1	14.04.2011
		KR101030002B1	20.04.2011

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 7 0 J
H 0 5 B	33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

Fターム(参考) 3K107 AA01 BB01 CC14 CC33 CC34 EE03 HH02 HH05
 5C080 AA06 BB05 DD05 DD08 DD10 DD29 EE29 FF11 HH10 JJ03
 JJ04 JJ05
 5C380 AA01 AB06 AB24 BA19 BA38 BA39 BB02 BB08 BC03 BC07
 BC13 BD02 CA12 CA54 CB17 CC04 CC07 CC26 CC30 CC33
 CC39 CC52 CC63 CC64 CD014 CD015 CD016 DA02 DA06 DA47
 HA13

专利名称(译)	OLED像素结构和驱动方法		
公开(公告)号	JP2014530372A	公开(公告)日	2014-11-17
申请号	JP2014530087	申请日	2012-09-12
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	吳仲遠		
发明人	▲吳▼仲▲遠▼		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/02 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2320/0223 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.621.F G09G3/20.611.H G09G3/20.642.A G09G3/20.611.D G09G3/20.670.J H05B33/14.A		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC33 3K107/CC34 3K107/EE03 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD10 5C080/DD29 5C080/EE29 5C080/FF11 5C080/HH10 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB24 5C380/BA19 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB08 5C380/BC03 5C380/BC07 5C380/BC13 5C380/BD02 5C380/CA12 5C380/CA54 5C380/CB17 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD015 5C380/CD016 5C380/DA02 5C380/DA06 5C380/DA47 5C380/HA13		
代理人(译)	村山彦 渡边 隆		
优先权	201110271117.X 2011-09-14 CN		
其他公开文献	JP6084616B2		
外部链接	Espacenet		

摘要(译)

提供了一种有机发光显示装置的像素结构及其驱动方法。像素结构包括第一至第五薄膜晶体管，电容器和OLED元件，并且第一薄膜晶体管的宽长比被设置为能够补偿由于OLED元件的劣化导致的亮度损失。在每帧的图像刷新处理中，扫描线和第一控制信号（EM）被设置为低电平，并且第二控制信号（EMD）在相对于像素结构的预充电时段中被设置为高电平。扫描线在补偿期间变为低电平，第一控制信号（EM）和第二控制信号（EMD）变为高电平，扫描线在发光周期变为高电平，并且第一控制信号（EM）和第二控制信号（EMD）变为低电平。

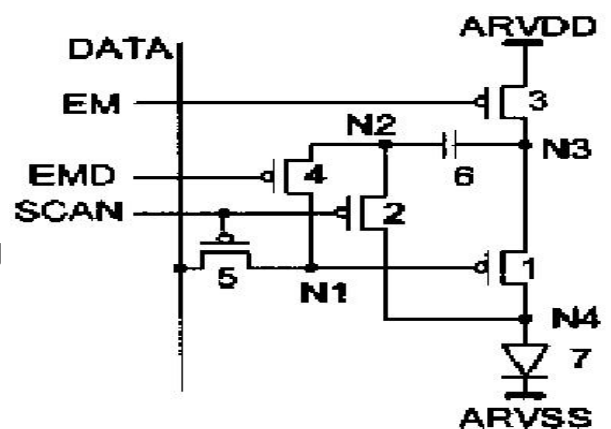


图 1a / Fig.1a