

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-200541

(P2013-200541A)

(43) 公開日 平成25年10月3日(2013.10.3)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J 3K107	
G09G 3/20 (2006.01)	G09G 3/20 611A 5C080	
H01L 51/50 (2006.01)	G09G 3/20 621F 5C380	
	G09G 3/20 624B	
	G09G 3/20 641D	

審査請求 未請求 請求項の数 30 O L (全 40 頁) 最終頁に続く

(21) 出願番号	特願2012-126999 (P2012-126999)	(71) 出願人	512187343 三星ディスプレイ株式會社 Samsung Display Co., Ltd. 大韓民国京畿道龍仁市器興区三星二路95 95, Samsung 2 Ro, Gih eung-Gu, Yongin-City , Gyeonggi-Do, Korea
(22) 出願日	平成24年6月4日 (2012.6.4)		
(31) 優先権主張番号	10-2012-0029639		
(32) 優先日	平成24年3月23日 (2012.3.23)		
(33) 優先権主張国	韓国 (KR)		
		(74) 代理人	100070024 弁理士 松永 宣行
		(74) 代理人	100159042 弁理士 辻 徹二
		(74) 代理人	100083806 弁理士 三好 秀和
			最終頁に続く

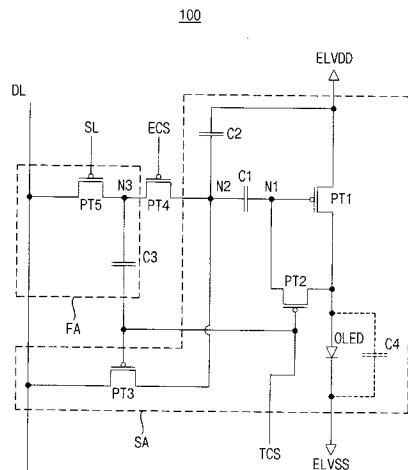
(54) 【発明の名称】画素回路、画素回路の駆動方法、及び有機発光表示装置

(57) 【要約】 (修正有)

【課題】画素回路、これの駆動方法、及び有機発光表示装置を提供する。

【解決手段】画素回路100は、有機発光ダイオードOLED、第1PMOSトランジスタPT1、第2PMOSトランジスタPT2、第3PMOSトランジスタPT3、第4PMOSトランジスタPT4、第5PMOSトランジスタPT5、第1キャパシタC1、第2キャパシタC2、第3キャパシタC3、並びに、データラインDL、スキャンラインSL、から構成される。

【選択図】図1



【特許請求の範囲】

【請求項 1】

カソード電極が第2電源電圧に接続される有機発光ダイオードと、
 第1電源電圧と前記有機発光ダイオードのアノード電極との間に接続され、ゲート端子
 が第1ノードに接続される第1PMOSトランジスタと、
 前記第1ノードと前記有機発光ダイオードの前記アノード電極との間に接続され、ゲー
 ト端子が補償制御信号を受信する第2PMOSトランジスタと、
 第2ノードと前記第1ノードとの間に接続される第1キャパシタと、
 前記第1電源電圧と前記第2ノードとの間に接続される第2キャパシタと、
 データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受
 信する第3PMOSトランジスタと、
 第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する
 第4PMOSトランジスタと、
 前記第3ノードと前記第3PMOSトランジスタの前記ゲート端子との間に接続される
 第3キャパシタと、
 前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに
 接続される第5PMOSトランジスタと、を含むことを特徴とする画素回路。

【請求項 2】

左画像を表示するための第1表示動作と右画像を表示するための第2表示動作が交互に
 遂行され、前記第1表示動作と前記第2表示動作は各々同時発光 (simultaneo
 us emission) 方式で遂行されることを特徴とする請求項1に記載の画素回路
 。

【請求項 3】

前記第1表示動作は、第1予備データ記入動作、第1リセット動作、第1しきい電圧補
 償動作、第1データ記入動作、及び第1発光動作を含み、前記第2表示動作は、第2予備
 データ記入動作、第2リセット動作、第2しきい電圧補償動作、第2データ記入動作、及
 び第2発光動作を含むことを特徴とする請求項2に記載の画素回路。

【請求項 4】

前記第1発光動作と前記第2予備データ記入動作が同時に遂行され、前記第2発光動作
 と前記第1予備データ記入動作が同時に遂行されることを特徴とする請求項3に記載の
 画素回路。

【請求項 5】

前記第1予備データ記入動作が遂行される時、前記第4PMOSトランジスタはターン
 オフ (turn-off) され、前記スキャンラインを経て印加されるスキャン信号に応
 答して前記第5PMOSトランジスタがターンオン (turn-on) されると、前記デ
 タラインを経て印加される第1画像データが前記第3キャパシタに記憶され、

前記第2予備データ記入動作が遂行される時、前記第4PMOSトランジスタはターン
 オフされ、前記スキャンラインを経て印加されるスキャン信号に応答して前記第5PMOS
 トランジスタがターンオンされると、前記データラインを経て印加される第2画像デ
 タが前記第3キャパシタに記憶されることを特徴とする請求項4に記載の画素回路。

【請求項 6】

前記第1リセット動作が遂行される時、前記第4PMOSトランジスタはターンオフさ
 れ、前記第3PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタも
 ターンオフされ、前記第2電源電圧はハイ電圧 (high voltage) レベルを有し、前記第1
 電源電圧はロー電圧 (low voltage) レベルを有し、

前記第2リセット動作が遂行される時、前記第4PMOSトランジスタはターンオフさ
 れ、前記第3PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタも
 ターンオフされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧はロー
 電圧レベルを有することを特徴とする請求項5に記載の画素回路。

【請求項 7】

10

20

30

40

50

前記第1しきい電圧補償動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオンされ、前記第3PMOSトランジスタはターンオンされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧もハイ電圧レベルを有し、

前記第2しきい電圧補償動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオンされ、前記第3PMOSトランジスタはターンオンされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧もハイ電圧レベルを有することを特徴とする請求項6に記載の画素回路。

【請求項8】

前記第1データ記入動作が遂行される時、前記第4PMOSトランジスタはターンオンされ、前記第3PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオフされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧もハイ電圧レベルを有し、

前記第2データ記入動作が遂行される時、前記第4PMOSトランジスタはターンオンされ、前記第3PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオフされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧もハイ電圧レベルを有することを特徴とする請求項7に記載の画素回路。

【請求項9】

前記第1発光動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオフされ、前記第2電源電圧はロー電圧レベルを有し、前記第1電源電圧はハイ電圧レベルを有し、

前記第2発光動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオフされ、前記第2電源電圧はロー電圧レベルを有し、前記第1電源電圧はハイ電圧レベルを有することを特徴とする請求項8に記載の画素回路。

【請求項10】

前記第1表示動作は、第1オフバイアス印加動作をさらに含み、前記第2表示動作は、第2オフバイアス印加動作をさらに含むことを特徴とする請求項3に記載の画素回路。

【請求項11】

前記第1オフバイアス印加動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオンされ、前記第2PMOSトランジスタもターンオンされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧はロー電圧レベルを有し、

前記第2オフバイアス印加動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオンされ、前記第2PMOSトランジスタもターンオンされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧はロー電圧レベルを有することを特徴とする請求項10に記載の画素回路。

【請求項12】

前記有機発光ダイオードの前記アノード電極と前記有機発光ダイオードの前記カソード電極との間に接続される補助キャパシタをさらに含むことを特徴とする請求項1に記載の画素回路。

【請求項13】

カソード電極が第2電源電圧に接続される有機発光ダイオードと、

第1電源電圧と前記有機発光ダイオードのアノード電極との間に接続され、ゲート端子が第1ノードに接続される第1PMOSトランジスタと、

前記第1ノードと前記有機発光ダイオードの前記アノード電極との間に接続され、ゲート端子が補償制御信号を受信する第2PMOSトランジスタと、

第2ノードと前記第1ノードとの間に接続される第1キャパシタと、

前記第1電源電圧と前記第2ノードとの間に接続される第2キャパシタと、

10

20

30

40

50

データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受信する第3PMOSトランジスタと、

第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4PMOSトランジスタと、

前記第3ノードと補助電源電圧との間に接続される第3キャパシタと、

前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5PMOSトランジスタと、を含むことを特徴とする画素回路。

【請求項14】

左画像を表示するための第1表示動作と右画像を表示するための第2表示動作が交互に遂行され、前記第1表示動作と前記第2表示動作は、各々同時発光(simultaneous emission)方式で遂行されることを特徴とする請求項13に記載の画素回路。10

【請求項15】

前記第1表示動作は、第1予備データ記入動作、第1リセット動作、第1しきい電圧補償動作、第1データ記入動作、及び第1発光動作を含み、前記第2表示動作は、第2予備データ記入動作、第2リセット動作、第2しきい電圧補償動作、第2データ記入動作、及び第2発光動作を含むことを特徴とする請求項14に記載の画素回路。

【請求項16】

前記第1発光動作と前記第2予備データ記入動作が同時に遂行され、前記第2発光動作と前記第1予備データ記入動作が同時に遂行されることを特徴とする請求項15に記載の画素回路。20

【請求項17】

前記第1表示動作は、第1オフバイアス印加動作をさらに含み、前記第2表示動作は、第2オフバイアス印加動作をさらに含むことを特徴とする請求項15に記載の画素回路。

【請求項18】

前記有機発光ダイオードの前記アノード電極と前記有機発光ダイオードの前記カソード電極との間に接続される補助キャパシタをさらに含むことを特徴とする請求項13に記載の画素回路。

【請求項19】

アノード電極が第1電源電圧に接続される有機発光ダイオードと、30

第2電源電圧と前記有機発光ダイオードのカソード電極との間に接続され、ゲート端子が第1ノードに接続される第1NMOSトランジスタと、

前記第1ノードと前記有機発光ダイオードの前記カソード電極との間に接続され、ゲート端子が補償制御信号を受信する第2NMOSトランジスタと、

第2ノードと前記第1ノードとの間に接続される第1キャパシタと、

前記第2電源電圧と前記第2ノードとの間に接続される第2キャパシタと、

データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受信する第3NMOSトランジスタと、

第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4NMOSトランジスタと、40

前記第3ノードと前記第3NMOSトランジスタの前記ゲートとの間に接続される第3キャパシタと、

前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5NMOSトランジスタと、を含むことを特徴とする画素回路。

【請求項20】

アノード電極が第1電源電圧に接続される有機発光ダイオードと、

第2電源電圧と前記有機発光ダイオードのカソード電極との間に接続され、ゲート端子が第1ノードに接続される第1NMOSトランジスタと、

前記第1ノードと前記有機発光ダイオードの前記カソード電極との間に接続され、ゲート端子が補償制御信号を受信する第2NMOSトランジスタと、50

第2ノードと前記第1ノードとの間に接続される第1キャパシタと、
前記第2電源電圧と前記第2ノードとの間に接続される第2キャパシタと、

データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受信する第3NMOSトランジスタと、

第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4NMOSトランジスタと、

前記第3ノードと補助電源電圧との間に接続される第3キャパシタと、

前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5NMOSトランジスタと、を含むことを特徴とする画素回路。

【請求項21】

画素部、スキャン駆動部、データ駆動部、タイミング制御部、制御信号生成部、及び電源部を含む有機発光表示装置において、前記画素部に備わる複数の画素回路の各々は、

カソード電極が第2電源電圧に接続される有機発光ダイオードと、

第1電源電圧と前記有機発光ダイオードのアノード電極との間に接続され、ゲート端子が第1ノードに接続される第1PMOSトランジスタと、

前記第1ノードと前記有機発光ダイオードの前記アノード電極との間に接続され、ゲート端子が補償制御信号を受信する第2PMOSトランジスタと、

第2ノードと前記第1ノードとの間に接続される第1キャパシタと、

前記第1電源電圧と前記第2ノードとの間に接続される第2キャパシタと、

データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受信する第3PMOSトランジスタと、

第3ノードと第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4PMOSトランジスタと、

前記第3ノードと前記第3PMOSトランジスタの前記ゲート端子との間に接続される第3キャパシタと、

前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5PMOSトランジスタと、を含むことを特徴とする有機発光表示装置。

【請求項22】

左画像を表示するための第1表示動作と右画像を表示するための第2表示動作が交互に遂行され、前記第1表示動作と前記第2表示動作は、各々同時発光 (simultaneous emission) 方式で遂行されることを特徴とする請求項21に記載の有機発光表示装置。

【請求項23】

前記第1表示動作は、第1予備データ記入動作、第1リセット動作、第1しきい電圧補償動作、第1データ記入動作、及び第1発光動作を含み、前記第2表示動作は、第2予備データ記入動作、第2リセット動作、第2しきい電圧補償動作、第2データ記入動作、及び第2発光動作を含み、前記第1発光動作と前記第2予備データ記入動作は同時に遂行され、前記第2発光動作と前記第1予備データ記入動作は同時に遂行されることを特徴とする請求項22に記載の有機発光表示装置。

【請求項24】

前記第1表示動作は、第1オフバイアス印加動作をさらに含み、前記第2表示動作は、第2オフバイアス印加動作をさらに含むことを特徴とする請求項23に記載の有機発光表示装置。

【請求項25】

画素部、スキャン駆動部、データ駆動部、タイミング制御部、制御信号生成部、及び電源部を含む有機発光表示装置において、前記画素部に備わる複数の画素回路の各々は、

カソード電極が第2電源電圧に接続される有機発光ダイオードと、

第1電源電圧と前記有機発光ダイオードのアノード電極との間に接続され、ゲート端子が第1ノードに接続される第1PMOSトランジスタと、

前記第1ノードと前記有機発光ダイオードの前記アノード電極との間に接続され、ゲー

10

20

30

40

50

ト端子が補償制御信号を受信する第2PMOSトランジスタと、
 第2ノードと前記第1ノードとの間に接続される第1キャパシタと、
 前記第1電源電圧と前記第2ノードとの間に接続される第2キャパシタと、
 データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受信する第3PMOSトランジスタと、
 第3ノードと第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4PMOSトランジスタと、
 前記第3ノードと補助電源電圧との間に接続される第3キャパシタと、
 前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5PMOSトランジスタと、を含むことを特徴とする有機発光表示装置。 10

【請求項26】

左画像を表示するための第1表示動作と右画像を表示するための第2表示動作が交互に遂行され、前記第1表示動作と前記第2表示動作は、各々同時発光(simultaneous emission)方式で遂行されることを特徴とする請求項25に記載の有機発光表示装置。 20

【請求項27】

前記第1表示動作は、第1予備データ記入動作、第1リセット動作、第1しきい電圧補償動作、第1データ記入動作、及び第1発光動作を含み、前記第2表示動作は、第2予備データ記入動作、第2リセット動作、第2しきい電圧補償動作、第2データ記入動作、及び第2発光動作を含み、前記第1発光動作と前記第2予備データ記入動作は同時に遂行され、前記第2発光動作と前記第1予備データ記入動作は同時に遂行されることを特徴とする請求項26に記載の有機発光表示装置。 20

【請求項28】

前記第1表示動作は、第1オフバイアス印加動作をさらに含み、前記第2表示動作は、第2オフバイアス印加動作をさらに含むことを特徴とする請求項27に記載の有機発光表示装置。 30

【請求項29】

左画像を表示するための第1表示動作と右画像を表示するための第2表示動作を交互に遂行し、前記第1表示動作と前記第2表示動作を各々同時発光(simultaneous emission)方式で遂行する画素回路駆動方法において、 30

前記第1表示動作の第1発光動作と前記第2表示動作の第2予備データ記入動作を同時に遂行する段階と、

前記第1発光動作が完了すると、前記第2表示動作の第2リセット動作、第2しきい電圧補償動作、及び第2データ記入動作を遂行する段階と、

前記第2表示動作の第2発光動作と前記第1表示動作の第1予備データ記入動作を同時に遂行する段階と、

前記第2発光動作が完了すれば、前記第1表示動作の第1リセット動作、第しきい電圧補償動作、及び第1データ記入動作を遂行する段階と、を含むことを特徴とする画素回路駆動方法。 40

【請求項30】

前記第1リセット動作以前に前記第1表示動作の第1オフバイアス印加動作を遂行する段階と、

前記第2リセット動作以前に前記第2表示動作の第2オフバイアス印加動作を遂行する段階と、をさらに含むことを特徴とする請求項29に記載の画素回路駆動方法。 50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は立体画像表示技術に関する。より詳細には、本発明は立体画像を表示するための画素回路、画素回路の駆動方法、及び有機発光表示装置に関する。

【背景技術】

【0002】

立体画像技術は、人が近距離で立体感を感じる最も大きな要因である両眼視差（binocular parallax）を利用して立体画像を具現する。一般的に、立体画像技術では立体画像が、左画像と右画像に分離されると、これを各々左眼と右眼に交互に提供されることによって立体画像が具現される。最近、平板表示装置が大型化されることによって、速い応答速度と低消費電力で駆動される有機発光表示OLED装置が広く使われているから、有機発光表示装置で左画像と右画像を交互に表示し、これを各々左眼と右眼に交互に提供して立体画像を実現しようとする試みが行われている。

【0003】

しかし、従来の有機発光表示装置は順次発光方式で左画像（即ち、左画像フレーム）と右画像（即ち、右画像フレーム）を各々表示し、左画像と右画像を分離するためのブラック（black）画像（即ち、ブラック画像フレーム）をその間に挿入するから、輝度が低下し、消費電力が大きくなるという問題点がある。例えば、60ヘルツ（Hz）の立体画像を具現する場合、60Hzの左画像、ブラック画像、右画像、ブラック画像を順次に表示しなければならないので、総240Hzの速い駆動速度が要求され、ブラック画像の挿入により発光時間が半分に減り、輝度が半分に減少するので、一般的な駆動（即ち、ブラック画像の挿入がない場合）と同じ輝度を得るために高い消費電力が要求される。

10

【発明の概要】

【発明が解決しようとする課題】

【0004】

20

本発明の一目的は、有機発光表示装置が同時発光方式で左画像と右画像を各々表示して立体画像を具現する時、左画像発光時に右画像データを記入し、右画像発光時に左画像データを記入できる画素回路を提供することにある。

【0005】

本発明の他の目的は、有機発光表示装置が同時発光方式で左画像と右画像を各々表示して立体画像を具現する時、左画像発光時に右画像データを記入し、右画像発光時に左画像データを記入できる画素回路駆動方法を提供することにある。

【0006】

本発明のまた他の目的は前記画素回路を含む有機発光表示装置を提供することにある。

【0007】

30

なお、本発明の解決しようとする課題は、上述した課題に限定されるのではなく、本発明の思想、及び領域から逸脱しない範囲で多様に拡張される。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明のある観点によれば、画素回路は、カソード電極が第2電源電圧に接続される有機発光ダイオードと、第1電源電圧と前記有機発光ダイオードのアノード電極との間に接続され、ゲート端子が第1ノードに接続される第1PMOSトランジスタと、前記第1ノードと前記有機発光ダイオードの前記アノード電極との間に接続され、ゲート端子が補償制御信号を受信する第2PMOSトランジスタと、第2ノードと前記第1ノードとの間に接続される第1キャパシタと、前記第1電源電圧と前記第2ノードとの間に接続される第2キャパシタと、データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受信する第3PMOSトランジスタと、第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4PMOSトランジスタと、前記第3ノードと前記第3PMOSトランジスタの前記ゲート端子との間に接続される第3キャパシタと、前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5PMOSトランジスタとを含むことができる。

40

【0009】

一実施形態において、左画像を表示するための第1表示動作と右画像を表示するための第2表示動作が交互に遂行され、前記第1表示動作と前記第2表示動作は各々同時発光（

50

s i m u l t a n e o u s e m i s s i o n) 方式で遂行されることがある。

【 0 0 1 0 】

一実施形態において、前記第1表示動作は、第1予備データ記入動作、第1リセット動作、第1しきい電圧補償動作、第1データ記入動作、及び第1発光動作を含み、前記第2表示動作は、第2予備データ記入動作、第2リセット動作、第2しきい電圧補償動作、第2データ記入動作、及び第2発光動作を含むことができる。

【 0 0 1 1 】

一実施形態において、前記第1発光動作と前記第2予備データ記入動作が同時に遂行され、前記第2発光動作と前記第1予備データ記入動作が同時に遂行されることがある。

【 0 0 1 2 】

一実施形態において、前記第1予備データ記入動作が遂行される時、前記第4PMOSトランジスタはターンオフ(t u r n - o f f)され、前記スキャンラインを経て印加されるスキャン信号に応答して前記第5PMOSトランジスタがターンオン(t u r n - o n)されると、前記データラインを経て印加される第1画像データが前記第3キャパシタに記憶されることができ、前記第2予備データ記入動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記スキャンラインを経て印加されるスキャン信号に応答して前記第5PMOSトランジスタがターンオンされると、前記データラインを経て印加される第2画像データが前記第3キャパシタに記憶される。

【 0 0 1 3 】

一実施形態において、前記第1リセット動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオフされて、前記第2PMOSトランジスタもターンオフされ、前記第2電源電圧はハイ電圧(h i g h v o l t a g e)レベルを有し、前記第1電源電圧はロー電圧(l o w v o l t a g e)レベルを有することができ、前記第2リセット動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタもターンオフされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧はロー電圧レベルを有することができる。

【 0 0 1 4 】

一実施形態において、前記第1しきい電圧補償動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオンされ、前記第3PMOSトランジスタはターンオンされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧もハイ電圧レベルを有することができ、前記第2しきい電圧補償動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオンされ、前記第3PMOSトランジスタはターンオンされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧もハイ電圧レベルを有することができる。

【 0 0 1 5 】

一実施形態において、前記第1データ記入動作が遂行される時、前記第4PMOSトランジスタはターンオンされ、前記第3PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオフされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧もハイ電圧レベルを有することができ、前記第2データ記入動作が遂行される時、前記第4PMOSトランジスタはターンオンされ、前記第3PMOSトランジスタはターンオフされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧もハイ電圧レベルを有することができる。

【 0 0 1 6 】

一実施形態において、前記第1発光動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオフされ、前記第2PMOSトランジスタはターンオフされ、前記第2電源電圧はロー電圧レベルを有し、前記第1電源電圧はハイ電圧レベルを有することができ、前記第2発光動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオフされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧もハイ電圧レベルを有することができる。

10

20

30

40

50

フされ、前記第2PMOSトランジスタはターンオフされ、前記第2電源電圧はロー電圧レベルを有し、前記第1電源電圧はハイ電圧レベルを有することができる。

【0017】

一実施形態において、前記第1表示動作は、第1オフバイアス印加動作をさらに含み、前記第2表示動作は、第2オフバイアス印加動作をさらに含むことができる。

【0018】

一実施形態において、前記第1オフバイアス印加動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオンされ、前記第2PMOSトランジスタもターンオンされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧はロー電圧レベルを有することができ、前記第2オフバイアス印加動作が遂行される時、前記第4PMOSトランジスタはターンオフされ、前記第3PMOSトランジスタはターンオンされ、前記第2PMOSトランジスタもターンオンされ、前記第2電源電圧はハイ電圧レベルを有し、前記第1電源電圧はロー電圧レベルを有することができる。

10

【0019】

一実施形態において、前記画素回路は前記有機発光ダイオードの前記アノード電極と前記有機発光ダイオードの前記カソード電極との間に接続される補助キャパシタをさらに含むことができる。

【0020】

本発明の一目的を達成するために、本発明の実施形態に係る画素回路は、カソード電極が第2電源電圧に接続される有機発光ダイオードと、第1電源電圧と前記有機発光ダイオードのアノード電極との間に接続され、ゲート端子が第1ノードに接続される第1PMOSトランジスタと、前記第1ノードと前記有機発光ダイオードの前記アノード電極との間に接続され、ゲート端子が補償制御信号を受信する第2PMOSトランジスタと、第2ノードと前記第1ノードとの間に接続される第1キャパシタと、前記第1電源電圧と前記第2ノードとの間に接続される第2キャパシタと、データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受信する第3PMOSトランジスタと、第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4PMOSトランジスタと、前記第3ノードと補助電源電圧の間に接続される第3キャパシタと、前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5PMOSトランジスタとを含むことができる。

20

30

【0021】

一実施形態において、左画像を表示するための第1表示動作と右画像を表示するための第2表示動作が交互に遂行され、前記第1表示動作と前記第2表示動作は各々同時発光(simultaneous emission)方式で遂行されることができる。

【0022】

一実施形態において、前記第1表示動作は、第1予備データ記入動作、第1リセット動作、第1しきい電圧補償動作、第1データ記入動作、及び第1発光動作を含み、前記第2表示動作は、第2予備データ記入動作、第2リセット動作、第2しきい電圧補償動作、第2データ記入動作、及び第2発光動作を含むことができる。

40

【0023】

一実施形態において、前記第1発光動作と前記第2予備データ記入動作が同時に遂行され、前記第2発光動作と前記第1予備データ記入動作が同時に遂行されることができる。

【0024】

一実施形態において、前記第1表示動作は、第1オフバイアス印加動作をさらに含み、前記第2表示動作は、第2オフバイアス印加動作をさらに含むことができる。

【0025】

一実施形態において、前記画素回路は前記有機発光ダイオードの前記アノード電極と前記有機発光ダイオードの前記カソード電極との間に接続される補助キャパシタをさらに含むことができる。

50

【0026】

本発明の一目的を達成するために、本発明の実施形態に係る画素回路は、アノード電極が第1電源電圧に接続される有機発光ダイオードと、第2電源電圧と前記有機発光ダイオードのカソード電極との間に接続され、ゲート端子が第1ノードに接続される第1NMOSトランジスタと、前記第1ノードと前記有機発光ダイオードの前記カソード電極との間に接続され、ゲート端子が補償制御信号を受信する第2NMOSトランジスタと、第2ノードと前記第1ノードとの間に接続される第1キャパシタと、前記第2電源電圧と前記第2ノードとの間に接続される第2キャパシタと、データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受信する第3NMOSトランジスタ、第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4NMOSトランジスタと、前記第3ノードと前記第3NMOSトランジスタの前記ゲート端子との間に接続される第3キャパシタと、前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5NMOSトランジスタとを含むことができる。

10

【0027】

本発明の一目的を達成するために、本発明の実施形態に係る画素回路は、アノード電極が第1電源電圧に接続される有機発光ダイオードと、第2電源電圧と前記有機発光ダイオードのカソード電極の間に接続され、ゲート端子が第1ノードに接続される第1NMOSトランジスタと、前記第1ノードと前記有機発光ダイオードの前記カソード電極との間に接続され、ゲート端子が補償制御信号を受信する第2NMOSトランジスタと、第2ノードと前記第1ノードとの間に接続される第1キャパシタと、前記第2電源電圧と前記第2ノードとの間に接続される第2キャパシタと、データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御信号を受信する第3NMOSトランジスタと、第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4NMOSトランジスタと、前記第3ノードと補助電源電圧との間に接続される第3キャパシタと、前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5NMOSトランジスタとを含むことができる。

20

【0028】

本発明の他の目的を達成するために、本発明の実施形態に係る有機発光表示装置は画素部、スキャン駆動部、データ駆動部、タイミング制御部、制御信号生成部、及び電源部を含むことができ、前記画素部に備わる複数の画素回路の各々は、カソード電極が第2電源電圧に接続される有機発光ダイオード、第1電源電圧と前記有機発光ダイオードのアノード電極との間に接続され、ゲート端子が第1ノードに接続される第1PMOSトランジスタと、前記第1ノードと前記有機発光ダイオードの前記アノード電極の間に接続され、ゲート端子が補償制御信号を受信する第2PMOSトランジスタと、第2ノードと前記第1ノードとの間に接続される第1キャパシタと、前記第1電源電圧と前記第2ノードとの間に接続される第2キャパシタと、データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御を受信する第3PMOSトランジスタと、第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4PMOSトランジスタと、前記第3ノードと前記第3PMOSトランジスタの前記ゲート端子との間に接続される第3キャパシタと、前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5PMOSトランジスタとを含むことができる。

30

【0029】

一実施形態において、左画像を表示するための第1表示動作と右画像を表示するための第2表示動作が交互に遂行され、前記第1表示動作と前記第2表示動作は各々同時発光(simultaneous emission)方式で遂行されることができる。

40

【0030】

一実施形態において、前記第1表示動作は、第1予備データ記入動作、第1リセット動作、第1しきい電圧補償動作、第1データ記入動作、及び第1発光動作を含み、前記第2表示動作は、第2予備データ記入動作、第2リセット動作、第2しきい電圧補償動作、第

50

2データ記入動作、及び第2発光動作を含み、前記第1発光動作と前記第2予備データ記入動作は同時に遂行され、前記第2発光動作と前記第1予備データ記入動作は同時に遂行されることができる。

【0031】

一実施形態において、前記第1表示動作は、第1オフバイアス印加動作をさらに含み、前記第2表示動作は、第2オフバイアス印加動作をさらに含むことができる。

【0032】

本発明の他の目的を達成するために、本発明の実施形態に係る有機発光表示装置は画素部、スキャン駆動部、データ駆動部、タイミング制御部、制御信号生成部、及び電源部を含むことができ、前記画素部に備わる複数の画素回路の各々は、カソード電極が第2電源電圧に接続される有機発光ダイオード、第1電源電圧と前記有機発光ダイオードのアノード電極との間に接続され、ゲート端子が第1ノードに接続される第1PMOSトランジスタと、前記第1ノードと前記有機発光ダイオードの前記アノード電極との間に接続され、ゲート端子が補償制御信号を受信する第2PMOSトランジスタと、第2ノードと前記第1ノードとの間に接続される第1キャパシタと、前記第1電源電圧と前記第2ノードとの間に接続される第2キャパシタと、データラインと前記第2ノードとの間に接続され、ゲート端子が前記補償制御を受信する第3PMOSトランジスタと、第3ノードと前記第2ノードとの間に接続され、ゲート端子が発光制御信号を受信する第4PMOSトランジスタと、前記第3ノードと補助電源電圧との間に接続される第3キャパシタと、及び前記データラインと前記第3ノードとの間に接続され、ゲート端子がスキャンラインに接続される第5PMOSトランジスタとを含むことができる。

10

20

30

40

50

【0033】

一実施形態において、左画像を表示するための第1表示動作と右画像を表示するための第2表示動作が交互に遂行され、前記第1表示動作と前記第2表示動作は、各々同時発光(simultaneous emission)方式で遂行されることができる。

【0034】

一実施形態において、前記第1表示動作は、第1予備データ記入動作、第1リセット動作、第1しきい電圧補償動作、第1データ記入動作、及び第1発光動作を含み、前記第2表示動作は、第2予備データ記入動作、第2リセット動作、第2しきい電圧補償動作、第2データ記入動作、及び第2発光動作を含み、前記第1発光動作と前記第2予備データ記入動作は同時に遂行され、前記第2発光動作と前記第1予備データ記入動作は同時に遂行されることがある。

【0035】

一実施形態において、前記第1表示動作は、第1オフバイアス印加動作をさらに含み、前記第2表示動作は、第2オフバイアス印加動作をさらに含むことができる。

【0036】

本発明のまた他の目的を達成するために、本発明の実施形態に係る画素回路駆動方法は左画像を表示するための第1表示動作と右画像を表示するための第2表示動作を交互に遂行し、前記第1表示動作と前記第2表示動作を各々同時発光(simultaneous emission)方式で遂行することにおいて、前記第1表示動作の第1発光動作と前記第2表示動作の第2予備データ記入動作を同時に遂行する段階と、前記第1発光動作が完了すると、前記第2表示動作の第2リセット動作、第2しきい電圧補償動作、及び第2データ記入動作を遂行する段階と、前記第2表示動作の第2発光動作と前記第1表示動作の第1予備データ記入動作を同時に遂行する段階と、前記第2発光動作が完了すると、前記第1表示動作の第1リセット動作、第1しきい電圧補償動作、及び第1データ記入動作を遂行する段階とを含むことができる。

【0037】

一実施形態において、前記画素回路駆動方法は、前記第1リセット動作以前に前記第1表示動作の第1オフバイアス印加動作を遂行する段階、及び前記第2リセット動作以前に前記第2表示動作の第2オフバイアス印加動作を遂行する段階をさらに含むことができる

。

【発明の効果】

【0038】

本発明の実施形態に係る画素回路は、有機発光表示装置が同時発光方式で左画像と右画像を各々表示して立体画像を具現するとき、左画像の発光時に右画像データを記入し、右画像の発光時に左画像データを記入することによって、従来に比べて高速で動作しながらも消費電力を減少（即ち、輝度を増加）させることができる。

【0039】

本発明の実施形態に係る画素回路駆動方法は有機発光表示装置が同時発光方式で左画像と右画像を各々表示して立体画像を具現するとき、それぞれの画素回路に対し左画像の発光時に右画像データを記入し、右画像の発光時に左画像データを記入することができる。

10

【0040】

本発明の実施形態に係る有機発光表示装置は、同時発光方式で左画像と右画像を各々表示して立体画像を具現することにおいて、前記画素回路を含むことによって高速で動作しながらも消費電力を減少（即ち、輝度を増加）させることができる。

【0041】

ただし、本発明の効果はこれに限定されるのではなく、本発明の思想、及び領域から逸脱しない範囲で多様に拡張される。

【図面の簡単な説明】

【0042】

20

【図1】本発明の実施形態に係る画素回路を示す回路図である。

【図2】有機発光表示装置が同時発光方式で左画像と右画像を表示することによって、立体画像を具現する一例を示す図面である。

【図3】図1の画素回路を具備する有機発光表示装置で立体画像が具現される一例を示す図面である。

【図4】図1の画素回路が動作する一例を示すタイミング図である。

【図5】図1の画素回路が動作する一例を示すタイミング図である。

【図6】図1の画素回路が動作する一例を示すタイミング図である。

【図7】図1の画素回路が動作する一例を示すタイミング図である。

【図8】図1の画素回路が動作する一例を示すタイミング図である。

30

【図9】図1の画素回路が動作する他の例を示すタイミング図である。

【図10】本発明の実施形態に係る画素回路を示す回路図である。

【図11】本発明の実施形態に係る画素回路を示す回路図である。

【図12】図11の画素回路が動作する一例を示すタイミング図である。

【図13】図11の画素回路が動作する一例を示すタイミング図である。

【図14】図11の画素回路が動作する一例を示すタイミング図である。

【図15】図11の画素回路が動作する一例を示すタイミング図である。

【図16】図11の画素回路が動作する一例を示すタイミング図である。

【図17】本発明の実施形態に係る画素回路を示す回路図である。

40

【図18】本発明の実施形態に係る画素回路駆動方法を示すフローチャートである。

【図19】本発明の実施形態に係る画素回路駆動方法を示すフローチャートである。

【図20】本発明の実施形態に係る有機発光表示装置を示すブロック図である。

【図21】図20の有機発光表示装置を含むシャッタメガネ方式の立体画像表示システムを示す図面である。

【図22】図20の有機発光表示装置を含むパララックスバリア方式の立体画像表示システムを示す図面である。

【図23】図20の有機発光表示装置を含む電子機器を示すブロック図である。

【発明を実施するための形態】

【0043】

本明細書に開示されている本発明の実施形態に対して、特定の構造的、機能的説明は

50

、単に本発明の実施形態を説明するための目的で例示されたものであり、本発明の実施形態は多様な形態で実施することができ、本明細書に説明された実施形態に限定されるものではない。

【0044】

本発明は多様な変更を加えることができ、種々の形態を有することができるが、特定の実施形態を図面に例示して本明細書に詳細に説明する。しかし、これは本発明を特定の開示形態に限定しようとするものではなく、本発明の思想、及び技術範囲に含まれるすべての変更、均等物、代替物を含むと理解するべきである。

【0045】

本明細書において、第1、第2等の用語は多様な構成要素を説明するのに使用しているが、これらの構成要素がこのような用語によって限定されるものではない。これらの用語は一つの構成要素を他の構成要素から区別する目的で使い、例えば、本発明の権利範囲から逸脱しなければ第1構成要素は第2構成要素と命名することができ、同様に第2構成要素も第1構成要素と命名できる。

10

【0046】

ある構成要素が他の構成要素に「連結されて」いる、または「接続されて」いると言及した場合には、その他の構成要素に直接的に連結されていたり、接続されていることも意味するが、中間に他の構成要素が存在する場合も含む。一方、ある構成要素が他の構成要素に「直接連結されて」いる、または「直接接続されて」いると言及した場合には、中間に他の構成要素は存在しない。構成要素の間の関係を説明する他の表現、すなわち「～間に」と「直接～間に」または「～に隣接する」と「～に直接隣接する」等も同様である。

20

【0047】

本明細書で使用した用語は、単に特定の実施形態を説明するために使用したものであり、本発明を限定するものではない。単数の表現は文脈上明白に異なるように意味しない限り、複数の表現を含む。また、本明細書で、「含む」又は「有する」等の用語は、明細書上に記載された特徴、数字、段階、動作、構成要素、部品又は、これを組み合わせたものが存在するということを示すものであって、一つ又はそれ以上の他の特徴や数字、段階、動作、構成要素、部品又は、これを組み合わせたものなどの存在又は、付加の可能性を、予め排除するものではない。

30

【0048】

また、別に定義しない限り、技術的あるいは科学的用語を含み、本明細書中において使用される全ての用語は、本発明が属する技術分野で通常の知識を有する者であれば、一般的に理解すること同一の意味を有する。一般的に使用される辞書において定義する用語と同じ用語は、関連技術の文脈上で有する意味と一致する意味を有するものと理解するべきで、本明細書において明白に定義しない限り、理想的あるいは形式的な意味として解釈してはならない。

40

【0049】

以下、図面を参照して、本発明の望ましい実施をするための形態の具体例を詳細に説明する。図面の同一構成要素については同一参照符号を使用し、同一構成要素についての重複した説明は省略する。

40

【0050】

図1は本発明の実施形態に係る画素回路を示す回路図である。

【0051】

図1を参照すれば、画素回路100は有機発光ダイオード(organic light emitting diode; OLED)、第1～第5PMOS(p-channel metal oxide semiconductor)トランジスタPT1, ..., PT5、及び、第1～第3キャパシタC1, ..., C3を含むことができる。前記画素回路100は、いわゆる5T-3C構造(即ち、5個のトランジスタと3個のキャパシタで構成された構造)と命名できる。一実施形態において、前記画素回路100は有機発光ダイオードOLEDのアノード電極とカソード電極との間に接続される補助キャパシタC4

50

をさらに含むことができる。

【0052】

有機発光ダイオードOLEDは、第2電源電圧ELVSSと第1PMOSトランジスタPT1との間に接続されることがある。具体的に、有機発光ダイオードOLEDのカソード電極が第2電源電圧ELVSSに接続され、有機発光ダイオードOLEDのアノード電極が第1PMOSトランジスタPT1の一端に接続される。これに、有機発光ダイオードOLEDは、第1PMOSトランジスタPT1により調節される電流に基づいて発光することができる。第1PMOSトランジスタPT1は、第1電源電圧ELVDDと有機発光ダイオードOLEDのアノード電極との間に接続され、ゲート端子が第1ノードN1に接続されることがある。そこで、第1PMOSトランジスタPT1は、いわゆる駆動トランジスタ(*driving transistor*)として、有機発光ダイオードOLEDに流れる電流を調節することができる。図1に示した通り、前記第1ノードN1は、第1キャパシタC1の一端、第2PMOSトランジスタPT2の一端、及び第1PMOSトランジスタPT1のゲート端子が互いに接続されるノードである。第2PMOSトランジスタPT2は前記第1ノードN1と有機発光ダイオードOLEDのアノード電極との間に接続され、ゲート端子が補償制御信号TCSを受信することができる。具体的に、第2PMOSトランジスタPT2の一端が前記第1ノードN1に接続され、第2PMOSトランジスタPT2の他端が第1PMOSトランジスタPT1の一端に接続される。これに、第2PMOSトランジスタPT2が補償制御信号TCSに応答してターンオンされると、第1PMOSトランジスタPT1はダイオード接続(*diode-coupled*)できる。

10

20

30

40

【0053】

第1キャパシタC1は、第1ノードN1と第2ノードN2との間に接続されることがある。具体的に、第1キャパシタC1の一端は第1ノードN1に接続され、第1キャパシタC1の他端は第2ノードN2に接続される。この時、第1キャパシタC1は、しきい電圧補償キャパシタ(*threshold voltage compensation capacitor*)と命名できる。図1に示した通り、前記第2ノードN2は、第1キャパシタC1の一端、第2キャパシタC2の一端、第3PMOSトランジスタPT3の一端、及び第4PMOSトランジスタPT4の一端が互いに接続されるノードである。第2キャパシタC2は、第1電源電圧ELVDDと第2ノードN2との間に接続されることがある。この時、第2キャパシタC2は、ストレージキャパシタ(*storage capacitor*)と命名できる。具体的に、第2キャパシタC2の一端は第2ノードN2に接続され、第2キャパシタC2の他端は第1電源電圧ELVDDに接続される。第3PMOSトランジスタPT3はデータラインDLと第2ノードN2との間に接続され、ゲート端子が補償制御信号TCSを受信することができる。具体的に、第3PMOSトランジスタPT3は一端が第2ノードN2に接続され、他端がデータラインDLに接続され、ゲート端子が第2PMOSトランジスタPT2のゲート端子に接続される。第4PMOSトランジスタPT4は第3ノードN3と第2ノードN2との間に接続され、ゲート端子が発光制御信号ECSを受信することができる。具体的に、第4PMOSトランジスタPT4は一端が第2ノードN2に接続され、他端が第3ノードN3に接続される。図1に示した通り、第3ノードN3は第4PMOSトランジスタPT4の一端、第5PMOSトランジスタPT5の一端、及び第3キャパシタC3の一端が互いに接続されるノードである。

【0054】

第3キャパシタC3は第3ノードN3と第3PMOSトランジスタPT3のゲート端子との間に接続されることがある。具体的に、第3キャパシタC3の一端は第3ノードN3に接続され、第3キャパシタC3の他端は第3PMOSトランジスタPT3のゲート端子に接続される。第5PMOSトランジスタPT5は、データラインDLと第3ノードN3との間に接続され、ゲート端子がスキャンラインSLに接続されることがある。具体的に、第5PMOSトランジスタPT5の一端は、第3ノードN3に接続され、他端はデータラインDLに接続され、ゲート端子はスキャンラインSLに接続される。一方、データ

50

タライン D L は有機発光表示装置のデータ駆動部に接続されてデータ信号（例えば、左画像データ、または、右画像データ）を提供し、スキャンライン S L は有機発光表示装置のスキャン駆動部に接続されてスキャン信号を提供することができる。上述した通り、画素回路 1 0 0 は有機発光ダイオード O L E D、第 1 ~ 第 5 P M O S トランジスタ P T 1, ..., P T 5、及び、第 1 ~ 第 3 キャパシタ C 1, ..., C 3 に基づいて同時発光方式で左画像と右画像を各々表示することによって立体画像を実現でき、左画像が図 1 の画素回路 1 0 0 で同時に表示される時、右画像データが図 1 の画素回路 1 0 0 に順次に記入され、右画像が図 1 の画素回路 1 0 0 で同時に表示されるとき、左画像データが図 1 の画素回路 1 0 0 に順次に記入されることがある。

【0055】

図 1 に示した通り、図 1 の画素回路 1 0 0 は第 1 領域 F A と第 2 領域 S A に分離することができる。説明の便宜上、第 1 領域 F A は、第 3 キャパシタ C 3、及び第 5 P M O S トランジスタ P T 5 で構成され、第 2 領域 S A は第 1 及び第 2 キャパシタ C 1、C 2、並びに、第 1 ~ 第 4 P M O S トランジスタ P T 1, ..., P T 4 で構成されることで仮定する。この時、第 4 P M O S トランジスタ P T 4 がターンオン（turn-on）状態か、または、ターンオフ（turn-off）状態かによって第 1 領域 F A と第 2 領域 S A は互いに接続されることもでき、互いに分離することもできる。即ち、第 4 P M O S トランジスタ P T 4 がターンオン状態の場合、第 1 領域 F A と第 2 領域 S A は接続され、第 3 キャパシタ C 3 に記憶されたデータ信号（例えば、左画像データまたは右画像データ）が第 2 領域 S A に伝達されることができ、第 4 P M O S トランジスタ P T 4 がターンオフ状態の場合、第 1 領域 F A と第 2 領域 S A は分離し、第 1 領域 F A と第 2 領域 S A が互いに独立的な動作を遂行（即ち、発光動作と予備データ記入動作を同時に遂行）することができる。例えば、発光制御信号 E C S に応答して第 4 P M O S トランジスタ P T 4 がターンオフ状態の場合、第 1 及び第 2 P M O S トランジスタ P T 1、P T 2、第 1 及び第 2 キャパシタ C 1、C 2、並びに、有機発光ダイオード O L E D によって第 1 画像（例えば、左画像または右画像）が表示される時、スキャンライン S L を介して入力されるスキャン信号に応答して第 5 P M O S トランジスタ P T 5 がターンオンされると、データライン D L を介して入力される第 2 画像データ（例えば、右画像データまたは左画像データ）が第 3 キャパシタ C 3 に記入されることができる。以下、前記画素回路 1 0 0 の動作をより具体的に後述する。

【0056】

図 2 は有機発光表示装置が同時発光方式で左画像と右画像を表示することによって立体画像を具現する一例を示す図面である。

【0057】

図 2 を参照すれば、図 2 は有機発光表示装置が同時発光方式で左画像 L _ I M G と右画像 R _ I M G を表示することによって立体画像を具現することを示している。一般的に、立体画像は、左画像 L _ I M G と右画像 R _ I M G が交互に表示され、左画像 L _ I M G と右画像 R _ I M G が各々左眼と右眼に交互に提供されることによって具現される。例えば、シャッタメガネ方式の場合、左画像 L _ I M G が表示される時、シャッタメガネの左シャッタが開き、右画像 R _ I M G が表示される時、シャッタメガネの右シャッタが開かれる方式で立体画像が具現できる。この時、前記動作は、視聴者がその時間的差を感じないほど非常に速く反復されるから、交互に表示される左画像 L _ I M G と右画像 R _ I M G が重なって立体画像に見えることになる。しかし、従来の有機発光表示装置は順次発光方式で左画像 L _ I M G と右画像 R _ I M G を各々表示し、左画像 L _ I M G と右画像 R _ I M G を分離するためのブラック画像 B _ I M G をその間に挿入するから、ブラック画像 B _ I M G による輝度低下と消費電力の増加が問題となっている。これに、図 1 の画素回路 1 0 0 を含む有機発光表示装置は、図 2 に示したように同時発光方式で左画像 L _ I M G と右画像 R _ I M G を各々表示する。その結果、左画像 L _ I M G と右画像 R _ I M G との間に挿入されるブラック画像 B _ I M G が表示される時間が減少できる。さらに、図 1 の画素回路 1 0 0 は第 4 P M O S トランジスタ P T 4 で分離する第 1 領域 F A と

10

20

30

40

50

第2領域S Aを含む固有(unique)構造を有しているから、左画像L_IMGの発光時に右画像データを記入し、右画像R_IMGの発光時に左画像データを記入することによって高速で動作(即ち、駆動周波数が減少)することができる。

【0058】

このように、図1の画素回路100を含む有機発光表示装置は従来に比べてブラック画像B_IMGが表示される時間が減少するから輝度が改善されることができて、左画像L_IMGの発光時に右画像データが記入されて右画像R_IMGの発光時に左画像データを記入されるから高速で動作することができる。例えば、60Hzの左画像L_IMG、ブラック画像B_IMG、右画像R_IMG、ブラック画像B_IMGを順次に反復表示しなければならない従来の有機発光表示装置が総240Hzで立体画像を実現できることに反して、図1の画素回路100を含む有機発光表示装置はブラック画像B_IMGが表示される時間が最小化される場合、60Hzの左画像L_IMGと右画像R_IMGを順次に反復表示するので、総120Hzで立体画像を具現することができる。さらに、図1の画素回路100を含む有機発光表示装置は従来の有機発光表示装置に比べてデータ充電時間(data charging time)を2倍に確保することができ、ピーク電流(peak current)が半分に減少するから寿命が延び、輝度が改善されて消費電力を半分に減少させることができる。図1の画素回路100は図2に示した同時発光方式に基づいて左画像または右画像(即ち、1つのフレーム(frame))を表示するために、予備データ記入動作、リセット動作、しきい電圧補償動作、データ記入動作、及び発光動作を順次に遂行できる。この時、図1の画素回路100に対して予備データ記入動作はスキャンラインSL別に順次に遂行されるか、リセット動作、しきい電圧補償動作、データ記入動作、及び発光動作はすべての画素回路100で同時に遂行される。

10

20

30

40

【0059】

図3は図1の画素回路を具備する有機発光表示装置で立体画像が具現される一例を示す図面である。

【0060】

図3を参照すれば、図3には第1画像(例えば、左画像)L_IMGを表示するための第1表示動作と第2画像(例えば、右画像)R_IMGを表示するための第2表示動作が交互に遂行され、図1の画素回路に基づいて前記第1表示動作と前記第2表示動作が各々同時発光方式で遂行されることによって、立体画像が具現されること例が具体的に図示されている。

30

【0061】

図3に示した通り、第1画像L_IMGを表示するための第1表示動作は、第1予備データ記入動作F P D P、第1リセット動作F I P、第1しきい電圧補償動作F V P、第1データ記入動作F W P、及び第1発光動作F E Pを含むことができ、第2画像R_IMGを表示するための第2表示動作は第2予備データ記入動作S P D P、第2リセット動作S I P、第2しきい電圧補償動作S V P、第2データ記入動作S W P、及び第2発光動作S E Pを含むことができる。この時、第1画像L_IMGを表示するための第1表示動作の第1発光動作F E Pと第2画像R_IMGを表示するための第2表示動作の第2予備データ記入動作S P D Pは、図1の画素回路100で同時に遂行されることができ、第2画像R_IMGを表示するための第2表示動作の第2発光動作S E Pと第1画像L_IMGを表示するための第1表示動作の第1予備データ記入動作F P D Pは、図1の画素回路100で同時に遂行されることができる。即ち、第1画像L_IMGを表示するための第1表示動作の第1発光動作F E Pと第2画像R_IMGを表示するための第2表示動作の第2予備データ記入動作S P D Pは、互いにオーバーラップ(overlap)でき、第2画像R_IMGを表示するための第2表示動作の第2発光動作S E Pと第1画像L_IMGを表示するための第1表示動作の第1予備データ記入動作F P D Pも互いにオーバーラップされるができる。

【0062】

図3に示した通り、視聴者は左画像L_IMG、ブラック画像B_IMG、右画像R_IMG

50

IMG、ブラック画像B_IMGを順次に反復視聴するが、前記動作は視聴者がその時間的差を感じないほど非常に速く反復されるから、視聴者はこれを立体画像と感じることになる。ただし、説明の便宜のために図3にはブラック画像B_IMGが表示される時間が大きく示されているが、図1の画素回路100を含む有機発光表示装置では左画像L_IMGを表示するための第1表示動作と右画像R_IMGを表示するための第2表示動作が、各々同時発光方式で遂行されるから、ブラック画像B_IMGが表示される時間は、左画像L_IMGが表示される時間と右画像が表示される時間に比べて相対的に短すぎることもある。これに、図1の画素回路100を含む有機発光表示装置は従来に比べて輝度が改善されることができ、高速で動作（即ち、駆動周波数が減少）することができる。以下、図4～図8を参照して、図1の画素回路100の動作を具体的に説明する。

10

【0063】

図4～図8は、図1の画素回路が動作する一例を示すタイミング図である。

【0064】

図4～図8を参照すれば、第1画像（例えば、左画像）のため第1表示動作は、第1予備データ記入動作F_PDP、第1リセット動作F_IP、第1しきい電圧補償動作F_VP、第1データ記入動作F_WP、及び第1発光動作F_EPを含み、第2画像（例えば、右画像）を表示するための第2表示動作は第2予備データ記入動作S_PDP、第2リセット動作S_IP、第2しきい電圧補償動作S_VP、第2データ記入動作S_WP、及び第2発光動作S_EPを含むことができる。この時、図1の画素回路100に対して、第1及び第2予備データ記入動作F_PDP、S_PDPは、スキャンラインSL別に順次に遂行されるか、または、第1及び第2リセット動作F_IP、S_IP、第1及び第2しきい電圧補償動作F_VP、S_VP、第1及び第2データ記入動作F_WP、S_WP、並びに、第1及び第2発光動作F_EP、S_EPは、すべての画素回路100で同時に遂行される。一方、第1予備データ記入動作F_PDP、第1リセット動作F_IP、第1しきい電圧補償動作F_VP、第1データ記入動作F_WP、及び第1発光動作F_EPは、各々第1予備データ記入区間PA、第1リセット区間PB、第1しきい電圧補償区間PC、第1データ記入区間PD、及び第1発光区間PEに相応し、第2予備データ記入動作S_PDP、第2リセット動作S_IP、第2しきい電圧補償動作S_VP、第2データ記入動作S_WP、及び第2発光動作S_EPは、各々第2予備データ記入区間PA、第2リセット区間PB、第2しきい電圧補償区間PC、第2データ記入区間PD、及び第2発光区間PEに相応する。ただし、説明の便宜のために、図4～図8では第1画像を表示するための第1表示動作を基準として説明する。図4～図8に示した通り、前記第1表示動作と前記第2表示動作が各々時間的に区分されるので、シャッタメガネ方式の立体画像表示システム、パララックスバリア方式の立体画像表示システムなどに適合する。

20

30

40

50

【0065】

一実施形態において、第1電源電圧ELVDDは複数の電圧レベルを有する反面、第2電源電圧ELVSSは、固定された電圧レベル（例えば、0V）を有することができる。この場合、第2電源電圧ELVSSが固定された電圧レベルを有するから第2電源電圧ELVSSを提供するための構成が単純化されるが、第1電源電圧ELVDDが複数の電圧レベル（例えば、負の電圧レベルが必要）を有するようにするための構成が複雑にあることがある。他の実施形態において、第1電源電圧ELVDDは、複数の電圧レベルを有し、第2電源電圧ELVSSも複数の電圧レベルを有することができる。この場合、駆動波形が単純になることができるが、第1及び第2電源電圧ELVDD、ELVSSが、各々複数の電圧レベルを有するようにするための構成が複雑にあることがある。また他の実施形態において、第1電源電圧ELVDDは固定された電圧レベル（例えば、12V）を有する反面、第2電源電圧ELVSSは複数の電圧レベルを有することができる。この場合、第1電源電圧ELVDDが固定された電圧レベルを有するから第1電源電圧ELVDDを提供するための構成が単純化されるが、第2電源電圧ELVSSが複数の電圧レベル（例えば、正の電圧レベルが必要）を有するようにするための構成が複雑にあることがある。このように、第1電源電圧ELVDDと第2電源電圧ELVSSは、要求される条件に

より多様に設定されることができる。ただし、説明の便宜のために、第1電源電圧E L V D Dと第2電源電圧E L V S Sは、互いの関係においてハイ電圧(h i g h v o l t a g e)レベルとロー電圧(l o w v o l t a g e)レベルを有することと単純化して説明する。

【0066】

図4を参照すれば、第1予備データ記入区間P Aで第1予備データ記入動作F P D Pが遂行されることがある。上述した通り、第1画像を表示するための第1表示動作の第1予備データ記入動作F P D Pと第2画像を表示するための第2表示動作の第2発光動作S E Pは同時に遂行されることがある。即ち、第1予備データ記入区間P Aで図1の画素回路100に第1画像データD A T Aが記入されると同時に、図1の画素回路100に記入されていた第2画像データに基づいて第2画像が出力されることがある。具体的に、第1予備データ記入区間P Aで、図1の画素回路100に印加される第1電源電圧E L V D Dはハイ電圧レベルを有し、第2電源電圧E L V S Sはロー電圧レベルを有する。また、発光制御信号E C Sは、ハイ電圧レベルを有し、しきい電圧補償信号T C Sはハイ電圧レベルを有する。これに、図1の画素回路100で、第3及び第4PMOSトランジスタP T 3、P T 4はターンオフされる。特に、第4PMOSトランジスタP T 4がターンオフされるから、図1の画素回路100は第1領域F Aと第2領域S Aに分離し、第1領域F Aと第2領域S Aは、互いに独立的な動作を遂行できる。その結果、第1領域F AではスキャンラインS Lを経て印加されるスキャン信号に応答して、第5PMOSトランジスタP T 5がターンオンされると、データラインを経て印加される第1画像データD A T Aが第3キャバシタC 3に記憶されることがある。また、第2領域S Aでは有機発光ダイオードO L E Dが、ハイ電圧レベルの第1電源電圧E L V D Dからロー電圧レベルの第2電源電圧E L V S Sに流れる電流に基づいて発光することができる。
10

【0067】

図4に示した通り、有機発光表示装置に含まれる図1の画素回路100に第1電源電圧E L V D D、第2電源電圧E L V S S、発光制御信号E C S、及びしきい電圧補償信号T C Sは、同時に(即ち、一括的に)印加される反面、第1画像データD A T Aは、図1の画素回路100に順次に(即ち、図1の画素回路100の各々でスキャン信号がロー電圧レベルを有して第5PMOSトランジスタP T 5がターンオンされる時)印加される。即ち、第1電源電圧E L V D D、第2電源電圧E L V S S、発光制御信号E C S、及びしきい電圧補償信号T C Sは、全区間で図1の画素回路100に同時に印加される反面、第1画像データD A T Aは、第1予備データ記入区間P Aで図1の画素回路100に順次に印加され、第1リセット区間P B、第1しきい電圧補償区間P C、第1データ記入区間P D、及び第1発光区間P Eでは同時に印加される。従って、第1画像を表示するための第1表示動作の第1予備データ記入動作F P D Pは、有機発光表示装置に含まれる図1の画素回路100で順次に遂行され、第2画像を表示するための第2表示動作の第2発光動作S E Pは有機発光表示装置に含まれる図1の画素回路100で同時に遂行される。このように、図1の画素回路100を含む有機発光表示装置では、図1の画素回路100が第2画像(即ち、右画像または左画像)を表示する時、第1画像データD A T A(即ち、左画像データまたは右画像データ)が図1の画素回路100の各々に含まれる第3キャバシタC 3に順次に記入され、図1の画素回路100が第1画像(即ち、左画像または右画像)を表示する時、第2画像データ(即ち、右画像データまたは左画像データ)が図1の画素回路100の各々に含まれる第3キャバシタC 3に順次に記入されることがある。
20

【0068】

図5を参照すれば、第1リセット区間P Bで第1リセット動作F I Pが遂行されることがある。具体的に、第1リセット区間P Bで、図1の画素回路100に印加される第1電源電圧E L V D Dはロー電圧レベルを有し、第2電源電圧E L V S Sはハイ電圧レベルを有する。また、発光制御信号E C Sはハイ電圧レベルを有し、しきい電圧補償信号T C Sもハイ電圧レベルを有する。これに、図1の画素回路100で、第3及び第4PMOSトランジスタP T 3、P T 4はターンオフされる。特に、第4PMOSトランジスタP T
30

10

20

30

40

50

4がターンオフされるから、図1の画素回路100は第1領域FAと第2領域SAに分離し、第1領域FAと第2領域SAは互いに独立的な動作を遂行できる。この時、第2電源電圧ELVSSが第1電源電圧ELVDDよりさらに大きいから、第2領域SAでは第1リセット動作FIPが遂行されることができ、有機発光ダイオードOLEDのアノード電極は、第2電源電圧ELVSSで初期化されることができる。即ち、図1の画素回路100は、第1リセット区間PBで有機発光ダイオードOLEDが発光しないように初期化及びリセットできる。図5に示した通り、有機発光表示装置に含まれる図1の画素回路100に第1電源電圧ELVDD、第2電源電圧ELVSS、発光制御信号ECS、及びしきい電圧補償信号TCSは同時に（即ち、一括的に）印加される。従って、第1画像を表示するための第1表示動作の第1リセット動作FIPは、有機発光表示装置に含まれる図1の画素回路100で同時に遂行される。

【0069】

図6を参照すれば、第1しきい電圧補償区間PCで第1しきい電圧補償動作FVPが遂行されることができる。具体的に、第1しきい電圧補償区間PCで、第1電源電圧ELVDDはハイ電圧レベルを有し、第2電源電圧ELVSSも同様にハイ電圧レベルを有する。一方、発光制御信号ECSは、ハイ電圧レベルを有する反面、しきい電圧補償信号TCSはロー電圧レベルを有する。これに、図1の画素回路100で、第2及び第3PMOSトランジスタPT2、PT3はターンオンされ、第4及び第5PMOSトランジスタPT4、PT5はターンオフされる。特に、第4PMOSトランジスタPT4がターンオフされるから、図1の画素回路100は、第1領域FAと第2領域SAに分離し、第1領域FAと第2領域SAは互いに独立的な動作を遂行できる。その結果、第1PMOSトランジスタPT1のゲート端子は第1電源電圧ELVDDから第1PMOSトランジスタPT1のしきい電圧Vthを減した電圧ELVDD-Vthができ、第2キャパシタC2には任意の高電圧、即ち、第1電圧V_oが記憶されることができる。図6に示した通り、有機発光表示装置に含まれる図1の画素回路100に第1電源電圧ELVDD、第2電源電圧ELVSS、発光制御信号ECS、及びしきい電圧補償信号TCSは、同時に（即ち、一括的に）印加される。従って、第1画像を表示するための第1表示動作の第1しきい電圧補償動作FVPは、有機発光表示装置に含まれる図1の画素回路100で同時に遂行される。

【0070】

図7を参照すれば、第1データ記入区間PDで第1データ記入動作FWPが遂行されることがある。具体的に、第1データ記入区間PDで第1電源電圧ELVDDはハイ電圧レベルを有し、第2電源電圧ELVSSもハイ電圧レベルを有する。一方、発光制御信号ECSはロー電圧レベルを有する反面、しきい電圧補償信号TCSはハイ電圧レベルを有する。これに、図1の画素回路100で第4及び第5PMOSトランジスタPT4、PT5はターンオンされ、第2及び第3PMOSトランジスタPT2、PT3は、ターンオフされる。この時、第4PMOSトランジスタPT4がターンオンされるから、図1の画素回路100で第1領域FAと第2領域SAが互いに接続されることがある。このように、図1の画素回路100で第1領域FAと第2領域SAが互いに接続されるから、第1予備データ記入区間PAで第1予備データ記入動作FPDPによって第3キャパシタC3に記憶された第1画像データDATAが第2領域SAに伝達されることがある。その結果、第3キャパシタC3に記憶された第1画像データDATAによって第1PMOSトランジスタPT1のゲート端子（即ち、第1ノードN1）の電圧は変更されることができる。具体的に、第3キャパシタC3に記憶された第1画像データDATAが第2領域SAで印加される場合、第1PMOSトランジスタPT1のゲート端子（即ち、第1ノードN1）の電圧は下記の数式（1）及び数式（2）で示した通りである。

【数1】

$$V_{eff} = \frac{C_{HOLD} \times V_{DATA} + (C_{ST} + C_{VTH}) \times V_O}{C_{HOLD} + C_{ST} + C_{VTH}} \quad \dots (1)$$

(V_{eff} は有効データに相応する電圧であり、 C_{HOLD} は第3キャパシタ C3 のキャパシタであり、 V_{DATA} は第1画像データ DATA に相応する電圧であり、 C_{ST} は第2キャパシタ C2 のキャパシタであり、 C_{VTH} は第1キャパシタ C1 のキャパシタであり、 V_O は第2キャパシタ C2 に記憶された第1電圧である。)

【数2】

10

$$V_{G,T1} = V_{ELVDD} - V_{TH} + (V_{eff} - V_O) \quad \dots (2)$$

($V_{G,T1}$ は第1PMOSトランジスタ PT1 のゲート端子の電圧であり、 V_{ELVDD} は第1電源電圧 ELVDD に相応する電圧であり、 V_{TH} は第1PMOSトランジスタ PT1 のしきい電圧である。)

【0071】

20

図8を参照すれば、第1発光区間 PE で第1発光動作 FEP が遂行されることがある。具体的に、第1発光区間 PE で、第1電源電圧 ELVDD はハイ電圧レベルを有する反面、第2電源電圧 ELVSS はロー電圧レベルを有する。一方、発光制御信号 ECS は、ハイ電圧レベルを有し、しきい電圧補償信号 TCS もハイ電圧レベルを有する。これに、図1の画素回路 100 で第3及び第4PMOSトランジスタ PT3、PT4 はターンオフされる。特に、第4PMOSトランジスタ PT4 がターンオフされるから、図1の画素回路 100 は第1領域 FA と第2領域 SA に分離し、第1領域 FA と第2領域 SA は互いに独立的な動作を遂行できる。図4と同様に、第2画像を表示するための第2表示動作の第2予備データ記入動作 SPDP と第1画像を表示するための第1表示動作の第1発光動作 FEP は同時に遂行されることがある。即ち、第1発光区間 PE で図1の画素回路 100 に記入されていた第1画像データ DATA に基づいて第1画像が出力されることとともに、図1の画素回路 100 に第2画像データが記入されることがある。その結果、第1領域 FA ではスキャンライン SL を経て印加されるスキャン信号に応答して第5PMOSトランジスタ PT5 がターンオンされると、データラインを経て印加される第2画像データが第3キャパシタ C3 に記憶できる。また、第2領域 SA では有機発光ダイオード OLED がハイ電圧レベルの第1電源電圧 ELVDD でロー電圧レベルの第2電源電圧 ELVSS に流れる電流に基づいて発光することができる。

30

【0072】

30

図8に示した通り、有機発光表示装置に含まれる図1の画素回路 100 に第1電源電圧 ELVDD、第2電源電圧 ELVSS、発光制御信号 ECS、及びしきい電圧補償信号 TCS は、同時に（即ち、一括的に）印加される反面、第2画像データは図1の画素回路 100 に順次に（即ち、図1の画素回路 100 各々でスキャン信号がロー電圧レベルを有して第5PMOSトランジスタ PT5 がターンオンされる時）印加される。従って、第1画像を表示するための第1表示動作の第1発光動作 FEP は、有機発光表示装置に含まれる図1の画素回路 100 で同時に遂行され、第2画像を表示するための第2表示動作の第2予備データ記入動作 SPDP は、有機発光表示装置に含まれる図1の画素回路 100 で順次に遂行される。一方、有機発光ダイオード OLED に流れる電流は第1PMOSトランジスタ PT1 のゲート端子の電圧に基づいて決定されるが、実質的に前記有効データ V_{eff} と第2キャパシタ C2 に記憶された第1電圧 V_O に基づいて決定されることがある。具体的に、有機発光表示装置はこれに含まれる図1の画素回路 100 が同時に発光する同時発光方式で動作でき、図1の画素回路 100 の各々で有機発光ダイオード OLED に流れる電流は次に数式（3）で示した通りである。

40

【数3】

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{eff} - V_O)^2 \quad \dots (3)$$

(I_D は有機発光ダイオード O L E D に流れる電流であり、

【数4】

$$\frac{1}{2} \mu C_{ox} \frac{W}{L}$$

10

は固有定数であり、 V_{GS} は第1 PMOSトランジスタ P T 1 のゲート端子とソース端子との間の電圧差であり、 V_{TH} は第1 PMOSトランジスタ P T 1 のしきい電圧であり、 V_{eff} は有効データに相応する電圧であり、 V_O は第2キャパシタ C 2 に記憶された第1電圧である。)

【0073】

以上、図4～図8を参照して第1画像を表示するための第1表示動作（即ち、第1予備データ記入区間 P A、第1リセット区間 P B、第1しきい電圧補償区間 P C、第1データ記入区間 P D、及び第1発光区間 P E）、並びに、第2画像を表示するための第2表示動作（即ち、第2予備データ記入区間 P A、第2リセット区間 P B、第2しきい電圧補償区間 P C、第2データ記入区間 P D、及び第2発光区間 P E）を説明しているが、図4～図8に示した信号波形は説明の便宜のために簡略化しており、図1の画素回路 100 の動作に要求される信号波形はこれに限定されない。従って、該当技術分野の当業者であれば、図4～図8に示した信号波形は簡略化されているが、図1の画素回路 100 の動作にはより多様に細分化された信号波形が適用できることを理解するはずである。

20

【0074】

図9は図1の画素回路が動作する他の例を示すタイミング図である。

【0075】

図9を参照すれば、第1画像（例えば、左画像）のための第1表示動作の区間は、第1予備データ記入区間 P A、第1オフバイアス印加区間 P F、第1リセット区間 P B、第1しきい電圧補償区間 P C、第1データ記入区間 P D、及び第1発光区間 P E を含み、第2画像（例えば、右画像）のための第2表示動作の区間は、第2予備データ記入区間 P A、第2オフバイアス印加区間 P F、第2リセット区間 P B、第2しきい電圧補償区間 P C、第2データ記入区間 P D、及び第2発光区間 P E を含むことができる。ただし、説明の便宜のために、図9では第1画像を表示するための第1表示動作を基準として説明する。また、第1電源電圧 E L V D D と第2電源電圧 E L V S S は、要求される条件によって多様に設定されるが、説明の便宜のために、第1電源電圧 E L V D D と第2電源電圧 E L V S S は、互いの関係において、ハイ電圧レベルとロー電圧レベルを有することと単純化して説明する。一方、第1予備データ記入区間 P A、第1リセット区間 P B、第1しきい電圧補償区間 P C、第1データ記入区間 P D、及び第1発光区間 P E に対しては上述したことがあるので、それに対する重複する説明は省略する。

30

【0076】

図9に示した通り、第1画像（例えば、左画像）のため第1表示動作の区間は第1リセット区間 P B 以前に第1オフバイアス印加区間 P F を含むことができる。この時、第1オフバイアス印加区間 P F は、図1の画素回路 100 にオフバイアス (o f f - b i a s) を印加することによって、階段状応答波形を改善するための区間として、前記第1オフバイアス印加区間 P F によって有機発光表示装置のクロストーク (c r o s s t a l k) が減少することができる。即ち、第1オフバイアス印加区間 P F は第1PMOSトランジスタ P T 1 、即ち、駆動トランジスタの特性曲線のヒステリシス (h y s t e r e s i s) 即ち、シフト (s h i f t) による階段状応答波形を改善するために設定されることができるが、第1PMOSトランジスタ P T 1 のしきい電圧を補償する以前に特性曲線の位置

40

50

を固定（即ち、特性曲線をリセット）させることができる。その結果、以前フレームのデータ信号（例えば、左画像データまたは右画像データ）と関係なく特性曲線の位置が固定されることがある。具体的に、第1オフバイアス印加区間P Fでは、図1の画素回路100に印加される発光制御信号E C Sはハイ電圧レベルを有し、しきい電圧補償信号T C Sはロー電圧レベルを有する。また、第2電源電圧E L V S Sはロー電圧レベルを有する反面、第1電源電圧E L V D Dはハイ電圧レベルを有するが、ロー電圧レベルに変更されることがある。その結果、第4PMOSトランジスタP T 4はターンオフされ、第2及び第3PMOSトランジスタP T 2、P T 3はターンオンできる。特に、第4PMOSトランジスタP T 4がターンオフされるから、図1の画素回路100は、第1領域F Aと第2領域S Aに分離し、第1領域F Aと第2領域S Aは互いに独立的な動作を遂行できる。この時、第2及び第3PMOSトランジスタP T 2、P T 3がターンオンされた状態で、第2電源電圧E L V S Sが第1電源電圧E L V D Dより一定時間大きな状態に維持されるから、第2領域S Aでは第1オフバイアス印加動作が遂行されることがある。

【0077】

一方、図9には示さなかったが、第1オフバイアス印加区間P Fと第1リセット区間P Bとの間に第2電源電圧E L V S Sがハイ電圧レベルを有し、第1電源電圧E L V D Dもハイ電圧レベルを有する所定の区間が存在することができる。または、第1オフバイアス印加区間P Fと第1リセット区間P Bとの間に第2電源電圧E L V S Sがロー電圧レベルを有し、第1電源電圧E L V D Dもロー電圧レベルを有する所定の区間が存在することができる。これは第1画像を表示するための第1表示動作において、第1オフバイアス印加動作と第1リセット動作との間の干渉を防止することができる。一方、図9を参照して第1画像を表示するための第1表示動作（即ち、第1予備データ記入区間P A、第1オフバイアス印加区間P F、第1リセット区間P B、第1しきい電圧補償区間P C、第1データ記入区間P D、及び第1発光区間P E）、並びに、第2画像を表示するための第2表示動作（即ち、第2予備データ記入区間P A、第2オフバイアス印加区間P F、第2リセット区間P B、第2しきい電圧補償区間P C、第2データ記入区間P D、及び第2発光区間P E）が説明されているが、図9に示した信号波形は説明の便宜のために簡略化しており、図1の画素回路100の動作に要求される信号波形はこれに限定されない。従って、該技術分野の当業者であれば、図9に示した信号波形は簡略化されているが、図1の画素回路100の動作には、より多様に細分化された信号波形が適用されることを理解するはずである。

【0078】

図10は本発明の実施形態に係る画素回路を示す回路図である。

【0079】

図10を参照すれば、画素回路200は有機発光ダイオードO L E D、第1～第5PMOSトランジスタP T 1, …, P T 5、及び第1～第3キャパシタC 1, …, C 3を含むことができる。前記画素回路200は、いわゆる5T-3C構造（即ち、5個のトランジスタと3個のキャパシタで構成された構造）と命名できる。一実施形態において、前記画素回路200は、有機発光ダイオードO L E Dのアノード電極とカソード電極との間に接続される補助キャパシタC 4をさらに含むことができる。

【0080】

有機発光ダイオードO L E Dは、第2電源電圧E L V S Sと第1PMOSトランジスタP T 1との間に接続されることがある。具体的に、有機発光ダイオードO L E Dのカソード電極が第2電源電圧E L V S Sに接続され、有機発光ダイオードO L E Dのアノード電極が第1PMOSトランジスタP T 1の一端に接続される。これに、有機発光ダイオードO L E Dは、第1PMOSトランジスタP T 1により調節される電流に基づいて発光することができる。第1PMOSトランジスタP T 1は、第1電源電圧E L V D Dと有機発光ダイオードO L E Dのアノード電極との間に接続され、ゲート端子が第1ノードN 1に接続されることがある。ここで、第1PMOSトランジスタP T 1は、いわゆる駆動トランジスタとして、有機発光ダイオードO L E Dに流れる電流を調節することができる。

10

20

30

40

50

図10に示した通り、前記第1ノードN1は第1キャパシタC1の一端、第2PMOSトランジスタPT2の一端、及び第1PMOSトランジスタPT1のゲート端子が互いに接続されるノードである。第2PMOSトランジスタPT2は前記第1ノードN1と有機発光ダイオードOLEDのアノード電極の間に接続され、ゲート端子が補償制御信号TCSを受信することができる。具体的に、第2PMOSトランジスタPT2の一端が前記第1ノードN1に接続され、第2PMOSトランジスタPT2の他端が第1PMOSトランジスタPT1の一端に接続される。これに、第2PMOSトランジスタPT2が補償制御信号TCSに応答してターンオンされると、第1PMOSトランジスタPT1はダイオード接続されることができる。

【0081】

10

第1キャパシタC1は、第1ノードN1と第2ノードN2との間に接続されることがある。具体的に、第1キャパシタC1の一端は第1ノードN1に接続され、第1キャパシタC1の他端は第2ノードN2に接続される。この時、第1キャパシタC1はしきい電圧補償キャパシタと命名できる。図10に示した通り、前記第2ノードN2は、第1キャパシタC1の一端、第2キャパシタC2の一端、第3PMOSトランジスタPT3の一端、及び第4PMOSトランジスタPT4の一端が互いに接続されるノードである。第2キャパシタC2は、第1電源電圧ELVDDと第2ノードN2との間に接続されることがある。この時、第2キャパシタC2はストレージキャパシタと命名できる。具体的に、第2キャパシタC2の一端は第2ノードN2に接続され、第2キャパシタC2の他端は第1電源電圧ELVDDに接続される。第3PMOSトランジスタPT3は、データラインDLと第2ノードN2との間に接続されて、ゲート端子が補償制御信号TCSを受信することができる。具体的に、第3PMOSトランジスタPT3は一端が第2ノードN2に接続され、他端がデータラインDLに接続され、ゲート端子が第2PMOSトランジスタPT2のゲート端子に接続される。第4PMOSトランジスタPT4は、第3ノードN3と第2ノードN2との間に接続され、ゲート端子が発光制御信号ECSを受信することができる。具体的に、第4PMOSトランジスタPT4は、一端が第2ノードN2に接続され、他端が第3ノードN3に接続される。図10に示した通り、第3ノードN3は、第4PMOSトランジスタPT4の一端、第5PMOSトランジスタPT5の一端、及び第3キャパシタC3の一端が互いに接続されるノードである。

20

【0082】

30

第3キャパシタC3は、第3ノードN3と補助電源電圧VSUSとの間に接続されることがある。具体的に、第3キャパシタC3の一端は第3ノードN3に接続され、第3キャパシタC3の他端は補助電源電圧VSUSに接続される。図1とは違って、図10では第3キャパシタC3に補助電源電圧VSUSが印加されるから、第3キャパシタC3に記憶されているデータ信号（例えば、左画像データまたは右画像データ）の変動(fluctuation)が防止されることができる。第5PMOSトランジスタPT5は、データラインDLと第3ノードN3との間に接続され、ゲート端子がスキャンラインSLに接続されることがある。具体的に、第5PMOSトランジスタPT5の一端は、第3ノードN3に接続され、他端はデータラインDLに接続され、ゲート端子はスキャンラインSLに接続される。一方、データラインDLは有機発光表示装置のデータ駆動部に接続されてデータ信号（例えば、左画像データまたは右画像データ）を提供し、スキャンラインSLは有機発光表示装置のスキャン駆動部に接続されてスキャン信号を提供することができる。上述した通り、画素回路200は有機発光ダイオードOLED、第1～第5PMOSトランジスタPT1, …, PT5、及び、第1～第3キャパシタC1, …, C3に基づいて同時発光方式で左画像と右画像を各々表示することによって立体画像を実現でき、左画像が図10の画素回路200で同時に表示される時、右画像データが図10の画素回路200に順次に記入され、右画像が図10の画素回路200で同時に表示される時、左画像データが図10の画素回路200に順次に記入されることができる。

40

【0083】

図10に示した通り、図10の画素回路200は、第1領域FAと第2領域SAで分離

50

することができる。説明の便宜上、第1領域FAは、第3キャパシタC3及び第5PMOSトランジスタPT5で構成され、第2領域SAは第1及び第2キャパシタC1、C2、並びに、第1～第4PMOSトランジスタPT1, …, PT4で構成されることで仮定する。この時、第4PMOSトランジスタPT4がターンオン状態またはターンオフ状態によって第1領域FAと第2領域SAは、互いに接続されることもでき、互いに分離することもできる。即ち、第4PMOSトランジスタPT4がターンオン状態の場合、第1領域FAと第2領域SAは接続され、第3キャパシタC3に記憶されたデータ信号（例えば、左画像データまたは右画像データ）が第2領域SAに伝達されることができ、第4PMOSトランジスタPT4がターンオフ状態の場合、第1領域FAと第2領域SAは分離し、第1領域FAと第2領域SAが互いに独立的な動作を遂行（即ち、発光動作と予備データ記入動作を同時に遂行）することができる。例えば、発光制御信号ECSに応答して第4PMOSトランジスタPT4がターンオフ状態の場合、第1及び第2PMOSトランジスタPT1、PT2、第1及び第2キャパシタC1、C2、並びに、有機発光ダイオードOLEDによって第1画像（例えば、左画像または右画像）が表示される時、スキャンラインSLを介して入力されるスキャン信号に応答して第5PMOSトランジスタPT5がターンオンされると、データラインDLを介して入力される第2画像データ（例えば、右画像データまたは左画像データ）が第3キャパシタC3に記入されることができる。

【0084】

図11は本発明の実施形態に係る画素回路を示す回路図である。

【0085】

図11を参照すれば、画素回路300は有機発光ダイオードOLED、第1～第5NMOS(*n-channel metal oxide semiconductor*)トランジスタNT1, …, NT5、及び、第1～第3キャパシタC1, …, C3を含むことができる。前記画素回路300は、いわゆる5T-3C構造（即ち、5個のトランジスタと3個のキャパシタで構成された構造）と命名できる。一実施形態において、前記画素回路300は有機発光ダイオードOLEDのアノード電極とカソード電極との間に接続される補助キャパシタC4をさらに含むことができる。

【0086】

有機発光ダイオードOLEDは第1電源電圧ELVDDと第1NMOSトランジスタNT1との間に接続されることがある。具体的に、有機発光ダイオードOLEDのアノード電極が第1電源電圧ELVDDに接続され、有機発光ダイオードOLEDのカソード電極が第1NMOSトランジスタNT1の一端に接続される。これに、有機発光ダイオードOLEDは第1NMOSトランジスタNT1により調節される電流に基づいて発光することができる。第1NMOSトランジスタNT1は、第2電源電圧ELVSSと有機発光ダイオードOLEDのカソード電極との間に接続され、ゲート端子が第1ノードN1に接続されることがある。ここで、第1NMOSトランジスタNT1は、いわゆる駆動トランジスタとして、有機発光ダイオードOLEDに流れる電流を調節することができる。図11に示した通り、前記第1ノードN1は第1キャパシタC1の一端、第2NMOSトランジスタNT2の一端、及び第1NMOSトランジスタNT1のゲート端子が互いに接続されるノードである。第2NMOSトランジスタNT2は、前記第1ノードN1と有機発光ダイオードOLEDのカソード電極との間に接続され、ゲート端子が補償制御信号TCSを受信することができる。具体的に、第2NMOSトランジスタNT2の一端が前記第1ノードN1に接続され、第2NMOSトランジスタNT2の他端が第1NMOSトランジスタNT1の一端に接続される。これに、第2NMOSトランジスタNT2が補償制御信号TCSに応答してターンオンされると、第1NMOSトランジスタNT1はダイオード接続されることがある。

【0087】

第1キャパシタC1は第1ノードN1と第2ノードN2の間に接続されることがある。具体的に、第1キャパシタC1の一端は第1ノードN1に接続され、第1キャパシタC1の他端は第2ノードN2に接続される。この時、第1キャパシタC1はしきい電圧補償

キャパシタと命名できる。図11に示した通り、前記第2ノードN2は第1キャパシタC1の一端、第2キャパシタC2の一端、第3NMOSトランジスタNT3の一端、及び第4NMOSトランジスタNT4の一端が互いに接続されるノードである。第2キャパシタC2は、第2電源電圧ELVSSと第2ノードN2との間に接続されることができる。この時、第2キャパシタC2はストレージキャパシタと命名できる。具体的に、第2キャパシタC2の一端は、第2ノードN2に接続され、第2キャパシタC2の他端は第2電源電圧ELVSSに接続される。第3NMOSトランジスタNT3は、データラインDLと第2ノードN2との間に接続され、ゲート端子が補償制御信号TCSを受信することができる。具体的に、第3NMOSトランジスタNT3は一端が第2ノードN2に接続され、他端がデータラインDLに接続され、ゲート端子が第2NMOSトランジスタNT2のゲート端子に接続される。第4NMOSトランジスタNT4は、第3ノードN3と第2ノードN2との間に接続され、ゲート端子が発光制御信号ECSを受信することができる。具体的に、第4NMOSトランジスタNT4は一端が第2ノードN2に接続され、他端が第3ノードN3に接続される。図11に示した通り、第3ノードN3は、第4NMOSトランジスタNT4の一端、第5NMOSトランジスタNT5の一端、及び第3キャパシタC3の一端が互いに接続されるノードである。

【0088】

第3キャパシタC3は、第3ノードN3と第3NMOSトランジスタNT3のゲート端子との間に接続されることがある。具体的に、第3キャパシタC3の一端は第3ノードN3に接続され、第3キャパシタC3の他端は第3NMOSトランジスタNT3のゲート端子に接続される。第5NMOSトランジスタNT5はデータラインDLと第3ノードN3との間に接続され、ゲート端子がスキャンラインSLに接続されることがある。具体的に、第5NMOSトランジスタNT5の一端は第3ノードN3に接続され、他端はデータラインDLに接続され、ゲート端子はスキャンラインSLに接続される。一方、データラインDLは有機発光表示装置のデータ駆動部に接続されてデータ信号（例えば、左画像データまたは右画像データ）を提供し、スキャンラインSLは有機発光表示装置のスキャン駆動部に接続されてスキャン信号を提供することができる。上述した通り、画素回路300は有機発光ダイオードOLED、第1～第5NMOSトランジスタNT1, …, NT5、並びに、第1～第3キャパシタC1, …, C3に基づいて同時発光方式で左画像と右画像を各々表示することによって立体画像を実現でき、左画像が図11の画素回路300で同時に表示される時、右画像データが図11の画素回路300に順次に記入され、右画像が図11の画素回路300で同時に表示される時、左画像データが図11の画素回路300に順次に記入されることがある。

【0089】

図11に示した通り、図11の画素回路300は第1領域FAと第2領域SAに分離することができる。説明の便宜上、第1領域FAは、第3キャパシタC3及び第5NMOSトランジスタNT5で構成され、第2領域SAは第1及び第2キャパシタC1、C2、並びに、第1～第4NMOSトランジスタNT1, …, NT4で構成されることと仮定する。この時、第4NMOSトランジスタNT4がターンオン状態か、または、ターンオフ状態かによって第1領域FAと第2領域SAは、互いに接続されることもでき、互いに分離することもできる。即ち、第4NMOSトランジスタNT4がターンオン状態の場合、第1領域FAと第2領域SAは接続され、第3キャパシタC3に記憶されたデータ信号（例えば、左画像データまたは右画像データ）が第2領域SAに伝達されることが可能、第4NMOSトランジスタNT4がターンオフ状態の場合、第1領域FAと第2領域SAは分離され、第1領域FAと第2領域SAが互いに独立的な動作を遂行（即ち、発光動作と予備データ記入動作を同時に遂行）することができる。例えば、発光制御信号ECSに応答して第4NMOSトランジスタNT4がターンオフ状態の場合、第1及び第2NMOSトランジスタNT1、NT2、第1及び第2キャパシタC1、C2、並びに、有機発光ダイオードOLEDによって第1画像（例えば、左画像または右画像）が表示される時、スキャンラインSLを介して入力されるスキャン信号に応答して第5NMOSトランジスタ

10

20

30

40

50

N T 5 がターンオンされると、データライン D L を介して入力される第 2 画像データ（例えば、右画像データまたは左画像データ）が第 3 キャパシタ C 3 に記入されることができる。以下、前記画素回路 3 0 0 の動作をより具体的に後述する。

【0090】

図 12～図 16 は、図 11 の画素回路が動作する一例を示すタイミング図である。

【0091】

図 12～図 16 を参照すれば、第 1 画像（例えば、左画像）のため第 1 表示動作は、第 1 予備データ記入動作 F P D P 、第 1 リセット動作 F I P 、第 1 しきい電圧補償動作 F V P 、第 1 データ記入動作 F W P 、及び第 1 発光動作 F E P を含み、第 2 画像（例えば、右画像）を表示するための第 2 表示動作は、第 2 予備データ記入動作 S P D P 、第 2 リセット動作 S I P 、第 2 しきい電圧補償動作 S V P 、第 2 データ記入動作 S W P 、及び第 2 発光動作 S E P を含むことができる。この時、図 11 の画素回路 3 0 0 に対して、第 1 及び第 2 予備データ記入動作 F P D P 、S P D P は、スキャンライン S L 別に順次に遂行されるが、第 1 及び第 2 リセット動作 F I P 、S I P 、第 1 及び第 2 しきい電圧補償動作 F V P 、S V P 、第 1 及び第 2 データ記入動作 F W P 、S W P 、並びに、第 1 及び第 2 発光動作 F E P 、S E P は、全ての画素回路 1 0 0 で同時に遂行される。一方、第 1 予備データ記入動作 F P D P 、第 1 リセット動作 F I P 、第 1 しきい電圧補償動作 F V P 、第 1 データ記入動作 F W P 、及び第 1 発光動作 F E P は、各々第 1 予備データ記入区間 P A 、第 1 リセット区間 P B 、第 1 しきい電圧補償区間 P C 、第 1 データ記入区間 P D 、及び第 1 発光区間 P E に相応し、第 2 予備データ記入動作 S P D P 、第 2 リセット動作 S I P 、第 2 しきい電圧補償動作 S V P 、第 2 データ記入動作 S W P 、及び第 2 発光動作 S E P は、各々第 2 予備データ記入区間 P A 、第 2 リセット区間 P B 、第 2 しきい電圧補償区間 P C 、第 2 データ記入区間 P D 、及び第 2 発光区間 P E に相応する。ただし、説明の便宜のために、図 12～図 16 では第 1 画像を表示するための第 1 表示動作を基準として説明する。一方、第 1 電源電圧 E L V D D と第 2 電源電圧 E L V S S は、要求される条件によって多様に設定されるが、説明の便宜のために、第 1 電源電圧 E L V D D と第 2 電源電圧 E L V S S は互いの関係においてハイ電圧レベルとロー電圧レベルを有することと単純化して説明する。

【0092】

図 12 を参照すれば、第 1 予備データ記入区間 P A で第 1 予備データ記入動作 F P D P が遂行されることができる。上述した通り、第 1 画像を表示するための第 1 表示動作の第 1 予備データ記入動作 F P D P と第 2 画像を表示するための第 2 表示動作の第 2 発光動作 S E P は同時に遂行されることができる。即ち、第 1 予備データ記入区間 P A で図 11 の画素回路 3 0 0 に第 1 画像データ D A T A が記入されるということと同時に、図 11 の画素回路 3 0 0 に記入されていた第 2 画像データに基づいて第 2 画像が出力されることができる。具体的に、第 1 予備データ記入区間 P A で、図 11 の画素回路 3 0 0 に印加される第 1 電源電圧 E L V D D はハイ電圧レベルを有し、第 2 電源電圧 E L V S S はロー電圧レベルを有する。また、発光制御信号 E C S はロー電圧レベルを有し、しきい電圧補償信号 T C S はロー電圧レベルを有する。これに、図 11 の画素回路 3 0 0 で、第 3 及び第 4 N M O S トランジスタ N T 3 、N T 4 はターンオフされる。特に、第 4 N M O S トランジスタ N T 4 がターンオフされるから、図 11 の画素回路 3 0 0 は第 1 領域 F A と第 2 領域 S A に分離し、第 1 領域 F A と第 2 領域 S A は互いに独立的な動作を遂行できる。その結果、第 1 領域 F A ではスキャンライン S L を経て印加されるスキャン信号に応答して第 5 N M O S トランジスタ N T 5 がターンオンされると、データラインを経て印加される第 1 画像データ D A T A が第 3 キャパシタ C 3 に記憶されることができる。また、第 2 領域 S A では有機発光ダイオード O L E D がハイ電圧レベルの第 1 電源電圧 E L V D D でロー電圧レベルの第 2 電源電圧 E L V S S に流れる電流に基づいて発光することができる。上述した通り、図 11 の画素回路 3 0 0 を含む有機発光表示装置では、図 11 の画素回路 3 0 0 が第 2 画像（即ち、右画像または左画像）を表示する時、第 1 画像データ D A T A （即ち、左画像データまたは右画像データ）が図 11 の画素回路 3 0 0 各々に含まれる第 3 キャ

10

20

30

40

50

パシタC3に順次に記入され、図11の画素回路300が第1画像（即ち、左画像または右画像）を表示する時、第2画像データ（即ち、右画像データまたは左画像データ）が図11の画素回路300の各々に含まれる第3キャパシタC3に順次に記入されることができる。

【0093】

図13を参照すれば、第1リセット区間PBで第1リセット動作FIPが遂行されることができる。具体的に、第1リセット区間PBで、図11の画素回路300に印加される第1電源電圧ELVDDはロー電圧レベルを有し、第2電源電圧ELVSSはハイ電圧レベルを有する。また、発光制御信号ECSはロー電圧レベルを有し、しきい電圧補償信号TCSもロー電圧レベルを有する。これに、図11の画素回路300で、第3及び第4NMOSトランジスタNT3、NT4は、ターンオフされる。特に、第4NMOSトランジスタNT4がターンオフされるから、図11の画素回路300は第1領域FAと第2領域SAに分離し、第1領域FAと第2領域SAは互いに独立的な動作を遂行できる。この時、第2電源電圧ELVSSが第1電源電圧ELVDDよりさらに大きいから、第2領域SAでは第1リセット動作FIPが遂行されることができる。図14を参照すれば、第1しきい電圧補償区間PCで第1しきい電圧補償動作FVPが遂行されることができる。具体的に、第1しきい電圧補償区間PCで、第1電源電圧ELVDDはハイ電圧レベルを有し、第2電源電圧ELVSSも同様にハイ電圧レベルを有する。一方、発光制御信号ECSはロー電圧レベルを有する反面、しきい電圧補償信号TCSはハイ電圧レベルを有する。これに、図11の画素回路300で、第2及び第3NMOSトランジスタNT2、NT3はターンオンされ、第4及び第5NMOSトランジスタNT4、NT5はターンオフされる。特に、第4NMOSトランジスタNT4がターンオフされるから、図11の画素回路300は第1領域FAと第2領域SAに分離し、第1領域FAと第2領域SAは互いに独立的な動作を遂行できる。この時、第2及び第3NMOSトランジスタNT2、NT3がターンオンされるから、第2領域SAでは第1しきい電圧補償動作FVPが遂行されることができる。

【0094】

図15を参照すれば、第1データ記入区間PDで第1データ記入動作FWPが遂行されることがある。具体的に、第1データ記入区間PDで、第1電源電圧ELVDDはハイ電圧レベルを有し、第2電源電圧ELVSSもハイ電圧レベルを有する。一方、発光制御信号ECSはハイ電圧レベルを有する反面、しきい電圧補償信号TCSはロー電圧レベルを有する。これに、図11の画素回路300で、第4及び第5NMOSトランジスタNT4、NT5はターンオンされ、第2及び第3NMOSトランジスタNT2、NT3はターンオフされる。この時、第4NMOSトランジスタNT4がターンオンされるから、図11の画素回路300で第1領域FAと第2領域SAが互いに接続されることがある。これと共に、図11の画素回路300で第1領域FAと第2領域SAが互いに接続されるから、第1予備データ記入区間PAで第1予備データ記入動作FPDPにより第3キャパシタC3に記憶された第1画像データDATAが第2領域SAに伝達されることがある。その結果、第3キャパシタC3に記憶された第1画像データDATAによって第1NMOSトランジスタNT1のゲート端子（即ち、第1ノードN1）の電圧は変更されることがある。図16を参照すれば、第1発光区間PEで第1発光動作FEPが遂行されることがある。具体的に、第1発光区間PEで、第1電源電圧ELVDDはハイ電圧レベルを有する反面、第2電源電圧ELVSSはロー電圧レベルを有する。一方、発光制御信号ECSはロー電圧レベルを有し、しきい電圧補償信号TCSもロー電圧レベルを有する。これに、図11の画素回路300で、第3及び第4NMOSトランジスタNT3、NT4はターンオフされる。特に、第4NMOSトランジスタNT4がターンオフされるから、図11の画素回路300は第1領域FAと第2領域SAに分離し、第1領域FAと第2領域SAは互いに独立的な動作を遂行できる。図12と同様に、第2画像を表示するための第2表示動作の第2予備データ記入動作SPDPと第1画像を表示するための第1表示動作の第1発光動作FEPは同時に遂行されることがある。即ち、第1発光区間PEで図1

10

20

30

40

50

1の画素回路300に記入されていた第1画像データDATAに基づいて第1画像が出力されるということと同時に、図11の画素回路300に第2画像データが記入されることができる。その結果、第1領域FAではスキャンラインSLを経て印加されるスキャン信号に応答して第5NMOSトランジスタNT5がターンオンされると、データラインを経て印加される第2画像データが第3キャパシタC3に記憶されることができる。また、第2領域SAでは有機発光ダイオードOLEDがハイ電圧レベルの第1電源電圧ELVDDでロー電圧レベルの第2電源電圧ELVSSに流れる電流に基づいて発光することができる。

【0095】

以上、図12～図16を参照して第1画像を表示するための第1表示動作（即ち、第1予備データ記入区間PA、第1リセット区間PB、第1しきい電圧補償区間PC、第1データ記入区間PD、及び第1発光区間PE）、並びに、第2画像を表示するための第2表示動作（即ち、第2予備データ記入区間PA、第2リセット区間PB、第2しきい電圧補償区間PC、第2データ記入区間PD、及び第2発光区間PE）を説明しているが、図12～図16に示した信号波形は、説明の便宜のために簡略化しており、図11の画素回路300の動作に要求される信号波形はこれに限定されない。従って、該当技術分野の当業者であれば、図12～図16に示した信号波形は簡略化されているが、図11の画素回路300の動作にはより多様に細分化された信号波形が適用されると理解するはずである。

【0096】

図17は本発明の実施形態に係る画素回路を示す回路図である。

【0097】

図17を参照すれば、画素回路400は有機発光ダイオードOLED、第1～第5NMOSトランジスタNT1, …, NT5、及び、第1～第3キャパシタC1, …, C3を含むことができる。前記画素回路400は、いわゆる5T-3C構造（即ち、5個のトランジスタと3個のキャパシタで構成された構造）と命名できる。一実施形態において、前記画素回路400は有機発光ダイオードOLEDのアノード電極とカソード電極との間に接続される補助キャパシタC4をさらに含むことができる。

【0098】

有機発光ダイオードOLEDは第1電源電圧ELVDDと第1NMOSトランジスタNT1との間に接続されることがある。具体的に、有機発光ダイオードOLEDのアノード電極が第1電源電圧ELVDDに接続され、有機発光ダイオードOLEDのカソード電極が第1NMOSトランジスタNT1の一端に接続される。これに、有機発光ダイオードOLEDは第1NMOSトランジスタNT1によって調節される電流に基づいて発光することができる。第1NMOSトランジスタNT1は第2電源電圧ELVSSと有機発光ダイオードOLEDのカソード電極の間に接続され、ゲート端子が第1ノードN1に接続されることがある。ここで、第1NMOSトランジスタNT1は、いわゆる駆動トランジスタとして、有機発光ダイオードOLEDに流れる電流を調節することができる。図17に示した通り、前記第1ノードN1は、第1キャパシタC1の一端、第2NMOSトランジスタNT2の一端、及び第1NMOSトランジスタNT1のゲート端子が互いに接続されるノードである。第2NMOSトランジスタNT2は前記第1ノードN1と有機発光ダイオードOLEDのカソード電極との間に接続され、ゲート端子が補償制御信号TCSを受信することができる。具体的に、第2NMOSトランジスタNT2の一端が前記第1ノードN1に接続され、第2NMOSトランジスタNT2の他端が第1NMOSトランジスタNT1の一端に接続される。これに、第2NMOSトランジスタNT2が補償制御信号TCSに応答してターンオンされると、第1NMOSトランジスタNT1はダイオード接続されることがある。

【0099】

第1キャパシタC1は第1ノードN1と第2ノードN2との間に接続されることがある。具体的に、第1キャパシタC1の一端は第1ノードN1に接続され、第1キャパシタ

10

20

30

40

50

C 1 の他端は第 2 ノード N 2 に接続される。この時、第 1 キャパシタ C 1 はしきい電圧補償キャパシタと命名できる。図 17 に示した通り、前記第 2 ノード N 2 は第 1 キャパシタ C 1 の一端、第 2 キャパシタ C 2 の一端、第 3 NMOS トランジスタ N T 3 の一端、及び第 4 NMOS トランジスタ N T 4 の一端が互いに接続されるノードである。第 2 キャパシタ C 2 は第 2 電源電圧 E L V S S と第 2 ノード N 2 との間に接続されることができる。この時、第 2 キャパシタ C 2 はストレージキャパシタと命名できる。具体的に、第 2 キャパシタ C 2 の一端は第 2 ノード N 2 に接続され、第 2 キャパシタ C 2 の他端は第 2 電源電圧 E L V S S に接続される。第 3 NMOS トランジスタ N T 3 はデータライン D L と第 2 ノード N 2 との間に接続され、ゲート端子が補償制御信号 T C S を受信することができる。具体的に、第 3 NMOS トランジスタ N T 3 は一端が第 2 ノード N 2 に接続され、他端がデータライン D L に接続され、ゲート端子が第 2 NMOS トランジスタ N T 2 のゲート端子に接続される。第 4 NMOS トランジスタ N T 4 は第 3 ノード N 3 と第 2 ノード N 2 との間に接続され、ゲート端子が発光制御信号 E C S を受信することができる。具体的に、第 4 NMOS トランジスタ N T 4 は、一端が第 2 ノード N 2 に接続され、他端が第 3 ノード N 3 に接続される。図 17 に示した通り、第 3 ノード N 3 は第 4 NMOS トランジスタ N T 4 の一端、第 5 NMOS トランジスタ N T 5 の一端、及び第 3 キャパシタ C 3 の一端が互いに接続されるノードである。

10

【0100】

第 3 キャパシタ C 3 は、第 3 ノード N 3 と補助電源電圧 V S U S との間に接続されることができる。具体的に、第 3 キャパシタ C 3 の一端は、第 3 ノード N 3 に接続され、第 3 キャパシタ C 3 の他端は補助電源電圧 V S U S に接続される。図 11 とは違って、図 17 では第 3 キャパシタ C 3 に補助電源電圧 V S U S が印加されるから、第 3 キャパシタ C 3 に記憶されているデータ信号（例えば、左画像データまたは右画像データ）の変動が防止されることができる。第 5 NMOS トランジスタ N T 5 はデータライン D L と第 3 ノード N 3 との間に接続され、ゲート端子がスキャンライン S L に接続されることができる。具体的に、第 5 NMOS トランジスタ N T 5 の一端は第 3 ノード N 3 に接続され、他端はデータライン D L に接続され、ゲート端子はスキャンライン S L に接続される。一方、データライン D L は有機発光表示装置のデータ駆動部に接続されてデータ信号（例えば、左画像データまたは右画像データ）を提供し、スキャンライン S L は有機発光表示装置のスキャン駆動部に接続されてスキャン信号を提供することができる。上述した通り、画素回路 400 は有機発光ダイオード O L E D 、第 1 ~ 第 5 NMOS トランジスタ N T 1 , … , N T 5 、並びに、第 1 ~ 第 3 キャパシタ C 1 , … , C 3 に基づいて同時発光方式で左画像と右画像を各々表示することによって立体画像を実現でき、左画像が図 17 の画素回路 400 で同時に表示される時、右画像データが図 17 の画素回路 400 に順次に記入され、右画像が図 17 の画素回路 400 で同時に表示される時、左画像データが図 17 の画素回路 400 に順次に記入されることができる。

20

【0101】

図 17 に示した通り、図 17 の画素回路 400 は第 1 領域 F A と第 2 領域 S A に分離することができる。説明の便宜上、第 1 領域 F A は第 3 キャパシタ C 3 及び第 5 NMOS トランジスタ N T 5 で構成され、第 2 領域 S A は第 1 及び第 2 キャパシタ C 1 、 C 2 、並びに、第 1 ~ 第 4 NMOS トランジスタ N T 1 , … , N T 4 で構成されることと仮定する。この時、第 4 NMOS トランジスタ N T 4 がターンオン状態か、または、ターンオフ状態かによって第 1 領域 F A と第 2 領域 S A は互いに接続されることもでき、互いに分離することもできる。即ち、第 4 NMOS トランジスタ N T 4 がターンオン状態の場合、第 1 領域 F A と第 2 領域 S A は接続され、第 3 キャパシタ C 3 に記憶されたデータ信号（例えば、左画像データまたは右画像データ）が第 2 領域 S A に伝達されることができ、第 4 NMOS トランジスタ N T 4 がターンオフ状態の場合、第 1 領域 F A と第 2 領域 S A は分離して、第 1 領域 F A と第 2 領域 S A が互いに独立的な動作を遂行（即ち、発光動作と予備データ記入動作を同時に遂行）することができる。例えば、発光制御信号 E C S に応答して第 4 NMOS トランジスタ N T 4 がターンオフ状態の場合、第 1 及び第 2 NMOS トラン

30

40

50

ジスタN T 1、N T 2、第1及び第2キャパシタC 1、C 2、並びに、有機発光ダイオードO L E Dによって第1画像（例えば、左画像または右画像）が表示される時、スキャンラインS Lを介して入力されるスキャン信号に応答して第5N M O SトランジスタN T 5がターンオンされると、データラインD Lを介して入力される第2画像データ（例えば、右画像データまたは左画像データ）が第3キャパシタC 3に記入されることができる。

【0102】

図18及び図19は本発明の実施形態に係る画素回路駆動方法を示すフローチャートである。

【0103】

図18及び図19を参照すれば、画素回路駆動方法は左画像を表示するための第1表示動作と右画像を表示するための第2表示動作を交互に遂行し、前記第1表示動作と前記第2表示動作を各々同時発光（s i m u l t a n e o u s e m i s s i o n）方式で遂行することにおいて、第1表示動作の第1発光動作と第2表示動作の第2予備データ記入動作を同時に遂行（ステップS 1 2 0）と、第1発光動作が完了すると、第2表示動作の第2リセット動作、第2しきい電圧補償動作、及び第2データ記入動作を遂行（ステップS 1 4 0）した後、第2表示動作の第2発光動作と第1表示動作の第1予備データ記入動作を同時に遂行（ステップS 1 6 0）することができる。以後、第2発光動作が完了すれば、第1表示動作の第1リセット動作、第1しきい電圧補償動作、及び第1データ記入動作を遂行（ステップS 1 8 0）することができる。さらに、実施形態により、画素回路駆動方法は第2リセット動作以前に、第2表示動作の第2オフバイアス印加動作を遂行（ステップS 1 3 0）することができ、第1リセット動作以前に第1表示動作の第1オフバイアス印加動作を遂行（ステップS 1 7 0）することができる。このために、本発明の画素回路は、有機発光ダイオード、第1～第5P M O Sトランジスタ、並びに、第1～第3キャパシタを含む、いわゆる5T-3C構造（即ち、5個のトランジスタと3個のキャパシタで構成された構造）を有することができる。または、本発明の画素回路は有機発光ダイオード、第1～第5N M O Sトランジスタ、並びに、第1～第3キャパシタを含むいわゆる5T-3C構造を有することができる。ただし、これに対しては、図1、図10、図11、及び図17で説明したので、それに対する重複する説明は省略する。

【0104】

図20は本発明の実施形態に係る有機発光表示装置を示すブロック図である。

【0105】

図20を参照すれば、有機発光表示装置500は画素部510、スキャン駆動部520、データ駆動部530、タイミング制御部540、制御信号生成部550、及び電源部560を含むことができる。実施形態により、スキャン駆動部520、データ駆動部530、タイミング制御部540、制御信号生成部550、及び電源部560は、1つの集積回路（i n t e g r a t e d c i r c u i t；I C）チップで具現されることができる。

【0106】

画素部510は複数のスキャンラインS L 1, …, S L nを介してスキャン駆動部520と接続されることができ、複数のデータラインD L 1, …, D L mを介してデータ駆動部530に接続され、複数の制御ライン（図示せず）を介して制御信号生成部550に接続されることができる。また、画素部510は電源部560から第1電源電圧E L V D D及び第2電源電圧E L V S Sを供給されることがある。一実施形態において、画素部510は電源部560から補助電源電圧V S U Sまでさらに供給されることがある。図20に具体的に示していないが、画素部510は複数の画素回路を含み、複数の画素回路の各々はスキャン信号を印加するスキャンライン、データ信号（例えば、左画像データまたは右画像データ）を印加するデータライン、並びに、発光制御信号E C Sと補償制御信号T C Sを印加する制御ラインに接続されることができる。また、複数の画素回路の各々は、第1電源電圧E L V D D及び第2電源電圧E L V S Sを供給されることが可能、実施形態により、補助電源電圧V S U Sをさらに供給されることがある。一方、複数の画素回路は、複数のスキャンラインS L 1, …, S L nと複数のデータラインD L 1, …, D L m

10

20

30

40

50

m との交差点に位置することができるから、画素部 510 は、 $n \times m$ 個の画素回路を含むことができる。一方、タイミング制御部 540 は、複数のタイミング制御信号 CTL1、CTL2、CTL3、CTL4 を生成してスキャン駆動部 520、データ駆動部 530、制御信号生成部 550、及び電源部 560 に供給することによってこれらを制御することができる。

【0107】

上述した通り、 $n \times m$ 個の画素回路の各々は第 1 電源電圧 E LVDD、第 2 電源電圧 E L VSS、スキャン信号、データ信号、発光制御信号 ECS、補償制御信号 TCS、及び / または、補助電源電圧 VSUS に基づいて動作することができる。具体的に、 $n \times m$ 個の画素回路の各々は有機発光ダイオード、第 1 ~ 第 5 PMOS トランジスタ、並びに、第 1 ~ 第 3 キャパシタを含むか、または、有機発光ダイオード、第 1 ~ 第 5 NMOS トランジスタ、並びに、第 1 ~ 第 3 キャパシタを含む、いわゆる 5T-3C 構造（即ち、5 個のトランジスタと 3 個のキャパシタで構成された構造）を有し、それに基づいて左画像の発光時に右画像データを記入し、右画像の発光時に左画像データを記入することができる。 $n \times m$ 個の画素回路の各々が第 1 画像（例えば、左画像）のための第 1 表示動作と第 2 画像（例えば、右画像）を表示するための第 2 表示動作を交互に遂行するから、有機発光表示装置 500 で立体画像が具現されることができる。前記第 1 表示動作は、第 1 予備データ記入動作、第 1 リセット動作、第 1 しきい電圧補償動作、第 1 データ記入動作、及び第 1 発光動作を含み、前記第 2 表示動作は、第 2 予備データ記入動作、第 2 リセット動作、第 2 しきい電圧補償動作、第 2 データ記入動作、及び第 2 発光動作を含むことができる。この時、前記第 1 表示動作と前記第 2 表示動作が交互に遂行されるということにおいて、前記第 1 表示動作の第 1 発光動作と前記第 2 表示動作の第 2 予備データ記入動作は、各画素回路で同時に遂行されることができ、前記第 2 表示動作の第 2 発光動作と前記第 1 表示動作の第 1 予備データ記入動作は、各画素回路で同時に遂行されることができる。

【0108】

一方、各画素回路に対して第 1 及び第 2 予備データ記入動作は、スキャンライン S L 1, ..., S L n 別に順次に遂行されるか、第 1 及び第 2 リセット動作、第 1 及び第 2 しきい電圧補償動作、第 1 及び第 2 データ記入動作、並びに、第 1 及び第 2 発光動作はすべての画素回路で同時に遂行される。上述した通り、有機発光表示装置 500 では、画素部 510 に含まれる複数の画素回路が第 2 画像（即ち、右画像または左画像）を表示する時、第 1 画像データ DATA（即ち、左画像データまたは右画像データ）が複数の画素回路に順次に記入され、画素部 510 に含まれる複数の画素回路が第 1 画像（即ち、左画像または右画像）を表示する時、第 2 画像データ（即ち、右画像データまたは左画像データ）が複数の画素回路に順次に記入されることができる。その結果、有機発光表示装置 500 は、同時発光方式で左画像と右画像を各々表示し立体画像を具現するにおいて、それぞれの画素回路に対して左画像の発光時に右画像データを記入し、右画像の発光時に左画像データを記入することによって、従来に比べて高速で動作しながらも消費電力を減少（即ち、輝度を増加）させることができる。

【0109】

図 21 は図 20 の有機発光表示装置を含むシャッタメガネ方式の立体画像表示システムを示す図面である。

【0110】

図 21 を参照すれば、立体画像表示システム 600 は有機発光表示装置 500、及びシャッタメガネ 620 を含むことができる。

【0111】

有機発光表示装置 500 は、立体画像を具現するために、左画像（即ち、左画像フレーム）と右画像（即ち、右画像フレーム）を交互に表示することができる。この時、有機発光表示装置 500 は左画像と右画像を左眼と右眼に交互に提供するための同期信号を生成し、前記同期信号を左画像と右画像に各々同期させることができる。シャッタメガネ 620 は、有機発光表示装置 500 が左画像と右画像を交互に表示すると、これらに同期して

10

20

30

40

50

左シャッタと右シャッタを開閉させることができる。例えば、シャッタメガネ 620 は同期信号に基づいて有機発光表示装置 500 が左画像を表示すると左シャッタを開放し、有機発光表示装置 500 が右画像を表示すると右シャッタを開放することができる。実施形態により、有機発光表示装置 500 は、前記同期信号を有線または無線でシャッタメガネ 620 に提供することができる。上述した通り、有機発光表示装置 500 に備わる複数の画素回路の各々が有機発光ダイオード、第 1 ~ 第 5 PMOS トランジスタ、並びに、第 1 ~ 第 3 キャパシタを含むか、または、有機発光ダイオード、第 1 ~ 第 5 NMOS トランジスタ、及び第 1 ~ 第 3 キャパシタを含む、いわゆる 5T-3C 構造を有し、それに基づいて左画像の発光時に右画像データを記入し、右画像の発光時に左画像データを記入することができる。従って、有機発光表示装置 500 は従来に比べて高速で動作しながらも消費電力を減少（即ち、輝度を増加）させることができる。

10

【0112】

図 22 は図 20 の有機発光表示装置を含むパララックスバリア方式の立体画像表示システムを示す図面である。

【0113】

図 22 を参照すれば、立体画像表示システム 700 は有機発光表示装置 500、及びパララックスバリア 720 を含むことができる。

【0114】

有機発光表示装置 500 は、立体画像を具現するために、左画像（即ち、左画像フレーム）と右画像（即ち、右画像フレーム）を交互に表示することができる。この時、有機発光表示装置 500 は左画像と右画像を、左眼と右眼に交互に提供するための同期信号を生成し、前記同期信号を左画像と右画像に各々同期させることができる。有機発光表示装置 500 が左画像と右画像を交互に表示されると、パララックスバリア 720 は、それをサブピクセル単位で交互に表示することができる。

20

【0115】

一実施形態において、パララックスバリア 720 は、開口部及び遮断部の位置を変更することによって、左画像と右画像を各々左眼と右眼に提供することができる。上述した通り、有機発光表示装置 500 に備わる複数の画素回路の各々が有機発光ダイオード、第 1 ~ 第 5 PMOS トランジスタ、並びに、第 1 ~ 第 3 キャパシタを含むか、または、有機発光ダイオード、第 1 ~ 第 5 NMOS トランジスタ、及び第 1 ~ 第 3 キャパシタを含む、いわゆる 5T-3C 構造を有し、それに基づいて左画像の発光時に右画像データを記入し、右画像の発光時に左画像データを記入することができる。従って、有機発光表示装置 500 は従来に比べて高速で動作しながらも消費電力を減少させることができる。

30

【0116】

図 23 は図 20 の有機発光表示装置を含む電子機器を示すブロック図である。

【0117】

図 23 を参照すれば、電子機器 1000 は、プロセッサ 1010、メモリ装置 1020、記憶装置 1030、入出力装置 1040、パワーサプライ 1050、及び有機発光表示装置 1060 を含むことができる。この時、有機発光表示装置 1060 は、図 20 の有機発光表示装置 500 に相応することができる。さらに、電子機器 1000 は、ビデオカード、サウンドカード、メモリカード、USB 装置などと通信したり、または、他のシステムと通信できる色々なポート（port）をさらに含むことができる。

40

【0118】

プロセッサ 1010 は特定計算またはタスク（task）を遂行できる。実施形態により、プロセッサ 1010 は、マイクロプロセッサ（micro processor）、中央処理装置（CPU）などであってもよい。プロセッサ 1010 はアドレスバス（address bus）、制御バス（control bus）、及びデータバス（data bus）などを介して他の構成要素に接続されることができる。実施形態により、プロセッサ 1010 は、PCI（Peripheral Component Interconnect）バスのような拡張バスにも接続されることができる。メモリ装置 102

50

0は、電子機器1000の動作に必要なデータを記憶することができる。例えば、メモリ装置1020は、EEPROM(Erasable Programmable Read-Only Memory)、EEPROM(Electrically Erasable Programmable Read-Only Memory)、フラッシュメモリ(Flash Memory)、PRAM(Phase Change Random Access Memory)、RRAM(登録商標)(Resistance Random Access Memory)、NFGM(Nano Floating Gate Memory)、PoRAM(Polymer Random Access Memory)、MRAM(Magnetic Random Access Memory)、FRAM(登録商標)(Ferroelectric Random Access Memory)などのような非揮発性メモリ装置、及び／または、DRAM(Dynamic Random Access Memory)、SRAM(Static Random Access Memory)、モバイルDRAMなどのような揮発性メモリ装置を含むことができる。記憶装置1030は、SSD(Solid State Drive)、HDD(Hard Disk Drive)、CD-ROMなどを含むことができる。
10

【0119】

入出力装置1040は、キーボード、キーパッド、タッチパッド、タッチスクリーン、マウスなどのような入力手段、及びスピーカー、プリンタなどのような出力手段を含むことができる。実施形態により、有機発光表示装置1060は、入出力装置1040内に備わることもできる。パワーサプライ1050は、電子機器1000の動作に必要なパワーを供給することができる。有機発光表示装置1060は、前記バスまたは他の通信リンクを介して他の構成要素に接続されることができる。上述した通り、有機発光表示装置1060は、立体画像を具現するために左画像(即ち、左画像フレーム)と右画像(即ち、右画像フレーム)を視聴者の左眼と右眼に交互に提供することができる。この時、有機発光表示装置1060に備わる複数の画素回路の各々が有機発光ダイオード、第1～第5PMOSトランジスタ、及び第1～第3キャパシタを含むか、または、有機発光ダイオード、第1～第5NMOSトランジスタ、及び第1～第3キャパシタを含む、いわゆる5T-3C構造を有し、それに基づいて左画像の発光時に右画像データを記入し、右画像の発光時に左画像データを記入することができる。従って、有機発光表示装置500は従来に比べて高速で動作しながらも消費電力を減少させることができる。ただし、これに対しては上述したことがあるので、それに対する重複する説明は省略する。一方、有機発光表示装置1060は、シャッタメガネ方式の立体画像表示システム、パララックスバリア方式の立体画像表示システムなどのような立体画像表示装置を具備するすべてのシステムに適用することができる。
20
30

【0120】

以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。
40

【産業上の利用可能性】

【0121】

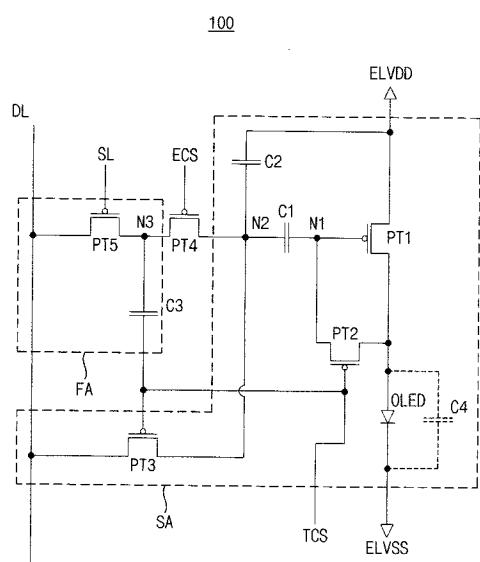
本発明は有機発光表示装置を具備するすべてのシステムに適用することができる。例えば、本発明はテレビ、コンピュータモニタ、ノートパソコン、デジタルカメラ、携帯電話、スマートフォン、PDA、PMP、MP3プレーヤー、ナビゲーション、ビデオフォンなどに適用することができる。

【符号の説明】

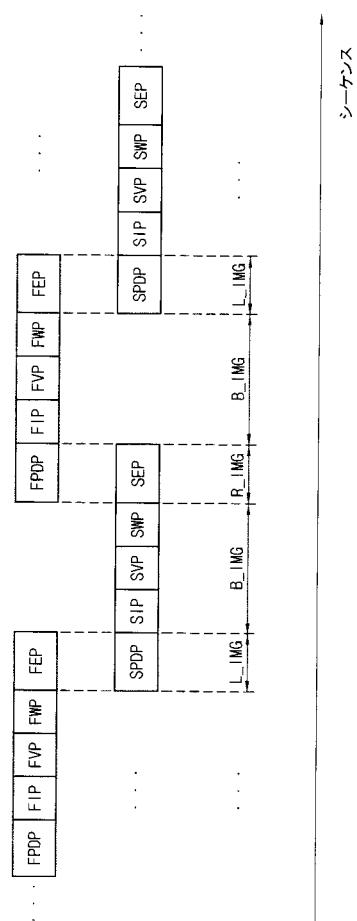
【0122】

P T 1、P T 2、P T 3、P T 4、P T 5 第1～第5 PMOSトランジスタ
 N T 1、N T 2、N T 3、N T 4、N T 5 第1～第5 NMOSトランジスタ
 C 1、C 2、C 3、C 4 第1～第4キャパシタ

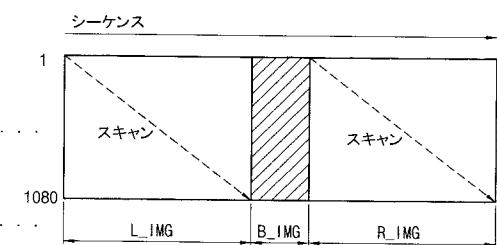
【図 1】



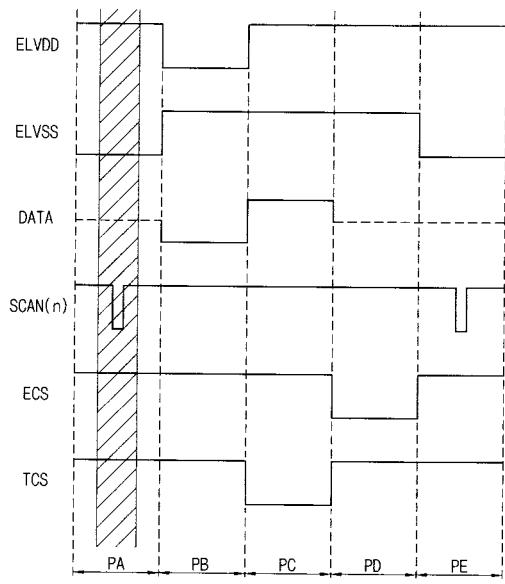
【図 3】



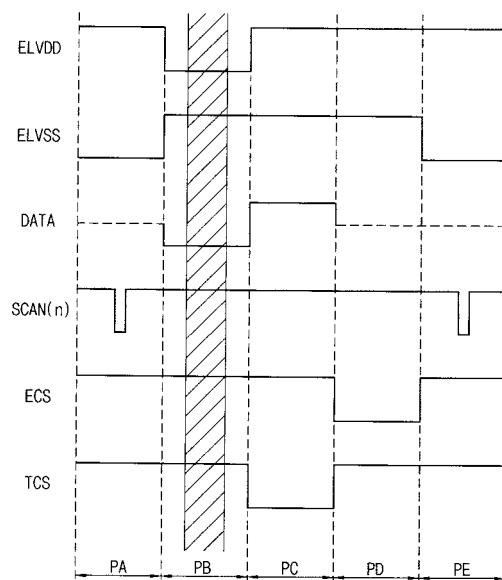
【図 2】



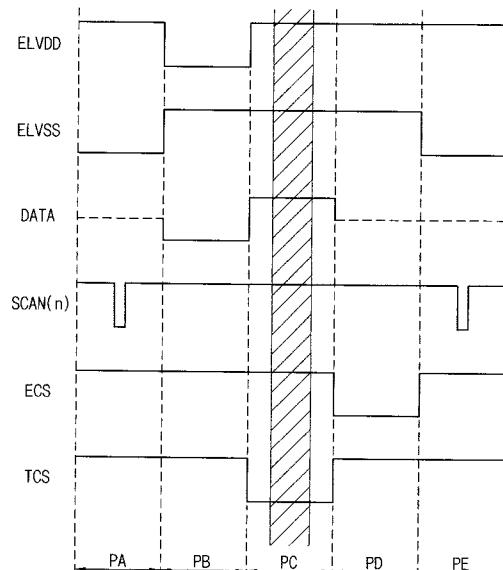
【図4】



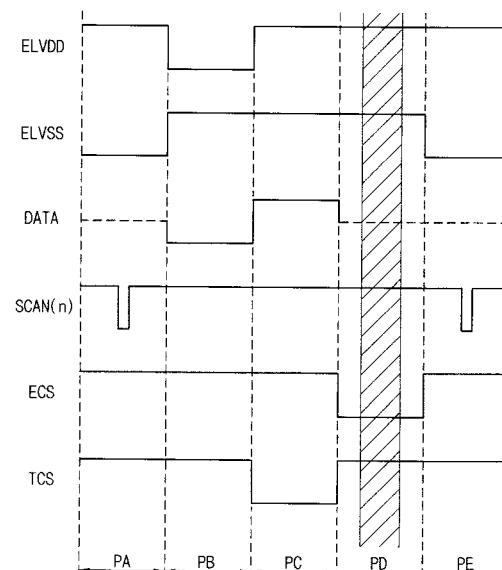
【図5】



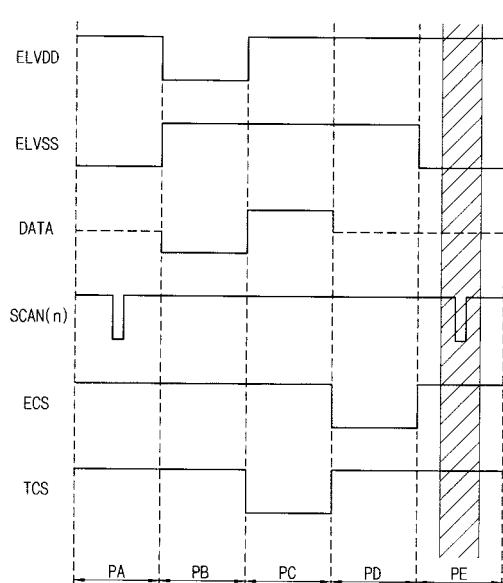
【図6】



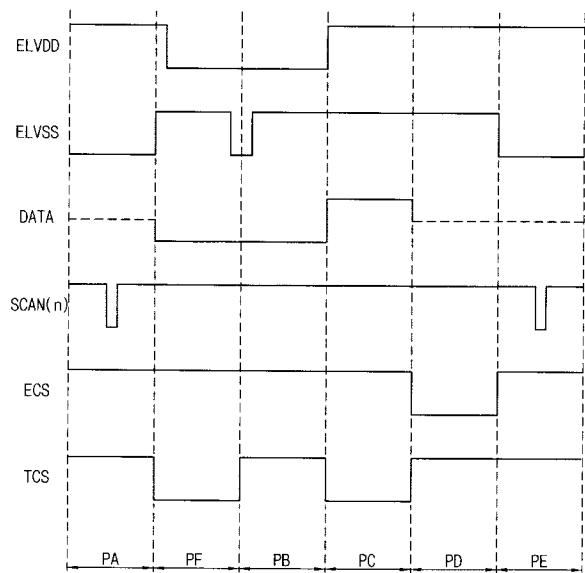
【図7】



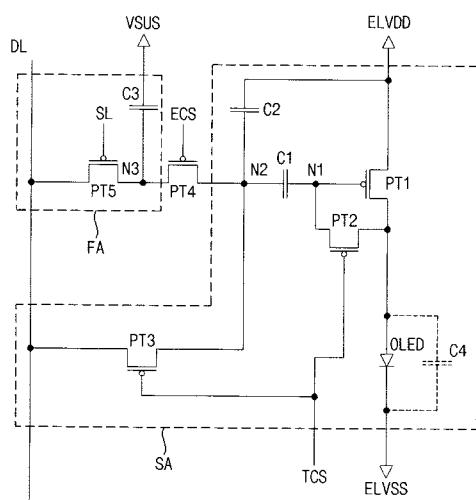
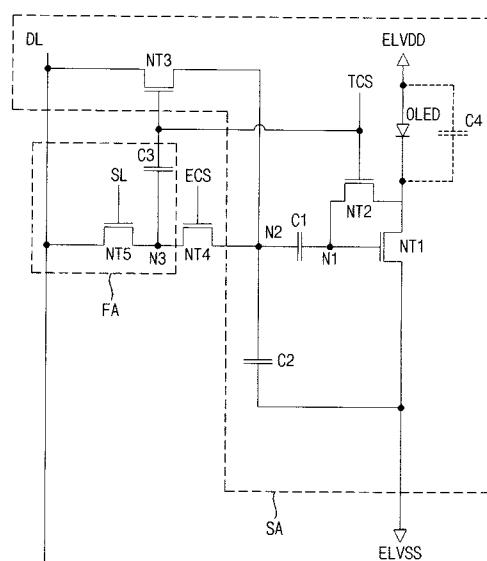
【図8】



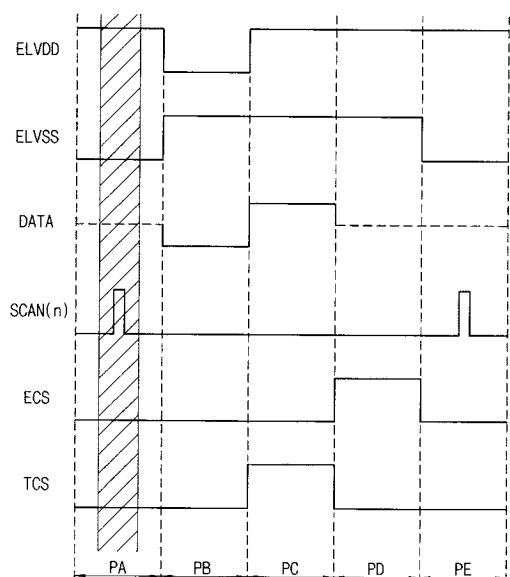
【図9】



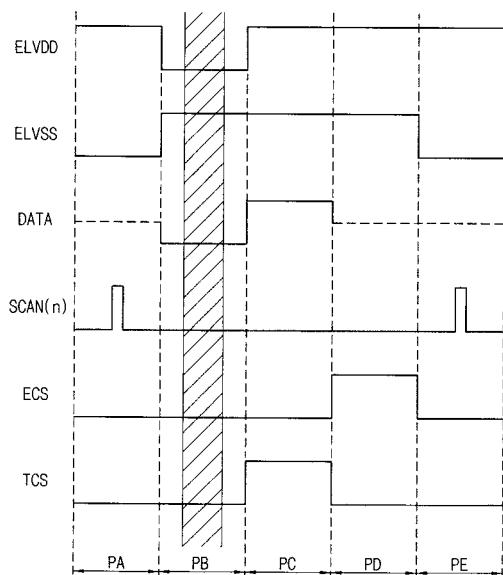
【図10】

200300

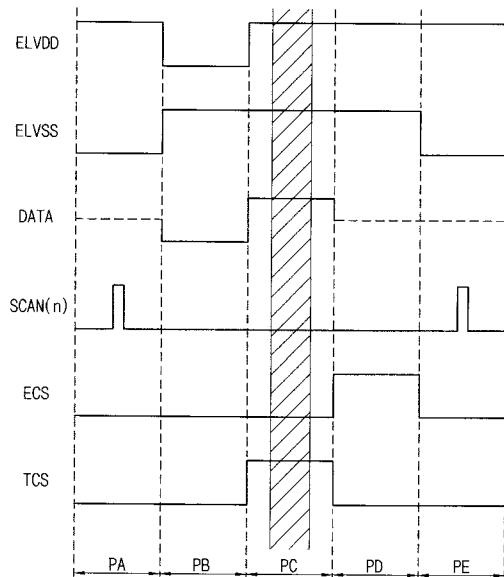
【図 1 2】



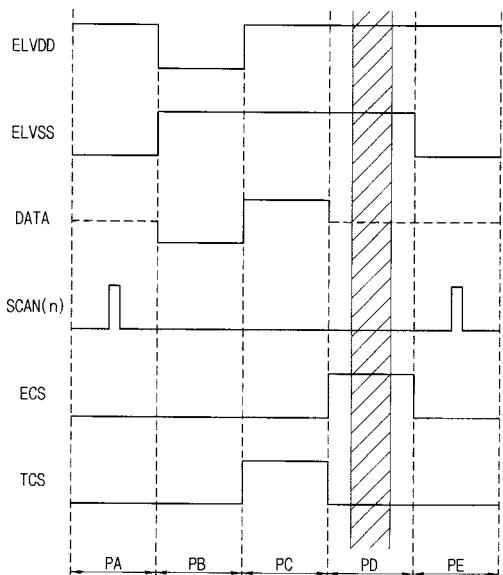
【図 1 3】



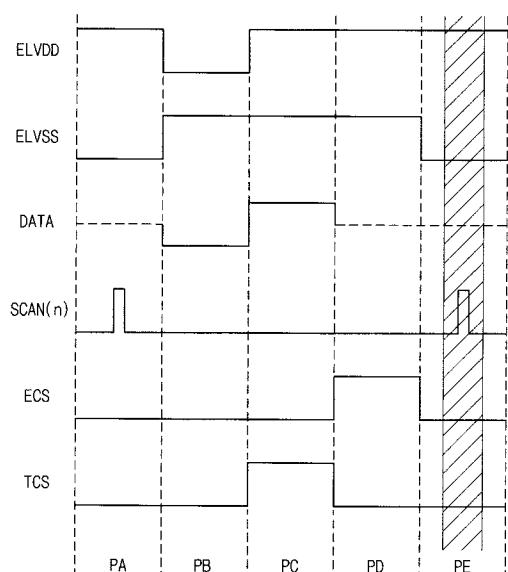
【図 1 4】



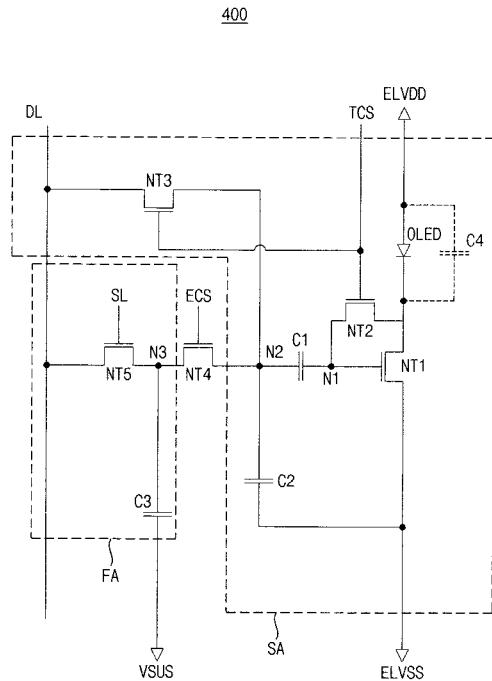
【図 1 5】



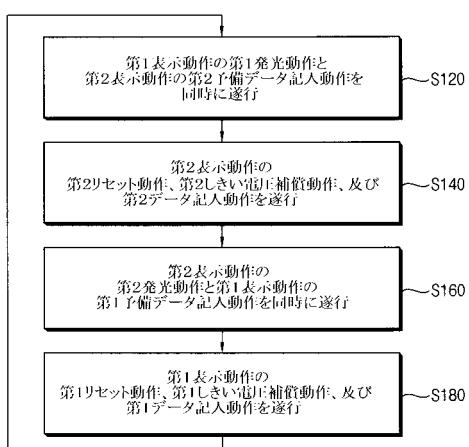
【図16】



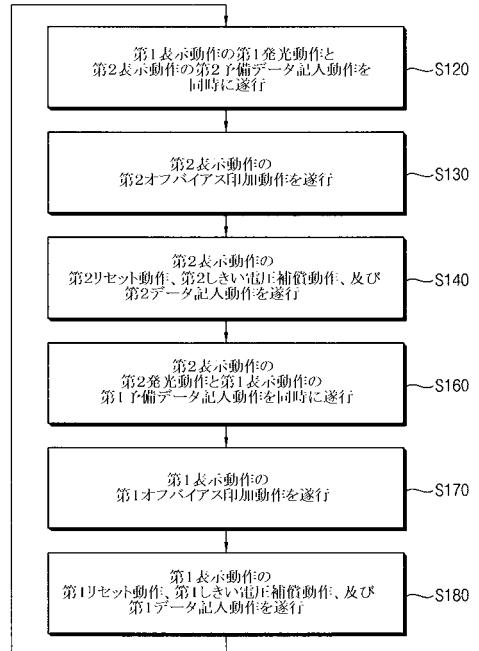
【図17】



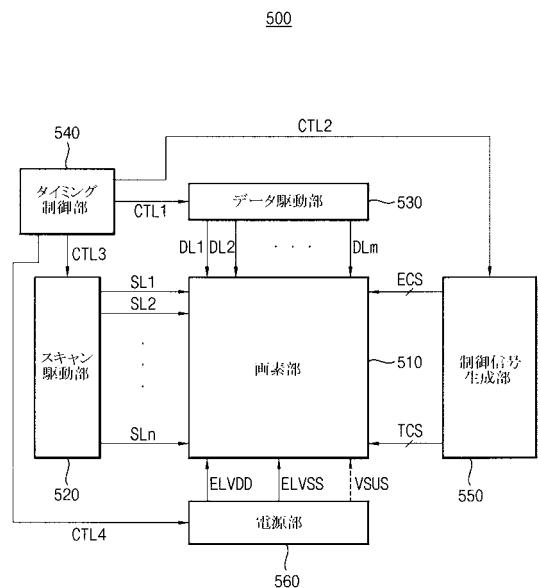
【図18】



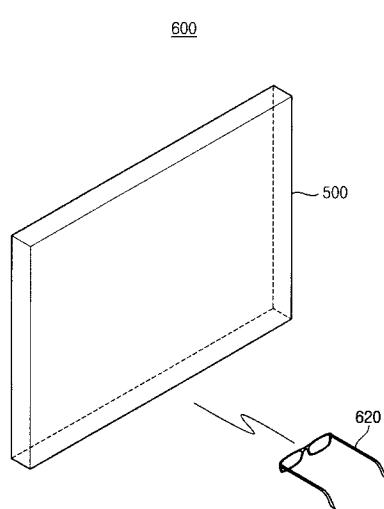
【図19】



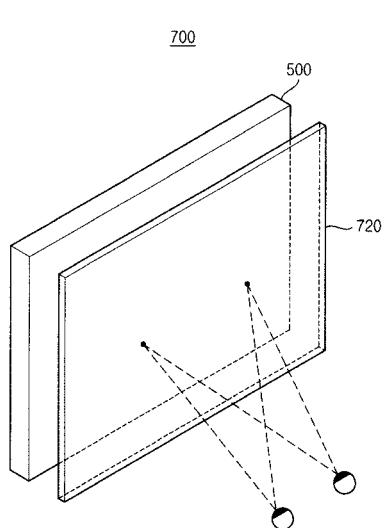
【図20】



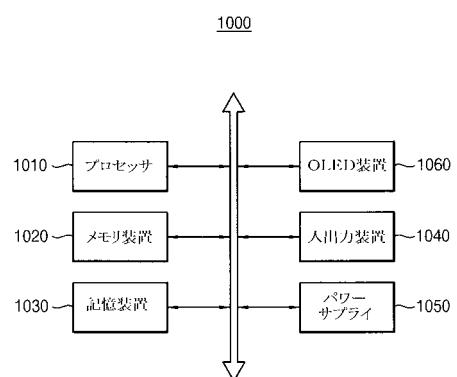
【図21】



【図22】



【図23】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 2 A
G 0 9 G	3/20	6 4 2 D
G 0 9 G	3/20	6 6 0 X
H 0 5 B	33/14	A

(74)代理人 100095500

弁理士 伊藤 正和

(72)発明者 黄 栄 仁

大韓民国京畿道龍仁市器興区農書洞山24 三星モバイルディスプレイ株式會社内

F ターム(参考) 3K107 AA01 BB01 CC02 CC14 CC31 CC41 EE03 HH05

5C080	AA06	BB05	CC04	DD08	DD26	EE29	FF11	FF12	JJ02	JJ03
JJ04	JJ05									
5C380	AA01	AB06	AC07	AC08	AC09	AC11	AC12	AC13	BA01	BA06
BA38	BA39	BB22	BC20	CA08	CA12	CA53	CB01	CB16	CB26	
CB31	CC04	CC07	CC27	CC30	CC33	CC34	CC52	CC61	CC64	
CD045	CE21	CF05	CF62	DA44						

专利名称(译)	像素电路，像素电路的驱动方法和有机发光显示装置		
公开(公告)号	JP2013200541A	公开(公告)日	2013-10-03
申请号	JP2012126999	申请日	2012-06-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	黄荣仁		
发明人	黄 荣 仁		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3258 G09G3/003 G09G3/3233 G09G3/3266 G09G3/3275 G09G2300/0469 G09G2300/0809 G09G2300/0819 G09G2300/0852 G09G2300/0866 G09G2310/0202 G09G2310/0216 G09G2310/0251 G09G2310/0262 G09G2310/063 G09G2310/08 G09G2320/0252 G09G2330/00 H04N13/315 H04N13 /341 H04N13/398		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.621.F G09G3/20.624.B G09G3/20.641.D G09G3/20.642.A G09G3/20.642.D G09G3/20.660.X H05B33/14.A G09G3/3225 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC02 3K107/CC14 3K107/CC31 3K107/CC41 3K107/EE03 3K107 /HH05 5C080/AA06 5C080/BB05 5C080/CC04 5C080/DD08 5C080/DD26 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AC07 5C380/AC08 5C380/AC09 5C380/AC11 5C380/AC12 5C380/AC13 5C380/BA01 5C380/BA06 5C380 /BA38 5C380/BA39 5C380/BB22 5C380/BC20 5C380/CA08 5C380/CA12 5C380/CA53 5C380/CB01 5C380/CB16 5C380/CB26 5C380/CB31 5C380/CC04 5C380/CC07 5C380/CC27 5C380/CC30 5C380 /CC33 5C380/CC34 5C380/CC52 5C380/CC61 5C380/CC64 5C380/CD045 5C380/CE21 5C380/CF05 5C380/CF62 5C380/DA44		
代理人(译)	松永信行 三好秀 伊藤雅一		
优先权	1020120029639 2012-03-23 KR		
外部链接	Espacenet		

摘要(译)

提供一种像素电路，其驱动方法和有机发光显示装置。像素电路100包括有机发光二极管OLED，第一PMOS晶体管PT1，第二PMOS晶体管PT2，第三PMOS晶体管PT3，第四PMOS晶体管PT4，第五PMOS晶体管PT5，第一电容器C1，第二电容器C2，第三电容器C3，数据线DL和扫描线SL。点域1

100

