

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-242838

(P2012-242838A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
HO1L 51/50 (2006.01)	G09G 3/20 642A	5C380
	G09G 3/20 670K	
	G09G 3/20 670J	

審査請求 未請求 請求項の数 11 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2012-114306 (P2012-114306)
 (22) 出願日 平成24年5月18日 (2012.5.18)
 (31) 優先権主張番号 201110129681.8
 (32) 優先日 平成23年5月18日 (2011.5.18)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 510280589
 京東方科技集團股▲ふん▼有限公司
 中華人民共和國100015北京市朝陽區
 酒仙橋路10號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 ▲呉▼ 仲▲遠▼
 中華人民共和國100176北京市經濟技
 術開發區西環中路8號

最終頁に続く

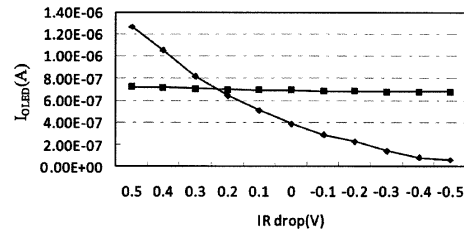
(54) 【発明の名称】 画素ユニット回路及びOLED表示装置

(57) 【要約】 (修正有)

【課題】 OLED素子の劣化、TFT駆動トランジスタの閾値電圧の不均一性及びバックプレーン電源のIR Dropを効果的に補償し表示効果を向上するとともに、大きいサイズのパネルに適用できる画素ユニット回路及びOLED表示装置を提供する。

【解決手段】 第一のサブ回路モジュール、第二のサブ回路モジュール、第一のコンデンサ及び有機発光表示ダイオードOLEDを備える画素ユニット回路において、第一のサブ回路モジュールの一方の入力端がデータラインに接続され、第一のサブ回路モジュールの他方の入力端が第二のサブ回路モジュールの出力端及びOLEDの一端に接続され、第一のサブ回路モジュールの出力端と第二のサブ回路モジュールの入出力端は第一のコンデンサによって接続され、第二のサブ回路モジュールの入力端とOLEDの他端との間にバックプレーンの正負電源の電圧差が印加される。

【選択図】 図13



【特許請求の範囲】

【請求項 1】

第一のサブ回路モジュール、第二のサブ回路モジュール、第一のコンデンサ及び有機発光表示ダイオード O L E D を備える画素ユニット回路において、

第一のサブ回路モジュールの一方の入力端がデータラインに接続され、

第一のサブ回路モジュールの他方の入力端が第二のサブ回路モジュールの出力端及び O L E D の第一端に接続され、

第一のサブ回路モジュールの出力端と第二のサブ回路モジュールの入出力端は第一のコンデンサによって接続され、

第二のサブ回路モジュールの入力端と O L E D の第二端との間にバックプレーンの正負電源の電圧差が印加される画素ユニット回路。

10

【請求項 2】

前記第一のサブ回路モジュールは入力電圧を選択して第一のコンデンサに出力するものであり、

前記第二のサブ回路モジュールは入力電圧を電流に変換して O L E D に供給するものである請求項 1 に記載の画素ユニット回路。

【請求項 3】

前記 O L E D の第一端は O L E D (4) のアノードで、前記 O L E D の第二端は O L E D (4) のカソードであり、

第一のサブ回路モジュール (1) は、前記他方の入力端が O L E D (4) のアノードに接続され、出力端の N D スポットが第一のコンデンサ (3) の一端に接続され、

第二のサブ回路モジュール (2) は、入力端がバックプレーンの正電源 A R V D D に接続され、入出力端の N G スポットが第一のコンデンサ (3) の他端に接続され、出力端が O L E D (4) のアノードに接続され、

O L E D (4) は、カソードがバックプレーンの負電源 A R V S S に接続される請求項 1 に記載の画素ユニット回路。

20

【請求項 4】

前記第一のサブ回路モジュール (1) は、ゲート電極に制御信号 S C A N が入力され、ソース電極にデータラインが接続され、ドレイン電極が N D スポットに対応する第一のトランジスタ (1 1) と、

ゲート電極に制御信号 E M B が入力し、ドレイン電極が N D スポットに対応し、ソース電極に O L E D (4) のアノードが接続される第二のトランジスタ (1 2) と、を備え、前記第一のトランジスタ (1 1) 及び第二のトランジスタ (1 2) は P 型 T F T トランジスタである請求項 3 に記載の画素ユニット回路。

30

【請求項 5】

前記第二のサブ回路モジュール (2) は、ゲート電極が N G スポットに対応し、ドレイン電極が A R V D D に接続される第三のトランジスタ (2 1) と、

ゲート電極に制御信号 E M B が入力され、ドレイン電極が N G スポットに対応し、ソース電極が第三のトランジスタ (2 1) のソース電極に接続される第四のトランジスタ (2 2) と、

ゲート電極に制御信号 E M が入力され、ドレイン電極が第三のトランジスタ (2 1) のソース電極に接続され、ソース電極が O L E D (4) のアノードに接続される第五のトランジスタ (2 3) と、

一端が N G スポットに対応し、他端が A R V D D に接続される第二のコンデンサ (2 4) と、を備え、

前記第三のトランジスタ (2 1) 、第四のトランジスタ (2 2) 及び第五のトランジスタ (2 3) は P 型 T F T トランジスタである請求項 4 に記載の画素ユニット回路。

40

【請求項 6】

前記 O L E D の第一端は O L E D (4 ') のカソードで、前記 O L E D の第二端は O L E D (4 ') のアノードであり、

50

第一のサブ回路モジュール(1')は、前記他方の入力端がOLE D(4')のカソードに接続され、出力端のND'スポットが第一のコンデンサ(3')の一端に接続され、

第二のサブ回路モジュール(2')は、入力端がARVSSに接続され、入出力端のNG'スポットが第一のコンデンサ(3')の他端に接続され、出力端がOLE D(4')のカソードに接続され、

OLE D(4')はアノードがARVDDに接続される請求項1に記載の画素ユニット回路。

【請求項7】

前記第一のサブ回路モジュール(1')は、ゲート電極に制御信号SCAN'が入力され、ソース電極がデータラインに接続され、ドレイン電極がND'スポットに対応する第一のトランジスタ(11')と、

10

ゲート電極に制御信号EMB'が入力され、ドレイン電極がND'スポットに対応し、ソース電極がOLE D(4')のカソードに接続される第二のトランジスタ(12')と、を有し、

前記第一のトランジスタ(11')及び第二のトランジスタ(12')はN型TF Tトランジスタである請求項6に記載の画素ユニット回路。

【請求項8】

前記第二のサブ回路モジュール(2')は、ゲート電極がNG'スポットに対応し、ドレイン電極がARVSSに接続される第三のトランジスタ(21')と、

20

ゲート電極に制御信号EMB'が入力され、ドレイン電極がNG'スポットに対応し、ソース電極が第三のトランジスタ(21')のソース電極に接続される第四のトランジスタ(22')と、

ゲート電極に制御信号EM'が入力され、ドレイン電極が第三のトランジスタ(21')のソース電極に接続され、ソース電極がOLE D(4')のカソードに接続される第五のトランジスタ(23')と、

一端がNG'スポットに対応し、他端がARVSSに接続される第二のコンデンサ(24')と、を備え、

前記第三のトランジスタ(21')、第四のトランジスタ(22')及び第五のトランジスタ(23')はN型TF Tトランジスタである請求項7に記載の画素ユニット回路。

【請求項9】

30

前記画素ユニット回路は、

SCANをハイレベルにして、EM及びEMBをローレベルにすることで、第二のトランジスタ(12)、第三のトランジスタ(21)、第四のトランジスタ(22)及び第五のトランジスタ(23)がオンされ、第一のトランジスタ(11)がオフされ、第一のコンデンサ(3)が放電される第一段階と、

SCANをハイレベルにして、EMBをローレベルにして、EMをハイレベルにすることで、EMが高くなる瞬間で、第二のトランジスタ(12)、第三のトランジスタ(21)及び第四のトランジスタ(22)がオンされ、第一のトランジスタ(11)及び第五のトランジスタ(23)がオフされ、第三のトランジスタ(21)がダイオード接続を形成し、NGスポットの電圧がARVDDに充電されて段々上昇して第三のトランジスタ(21)をオフさせるとともに、NDスポットがOLE D(4)に放電される第二段階と、

40

SCANをローレベルにして、EM及びEMBをハイレベルにすることで、第一のトランジスタ(11)及び第三のトランジスタ(21)がオンされ、第二のトランジスタ(12)、第四のトランジスタ(22)及び第五のトランジスタ(23)がオフされる第三段階と、

SCANをハイレベルにして、EMをローレベルにして、EMBをハイレベルにすることで、第三のトランジスタ(21)及び第五のトランジスタ(23)がオンされ、第一のトランジスタ(11)、第二のトランジスタ(12)及び第四のトランジスタ(22)がオフされ、OLE D(4)が発光する第四段階という順で操作される請求項5に記載の画素ユニット回路。

50

【請求項 10】

前記画素ユニット回路は、

SCAN'をローレベルにして、EM'及びEMB'をハイレベルにすることで、第二のトランジスタ(12')、第三のトランジスタ(21')、第四のトランジスタ(22')及び第五のトランジスタ(23')がオンされ、第一のトランジスタ(11')がオフされ、第一のコンデンサ(3')が放電される第一段階と、

SCAN'をローレベルにして、EMB'をハイレベルにして、EM'をローレベルにすることで、第二のトランジスタ(12')、第三のトランジスタ(21')及び第四のトランジスタ(22')がオンされ、第一のトランジスタ(11')及び第五のトランジスタ(23')がオフされ、第三のトランジスタ(21')がダイオード接続を形成し、NG'スポット電圧が第三のトランジスタ(21')によってARVSSに放電して段々下降して第三のトランジスタ(21')をオフさせるとともに、ND'スポットがARVDに充電される第二段階と、

SCAN'をハイレベルにして、EM'及びEMB'をローレベルにすることで、第一のトランジスタ(11')及び第三のトランジスタ(21')がオンされ、第二のトランジスタ(12')、第四のトランジスタ(22')及び第五のトランジスタ(23')がオフされる第三段階と、

SCAN'をローレベルにして、EM'をハイレベルにして、EMB'をローレベルにすることで、第三のトランジスタ(21')及び第五のトランジスタ(23')がオンされ、第一のトランジスタ(11')、第二のトランジスタ(12')及び第四のトランジスタ(22')がオフされ、OLED(4')が発光する第四段階という順で操作される請求項8に記載の画素ユニット回路。

【請求項 11】

複数の直列する請求項1~10のいずれか1項に記載の画素ユニット回路を有することを特徴とするOLED表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画素ユニット回路及び有機発光ダイオード(Organic Light-Emitting Diode、OLED)表示装置に関する。

【背景技術】

【0002】

電流型発光素子として、OLEDはますます高性能表示に応用されている。表示サイズの増大に伴い、従来のパッシブ・マトリクス有機発光ダイオード(Passive Matrix OLED、PMOLED)表示において、更なる短い1つの画素の駆動時間が要求されるので、瞬間電流を大きくして電力消費を増大する必要がある。それとともに、大きい電流の使用によってインジウムスズ酸化物(ITO)ラインに電圧降下が大きすぎるようになり、OLEDの作業電圧が高すぎるようになり、OLEDの効率が下降してしまう。アクティブマトリクス有機発光ダイオード(Active Matrix OLED、AMOLED)表示は、スイッチトランジスタによって入力されたOLED電流をラインずつにスキャンすることで、上記問題をうまく解決した。

【0003】

AMOLEDバックプレーンを設計するとき、一例として、まず、AMOLEDは、OLED素子に対応する電流を供給するよう低温多結晶シリコン薄膜トランジスタ(LTPS TFT)で画素回路を構成することが多い。LTPS TFTは、一般的な非結晶シリコン薄膜トランジスタ(amorphous-Si TFT)に比べ、より高い移動率及びより安定する特性を有するので、AMOLED表示により適合する。然し、結晶化技術の制限により、大面積のガラス基板に形成されるLTPS TFTは、例えば、閾値電圧、移動率等の電気学パラメータに常に不均一性を有する。この不均一性は、OLEDの電流差異及び輝度差異になってしまい、肉眼に感知される。即ち、ムラ(mura)現象が

10

20

30

40

50

生じてしまう。

【 0 0 0 4 】

第二に、大きいサイズの表示に、バックプレーン電源線にある程度電気抵抗を有し、且全ての画素の駆動電流がバックプレーン正電源（ A R V D D ）により供給されるので、バックプレーンにおいて、 A R V D D 電源の供电位置領域に近い電源電圧は供电位置から遠い領域の電源電圧より高い。このような現象は I R D r o p と称する。 A R V D D の電圧は電流に関わるので、 I R D r o p によって異なる領域の電流が異なるようになり、表示の時にムラ現象が生じてしまう。

【 0 0 0 5 】

第三に、 O L E D 素子が蒸着される時、膜厚の不均一によって電気学性能の非均一性ももたらす。図 1 は O L E D 輝度、 O L E D 閾値電圧及び O L E D 作業時間の関係を示す概略図である。図 1 において、「

10

【 数 1 】



」は輝度を示し、「

【 数 2 】



20

」は O L E D の閾値電圧を示す。図 1 に示すように、長時間の作業を行った後、 O L E D 内部の電気学性能の劣化によって閾値電圧 $V_{O L E D_0}$ が高くなり、発光效率が下降し、輝度が下降する。

【 0 0 0 6 】

現在、 O L E D 素子の劣化を補償することは 1 つの重要課題になった。 O L E D の劣化によって、固定画面を長時間に表示する領域に画像残影（ Image Sticking ）が生じ、表示効果が影響される。

30

【 0 0 0 7 】

図 2 は O L E D の輝度損失と O L E D の閾値電圧との関係を示す概略図である。図 3 は O L E D の輝度と電流密度の関係を示す概略図である。図 3 において、「

【 数 3 】



40

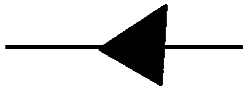
」は赤い光の O L E D の輝度と電流密度の関係を示し、「

【 数 4 】



」は緑色光の O L E D の輝度と電流密度の関係を示し、「

【数 5】



」は青い光の O L E D と電流密度の関係を示す。図 2 及び図 3 に示すように、O L E D の閾値電圧の上昇は輝度損失とほぼリニア関係をなし、O L E D 電流密度と輝度の関係もリニア関係であるので、O L E D の劣化を補償するとき、O L E D の閾値電圧の増大に従って、O L E D の駆動電流をリニア増加させることで、輝度損失を補償することができる。

10

【0008】

A M O L E D はドライブのタイプによってデジタル型、電流型及び電圧型に分ける。デジタル型駆動法は、T F T をスイッチとして駆動時間を制御することでグレーレベル (grey level) を実現し、不均一性を補償する必要がないが、作業頻度が表示サイズの増大に伴って倍に上昇し、電力消費が大きくなり、一定の範囲内に設計が物理の極限になるので、大きいサイズの表示に適合ではない。電流型駆動法は、駆動トランジスタに大きさの異なる電流を直接に供給することでグレーレベルを実現し、T F T 不均一性及び I R D r o p を比較的によく補償できるが、低いグレーレベル信号を書き込みとき、小さい電流でデータラインにおけるより大きい寄生容量を充電することで、書き込み時間が長すぎるようになる。この問題は、大きいサイズ表示で特に厳しくて克服しがたい。電圧型駆動方法は従来の A M L C D 駆動方法に類似し、駆動 I C によって 1 つのグレーレベルを示す電圧信号を供給し、該電圧信号は画素回路内で駆動管の電流信号に変換し、O L E D を駆動して輝度グレーレベルを実現する。このような方法は、駆動速度が速く、簡単に実現できるメリットを有し、大きいサイズのパネルの駆動に適合するので、業界に広く採用されたが、余分の T F T 及びコンデンサ素子を設計して T F T 不均一性及び I R D r o p を補償する必要がある。

20

【0009】

図 4 は従来技術において 2 つの T F T トランジスタ、1 つのコンデンサ及び 1 つの O L E D からなる最も伝統的な電圧駆動型画素ユニット回路構造 (2 T 1 C) を示す概略図である。それにおいて、スイッチトランジスタ T 2 はデータラインにおけるデータ電圧を駆動トランジスタ T 1 のゲート電極に伝送し、駆動トランジスタ T 1 はこのデータ電圧を対応する電流に転換して O L E D に供給する。正常に作業するとき、駆動トランジスタ T 1 は飽和領域にあり、1 つのラインのスキャン時間内に定電流を供給すべきである。その電流は下式で表す。即ち、

30

【数6】

$$I_{OLED} = \frac{1}{2} \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{Data} - ARVDD - V_{th})^2$$

10

20

30

それにおいて、 μ_p はキャリア移動率であり、 C_{ox} はゲート酸化層容量であり、 W/L はトランジスタの幅と長さの比であり、 V_{DATA} はデータ電圧であり、 $ARVDD$ はAMOLEDバックプレーンの電源であって全ての画素ユニットに共有され、 V_{th} はトランジスタの閾値電圧である。上式から分かるように、異なる画素ユニット間の V_{th} が異なれば、電流が異なるようになる。また、OLED素子の劣化に従って、定電流を供給しても、OLEDの発光輝度が下降する。

40

【0010】

目前では、 V_{th} 均一性及びIR Dropを補償する画素ユニット構造は複数ある。然し、ある画素ユニット構造は駆動トランジスタの V_{th} 不均一性を補償できるが、IR Drop及びOLEDの劣化による輝度損失を補償できない。ある画素ユニット回路は、駆動トランジスタの V_{th} 不均一性及びIR Dropを補償できるが、OLEDの劣化による輝度損失を補償できない。ある画素ユニット回路は V_{th} 不均一性、IR Drop及びOLEDの劣化による影響を補償できるが、電流型駆動であるので、大きいサイズのパネルに応用できない。ある画素ユニット回路は、OLED劣化による影響を補償できるが、 V_{th} 不均一性及びIR Dropを補償できない。従って、従来技術に係る画

50

素回路は、T F T 駆動トランジスタの閾値電圧 $V_{T h}$ の不均一性、バックプレーン電源の $I R D r o p$ 及び $O L E D$ 劣化による影響を効果的に補償するとともに、大きいサイズのパネルに適用することができない。

【発明の概要】

【課題を解決するための手段】

【0011】

本発明はT F T 駆動管の閾値電圧の不均一性、バックプレーン電源の $I R D r o p$ 及び $O L E D$ 劣化による影響を効果的に補償できるとともに、大きいサイズのパネルに応用できる画素ユニット回路及び $O L E D$ 表示装置である。

【0012】

本発明の1つの実施例は、第一のサブ回路モジュール、第二のサブ回路モジュール、第一のコンデンサ及び有機発光表示ダイオード $O L E D$ を有する画素ユニット回路であって、

第一のサブ回路モジュールの一方の入力端がデータラインに接続され、

第一のサブ回路モジュールの他方の入力端が第二のサブ回路モジュールの出力端および $O L E D$ の第一端に接続され、

第一のサブ回路モジュールの出力端と第二のサブ回路モジュールの入出力端とが第一のコンデンサによって接続され、

第二のサブ回路モジュールの入力端と $O L E D$ の第二端との間にバックプレーンの正負電源の電圧差が印加される。

【0013】

1つの例示では、前記第一のサブ回路モジュールは入力電圧を選択してコンデンサに出力するものであり、前記第二のサブ回路モジュールは入力電圧を電流に転換して $O L E D$ に供給するものである。

【0014】

1つの例示では、前記 $O L E D$ の第一端は $O L E D (4)$ のアノードで、前記 $O L E D$ の第二端は $O L E D (4)$ のカソードであり、第一のサブ回路モジュール (1) は、前記他方の入力端が $O L E D (4)$ のアノードに接続され、出力端の $N D$ スポットが第一のコンデンサ (3) の一端に接続される。第二のサブ回路モジュール (2) は、入力端がバックプレーンの正電源 $A R V D D$ に接続され、入出力端の $N G$ スポットが第一のコンデンサ (3) の他端に接続され、出力端が $O L E D (4)$ のアノードに接続され、 $O L E D (4)$ のカソードがバックプレーンの負電源 $A R V S S$ に接続される。

【0015】

好ましいのは、前記第一のサブ回路モジュール (1) は、ゲート電極に制御信号 $S C A N$ が入力され、ソース電極がデータラインに接続され、ドレイン電極が $N D$ スポットに対応する第一のトランジスタ (1 1) と、ゲート電極に制御信号 $E M B$ が入力され、ドレイン電極が $N D$ スポットに対応し、ソース電極が $O L E D (4)$ のアノードに接続される第二のトランジスタ (1 2) とを備え、前記第一のトランジスタ (1 1) 及び第二のトランジスタ (1 2) は P 型 $T F T$ トランジスタである。

【0016】

好ましいのは、前記第二のサブ回路モジュール (2) は、ゲート電極が $N G$ スポットに対応し、ドレイン電極が $A R V D D$ に接続される第三のトランジスタ (2 1) と、ゲート電極に制御信号 $E M B$ が入力され、ドレイン電極が $N G$ スポットに対応し、ソース電極が第三のトランジスタ (2 1) のソース電極に接続される第四のトランジスタ (2 2) と、ゲート電極に制御信号 $E M$ が入力され、ドレイン電極が第三のトランジスタ (2 1) のソース電極に接続され、ソース電極が $O L E D (4)$ のアノードに接続される第五のトランジスタ (2 3) と、一端が $N G$ スポットに対応し、他端が $A R V D D$ に接続される第二のコンデンサ (2 4) と、を備え、前記第三のトランジスタ (2 1) 、第四のトランジスタ (2 2) 、第五のトランジスタ (2 3) は P 型 $T F T$ トランジスタである。

【0017】

10

20

30

40

50

他の例示では、前記 O L E D の第一端は O L E D (4 ') のカソードで、前記 O L E D の第二端は O L E D (4 ') のアノードであり、第一のサブ回路モジュール (1 ') は、前記他方の入力端が O L E D (4 ') のカソードに接続され、出力端の N D ' スポットが第一のコンデンサ (3 ') の一端に接続され、第二のサブ回路モジュール (2 ') は、入力端が A R V S S に接続され、入出力端の N G ' スポットが第一のコンデンサ (3 ') の他端に接続され、出力端が O L E D (4 ') のカソードに接続され、 O L E D (4 ') のアノードが A R V D D に接続される。

【 0 0 1 8 】

好ましいのは、前記第一のサブ回路モジュール (1 ') は、ゲート電極に制御信号 S C A N ' が入力され、ソース電極がデータラインに接続され、ドレイン電極が N D ' スポットに対応する第一のトランジスタ (1 1 ') と、ゲート電極に制御信号 E M B ' が入力され、ドレイン電極が N D ' スポットに対応し、ソース電極が O L E D (4 ') のカソードに接続される第二のトランジスタ (1 2 ') と、を備え、前記第一のトランジスタ (1 1 ') 及び第二のトランジスタ (1 2 ') は N 型 T F T トランジスタである。

10

【 0 0 1 9 】

好ましいのは、前記第二のサブ回路モジュール (2 ') は、ゲート電極が N G ' スポットに対応し、ドレイン電極が A R V S S に接続される第三のトランジスタ (2 1 ') と、ゲート電極に制御信号 E M B ' が入力され、ドレイン電極が N G ' スポットに対応し、ソース電極が第三のトランジスタ (2 1 ') のソース電極に接続される第四のトランジスタ (2 2 ') と、ゲート電極に制御信号 E M ' が入力され、ドレイン電極が第三のトランジスタ (2 1 ') のソース電極に接続され、ソース電極が O L E D (4 ') のカソードに接続される第五のトランジスタ (2 3 ') と、一端が N G ' スポットに対応し、他端が A R V S S に接続される第二のコンデンサ (2 4 ') と、を備え、前記第三のトランジスタ (2 1 ') 、第四のトランジスタ (2 2 ') 及び第五のトランジスタ (2 3 ') は N 型 T F T トランジスタである。

20

【 0 0 2 0 】

1 つの例示では、前記画素ユニット回路は、以下の順で操作される。即ち、第一段階は、 S C A N をハイレベルにして、 E M 及び E M B をローレベルにすることで、第二のトランジスタ (1 2) 、第三のトランジスタ (2 1) 、第四のトランジスタ (2 2) 及び第五のトランジスタ (2 3) がオンされ、第一のトランジスタ (1 1) がオフされ、第一のコンデンサ (3) が放電され、第二段階は、 S C A N をハイレベルにして、 E M B をローレベルにして、 E M をハイレベルにすることで、 E M が高くなる瞬間で、第二のトランジスタ (1 2) 、第三のトランジスタ (2 1) 及び第四のトランジスタ (2 2) がオンされ、第一のトランジスタ (1 1) 及び第五のトランジスタ (2 3) がオフされ、第三のトランジスタ (2 1) がダイオード接続を形成し、 N G スポット電圧が A R V D D に充電されて段々上昇して第三のトランジスタ (2 1) をオフさせるとともに、 N D スポットが O L E D (4) に放電され、第三段階は、 S C A N をローレベルにして、 E M 及び E M B をハイレベルにすることで、第一のトランジスタ (1 1) 及び第三のトランジスタ (2 1) がオンされ、第二のトランジスタ (1 2) 、第四のトランジスタ (2 2) 及び第五のトランジスタ (2 3) がオフされ、第四段階では、 S C A N をハイレベルにして、 E M をローレベルにして、 E M B をハイレベルにすることで、第三のトランジスタ (2 1) 及び第五のトランジスタ (2 3) がオンされ、第一のトランジスタ (1 1) 、第二のトランジスタ (1 2) 及び第四のトランジスタ (2 2) がオフされ、 O L E D (4) が発光する。

30

40

【 0 0 2 1 】

他の例示では、前記画素ユニット回路は以下の順で操作される。即ち、

第一段階は、 S C A N ' をローレベルにして、 E M ' 及び E M B ' をハイレベルにすることで、第二のトランジスタ (1 2 ') 、第三のトランジスタ (2 1 ') 、第四のトランジスタ (2 2 ') 及び第五のトランジスタ (2 3 ') がオンされ、第一のトランジスタ (1 1 ') がオフされ、第一のコンデンサ (3 ') が放電され、第二段階は、 S C A N ' をローレベルにして、 E M B ' をハイレベルにして、 E M ' をローレベルにすることで、第

50

二のトランジスタ(12')、第三のトランジスタ(21')及び第四のトランジスタ(22')がオンされ、第一のトランジスタ(11')及び第五のトランジスタ(23')がオフされ、第三のトランジスタ(21')がダイオード接続を形成し、NG'スポットの電圧が第三のトランジスタ(21')を介してARVSSに放電して段々下降して第三のトランジスタ(21')をオフさせるとともに、ND'スポットがARVDDに充電され、第三段階は、SCAN'をハイレベルにして、EM'及びEMB'をローレベルにすることで、第一のトランジスタ(11')及び第三のトランジスタ(21')がオンされ、第二のトランジスタ(12')、第四のトランジスタ(22')及び第五のトランジスタ(23')がオフされ、第四段階は、SCAN'をローレベルにして、EM'をハイレベルにして、EMB'をローレベルにすることで、第三のトランジスタ(21')及び第五のトランジスタ(23')がオンされ、第一のトランジスタ(11')、第二のトランジスタ(12')及び第四のトランジスタ(22')がオフされ、OLED(4')が発光する。

10

【0022】

複数の直列する画素ユニット回路を有するOLED表示装置であって、各画素ユニット回路は、第一のサブ回路モジュール、第二のサブ回路モジュール、第一のコンデンサ及び有機発光表示ダイオードOLEDを有し、第一のサブ回路モジュールは、一方の入力端がデータラインに接続され、他方の入力端が第二のサブ回路モジュールの出力端およびOLEDの一端に接続され、第一のサブ回路モジュールの出力端と第二のサブ回路モジュールの入出力端とは第一のコンデンサによって接続され、第二のサブ回路モジュールの入力端とOLEDの他端との間にバックプレーンの正負電源の電圧差が印加される。

20

【0023】

本発明に係る画素ユニット回路は、従来の画素ユニット回路に比べて、OLED素子の劣化による影響、TFT駆動管の閾値電圧の不均一性及びバックプレーン電源のIR Dropを効果的に補償でき、表示効果を向上できる。さらに、本発明に係る画素ユニット回路は、電圧フィードバック技術に基づいて設計されるものであるため、大きいサイズのパネルに適用できる。

【図面の簡単な説明】

【0024】

【図1】OLED輝度、OLED閾値電圧及びOLED作業時間の関係を示す概略図である。

30

【図2】OLEDの輝度損失とOLEDの閾値電圧の関係を示す概略図である。

【図3】OLEDの輝度と電流密度の関係を示す概略図である。

【図4】従来技術における電圧駆動型画素ユニットの回路構造を示す概略図である。

【図5】本発明における画素ユニット回路の構造を示す概略図である。

【図6】本発明実施例における画素ユニット回路の詳細構造を示す概略図である。

【図7】本発明実施例におけるSCAN、EM及びEMBの制御信号波形を示す概略図である。

【図8】本発明実施例の第1段階の作業状況を示す概略図である。

【図9】本発明実施例の第2段階の作業状況を示す概略図である。

40

【図10】本発明実施例の第3段階の作業状況を示す概略図である。

【図11】本発明実施例の第4段階の作業状況を示す概略図である。

【図12】本発明実施例に係る画素ユニット回路で閾値電圧の不均一性を補償する模擬結果を示す概略図である。

【図13】本発明実施例に係る画素ユニット回路でIR Dropを補償する模擬結果を示す概略図である。

【図14】本発明実施例に係る画素ユニット回路でOLED劣化を補償する模擬結果を示す概略図である。

【図15】本発明実施例においてハイレベルでオンされるN型トランジスタによって実現される画素ユニット回路の構造全体を示す概略図である。

50

【図16】本発明実施例においてハイレベルでオンされるN型トランジスタによって実現される画素ユニット回路の具体的な構造を示す概略図である。

【図17】本発明実施例においてSCAN'、EM'及びEMB'の制御信号波形を示す概略図である。

【発明を実施するための形態】

【0025】

本発明は、第一のサブ回路モジュール、第二のサブ回路モジュール、コンデンサおよび有機発光表示ダイオードOLEDを備える画素ユニット回路において、

第一のサブ回路モジュールの一方の入力端はデータラインに接続され、

第一のサブ回路モジュールの他方の入力端は第二のサブ回路モジュールの出力端及びOLEDの一端に接続され、

第一のサブ回路モジュールの出力端と第二のサブ回路モジュールの入出力端はコンデンサによって接続され、

第二のサブ回路モジュールの入力端とOLEDの他端との間にバックプレーンの正負電源の電圧差が印加される。

【0026】

前記第一のサブ回路モジュールは入力電圧を選択してコンデンサに出力するものであり、前記第二のサブ回路モジュールは入力電圧を電流に転換してOLEDに供給するものである。

【0027】

図5は本発明実施例に係る画素ユニット回路の構造を示す概略図である。図5に示すように、該画素ユニット回路は、サブ回路モジュール1、サブ回路モジュール2、コンデンサ3及びOLED4を有し、サブ回路モジュール1はデータラインとOLED4のアノードにそれぞれ接続される2つの入力端と、コンデンサ3の一端に接続される1つの出力端とを有し、サブ回路モジュール2は、ARVDDに接続される1つの入力端と、コンデンサ3の他端に接続される1つの入出力端と、OLED4のアノードに接続される1つの出力端とを有する。該実施例では、サブ回路モジュール1の出力端もNDスポットと称し、サブ回路モジュール2の入出力端もNGスポットと称する。言い換えれば、該実施例の画素ユニット回路において、サブ回路モジュール1は、入力がデータ電圧 V_{DATA} 及びOLEDアノードの電圧であり、出力がNDスポットであり。サブ回路モジュール2は、1つの入力信号がARVDDであり、1つの電圧入出力ポートがNGスポットであり、1つの電流出力ポートがOLED4のアノードに接続され、コンデンサ3がNDスポットとNGスポットとの間に接続され、OLED4のカソードがバックプレーンの負電源(ARVSS)に接続される。

【0028】

図5に示す画素ユニット回路において、サブ回路モジュール1は入力電圧(V_{DATA} 又は V_{OLED})を選択してNDに出力するものであり、サブ回路モジュール2は入力電圧を電流に転換してOLED供給するものであり、その出力を $f(V_{NG}, ARVDD, V_{Th}) = I_{OLED}$ という式で表し、それは2つの段階によって作業を行う。即ち、第一段階は補償段階であり、この段階では、NDスポットの電圧が V_{OLED_0} (V_{OLED_0} がOLED閾値電圧である)に制御され、このとき、サブ回路モジュール2のNGスポットが出力ポートになり、NGスポットの電圧が $ARVDD + V_{Th}$ に制御され、 V_{Th} は画素ユニット回路に用いられるトランジスタの閾値電圧である。第二段階は演算段階であり、該段階では、サブ回路モジュール1が出力するNDスポット電圧が V_{DATA} に制御され、このとき、サブ回路モジュール2のNGスポットが入力ポートになり、コンデンサのブートストラップ効果によって、NGスポット電圧が $k \cdot (V_{DATA} - V_{OLED_0}) + ARVDD + V_{Th}$ になり、サブ回路モジュール2はこの入力電圧を電流に転化し、転化中に上述のNGスポット電圧を表す式における $ARVDD$ と V_{Th} の項を消去して、出力電流を $ARVDD$ 、 V_{Th} と無関係にさせ、つまり、閾値電圧の不均一性と IR_{Drop} を補償するとともに、サブ回路モジュール2は出力電流を V_{OLED_0} と正比

例にして、即ち、 V_{OLED_0} が大きいほど出力電流が大きくなり、比例係数 k によって両者の関係を調節して、 $OLED$ の減衰による電流の下降、発光効率の低下による影響を補償する。該画素ユニット回路は従来の画素構造に比べて $OLED$ 素子の劣化及び TFT 駆動管の閾値電圧の不均一性、バックプレーン電源の $IR\ Drop$ を効果的に補償できる。

【0029】

図6は本発明実施例に係る画素ユニット回路の詳細構造を示す概略図である。図6に示すように、該画素ユニット回路は、5つのP型TFTトランジスタ、1つのOLED及び2つのコンデンサからなり、ARVDDはハイレベルの電源信号であり、ARVSSはローレベルの電源信号であり、回路全体は3つの制御信号SCAN、EM及びEMBに制御される。図7はSCAN、EM及びEMBの制御信号波形を示す。

10

【0030】

図5及び図6に示すように、サブ回路モジュール1はトランジスタ11及びトランジスタ12を備え、サブ回路モジュール2はトランジスタ21、トランジスタ22、トランジスタ23及びコンデンサ24を備え、

トランジスタ11はゲート電極に制御信号SCANが入力され、ソース電極がデータラインに接続され、ドレイン電極がNDスポットに対応し、

トランジスタ12はゲート電極に制御信号EMBが入力され、ドレイン電極がNDスポット(即ち、トランジスタ12のドレイン電極とトランジスタ11のドレイン電極とが接続される)に対応し、ソース電極がOLED4のアノードに接続され、

20

トランジスタ21はゲート電極がNGスポットに対応し、ドレイン電極にARVDDが入力され、

トランジスタ22はゲート電極に制御信号EMBが入力され、ドレイン電極がNGスポットに対応し、ソース電極がトランジスタ21のソース電極に接続され、

トランジスタ23はゲート電極に制御信号EMが入力され、ドレイン電極がトランジスタ21のソース電極に接続され、ソース電極がOLED4のアノードに接続され、

コンデンサ24は一端がNGスポットに対応し、他端がARVDDに接続される。

【0031】

これから分かるように、サブ回路モジュール1は、2つの入力端がそれぞれトランジスタ11及びトランジスタ12のソース電極に対応し、出力端がトランジスタ11またはトランジスタ12のドレイン電極に対応する。サブ回路モジュール2は、入力端がトランジスタ21のドレイン電極に対応し、入出力端がトランジスタ21のゲート電極に対応し、出力端がトランジスタ23のソース電極に対応する。

30

【0032】

図6に示す画素ユニット回路は、図7に示す制御信号波形に基づき、作業が以下の4つの段階に分ける。

第1段階はプレチャージ段階である。図8に示すように、この段階では、SCANがハイレベルであり、EM及びEMBがローレベルである。この時、トランジスタ21、トランジスタ22、トランジスタ12及びトランジスタ23がオンされ、トランジスタ11がオフされ、コンデンサ3が放電され、NGスポットの電位は $ARVDD + V_{ThP}$ より小さく、 V_{ThP} がP型TFTトランジスタ21の閾値電圧($V_{ThP} < 0$)である。

40

第2段階は補償段階である。図9に示すように、この段階では、SCANがハイレベルであり、EMBがローレベルであり、EMがハイレベルである。EMが高くなる瞬間で、トランジスタ21、トランジスタ22及びトランジスタ12がオンされ、トランジスタ11、トランジスタ23がオフされる。トランジスタ21がダイオード接続を形成し、NGスポットの電圧がARVDDにより充電されて段々 $ARVDD + V_{ThP}$ まで上昇してトランジスタ21をオフさせるとともに、OLED4がオフされ電流が流れなくなるまでNDスポットがOLED4により放電される。この時、ND電圧が V_{OLED_0} 、即ち、OLED4の閾値電圧になる。

第3段階は演算段階である。図10に示すように、この段階では、SCANがローレベ

50

ルであり、EM及びEMBがハイレベルである。トランジスタ21及びトランジスタ11がオンされ、トランジスタ22、トランジスタ12及びトランジスタ23がオフされる。この時、データラインの電圧がコンデンサ3のNDスポットに印加される。NGスポットには直流通路がないので、該スポットの電荷総量は、下式のように、段階2に対して不変すべきである。

【数 7】

$$\begin{aligned}
 & (ARVDD + V_{thp} - V_{OLED_0}) \cdot C_3 + (ARVDD + V_{thp} - ARVDD) \cdot C_{24} \\
 & = (V_{NG} - V_{Data}) \cdot C_3 + (V_{NG} - ARVDD) \cdot C_{24}
 \end{aligned}$$

演算して、

10

20

30

40

【数 8】

$$V_{NG} = [C_3 / (C_3 + C_{24})] \cdot (V_{Data} - V_{OLED_0}) + ARVDD + V_{thp}$$

10

20

30

40

を得る。

第 4 段階は保持発光段階、図 1 1 に示すように、この段階では、SCAN がハイレベルであり、EM がローレベルであり、EMB がハイレベルである。トランジスタ 2 1 及びトランジスタ 2 3 がオンされ、トランジスタ 2 2、トランジスタ 1 1 及びトランジスタ 1 2 がオフされる。この時、NG スポットの電圧がコンデンサ 2 4 に保存され、トランジスタ 2

50

3 がオンされた後、電流が O L E D 4 に供給されてそれを発光させる。この時、トランジスタ 2 1 を流れる電流は、

【数 9】

$$\begin{aligned}
 I_{OLED} &= \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot \left(\left[\frac{C_3}{C_{24} + C_3} \right] \cdot (V_{Data} - V_{OLED_0}) + ARVDD + V_{thp} - ARVDD - V_{thp} \right)^2 \\
 &= \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[\frac{C_3}{C_{24} + C_3} \cdot (V_{Data} - V_{OLED_0}) \right]^2
 \end{aligned}$$

10

20

30

40

50

上記の式から分かるように、トランジスタ 21 を流れる電流はトランジスタ閾値電圧及び $A R V D D$ に関係ないので、本実施例における画素ユニット回路は、トランジスタ閾値電圧の不均一性及び $I R D r o p$ の影響をほぼ除去した。

【0033】

図 12 は本発明実施例に係る画素ユニット回路でトランジスタ閾値電圧の不均一性を補償する模擬結果を示す概略図である。この図において、「

【数 10】



10

」は従来構造の 2 T 1 C でトランジスタ閾値電圧と $I_{O L E D}$ との関係を示し、「

【数 11】



」は本実施例の構造の 5 T 2 C でトランジスタ閾値電圧と $I_{O L E D}$ との関係を示す。図 12 に示すように、従来構造の 2 T 1 C に基づき、トランジスタ閾値電圧が $\pm 0.6 V$ ドリフトした場合に、その電流が最大 1.8 倍以上ドリフトする可能性がある。本実施例における 5 T 2 C の構造に基づき、閾値電圧が $\pm 0.6 V$ ドリフトした場合に、その電流の波動は 2.5 % より小さい。

20

【0034】

図 13 は本発明実施例に係る画素ユニット回路で $I R D r o p$ を補償する模擬結果を示す概略図である。この図において、「

【数 12】



30

」は従来構造の 2 T 1 C で $A R V D D$ 電圧降下と $I_{O L E D}$ との関係を示し、「

【数 13】



」は本実施例における 5 T 2 C 構造で $A R V D D$ 電圧降下と $I_{O L E D}$ との関係を示す。図 13 に示すように、従来構造の 2 T 1 C に基づき、 $A R V D D$ 電圧降下のドリフトが $\pm 0.5 V$ であり、その電流の最大が 81 % ドリフトする。本実施例における 5 T 2 C の構造に基づき、 $A R V D D$ 電圧降下のドリフトが $\pm 0.5 V$ である場合に、その電流波動は 3.5 % 以下である。

40

【0035】

それとともに、電流 $I_{O L E D}$ は $O L E D$ の閾値電圧 $V_{O L E D_0}$ に関連し、 $O L E D$ の劣化による輝度損失を補償できる。 $O L E D$ 素子が劣化するとき、 $V_{O L E D_0}$ は段々大きくなり、発光效率が下降するので、同じ輝度を維持するにはトランジスタ 21 を駆動してより大きい電流を提供する必要がある。実際の応用に、 $V_{D A T A} < 0$ かつ $V_{D A T A} < V_{O L E D_0}$ にすれば、 $V_{O L E D_0}$ の増大に従い、 $|V_{D A T A} - V_{O L E D_0}|$ が大きくなり、 $I_{O L E D}$ を増大させ、 $O L E D$ の輝度損失を補償する。

【0036】

50

テーラー (Taylor) 展開から分かるように、OLED 閾値電圧がドリフトすれば、ドリフト後の閾値電圧は $V'_{OLED_0} = V_{OLED_0} + \Delta V_{OLED_0}$ ように表せるので、 I_{OLED} は V_{OLED_0} に対して次元近似展開式が以下のとおりである。

【数 1 4】

$$I_{OLED} = \frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[\frac{C_3}{C_{24} + C_3} \cdot (V_{Data} - V_{OLED_0}) \right]^2 + \mu_p \cdot C_{ox} \cdot \frac{W}{L} \cdot \left[\frac{C_3}{C_{24} + C_3} \cdot (V_{Data} - V_{OLED_0}) \right] \cdot \Delta V_{OLED_0}$$

10

20

30

40

劣化の測定結果により、コンデンサ24とコンデンサ3の容量比例を調節することでその V_{OLED_0} の係数を調節し、輝度 $-V_{OLED_0}$ 曲線と相補にさせ、OLEDの劣化による輝度損失をちょうど補償する。

【0037】

図14は本発明実施例に係る画素ユニット回路ではOLED劣化を補償する模擬結果を示す概略図である。この図において、「

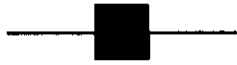
【数15】



10

」は従来構造の2T1CでOLED閾値電圧と I_{OLED} との関係を示し、「

【数16】



」は本実施例に係る5T2CでOLEDの閾値電圧と I_{OLED} との関係を示す。図14に示すように、従来構造の2T1Cに基づき、OLED閾値電圧が0~0.8Vドリフトしたとき、その電流は遅く減少する傾向があるので、表示輝度の下降が激しくなる。それに対して、本実施例の構造の5T2Cに基づき、電流はOLEDの閾値電圧の増大に従って同期リニアに増加し、OLEDの輝度損失を効果的に補償できる。コンデンサ24とコンデンサ3の容量比例を調節することは、電流の増加速度及び範囲を制御できる。

20

【0038】

エミュレーション比較により、本実施例に係る画素ユニット回路を用いることは、トランジスタ閾値電圧の不均一性及び I_{RDrop} を効果的に補償でき、電流のドリフトをそれぞれ2.5%及び3.5%程度に制御でき、大きいサイズのパネル表示に適合である。特に、該実施例はOLEDの劣化による輝度損失を補償でき、製品の寿命を効果的に向上できる。

【0039】

30

また、本発明の画素ユニット回路は、ローレベルでオンされるP型トランジスタによって実現できるだけでなく(図6に示すように)、ハイレベルでオンされるN型トランジスタによっても実現できることに注意する必要がある。図15は、本発明の他の実施例に係るハイレベルでオンされるN型トランジスタの画素ユニット回路の構造全体を示し、図16はその具体的な構造を示し、図17は対応するSCAN'、EM'及びEMB'の制御信号波形を示す。

【0040】

図15に示すように、該実施例に係る画素ユニット回路は、サブ回路モジュール1'、サブ回路モジュール2'、コンデンサ3'及びOLED4'を備え、サブ回路モジュール1'は、データライン及びOLEDカソードに接続される2つの入力端と、コンデンサ3'の一端に接続されND'スポットに対応する1つの出力端とを有し、サブ回路モジュール2'は、ARVSSに接続される1つの入力端と、コンデンサ3'の他端に接続されかつNG'スポットの他端に対応する1つの入出力端と、OLED4'のカソードに接続される1つの出力端とを有し、OLED4'のアノードはARVDDに接続される。

40

【0041】

図16に示すように、サブ回路モジュール1'は、トランジスタ11'及びトランジスタ12'を有し、前記トランジスタ11'及びトランジスタ12'はN型TFTトランジスタである。トランジスタ11'は、ゲート電極に制御信号SCAN'が入力され、ソース電極がデータラインに接続され、ドレイン電極がND'スポットに対応する。トランジスタ12'は、ゲート電極に制御信号EMB'が入力され、ドレイン電極がND'スポッ

50

トに対応し、ソース電極がOLE D 4'のカソードに接続される。

【0042】

サブ回路モジュール2'はトランジスタ21'、トランジスタ22'、トランジスタ23'及びコンデンサ24'を備える。前記トランジスタ21'、トランジスタ22'及びトランジスタ23'はN型TFTトランジスタである。トランジスタ21'は、ゲート電極がNG'スポットに対応し、ドレイン電極がARVSSに接続される。トランジスタ22'は、ゲート電極に制御信号EMB'が入力され、ドレイン電極がNG'スポットに対応し、ソース電極がトランジスタ21'のソース電極に接続される。トランジスタ23'は、ゲート電極に制御信号EM'が入力され、ドレイン電極がトランジスタ21'のソース電極に接続され、ソース電極がOLE D 4'のカソードに接続される。コンデンサ24'は、一端がNG'スポットに対応し、他端がARVSSに接続される。

10

【0043】

図15に示す画素ユニット回路の作業は、2つの段階に分ける。第一段階は補償段階である。該段階では、ND'スポット電圧がARVDD - V_{OLE D_0}に制御され、この時、サブ回路モジュール2のNG'スポットが出力ポートであり、NG'スポットの電圧がV_{Th}に制御され、V_{Th}は画素ユニット回路に用いられるトランジスタの閾値電圧である。第二段階は演算段階である。該段階では、サブ回路モジュール1が出力するND'スポット電圧がV_{DATA}に制御され、この時、サブ回路モジュール2のNG'スポットは入力ポートであり、このとき、コンデンサのブートストラップ効果により、NG'スポット電圧を $k \cdot (V_{DATA} - ARVDD - V_{OLE D_0}) + V_{Th}$ に変更する。

20

【0044】

図16に示す画素ユニット回路は、図17に示す制御信号波形に基づき、作業が以下の4つの段階に分ける。

第一段階は、SCAN'がローレベルであり、EM'及びEMB'がハイレベルである。これによって、トランジスタ(21')、トランジスタ(22')、トランジスタ(12')及びトランジスタ(23')がオンされ、トランジスタ(11')がオフされ、コンデンサ(3')が放電される。

第二段階は、SCAN'がローレベルであり、EMB'がハイレベルであり、EM'がローレベルである。これによって、トランジスタ(21')、トランジスタ(22')及びトランジスタ(12')がオンされ、トランジスタ(11')及びトランジスタ(23')がオフされ、トランジスタ(21')がダイオード接続を形成し、NG'スポット電圧がトランジスタ(21')によってARVSSへ放電されて段々下降してトランジスタ(21')をオフさせるとともに、ND'スポットがARVDDにより充電される。

30

第三段階では、SCAN'がハイレベルであり、EM'、EMB'がローレベルである。これによって、トランジスタ(21')及びトランジスタ(11')がオンされ、トランジスタ(22')、トランジスタ(12')及びトランジスタ(23')がオフされる。

第四段階では、SCAN'がローレベルであり、EM'がハイレベルであり、EMB'がローレベルである。これによって、トランジスタ(21')及びトランジスタ(23')がオンされ、トランジスタ(22')、トランジスタ(11')及びトランジスタ(12')がオフされ、OLE D(4')が発光する。

40

前記トランジスタ(11')、トランジスタ(12')、トランジスタ(21')、トランジスタ(22')及びトランジスタ(23')はN型TFTトランジスタである。

【0045】

本発明は、OLE D表示装置をさらに提供する。該OLE D表示装置は複数の直列する図5、図6、図15または図16に示す画素ユニット回路を有する。

【0046】

これで分かるように、本発明は、電圧フィードバック技術のAMOLE D画素構造を用いることで、OLE D素子の劣化及びTFT駆動トランジスタの閾値電圧の不均一性、バックプレーン電源のIR Dropを効果的に補償し、表示効果を向上できる。

50

【 0 0 4 7 】

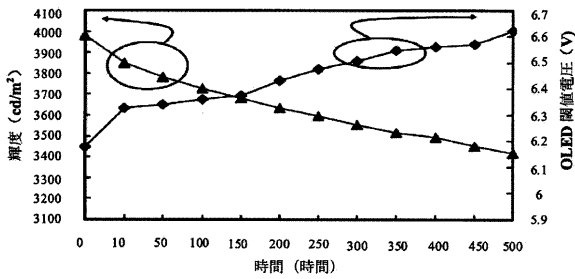
以上は、本発明のより優れた実施例のみであり、本発明の保護範囲を限定するものではない。

【 符号の説明 】

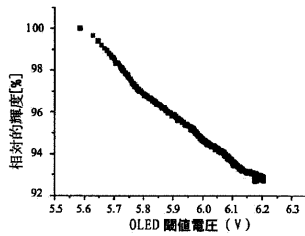
【 0 0 4 8 】

- 1、2 サブ回路モジュール
- 3 コンデンサ
- 4 O L E D
- 1 1、1 2、2 1、2 2、2 3 トランジスタ
- 2 4 コンデンサ

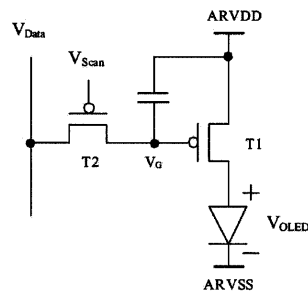
【 図 1 】



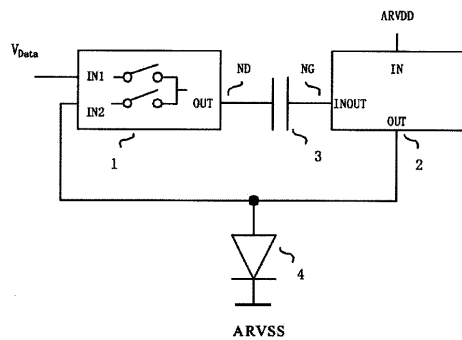
【 図 2 】



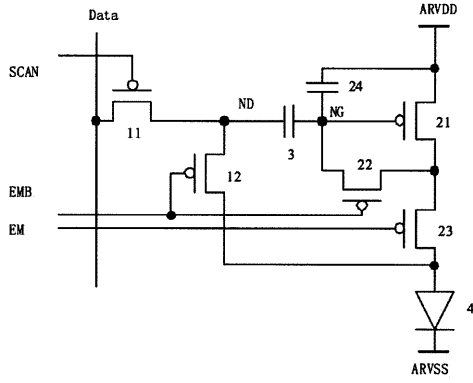
【 図 4 】



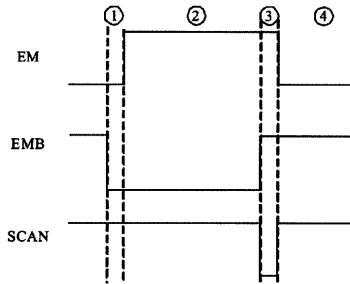
【 図 5 】



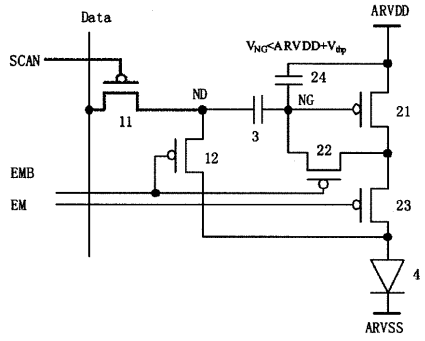
【 図 6 】



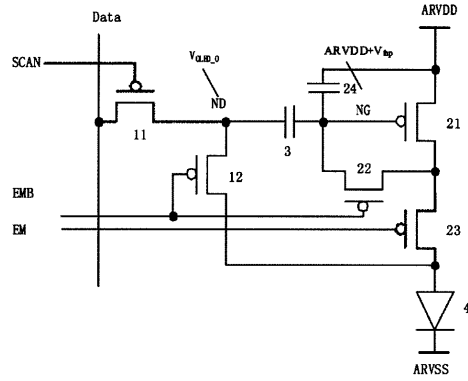
【 図 7 】



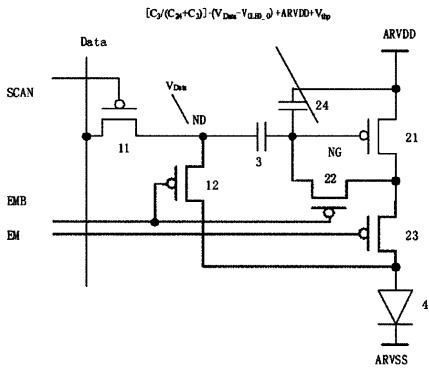
【 図 8 】



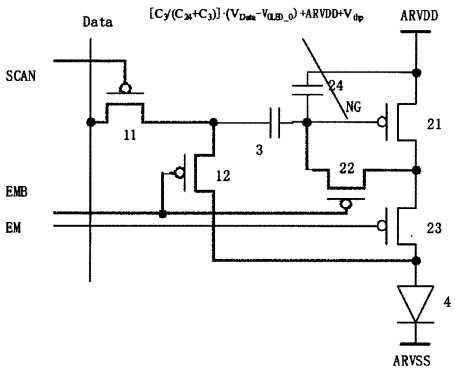
【 図 9 】



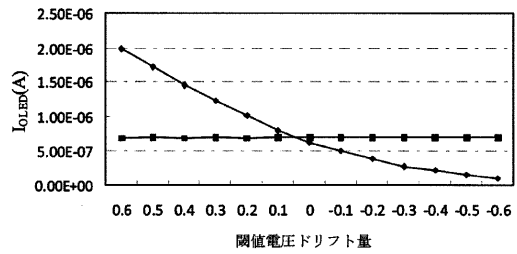
【 図 10 】



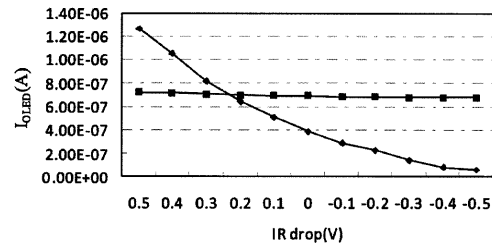
【 図 11 】



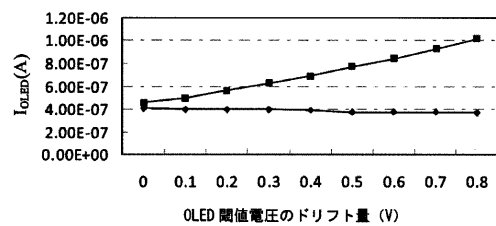
【 図 12 】



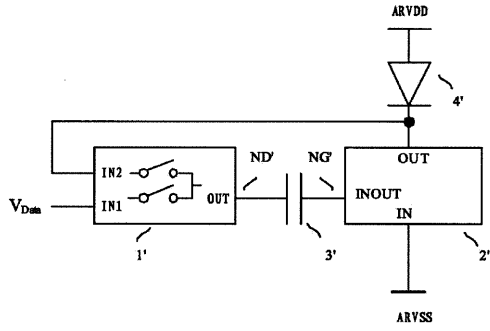
【 図 13 】



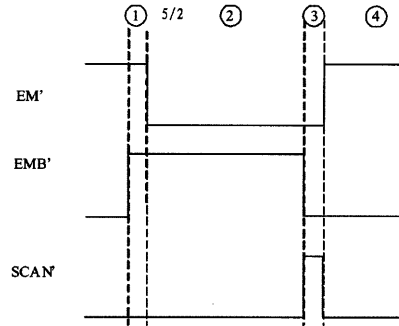
【 図 14 】



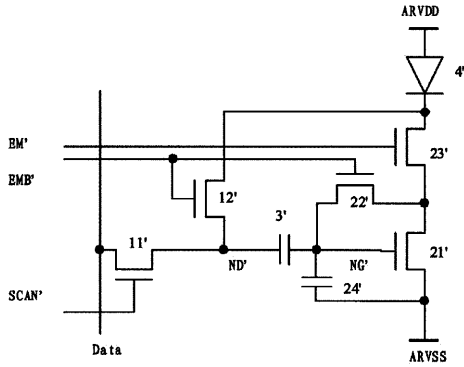
【 図 1 5 】



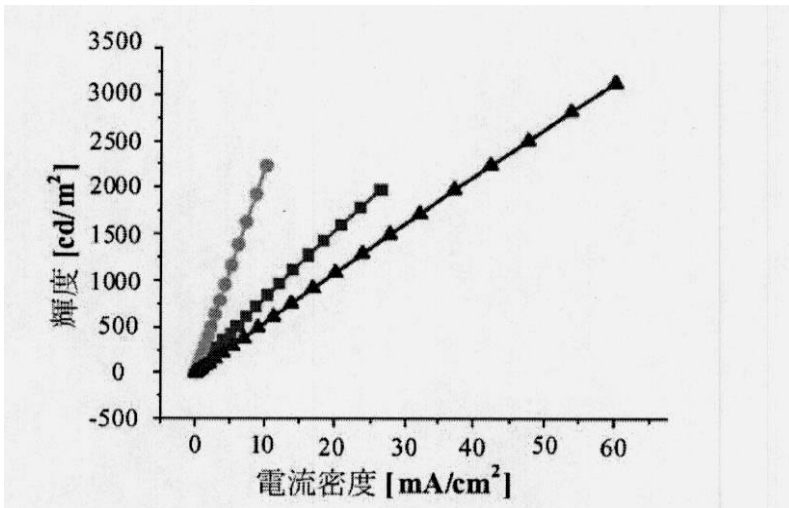
【 図 1 7 】



【 図 1 6 】



【 図 3 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 5 B 33/14 A

(72)発明者 段 立業
中華人民共和国 1 0 0 1 7 6 北京市經濟技術開發區西環中路 8 號

(72)発明者 王 剛
中華人民共和国 1 0 0 1 7 6 北京市經濟技術開發區西環中路 8 號

(72)発明者 肖 田
中華人民共和国 1 0 0 1 7 6 北京市經濟技術開發區西環中路 8 號

F ターム(参考) 3K107 AA01 BB01 CC14 CC21 CC33 CC42 EE03 HH05
5C080 AA06 DD05 DD29 FF11 HH09 JJ03 JJ04 JJ05
5C380 AA01 AB06 AB22 AB24 BA36 BA38 BA39 BB02 BD05 CC26
CC27 CC33 CC39 CC64 CD012 CD025 DA50

专利名称(译)	像素单元电路和OLED显示器件		
公开(公告)号	JP2012242838A	公开(公告)日	2012-12-10
申请号	JP2012114306	申请日	2012-05-18
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	吳仲遠 段立業 王剛 肖田		
发明人	▲吳▼ 仲▲遠▼ 段 立業 王 剛 ▲肖▼ 田		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2320/043 G09G2320/045		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.642.A G09G3/20.670.K G09G3/20.670.J H05B33/14.A G09G3/3225		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/CC33 3K107/CC42 3K107/EE03 3K107/HH05 5C080/AA06 5C080/DD05 5C080/DD29 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB24 5C380/BA36 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BD05 5C380/CC26 5C380/CC27 5C380/CC33 5C380/CC39 5C380/CC64 5C380/CD012 5C380/CD025 5C380/DA50		
代理人(译)	村山彦 渡边 隆		
优先权	201110129681.8 2011-05-18 CN		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了有效地补偿OLED元件的劣化，TFT驱动晶体管的阈值电压的不均匀以及用于改善显示效果的背板电源的IR Drop以及适用于大尺寸面板的像素单元电路和OLED。提供了一种显示装置。在包括第一子电路模块，第二子电路模块，第一电容器和有机发光二极管OLED的像素单元电路中，第一子电路模块的一个输入端连接到数据线。连接后，第一子电路模块的另一输入端连接到第二子电路模块的输出端和OLED的一端，第一子电路模块的输出端和第二子电路模块的输入端。输出端通过第一电容器连接，背板的正负电源之间的电压差施加在第二子电路模块的输入端和OLED的另一端之间。[选择图]图13

