

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-107685

(P2011-107685A)

(43) 公開日 平成23年6月2日(2011.6.2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/30 K	5C080
G09F 9/30 (2006.01)	G09G 3/20 624B	5C094
H01L 27/32 (2006.01)	G09G 3/20 622D	5C380
H01L 51/50 (2006.01)	G09G 3/20 611A	
審査請求 未請求 請求項の数 15 O L (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2010-181731 (P2010-181731)	(71) 出願人	308040351
(22) 出願日	平成22年8月16日 (2010.8.16)		三星モバイルディスプレイ株式会社
(31) 優先権主張番号	10-2009-0111537		大韓民国京畿道龍仁市器興区農書洞山24
(32) 優先日	平成21年11月18日 (2009.11.18)	(74) 代理人	110000671
(33) 優先権主張国	韓国 (KR)		八田国際特許業務法人
		(72) 発明者	李 旭
			大韓民国京畿道龍仁市器興区農書洞山24
			三星モバイルディスプレイ株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC14 CC21 CC45
			EE03 HH02 HH05
			5C080 AA06 BB05 DD26 DD29 EE28
			FF11 HH09 JJ03 JJ04 JJ06
			5C094 AA22 BA03 BA27 DB04
		最終頁に続く	

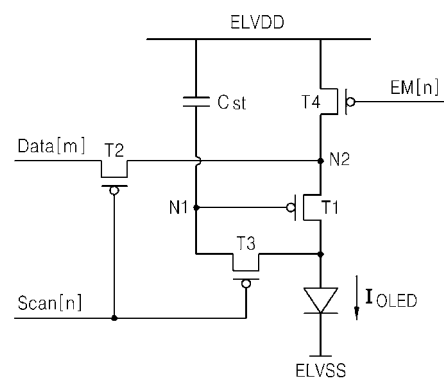
(54) 【発明の名称】 画素回路及びそれを利用した有機発光ダイオードディスプレイ

(57) 【要約】

【課題】画素回路及びそれを利用した有機発光ダイオード(OLED)ディスプレイを提供する。

【解決手段】OLEDと、一側端子が第1電源に接続され、他側端子が第1ノードに接続されたストレージキャパシタ C_{st} と、ゲート電極が第1走査線に接続され、第1電極が第1ノードに接続され、第2電極がOLEDのアノード電極に接続された第3トランジスタ T_3 と、ゲート電極が第1走査線に接続され、第1電極がデータ線に接続され、第2電極が第2ノードに接続された第2トランジスタ T_2 と、ゲート電極が発光制御線に接続され、第1電極が第1電源に接続され、第2電極が第2ノードに接続された第4トランジスタ T_4 と、ゲート電極が第1ノードに接続され、第1電極が第2ノードに接続され、第2電極がOLEDのアノード電極に接続された第1トランジスタ T_1 と、を備え、第1走査線から第1走査信号のパルス幅の制御を通じて第1ノードの電圧を調節することによって、前記OLEDに伝えられる電流を制御する。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

有機発光ダイオード（O L E D）と、
一側端子が第 1 電源に接続され、他側端子が第 1 ノードに接続されたストレージキャパシタと、

ゲート電極が第 1 走査線に接続され、第 1 電極が前記第 1 ノードに接続され、第 2 電極が前記 O L E D のアノード電極に接続された第 3 トランジスタと、

ゲート電極が前記第 1 走査線に接続され、第 1 電極がデータ線に接続され、第 2 電極が第 2 ノードに接続された第 2 トランジスタと、

ゲート電極が発光制御線に接続され、第 1 電極が前記第 1 電源に接続され、第 2 電極が前記第 2 ノードに接続された第 4 トランジスタと、

ゲート電極が前記第 1 ノードに接続され、第 1 電極が前記第 2 ノードに接続され、第 2 電極が前記 O L E D のアノード電極に接続された第 1 トランジスタと、を備え、

前記第 1 走査線から第 1 走査信号のパルス幅の制御を通じて前記第 1 ノードの電圧を調節することによって、前記 O L E D に伝えられる電流を制御することを特徴とする画素回路。

【請求項 2】

前記第 2 トランジスタは、

前記第 1 走査信号に応答して、前記データ線からデータ信号を前記第 2 ノードに伝達することを特徴とする請求項 1 に記載の画素回路。

【請求項 3】

前記第 3 トランジスタは、

前記第 1 走査線から第 1 走査信号に応答して、前記第 1 トランジスタをダイオードに連結させることを特徴とする請求項 1 または 2 に記載の画素回路。

【請求項 4】

前記第 4 トランジスタは、

前記発光制御線から発光制御信号に応答して、前記第 1 電源電圧を前記第 2 ノードに伝達することを特徴とする請求項 1 から 3 のいずれかに記載の画素回路。

【請求項 5】

前記第 1 走査信号のパルス幅は、前記発光制御信号のパルス幅より狭いことを特徴とする請求項 4 に記載の画素回路。

【請求項 6】

ゲート電極と第 1 電極とが第 2 走査線に共通接続され、第 2 電極が前記第 1 ノードに接続された第 5 トランジスタをさらに備えることを特徴とする請求項 1 から 5 のいずれかに記載の画素回路。

【請求項 7】

ゲート電極が前記発光制御線に接続され、前記第 1 トランジスタと前記 O L E D との間に接続された第 6 トランジスタをさらに備えることを特徴とする請求項 6 に記載の画素回路。

【請求項 8】

前記第 1 ないし第 6 トランジスタは、P M O S トランジスタであることを特徴とする請求項 7 に記載の画素回路。

【請求項 9】

走査線に走査信号を供給する第 1 走査駆動部と、

発光制御線に発光信号を供給する第 2 走査駆動部と、

データ線にデータ信号を供給するデータ駆動部と、

前記走査線、発光制御線及びデータ線が交差する位置に配された画素回路と、

前記それぞれの画素回路の発光輝度を制御するために、前記第 1 走査駆動部を制御する輝度制御信号を生成する輝度制御信号生成部と、を備え、

前記それぞれの画素回路は、

10

20

30

40

50

ＯＬＥＤと、

一側端子が第１電源に接続され、他側端子が第１ノードに接続されたストレージキャパシタと、

ゲート電極が第１走査線に接続され、第１電極が前記第１ノードに接続され、第２電極が前記ＯＬＥＤのアノード電極に接続された第３トランジスタと、

ゲート電極が第１走査線に接続され、第１電極がデータ線に接続され、第２電極が第２ノードに接続された第２トランジスタと、

ゲート電極が発光制御線に接続され、第１電極が前記第１電源に接続され、第２電極が前記第２ノードに接続された第４トランジスタと、

ゲート電極が前記第１ノードに接続され、第１電極が前記第２ノードに接続され、第２電極が前記ＯＬＥＤのアノード電極に接続された第１トランジスタと、を備えることを特徴とするＯＬＥＤディスプレイ。

10

【請求項１０】

前記第１走査線から、第１走査信号のパルス幅制御を通じて前記第１ノードの電圧を調節することによって、前記ＯＬＥＤに伝えられる電流を制御することを特徴とする請求項９に記載のＯＬＥＤディスプレイ。

【請求項１１】

前記第１走査駆動部は、

前記輝度制御信号に対応する幅を持つ走査信号を生成し、前記生成した走査信号を前記走査線に供給することを特徴とする請求項１０に記載のＯＬＥＤディスプレイ。

20

【請求項１２】

前記第２トランジスタは、

前記第１走査信号に応答して、前記データ線からデータ信号を前記第２ノードに伝達し、

前記第３トランジスタは、

前記第１走査線から第１走査信号に応答して、前記第１トランジスタをダイオードに連結させ、

前記第４トランジスタは、

前記発光制御線から発光制御信号に応答して、前記第１電源の電圧を前記第２ノードに伝達することを特徴とする請求項１０または１１に記載のＯＬＥＤディスプレイ。

30

【請求項１３】

前記第１走査信号のパルス幅は、前記発光制御信号のパルス幅より狭いことを特徴とする請求項１２に記載のＯＬＥＤディスプレイ。

【請求項１４】

ゲート電極と第１電極とが前記第２走査線に共通接続され、第２電極が前記第１ノードに接続された第５トランジスタと、

ゲート電極が前記発光制御線に接続され、前記第１トランジスタと前記ＯＬＥＤとの間に接続された第６トランジスタと、をさらに備え、

前記第５トランジスタは、

前記第２走査線から第２走査信号に応答して、前記第１ノードを初期化させることを特徴とする請求項１２または１３に記載のＯＬＥＤディスプレイ。

40

【請求項１５】

前記第１ないし第６トランジスタは、ＰＭＯＳトランジスタであることを特徴とする請求項１４に記載のＯＬＥＤディスプレイ。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、画素回路及び有機発光ダイオードディスプレイに関する。

【背景技術】

【０００２】

50

陰極線管表示装置 (Cathode Ray Tube : CRT) の短所を克服した LCD (Liquid Crystal Display)、PDP (Plasma Display Panel)、FED (Field Emission Display) などの平板表示装置が開発された。これらの表示装置のうちでも、特に、発光効率、輝度及び視野角に優れ、かつ応答速度の速い有機発光ダイオード (Organic Light Emitting Diode、以下 'OLED' という) ディスプレイが、次世代ディスプレイとして注目されている。例えば、下記特許文献 1 に記載されている有機発光ダイオードを用いたディスプレイがある。

【0003】

これらの OLED ディスプレイは、電子と正孔との再結合によって光を発生させる OLED を利用して画像を表示する。これらの OLED ディスプレイは、速い応答速度を持つと同時に低い消費電力で駆動できるという長所がある。

【0004】

一般的に、OLED ディスプレイ、特に、能動型 OLED (AMOLED) ディスプレイの場合、パネルの電力消費の低減のために OLED の発光時間を調節して、ディスプレイの電力を調節する ACL (Automatic Current Limit) 機能を使用している。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特表 2007-518112 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明の一実施形態は、画素回路及びそれを利用した OLED ディスプレイに係り、走査信号のタイミング制御を通じて OLED に伝達される電流を制限できて、ディスプレイパネル構造に関係なく ACL 具現が可能であり、フレーム単位ではない画素単位の具現が可能な画素回路及びそれを利用した OLED ディスプレイを提供することである。

【課題を解決するための手段】

【0007】

前記技術的課題を解決するための、本発明の一実施形態による画素回路は、OLED と、一側端子が第 1 電源に接続され、他側端子が第 1 ノードに接続されたストレージキャパシタと、ゲート電極が第 1 走査線に接続され、第 1 電極が前記第 1 ノードに接続され、第 2 電極が前記 OLED のアノード電極に接続された第 3 トランジスタと、ゲート電極が前記第 1 走査線に接続され、第 1 電極がデータ線に接続され、第 2 電極が第 2 ノードに接続された第 2 トランジスタと、ゲート電極が発光制御線に接続され、第 1 電極が前記第 1 電源に接続され、第 2 電極が前記第 2 ノードに接続された第 4 トランジスタと、ゲート電極が前記第 1 ノードに接続され、第 1 電極が前記第 2 ノードに接続され、第 2 電極が前記 OLED のアノード電極に接続された第 1 トランジスタと、を備え、前記第 1 走査線から第 1 走査信号のパルス幅の制御を通じて前記第 1 ノードの電圧を調節することによって、前記 OLED に伝えられる電流を制御することの特徴とする。

【0008】

望ましくは、前記第 2 トランジスタは、前記第 1 走査信号に応答して、前記データ線からデータ信号を前記第 2 ノードに伝達することの特徴とする。

【0009】

望ましくは、前記第 3 トランジスタは、前記第 1 走査線から第 1 走査信号に応答して、前記第 1 トランジスタをダイオードに連結させることの特徴とする。

【0010】

望ましくは、前記第 4 トランジスタは、前記発光制御線から発光制御信号に応答して、前記第 1 電源電圧を前記第 2 ノードに伝達することの特徴とする。

10

20

30

40

50

【 0 0 1 1 】

望ましくは、前記第 1 走査信号のパルス幅は、前記発光制御信号のパルス幅より狭いことを特徴とする。

【 0 0 1 2 】

望ましくは、前記画素回路は、ゲート電極と第 1 電極とが第 2 走査線に共通接続され、第 2 電極が前記第 1 ノードに接続された第 5 トランジスタをさらに備えることを特徴とする。

【 0 0 1 3 】

望ましくは、前記画素回路は、ゲート電極が前記発光制御線に接続され、前記第 1 トランジスタと前記 O L E D との間に接続された第 6 トランジスタをさらに備えることを特徴とする。

10

【 0 0 1 4 】

望ましくは、前記第 1 ないし第 6 トランジスタは、P M O S トランジスタであることを特徴とする。

【 0 0 1 5 】

前記他の技術的課題を解決するための、本発明の他の実施形態による O L E D ディスプレイは、走査線に走査信号を供給する第 1 走査駆動部と、発光制御線に発光信号を供給する第 2 走査駆動部と、データ線にデータ信号を供給するデータ駆動部と、前記走査線、発光制御線及びデータ線が交差する位置に配された画素回路と、前記それぞれの画素回路の発光輝度を制御するために、前記第 1 走査駆動部を制御する輝度制御信号を生成する輝度制御信号生成部と、を備え、前記それぞれの画素回路は、O L E D と、一側端子が第 1 電源に接続され、他側端子が第 1 ノードに接続されたストレージキャパシタと、ゲート電極が第 1 走査線に接続され、第 1 電極が前記第 1 ノードに接続され、第 2 電極が前記 O L E D のアノード電極に接続された第 3 トランジスタと、ゲート電極が第 1 走査線に接続され、第 1 電極がデータ線に接続され、第 2 電極が第 2 ノードに接続された第 2 トランジスタと、ゲート電極が発光制御線に接続され、第 1 電極が前記第 1 電源に接続され、第 2 電極が前記第 2 ノードに接続された第 4 トランジスタと、ゲート電極が前記第 1 ノードに接続され、第 1 電極が前記第 2 ノードに接続され、第 2 電極が前記 O L E D のアノード電極に接続された第 1 トランジスタと、を備えることを特徴とする。

20

【 0 0 1 6 】

望ましくは、前記第 1 走査線から、第 1 走査信号のパルス幅制御を通じて前記第 1 ノードの電圧を調節することによって、前記 O L E D に伝えられる電流を制御することを特徴とする。

30

【 0 0 1 7 】

望ましくは、前記第 1 走査駆動部は、前記輝度制御信号に対応する幅を持つ走査信号を生成し、前記生成した走査信号を前記走査線に供給することを特徴とする。

【 0 0 1 8 】

望ましくは、前記第 2 トランジスタは、前記第 1 走査信号に応答して、前記データ線からデータ信号を前記第 2 ノードに伝達し、前記第 3 トランジスタは、前記第 1 走査線から第 1 走査信号に応答して、前記第 1 トランジスタをダイオードに連結させ、前記第 4 トランジスタは、前記発光制御線から発光制御信号に応答して、前記第 1 電源の電圧を前記第 2 ノードに伝達することを特徴とする。

40

【 0 0 1 9 】

望ましくは、前記第 1 走査信号のパルス幅は、前記発光制御信号のパルス幅より狭いことを特徴とする。

【 0 0 2 0 】

望ましくは、前記それぞれの画素回路は、ゲート電極と第 1 電極とが前記第 2 走査線に共通接続され、第 2 電極が前記第 1 ノードに接続された第 5 トランジスタと、ゲート電極が前記発光制御線に接続され、前記第 1 トランジスタと前記 O L E D との間に接続された第 6 トランジスタと、をさらに備え、前記第 5 トランジスタは、前記第 2 走査線から第 2

50

走査信号に応答して、前記第１ノードを初期化させることを特徴とする。

【００２１】

望ましくは、前記第１ないし第６トランジスタは、ＰＭＯＳトランジスタであることを特徴とする。

【発明の効果】

【００２２】

本発明の一側面によれば、走査信号のタイミング制御だけでＯＬＥＤに伝達される電流を制御でき、ディスプレイパネルの構造、ＣＭＯＳまたはＰＭＯＳと関係なくＡＣＬ具現が可能であり、過度なＡＣＬ具現時に発生しうるフリッカー現象を除去でき、スイッチングトランジスタのオン／オフ・ストレスによる有機物の寿命の短縮を回避できる。

10

【００２３】

また、ＡＣＬのフレーム単位ではない画素単位の具現が可能である。

【図面の簡単な説明】

【００２４】

【図１】ＯＬＥＤの概念図である。

【図２】電圧駆動方式の一側面を示す画素回路の回路図である。

【図３】本発明の一実施形態によるＯＬＥＤディスプレイの一例を示す概念図である。

【図４】図３に示された画素回路の一実施形態を示す回路図である。

【図５】図４に示された画素回路のタイミング図である。

【図６】図４に示された画素回路の他の実施形態を示す回路図である。

20

【図７】図６に示された画素回路のタイミング図である。

【図８Ａ】図６に示された画素回路の駆動過程を説明するための図面である。

【図８Ｂ】図６に示された画素回路の駆動過程を説明するための図面である。

【図８Ｃ】図６に示された画素回路の駆動過程を説明するための図面である。

【発明を実施するための形態】

【００２５】

以下、本発明の実施形態を、添付図面を参照して詳細に説明する。添付図面を参照して説明するに当たって、同一または対応する構成要素には同じ図面番号を付与し、これについての重複する説明は省略する。

【００２６】

30

一般的にＯＬＥＤディスプレイは、蛍光性有機化合物を電氣的に励起させて発光させる表示装置であって、行列形態に配列された複数の有機発光セルを電圧駆動あるいは電流駆動して映像を表現できるようになっている。これらの有機発光セルはダイオード特性があってＯＬＥＤと呼ばれる。

【００２７】

図１は、ＯＬＥＤの概念図である。

【００２８】

図面を参照すれば、ＯＬＥＤは、アノード（ＩＴＯ）、有機薄膜、カソード電極層（金属）の構造を持つ。有機薄膜は、電子と正孔との均衡を良くして発光効率を向上させるために、発光層（emitting layer、ＥＭＬ）、電子輸送層（electron transport layer、ＥＴＬ）及び正孔輸送層（hole transport layer、ＨＴＬ）を備える。それ以外にも、有機薄膜は正孔注入層（Hole Injecting Layer、ＨＩＬ）または電子注入層（Electron Injecting Layer、ＥＩＬ）をさらに備えることができる。

40

【００２９】

このような有機発光セルを駆動する方式には、単純マトリックス（passive matrix）方式と薄膜トランジスタ（Thin Film Transistor、ＴＦＴ）またはＭＯＳＦＥＴを利用した能動駆動（active matrix）方式とがある。単純マトリックス方式は、正極と負極とを直交するように形成し、かつラインを選択して駆動する方式である。能動駆動方式は、ＴＦＴを各ＩＴＯ（Indium Tin Ox

50

i d e) 画素電極に連結し、T F Tのゲートに連結されたキャパシタ容量により維持された電圧によって駆動する方式である。このような能動駆動方式の中には電圧駆動方式がある。電圧駆動方式は、キャパシタに電圧を書き込んで維持させるために印加される信号が電圧の形態となっている。

【 0 0 3 0 】

図 2 は、電圧駆動方式の一側面を示す画素回路の回路図である。

【 0 0 3 1 】

図 2 を参照すれば、選択走査線 S_n の選択信号によりスイッチングトランジスタ M_2 がターンオンされて、前記ターンオンにより、データ線 D_m からのデータ電圧が駆動トランジスタ M_1 のゲート端に伝達され、データ電圧と電圧源 V_{DD} との電位差が駆動トランジスタ M_1 のゲートとソースとの間に連結されたキャパシタ C_{st} に保存される。前記電位差により駆動電流 I_{OLED} が $OLED$ に流れて、 $OLED$ が発光する。この時、印加されるデータ電圧の電圧レベルによって所定の明暗階調表示が可能になる。

【 0 0 3 2 】

一般的に、 $AMOLED$ ディスプレイの場合、パネルの電力消費の低減のために、 $OLED$ の発光時間を調節してディスプレイの電力を調節する ACL 機能を使用している。これは、ディスプレイドライバ IC で、画面表示データによって発光時間を調節できるパルス生成してこれをパネルに印加し、パネルでは、これを各ライン別に伝播して ACL を具現している。パネルでは、ドライバ IC で生成された発光時間の調節のためのパルスの伝播のためにシフトレジスタロジックが必要であり、これは $CMOS$ タイプの形態で具現される。しかし、工程時間及びコストダウンのために、 $CMOS$ に比べて有利な $PMOS$ パネルが要求されている勢いであり、 $PMOS$ のみで構成されたパネルを使用する場合、前述した ACL 具現のためのロジック具現が複雑になり、 $PMOS$ 特性上、スイッチオン区間で電流消耗が急激に増大して ACL 支援が不可能になる。また、 $AMOLED$ のような自発光素子では、瞬間的なピーク電流の低減のために ACL 機能を必ず必要としている。

【 0 0 3 3 】

図 3 は、本発明による $OLED$ ディスプレイ 300 の一例を示す概念図である。

【 0 0 3 4 】

図 3 を参照して説明すれば、本発明による $OLED$ ディスプレイ 300 は、画素部 310、第 1 走査駆動部 302、第 2 走査駆動部 304、データ駆動部 306、電源駆動部 308 及び輝度制御信号生成部 312 を備える。

【 0 0 3 5 】

画素部 310 は、 $OLED$ (図示せず) をそれぞれ備える $n \times m$ 個の画素回路 P と、行方向に形成されて走査信号を伝達する n 個の走査線 S_1, S_2, \dots, S_n 、列方向に形成されてデータ信号を伝達する m 個のデータ線 D_1, D_2, \dots, D_m 、行方向に形成されて発光制御信号を伝達する n 個の発光制御線 E_2, E_3, \dots, E_{n+1} 、及び電源を伝達する m 個の第 1 電源線 (図示せず) と第 2 電源線 (図示せず) とを備える。

【 0 0 3 6 】

画素部 310 は、走査信号、データ信号、発光制御信号及び第 1 電源 ELV_{DD} と第 2 電源 ELV_{SS} とにより、 $OLED$ (図示せず) を発光させて画像を表示する。

【 0 0 3 7 】

第 1 走査駆動部 302 は、走査線 S_1, S_2, \dots, S_n と接続されて画素部 310 に走査信号を印加する。ここで、第 1 走査駆動部 302 は、輝度制御信号生成部 312 から提供された輝度制御信号によって走査信号のパルス幅を調節する。

【 0 0 3 8 】

第 2 走査駆動部 304 は、発光制御線 E_2, E_3, \dots, E_{n+1} と接続されて画素部 310 に発光信号を印加する。

【 0 0 3 9 】

データ駆動部 306 は、データ線 D_1, D_2, \dots, D_m と接続されて画素部 310 にデ

10

20

30

40

50

ータ信号を印加する。この時、データ駆動部 306 は、プログラミング期間中に複数の画素回路 P にデータ信号を供給する。

【0040】

電源駆動部 308 は、各画素回路に第 1 電源 E L V D D 及び第 2 電源 E L V S S を印加する。

【0041】

輝度制御信号生成部 312 は、輝度制御信号を生成して第 1 走査駆動部 302 に提供する。ここで、輝度制御信号生成部 312 は、O L E D に供給される電流量を制限する必要がある時、輝度制御信号を生成して第 1 走査駆動部 302 に提供する。例えば、周辺光の輝度を感知する別途の光センサー（図示せず）を通じて、周辺光の輝度が明るい場合、O L E D の電流感知センサー（図示せず）を通じて瞬間的なピーク電流が流れる場合、これを制限するための輝度制御信号を生成する。

【0042】

図 4 は、本発明の一実施形態による画素回路を示す図面である。図 4 では、説明の便宜のため、第 N 走査線 S [n]、第 N 発光制御線 E M [n]、第 M データ線 D [m] と接続された画素回路を図示する。

【0043】

O L E D のアノード電極は第 3 トランジスタのソース電極に接続され、カソード電極は第 2 電源 E L V S S に接続される。O L E D は、第 1 トランジスタ T 1、すなわち、駆動トランジスタを通じて供給される電流量に対応して所定輝度の光を生成する。

【0044】

ストレージキャパシタ C s t の一側端子は第 1 電源 E L V D D に接続され、他側端子は第 1 ノード N 1 に接続される。ストレージキャパシタ C s t は、データ書き込み区間中に第 1 ノード N 1 の電圧を充電する。

【0045】

第 3 トランジスタ T 3 のゲート電極は第 1 走査線 S [n] に接続され、第 1 電極が第 1 ノード N 1 に接続され、第 2 電極が O L E D のアノード電極に接続される。第 3 トランジスタ T 3 のゲート電極に、第 1 走査線 S [n] から第 1 走査信号、すなわち、ローレベルの信号が印加される時、ターンオンされて第 1 トランジスタ T 1 のゲートとソース電極とをダイオードに連結させる。

【0046】

第 1 トランジスタ T 1 のゲート電極は第 1 ノード N 1 に接続され、ドレイン電極が第 2 ノード N 2 に接続され、ソース電極が O L E D のアノード電極に接続される。第 1 トランジスタ T 1 のゲート電極とソース電極との電圧差により、O L E D に流れる電流が決定される。

【0047】

第 2 トランジスタ T 2 のゲート電極は第 1 走査線 S [n] に接続され、第 1 電極がデータ線 D [m] に接続され、第 2 電極が第 2 ノード N 2 に接続される。第 2 トランジスタ T 2 のゲート電極に、第 1 走査線 S [n] から第 1 走査信号、すなわち、ローレベルの信号が印加される時、ターンオンされて第 2 ノード N 2 にデータ信号を伝達する。ここで、第 1 走査信号により第 1 及び第 3 トランジスタが同時にターンオンされて、データ信号が第 1 及び第 3 トランジスタを経由する経路に伝えられ、ストレージキャパシタ C s t には、第 1 電源 E L V D D と第 1 ノード N 1 との間の電圧が保存される。ここで、第 1 ノード N 1 の電圧 V c は、次の数式 1 のように定義される。

【0048】

【数 1】

$$V_c = V_i [1 - e^{-t_w / RC}]$$

【0049】

ここで、V c は、時間 t w r 中に第 1 トランジスタ T 1 のゲート電極、すなわち、第 1

10

20

30

40

50

ノードの充電電圧であり、 V_i は、第1ノードの初期電圧であり、 R は、データ信号経路上の全体抵抗であり、 C は、ストレージキャパシタ C_{st} のキャパシタンスである。特に t_{wr} は、データ書き込み時間を意味する。データ書き込み時間は、第1走査信号、すなわち、第1走査線 $S[n]$ から第1走査信号のローレベルパルス幅によって決定される。ここで、初期電圧 V_i は一定であると仮定し、結局 t_{wr} を調節することによって第1トランジスタ T_1 のゲート電圧 V_c を制御できる。

【0050】

第4トランジスタ T_4 のゲート電極は発光制御線 $EM[n]$ に接続され、第1電極が第1電源 $ELVDD$ に接続され、第2電極が第2ノード N_2 に接続される。第4トランジスタ T_4 は、発光制御線 $EM[n]$ から発光制御信号、すなわち、ローレベルの信号が印加される時にターンオンされて、第1トランジスタ T_1 のドレイン電極に第1電源電圧 $ELVDD$ を印加する。発光制御信号がローレベルである場合、第2及び第3トランジスタ(T_2 及び T_3)のゲート電極にそれぞれ印加される第1走査信号 $S[n]$ がハイレベルであるため、第2及び第3トランジスタ(T_2 及び T_3)はターンオフされ、 $OLED$ に供給される電流 I_{OLED} は次の数式2の通りである。

【0051】

【数2】

$$I_{OLED} = K(V_{gs} - V_{th})^2$$

【0052】

ここで、 K は、駆動トランジスタの移動度及び寄生容量により決定される定数値であり、 V_{gs} は、駆動トランジスタのゲートとソース電極間の電圧差、 V_{th} は、駆動トランジスタ間のしきい電圧である。結局 I_{OLED} は、前記数式2によって決定される。すなわち、データ書き込み時間 t_{wr} を長くすれば(すなわち、第1走査信号のパルス幅を広くすれば)、ゲート電圧 V_c が小さくなるので、 $OLED$ に流れる電流 I_{OLED} が小さくなって輝度が低下し、データ書き込み時間を短くすれば(すなわち、第1走査信号のパルス幅を狭くすれば)、ゲート電圧 V_c が大きくなって $OLED$ に流れる電流が大きくなるので、輝度が上昇する。したがって、第1走査信号のパルス幅を制御することによって、 $OLED$ に流れる電流の大きさを制限できる。

【0053】

本発明の一実施形態で、スイッチングトランジスタ T_2 ないし T_4 、及び駆動トランジスタ T_1 はいずれもPMOSTランジスタで具現される。PMOSTランジスタは、PタイプのMetal Oxide Semiconductorを意味し、制御信号のレベル状態がローレベルならばターンオンされ、ハイレベルならばターンオフされる。

【0054】

図4を参照して説明した画素回路の駆動過程を、図5のタイミング図を参照して説明する。

【0055】

図5を参照すれば、第1区間はデータ書き込み区間であって、データ信号をストレージキャパシタ C_{st} に書き込むために、第1走査信号 $S[n]$ がローレベルになる。次いで、第2区間は発光区間であって、発光信号 $E[n]$ がローレベルになる。

【0056】

図4及び図5を共に参照して、それぞれの区間でのトランジスタのスイッチング動作及び駆動動作を詳細に説明する。

【0057】

第1区間で、第1走査信号 $S[n]$ がローレベルに印加されれば、第2及び第3トランジスタ(T_2 及び T_3)がターンオンされて、データ線 $D[m]$ からデータ信号が第1ノード N_1 に印加され、ストレージキャパシタ C_{st} に第1ノード N_1 の電圧が保存される。

【0058】

10

20

30

40

50

第2区間で、発光制御信号 $EM[n]$ がローレベルに印加されれば、第4トランジスタ $T4$ がターンオンされて、第1電源 $ELVDD$ が第1トランジスタ $T1$ に印加される。そして、 $OLED$ に流れる電流 I_{OLED} は、前記数式1及び2を通じて決定される。

【0059】

したがって、本発明の一実施形態による画素回路は、走査信号のパルス幅を制御することによって $OLED$ に流れる電流を調節できる。

【0060】

走査信号によってデータ信号を印加するスイッチングトランジスタの場合、画素単位の数 μS のデータ書き込み時間だけを必要とするため、漏れ電流が大きくなる問題点を解決できる。また、ストレージキャパシタに充電される電圧を経時的に制御するため、 RGB ガンマ電圧を直接変更した時に発生するカラーシフト問題を解決できる。また ACL を発光時間のオン/オフで調節するものではないため、オン/オフ・ストレスによる有機発光物質の寿命短縮を抑制できるという長所がある。

【0061】

図6は、図4に図示された画素回路の他の実施形態を示す回路図である。図4に図示された画素回路との差異点は、第5トランジスタ $T5$ 及び第6トランジスタ $T6$ が追加され、第 $N-1$ 走査線 $S[n-1]$ がさらに追加されている点である。

【0062】

図6を参照すれば、第5トランジスタ $T5$ のゲート電極と第1電極とは第2走査線 $S[n-1]$ に共通接続され、第2電極は第1ノード $N1$ に接続される。第5トランジスタ $T5$ は第2走査線から第2走査信号、すなわち、ローレベルの信号が印加されれば、ターンオンされて第1ノード $N1$ を初期化させる。すなわち、第1トランジスタ $T1$ のゲート電極及びストレージキャパシタ Cst を初期化させる。

【0063】

第6トランジスタ $T6$ のゲート電極は発光制御線 $EM[n]$ に接続され、第1トランジスタ $T1$ と $OLED$ との間に接続される。第6トランジスタ $T6$ は、発光制御線 $EM[n]$ から発光制御信号、すなわち、ローレベルの信号が印加されれば、ターンオンされて第1トランジスタ $T1$ から出力された電流を $OLED$ に伝達する。

【0064】

図7は、図6に図示された画素回路のタイミング図であり、図8Aないし図8Cは、図6に図示された画素回路の駆動過程を説明するための図面である。

【0065】

図7及び図8Aを参照すれば、第1区間で、第2走査信号 $S[n-1]$ がローレベルで印加されれば、第5トランジスタ $T5$ がターンオンされて第1ノード $N1$ を初期化させる。ここで、第1走査信号 $S[n]$ と発光制御信号 $EM[n]$ とはハイレベルであるため、第2、3、4、6トランジスタはターンオフされた状態であり、第2走査信号が第1ノード $N1$ に伝達される。

【0066】

図7及び図8Bを参照すれば、第2区間で、第1走査信号 $S[n]$ がローレベルで印加されれば、第2及び第3トランジスタ($T2$ 及び $T3$)がターンオンされて、データ線 $D[m]$ からデータ信号が第2ノード $N2$ を通じて第1トランジスタ $T1$ と第3トランジスタ $T3$ とを通じて第1ノード $N1$ に伝達される。ここで、第2走査信号 $S[n-1]$ と発光制御信号 $EM[n]$ とはハイレベルであるため、第4、5、6トランジスタはターンオフされた状態であり、第1走査信号が第1ノード $N1$ に伝達される。したがって、ストレージキャパシタ Cst に第1ノード $N1$ の電圧が充電される。第1ノード $N1$ の電圧 Vc は前記数式1と共に、データ書き込み時間、すなわち第1走査信号のローレベルのパルス幅によって決定される。

【0067】

図7及び図8Cを参照すれば、第3区間で、発光制御信号 $EM[n]$ がローレベルで印加されれば、第4及び6トランジスタ($T4$ 及び $T6$)がターンオンされて第1電源 EL

10

20

30

40

50

VDDが第1トランジスタT1に印加される。そして、OLEDに流れる電流 I_{OLED} は、第1ノードN1の電圧 V_c によって決定される。前記数式1及び2を参照して前述したように、OLEDに流れる電流 I_{OLED} は第1ノードN1の電圧 V_c によって決定されるが、ここで、電圧 V_c は、第1走査信号 $S[n]$ のパルス幅によって調節される。

【0068】

以上、図7及び図8Aないし図8Cを参照して、本発明の一実施形態による変形実施形態を説明したが、駆動方法及び動作は前述した通りである。

【0069】

これまで本発明について望ましい実施形態を中心に説明した。当業者ならば、本発明の本質的な特性から逸脱しない範囲内で変形された形態で本発明を具現できるということを理解できるであろう。したがって、前記実施形態は限定的な観点ではなく説明的な観点で考慮されねばならない。本発明の範囲は前述した説明ではなく特許請求の範囲に示されており、それと同等な範囲内にあるあらゆる差異点は本発明に含まれていると解釈されねばならない。

10

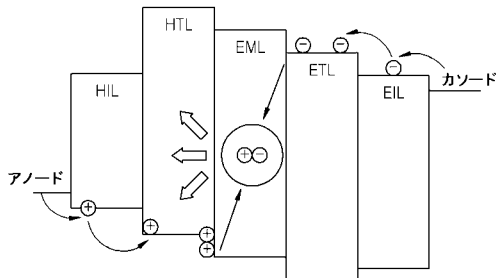
【符号の説明】

【0070】

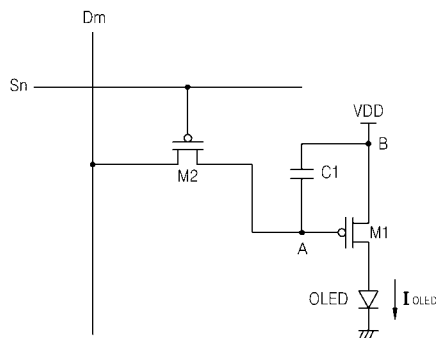
- 300 有機発光表示装置、
- 302 第1走査駆動部、
- 304 第2走査駆動部、
- 306 データ駆動部、
- 308 電源駆動部、
- 310 画素部、
- 312 輝度制御信号生成部。

20

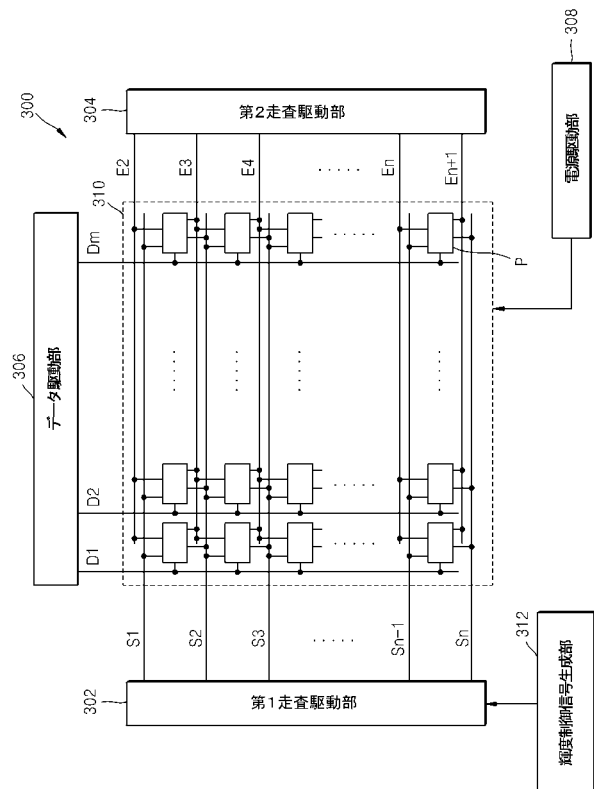
【図1】



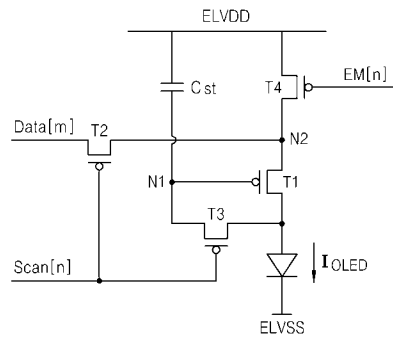
【図2】



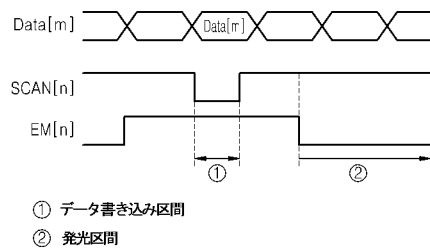
【図3】



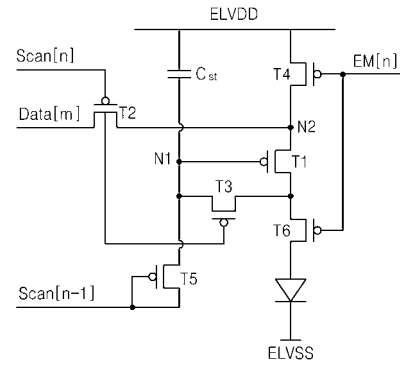
【図 4】



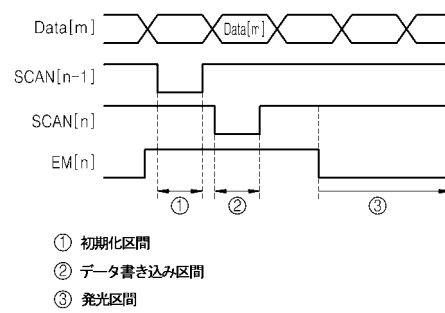
【図 5】



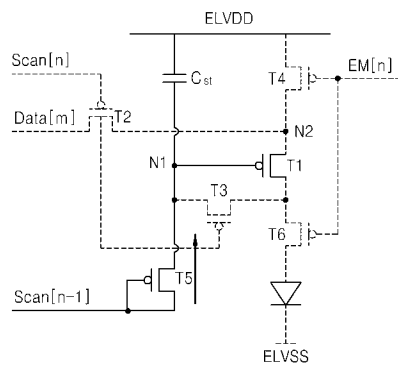
【図 6】



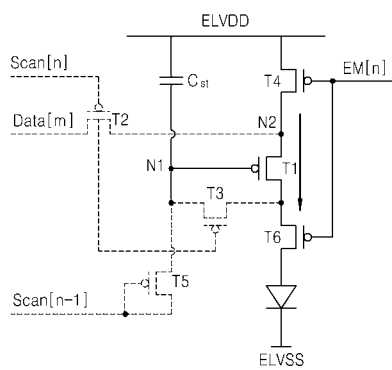
【図 7】



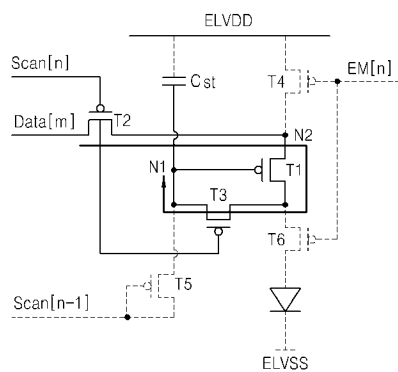
【図 8 A】



【図 8 C】



【図 8 B】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 F 9/30	3 6 5 Z
	G 0 9 F 9/30	3 3 8
	H 0 5 B 33/14	A
	G 0 9 G 3/20	6 2 2 C

F ターム(参考) 5C380 AA01 AB06 BA01 BA05 CA12 CB01 CB16 CB17 CB26 CB31
CC02 CC26 CC33 CC39 CC52 CC55 CC61 CD012 CD014 CD016
CE09 CF68 DA02 DA19 DA47 FA06

专利名称(译)	像素电路和使用它的有机发光二极管显示器		
公开(公告)号	JP2011107685A	公开(公告)日	2011-06-02
申请号	JP2010181731	申请日	2010-08-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星移动显示的股票会社		
[标]发明人	李旭		
发明人	李 旭		
IPC分类号	G09G3/30 G09G3/20 G09F9/30 H01L27/32 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0861 G09G2330/021		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.624.B G09G3/20.622.D G09G3/20.611.A G09F9/30.365.Z G09F9/30.338 H05B33/14.A G09G3/20.622.C G09F9/30.365 G09G3/3233 G09G3/3266 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/CC45 3K107/EE03 3K107/HH02 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD26 5C080/DD29 5C080/EE28 5C080/FF11 5C080/HH09 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C094/AA22 5C094/BA03 5C094/BA27 5C094/DB04 5C380/AA01 5C380/AB06 5C380/BA01 5C380/BA05 5C380/CA12 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB26 5C380/CB31 5C380/CC02 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC55 5C380/CC61 5C380/CD012 5C380/CD014 5C380/CD016 5C380/CE09 5C380/CF68 5C380/DA02 5C380/DA19 5C380/DA47 5C380/FA06		
优先权	1020090111537 2009-11-18 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供像素电路，以及使用像素电路的有机发光二极管（OLED）显示器。解决方案：像素电路包括OLED；存储电容器C_{st}，其一侧端子连接到第一电源，另一侧端子连接到第一节点；第三晶体管T₃，其栅极连接到第一扫描线，第一电极连接到第一节点，第二电极连接到OLED的阳极；第二晶体管T₂，其栅极连接到第一扫描线，第一电极连接到数据线，第二电极连接到第二节点；第四晶体管T₄，其栅极连接到发光控制线，第一电极连接到第一节点，第二电极连接到第二节点；栅电极连接到第一节点的第一晶体管T₁，第一电极连接到第二节点，第二电极连接到OLED的阳极。通过控制来自第一扫描线的第一扫描信号的脉冲宽度，通过调节第一节点的电压来控制传输到OLED的电流。

