

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-42664

(P2009-42664A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 670J	
	H05B 33/14 A	

審査請求 未請求 請求項の数 12 O L (全 18 頁)

(21) 出願番号	特願2007-209984 (P2007-209984)	(71) 出願人	000001007
(22) 出願日	平成19年8月10日 (2007.8.10)		キヤノン株式会社
			東京都大田区下丸子3丁目30番2号
		(74) 代理人	100065385
			弁理士 山下 穰平
		(74) 代理人	100130029
			弁理士 永井 道雄
		(72) 発明者	清水 久恵
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		(72) 発明者	安部 勝美
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内

最終頁に続く

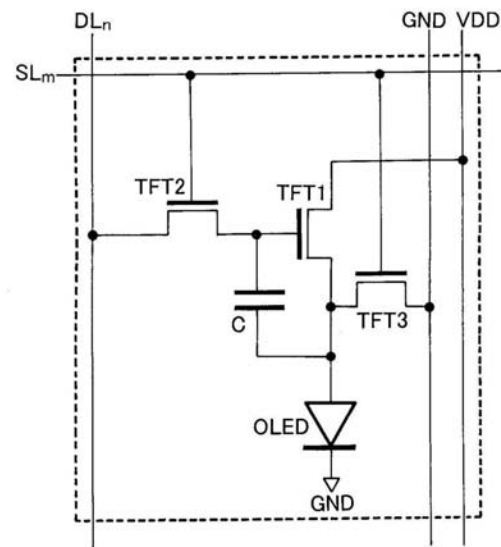
(54) 【発明の名称】 薄膜トランジスタ回路、発光表示装置及びそれらの駆動方法

(57) 【要約】

【課題】 TFTの使用時における電氣的ストレスの TFT特性に対する影響を抑制する。

【解決手段】 本発明に係る発光表示装置は、有機 EL 素子 (OLED) と有機 EL 素子を駆動する駆動回路とを有し、駆動回路がゲート端子・ソース端子間に印加される電氣的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタ TFT1 を備えている画素の複数と、薄膜トランジスタ TFT1 のゲート電位を、ソース電位より高く設定する電圧印加手段とを備える発光表示装置である。電圧印加手段は、閾値電圧が電氣的ストレスに対して飽和する領域で薄膜トランジスタを駆動するように、薄膜トランジスタの非駆動時にゲート端子・ソース端子間に電氣的ストレスを印加する。

【選択図】 図 8



【特許請求の範囲】

【請求項 1】

ゲート端子・ソース端子間に印加される電氣的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタを有する薄膜トランジスタ回路の駆動方法であって、

前記閾値電圧が前記電氣的ストレスに対して飽和する領域で前記薄膜トランジスタを駆動するように、該薄膜トランジスタの非駆動時にゲート端子・ソース端子間に電氣的ストレスを印加する工程を有することを特徴とする薄膜トランジスタ回路の駆動方法。

【請求項 2】

前記電氣的ストレスは、前記薄膜トランジスタのゲート電位をソース電位よりも高くすることで印加することを特徴とする請求項 1 に記載の薄膜トランジスタ回路の駆動方法。

10

【請求項 3】

前記電氣的ストレスを印加する際に、前記薄膜トランジスタのゲート電位をドレイン電位と同じ又はドレイン電位より高くすることを特徴とする請求項 2 に記載の薄膜トランジスタ回路の駆動方法。

【請求項 4】

発光素子と前記発光素子を駆動する駆動回路とを有する画素を複数備えた発光表示装置の駆動方法であって、

前記駆動回路はゲート端子・ソース端子間に印加される電氣的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタを少なくとも 1 つ備え、

前記閾値電圧が前記電氣的ストレスに対して飽和する領域で前記薄膜トランジスタを駆動するように、前記発光表示装置の非表示期間において、前記薄膜トランジスタのゲート端子・ソース端子間に電氣的ストレスを印加する工程を有することを特徴とする発光表示装置の駆動方法。

20

【請求項 5】

前記電氣的ストレスは、前記薄膜トランジスタのゲート電位をソース電位よりも高くすることで印加することを特徴とする請求項 4 に記載の発光表示装置の駆動方法。

【請求項 6】

ゲート端子・ソース端子間に印加される電氣的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタと、該電氣的ストレスとして該薄膜トランジスタのゲート端子・ソース端子間に電圧を印加する電圧印加手段と、を有する薄膜トランジスタ回路であって、

30

前記電圧印加手段は、前記閾値電圧が前記電氣的ストレスに対して飽和する領域で前記薄膜トランジスタを駆動するように、該薄膜トランジスタの非駆動時にゲート端子・ソース端子間に電氣的ストレスを印加することを特徴とする薄膜トランジスタ回路。

【請求項 7】

前記電圧印加手段は、前記薄膜トランジスタのゲート電位をソース電位よりも高くすることを特徴とする請求項 6 に記載の薄膜トランジスタ回路。

【請求項 8】

請求項 6 又は 7 に記載の薄膜トランジスタはチャネル層として非晶質酸化物半導体を用いていることを特徴とする薄膜トランジスタ回路。

【請求項 9】

発光素子と該発光素子を駆動する駆動回路とを有する画素を複数備えた発光表示装置であって、

40

前記駆動回路は、ゲート端子・ソース端子間に印加される電氣的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタと、該電氣的ストレスとして該薄膜トランジスタのゲート端子・ソース端子間に電圧を印加する電圧印加手段と、を有し、

前記電圧印加手段は、前記閾値電圧が前記電氣的ストレスに対して飽和する領域で前記薄膜トランジスタを駆動するように、前記発光表示装置の非表示期間において、前記薄膜トランジスタのゲート端子・ソース端子間に電氣的ストレスを印加することを特徴とする発光表示装置。

【請求項 10】

50

前記電圧印加手段は、前記薄膜トランジスタのゲート電位をソース電位よりも高くすることを特徴とする請求項 9 に記載の発光表示装置。

【請求項 11】

請求項 9 又は 10 に記載の発光表示装置において、印加される前記電圧に必要な電力は、前記発光表示装置が備える、あるいは、前記発光表示装置を含むシステムが備えるバッテリーより供給されることを特徴とする発光表示装置。

【請求項 12】

請求項 9 乃至 11 のいずれか一項に記載の発光表示装置の薄膜トランジスタは、チャネル層として非晶質酸化物半導体を用いていることを特徴とする発光表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、薄膜トランジスタ回路、発光表示装置と及びそれらの駆動方法に係わる。本発明の発光表示装置と及びその駆動方法は、特に発光素子と発光素子に電流を供給するための駆動回路で構成される画素をマトリックス状に備えた発光表示装置とその駆動方法に好適に用いられるものである。発光素子としては例えば有機エレクトロルミネッセンス (Electro-Luminescence、以下 EL という) 素子を用いることができる。

【背景技術】

【0002】

20

近年、有機 EL 素子を発光素子として用いる、有機 EL ディスプレイの研究開発が進められている。この有機 EL ディスプレイでは、有機 EL 素子の寿命を延ばすために、また、高品質な画質を実現するために、各画素に駆動回路を備えたアクティブマトリックス (Active-Matrix、以下 AM という) 型有機 EL ディスプレイが一般的である。この駆動回路は、ガラスあるいはプラスチック等の基板上に形成される薄膜トランジスタ (Thin-Film-Transistor、以下 TFT という) で構成される。有機 EL ディスプレイの内、主に基板と駆動回路部分をバックプレーンと呼ぶ。

【0003】

有機 EL ディスプレイ向けバックプレーンの TFT として、非晶質シリコン (amorphous-Si、以下 a-Si という) や多結晶シリコン (poly-crystal-Si、以下 p-Si という) などが検討されている。その他に、最近、新たにアモルファス酸化物半導体 (amorphous-oxide-semiconductor、以下 AOS という) の薄膜を TFT のチャネル層として用いる TFT が提案されている。AOS 材料としては、例えば、インジウム (In) とガリウム (Ga) と亜鉛 (Zn) の酸化物 (amorphous-In-Ga-Zn-O、以下 a-IGZO という) がある。また、亜鉛とインジウムの酸化物 (amorphous-Zn-In-O、以下 a-ZIO という) がある。非晶質酸化物半導体をチャネル層とする TFT は、a-Si TFT の 10 倍以上の移動度を備え、また、非晶質性に起因する高い均一性が得られると考えられる。従って、これらの TFT は、ディスプレイ向けバックプレーンの TFT として有望である。非晶質酸化物半導体をチャネル層とする TFT は例えば、非特許文献 1、非特許文献 2 に記載されている。

30

40

【非特許文献 1】Nomura et al., Nature, vol. 432, p. 488-492, 2004

【非特許文献 2】Yabuta et al., APL, 89, 112123, 2006

【発明の開示】

【発明が解決しようとする課題】

【0004】

AM 型有機 EL ディスプレイで高品質な表示を実現するための課題として、(1) 有機 EL 素子の電圧-輝度特性の経時変化、(2) 駆動回路の構成要素である TFT の特性ば

50

らつき、(3)電気的ストレスによるTFTの特性変化、などがある。

【0005】

駆動回路にAOS-TFTを用いる場合、AOS-TFTの均一性が高いこと、AOS-TFTから有機EL素子に供給する電流を制御する駆動回路を採用すること、から2つの課題(1)、(2)は改善できる。

【0006】

一方、AOS-TFTには、電気的ストレスによる特性変化が見られ、上記課題(3)が残されている。

【0007】

本発明の目的は、電気的ストレスによるTFTの特性変化に伴う、表示品質の低下を抑えることにある。

【課題を解決するための手段】

【0008】

本発明の薄膜トランジスタ回路の駆動方法は、ゲート端子・ソース端子間に印加される電気的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタを有する薄膜トランジスタ回路の駆動方法であって、前記閾値電圧が前記電気的ストレスに対して飽和する領域で前記薄膜トランジスタを駆動するように、該薄膜トランジスタの非駆動時にゲート端子・ソース端子間に電気的ストレスを印加する工程を有することを特徴とする。

【0009】

また本発明の発光表示装置の駆動方法は、発光素子と前記発光素子を駆動する駆動回路とを有する画素を複数備えた発光表示装置の駆動方法であって、前記駆動回路はゲート端子・ソース端子間に印加される電気的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタを少なくとも1つ備え、前記閾値電圧が前記電気的ストレスに対して飽和する領域で前記薄膜トランジスタを駆動するように、前記発光表示装置の非表示期間において、前記薄膜トランジスタのゲート端子・ソース端子間に電気的ストレスを印加する工程を有することを特徴とする。

【0010】

また本発明の薄膜トランジスタ回路は、ゲート端子・ソース端子間に印加される電気的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタと、該電気的ストレスとして該薄膜トランジスタのゲート端子・ソース端子間に電圧を印加する電圧印加手段と、を有する薄膜トランジスタ回路であって、前記電圧印加手段は、前記閾値電圧が前記電気的ストレスに対して飽和する領域で前記薄膜トランジスタを駆動するように、該薄膜トランジスタの非駆動時にゲート端子・ソース端子間に電気的ストレスを印加することを特徴とする。

【0011】

また本発明の発光表示装置は、発光素子と該発光素子を駆動する駆動回路とを有する画素を複数備えた発光表示装置であって、前記駆動回路は、ゲート端子・ソース端子間に印加される電気的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタと、該電気的ストレスとして該薄膜トランジスタのゲート端子・ソース端子間に電圧を印加する電圧印加手段とを有し、前記電圧印加手段は、前記閾値電圧が前記電気的ストレスに対して飽和する領域で前記薄膜トランジスタを駆動するように、前記発光表示装置の非表示期間において、前記薄膜トランジスタのゲート端子・ソース端子間に電気的ストレスを印加することを特徴とする。

【発明の効果】

【0012】

本発明によれば、薄膜トランジスタの閾値電圧が電気的ストレスに対して飽和する領域で使用することができるため、電気的ストレスによるTFTの特性変化の影響を抑制することができる。

【発明を実施するための最良の形態】

【0013】

10

20

30

40

50

本発明者らは、AOS-TFTの評価を進めることにより以下の知見を得た。

AOS-TFTは、電氣的ストレスにより閾値電圧がシフトするという性質を有するが、この閾値電圧のシフトは経時的に飽和する傾向にある。そして閾値電圧のシフトは、ゲート電位が、ソース電位より高い場合に現れる。また、AOS-TFTの閾値電圧のシフトは電氣的ストレスを取り除き、一定期間放置することで電氣的ストレスを印加する前の状態に戻る性質がある。つまり、本発明に係るAOS-TFTは電氣的ストレスを印加すること、電氣的ストレスを取り除くことで、AOS-TFTの閾値電圧が可逆的に変化する性質に基づきなされたものである。尚、本発明は、ゲート端子・ソース端子間に印加される電氣的ストレスにより閾値電圧が可逆的に変化するTFTに適用することができ、AOS-TFTに限定されるものではない。

10

【0014】

以下、本発明の実施形態として、駆動回路がa-IGZO(InとGaとZnを含有したアモルファス酸化物)をチャネル層とするAOS-TFTを有し、有機EL素子が発光素子である有機ELディスプレイ(発光表示装置となる)について説明する。

【0015】

ただし、本発明はa-IGZO以外のAOSを半導体とする発光表示装置や、有機EL素子以外の発光素子、たとえば無機EL素子を用いた発光表示装置にも適用できる。また本発明はチャネル層として非晶質酸化物半導体を用いたTFTを有する薄膜トランジスタ回路に広く用いることができる。

【0016】

本実施形態の薄膜トランジスタ回路は、ゲート端子・ソース端子間に印加される電氣的ストレスにより閾値電圧が可逆的に変化する薄膜トランジスタと、薄膜トランジスタのゲート端子・ソース端子間に電氣的ストレスとして電圧を印加する電圧印加手段とを有する。電圧印加手段は、閾値電圧が電氣的ストレスに対して飽和する領域で薄膜トランジスタを駆動するように、薄膜トランジスタの非駆動時にゲート端子・ソース端子間に電氣的ストレスを印加する。具体的には、薄膜トランジスタのゲート電位がソース電位よりも高くなるように、ゲート端子・ソース端子間に電圧を印加する。また、電氣的ストレスを印加する際に、薄膜トランジスタのゲート電位をドレイン電位と同じ又はドレイン電位より高くしてもよい。

20

【0017】

また、薄膜トランジスタのソース端子にゲート電位に対して低くするように電圧を印加してもよい。図9は薄膜トランジスタのドレイン、ソースをゲート電位に対して低くするように電圧を印加する場合を示す回路図である。電圧印加手段は2つのスイッチと2つの電源Vsa、Vdaから構成される。薄膜トランジスタの通常の使用時にはゲートに電圧Vg、ドレインに電圧Vd、ソースに電圧Vsを印加する。また、使用時前にはゲートに電圧Vgを印加した状態でソース側の電源VsaのスイッチをONし、ソースに電圧Vs(Vg>Vs)を印加することで、ゲート電位Vgをソース電位Vsaよりも高くすることができる。この際、ドレイン側の電源VdaのスイッチをONし、ドレインに電圧Vdを印加してもよい(Vg>Vd又はVg=Vdとする)。

30

【0018】

なお、発光表示装置以外のAOS-TFTを用いたAM型デバイスとしては、例えば、感圧素子を用いた圧力センサや、感光素子を用いた光センサなどにも適用することができ、同様な効果が得られる。

40

【0019】

また、本発明での非晶質とは、X線回折において明確なピークがみられないことをいう。

【0020】

本実施形態の有機ELディスプレイは、有機EL素子と、有機EL素子を駆動する駆動回路とを有する画素を複数備える。駆動回路内には、有機EL素子に供給する電流を制御する駆動a-IGZO-TFTと、駆動TFTの接続を変更する1つ又は複数のスイッチ

50

と、を少なくとも備える。さらに、表示期間において、駆動用 T F T は、電氣的ストレスに対し、閾値電圧が飽和している領域で動作する。本発明において閾値電圧が飽和している領域とは、電氣的ストレスに対する薄膜トランジスタの閾値電圧の変化率が小さい領域のことである。ここで、閾値電圧の変化率が小さい領域とは、電氣的ストレスに対する閾値電圧の変化が薄膜トランジスタの駆動に影響を与えない領域をいう。

【0021】

本実施形態の有機 E L ディスプレイにおいて、非発光期間、例えば、ディスプレイのスイッチがオフされている場合に、スイッチを開閉し、駆動用 T F T のゲートに H レベル、ソースとドレインに L レベルを印加する。これにより、駆動用 T F T には、電氣的ストレスが印加され続けるため、閾値電圧のシフトが回復することなく、駆動用 T F T は、飽和している領域を維持することができる。なお、電氣的ストレスの印加は連続的に電圧を印加しても断続的に（例えばパルスを複数回）印加してもよい。

10

【0022】

この後、再度表示を行うと、駆動用 T F T は、閾値電圧が飽和している領域で動作することになる。従って、本実施形態の有機 E L ディスプレイでは、T F T の電氣的ストレスに対する閾値電圧のシフトを小さくすることが可能であり、表示品質の低下を抑えることができる。

【0023】

さらに、本実施形態の有機 E L ディスプレイは、ディスプレイ製造後、駆動用 T F T に電圧を印加する動作を、少なくとも使用開始の 4 8 時間前、より好ましくは 2 4 時間前まで実施することがより好ましい。本動作を実施することで、駆動用 T F T は、使用開始から、電氣的ストレスに対し、閾値電圧が飽和している領域で動作することが可能となる。

20

【0024】

さらに、本実施形態の有機 E L ディスプレイは、付属のバッテリーを備えることがより好ましい。付属のバッテリーを備えることで、移動中などの外部電源に接続されていない場合でも、電氣的ストレスを与える動作を実施することが可能となる。駆動 T F T に電圧を印加する動作は、電流の供給をほとんど必要としないため、動作中の電力の消費は少ない。

【0025】

（実施例 1）

まず、本実施例に使用する a - I G Z O をチャンネル層とする T F T の特性を述べる。

30

【0026】

a - I G Z O - T F T の作製法を以下に示す。

【0027】

図 1 に示すように、リンあるいはヒ素などの不純物を高濃度に注入した S i 基板 3 0 上に 1 0 0 n m の熱酸化 S i O ₂ 絶縁膜 2 0 を形成する。ここでは、S i 基板 3 0 の一部がゲート電極を構成する。

【0028】

その後、室温において、多結晶 I G Z O をターゲットとし、スパッタ成膜法により、a - I G Z O 膜 1 0 を 5 0 n m 成膜する。次に、フォトリソグラフィ法と希塩酸によるウェットエッチングにより、a - I G Z O 膜 1 0 をパターニングしてチャンネル層を形成する。

40

【0029】

その後、レジストをフォトリソグラフィ法によりパターニングし、E B 蒸着法により、T i 層（5 n m）5 0、A u 層（4 0 n m）4 0 を成膜後、リフトオフ法により、A u / T i のソース、ドレイン電極を形成する。

【0030】

さらに、3 0 0 、1 時間のアニールを行う。

【0031】

以上により、図 1 に示すような a - I G Z O T F T を形成することができる。

【0032】

上述の作製法にて得られる a - I G Z O T F T の電氣的特性を示す。

50

【0033】

図2は、本TFETの $I_d - V_g$ 特性である。本TFETは、チャネル幅 $80\mu m$ 、チャネル長さ $10\mu m$ で、閾値電圧 $-0.1V$ 、移動度 $18cm^2/Vs$ であり、移動度が、一般的な $a-Si$ TFETよりも10倍以上大きい。

【0034】

本TFETに、ゲート端子とドレイン端子間を短絡し、ドレイン端子とソース端子間に一定電流 $27\mu A$ を印加した場合の閾値電圧変化(V_{TH})を図3に示す。図3の横軸は電氣的ストレスを与えている時間を示す。この時、ゲート電位をソース電位より高くする。また、ゲート電位はドレイン電位と同じ電位とする。図3の横軸の表記のたとえば $5E+04$ は 5×10^4 を示す。

10

【0035】

この場合、ゲート端子とドレイン端子には一定の電圧を印加する。また、ドレイン端子とソース端子間に一定電流が流れるように、ソース端子に可変の電源を設ける。つまり、ドレイン端子とソース端子間に流れる電流は、ゲート端子とソース端子の電位差により決定されるため、ドレイン端子とソース端子間に流れる電流が一定となるようにソース端子に設けた電源の電圧を調整している。

【0036】

また、TFETのゲート端子の電圧はソース端子の電圧よりも大きいことから、TFETには電氣的ストレスが印加されている。この場合、TFETの閾値電圧は徐々に高くなる。よって、ドレイン端子とソース端子間に流れる電流を一定にするためには、ゲート端子とソース端子の電位差を大きくする必要がある。そのために、図3のストレス時間が増加するにしたがって、ソース端子に設けた電源の電圧が小さくなるように調整している。

20

【0037】

本結果より、20時間(約7万秒)後から60時間の間で閾値変動が約 $1V$ であるのに対し、測定開始から7万秒までの間で約 $3V$ 変動する。従って、ストレス印加時間がある程度に達すると、電氣的ストレスによる閾値電圧の変化率は一定に近づくと考えられる。図3の場合、例えば閾値変動が約 $1V$ である領域(約7万秒以降)が閾値電圧の飽和領域であり、この領域でTFETを駆動する。

【0038】

尚、図3は非晶質酸化物半導体を用いた薄膜トランジスタに電氣的ストレスを印加した場合の、ストレス時間と閾値電圧の関係の一例である。よって、ストレス時間と閾値電圧の関係は、使用する非晶質酸化物半導体やストレス印加条件(電圧、温度等)により変動する。

30

【0039】

一方、上述の方法で得られる別の $a-IGZO-TFET$ (チャネル幅 $180\mu m$ 、チャネル長さ $30\mu m$)に、ゲート電圧 $12V$ 、ドレイン電圧 $6V$ 、ソース電圧 $0V$ の電氣的ストレスを800秒間印加した前後の $I_d - V_g$ 波形を図4に示す。その後、2日間暗所に保管した後の、同一TFETの $I_d - V_g$ 波形を同じく図4に示す。これによると、2日間(48時間)暗所に保管すると、電氣的ストレスによる閾値電圧の変化が回復する。つまり、電氣的ストレスの影響が残っているのは、48時間以下であることを示している。よって、ゲート端子・ソース端子間に印加される電氣的ストレスにより閾値電圧が可逆的に変化することがわかる。

40

【0040】

また、上述の方法で得られる別の $a-IGZO-TFET$ (チャネル幅 $180\mu m$ 、チャネル長さ $30\mu m$)に、ドレイン電圧 $6V$ 、ソース電圧をGNDに固定して、いくつかのゲート電圧において電氣的ストレスを400秒間印加する。ゲート電圧は、 $-12V$ 、 $-6V$ 、 $4V$ 、 $8V$ 、 $12V$ の5通りである。電氣的ストレスによる閾値電圧変化を図5に示す。これより、閾値変化は、ゲート電圧が、ソース電圧よりも低い場合($0V$ 以下)では、ほとんどない。また、ゲート電圧が、ソース電圧、ドレイン電圧よりも高い場合($12V$)最も変化が大きくなる。

50

【 0 0 4 1 】

また、 a -IGZO-TFT（チャネル幅 $180\text{ }\mu\text{m}$ 、チャネル長さ $30\text{ }\mu\text{m}$ ）に、ゲート電圧 20 V 、ソース電圧を GND に固定して、いくつかのドレイン電圧において電氣的ストレスを 400 秒間印加する。ドレイン電圧を変えた場合の閾値電圧変化を図 10 に示す。これより、閾値変化は、ドレイン電圧がゲート電圧（ 20 V ）に近づくにつれて小さくなることがわかる。

【 0 0 4 2 】

さらに、上述の方法で得られるチャネル幅 $180\text{ }\mu\text{m}$ 、チャネル長さ $30\text{ }\mu\text{m}$ の a -IGZO-TFT の I_d - V_g 特性を図 6 に示す。図 6 は、8 個の TFT の I_d - V_g 特性を重ね書きしたもので、ほぼ 1 つに見えるほど均一性が高い。

10

【 0 0 4 3 】

以上の特性を示す a -IGZO-TFT を用いて、以下のような方法により、図 7 に示す有機 EL ディスプレイを作製する。

【 0 0 4 4 】

ガラス基板 60 上に、まず、ゲート線並びにゲート電極として、Ti 層 50-1、Au 層 40-1、Ti 層 51-1 からなる Ti/Au/Ti 積層膜を蒸着法にて成膜する。そのパターン形成は、フォトリソグラフィ法とリフトオフ法を用いる。

【 0 0 4 5 】

次に、絶縁層 21 として、スパッタ法にて SiO_2 膜を成膜する。そのパターン形成は、フォトリソグラフィ法と、パフアドフッ酸によるウェットエッチング法にて行う。

20

【 0 0 4 6 】

続いて、チャネル層として、スパッタ法にて a -IGZO 膜 10 を形成する。そのパターン形成は、フォトリソグラフィ法と、希塩酸によるウェットエッチング法にて行う。

【 0 0 4 7 】

続いて、データ配線並びにソース・ドレイン電極として、Ti 層 50-2、Au 層 40-2、Ti 層 51-2 からなる Ti/Au/Ti 積層膜を蒸着法にて成膜する。そのパターン形成は、フォトリソグラフィ法とリフトオフ法を用いる。

【 0 0 4 8 】

続いて、層間絶縁膜として、 SiO_2 膜 52 を成膜する。そのパターン形成は、フォトリソグラフィ法と、パフアドフッ酸によるウェットエッチング法にて行う。

30

【 0 0 4 9 】

続いて、平坦化膜として、感光性ポリイミド膜 70 をスピンコート法にて成膜する。パターンニングは、感光性ポリイミドを使用しているため、フォトリソグラフィ法にて露光し、剥離することで行うことができる。

【 0 0 5 0 】

続いて、有機 EL 素子を形成する。

【 0 0 5 1 】

まず、アノード電極として、スパッタ法にて ITO 膜 80 を成膜する。そのパターン形成は、フォトリソグラフィ法と ITO 剥離液によるウェットエッチング法、あるいは、ドライエッチング法にて行う。

40

【 0 0 5 2 】

続いて、素子分離膜として、感光性ポリイミド膜 71 をスピンコート法にて成膜する。パターンニングは、感光性ポリイミドを使用しているため、フォトリソグラフィ法にて露光し、剥離することで行うことができる。

【 0 0 5 3 】

続いて、発光層として、蒸着法にて有機膜 90 を成膜する。そのパターン形成は、メタルマスクにて行う。

【 0 0 5 4 】

続いて、カソード電極 100 として、蒸着法にてアルミ膜を成膜する。そのパターン形成は、メタルマスクにて行う。

50

【 0 0 5 5 】

最後に、ガラス基板 6 1 によりガラス封止を行うことで、有機 E L ディスプレイを作製することができる（図 7）。

【 0 0 5 6 】

本実施例の有機 E L ディスプレイの画素回路を図 8 に示す。画素回路は有機 E L 素子（O L E D）を除く破線で囲まれた回路構成部である。また本実施例の有機 E L ディスプレイの画素領域部を図 1 1 に示す。図 1 1 において、S 1 ~ S 6 は電圧印加手段となるスイッチを示し、画素は有機 E L 素子（O L E D）と画素回路とからなる。本実施例において、駆動回路となる画素回路は、3 つの a - I G Z O - T F T（T F T 1、T F T 2、T F T 3）と、T F T 1 のゲートとソース間にある容量 C にて構成される。T F T 1 は、有機 E L 素子（O L E D）に供給する電流を制御する駆動 T F T であり、T F T 2、T F T 3 は、スイッチとして動作する。

10

【 0 0 5 7 】

まず、本実施例の通常の表示期間における動作を説明する。ここでは、m 行 n 列目の画素の動作を説明するが、他の画素の動作も同様である。通常の表示期間においてスイッチ S 1 ~ S 6 は O F F 状態となっている。

【 0 0 5 8 】

走査線 S L_m が選択される期間において、走査線 S L_m には H レベルが印加され、T F T 2、T F T 3 が O N する。その選択期間に、データ線 D L_n から T F T 2 を経由して、T F T 1 のゲートに階調電圧が印加され、また G N D 線から T F T 3 を経由して T F T 1 のソースに G N D 電圧が印加される。その後、次段の走査線が選択されると、走査線 S L_m は L レベルが印加され、T F T 2、T F T 3 が O F F する。この時、T F T 1 のゲートとソース間の電圧は、容量 C により、選択期間における階調電圧が保持される。T F T 1 が飽和領域で動く限り、階調電圧により、T F T 1 に流れる電流が決定される。よって、本階調電圧の大きさにより、O L E D に供給する電流、つまり、O L E D の輝度を制御することが可能である。

20

【 0 0 5 9 】

上記走査の選択は、ディスプレイ上の全走査線に対し、1 秒間に 6 0 回行われる。つまり、1 フレーム期間は、1 / 6 0 秒である。

【 0 0 6 0 】

次に、本実施例の非表示期間における動作を説明する。m 行 n 列目の画素の動作について説明するが、他の画素の動作も同様である。

30

【 0 0 6 1 】

本実施例の有機 E L ディスプレイは、非表示期間の少なくとも一部において、全走査線 S L_m、D L_n が選択され、T F T 2、T F T 3 は、O N となる。また、データ線 D L_n にはスイッチ S 4 ~ S 6 を O N して、G N D 電圧よりも高い一定電圧 V B が印加される。さらに、T F T 1 のドレイン電圧、つまり、V D D の電圧を、スイッチ S 1 ~ S 3 を O N して G N D 電圧に設定する。

【 0 0 6 2 】

この時、O L E D には電流が流れず、その一方で、電氣的ストレスが T F T 1 に印加され続ける。このため、T F T 1 は、電氣的ストレスに対する閾値電圧の値が飽和している状態で保持される。

40

【 0 0 6 3 】

以上の動作を実施することで、本実施例の有機 E L ディスプレイは、a - I G Z O - T F T を、電氣的ストレスに対する閾値電圧の飽和領域で動作させることが可能となる。この結果、電氣的ストレスに起因する画質の低下を抑えることができる。

【 0 0 6 4 】

尚、T F T 2 及び T F T 3 はスイッチとして動作するので、閾値電圧がシフトしても T F T の駆動電圧を予め所定の値に設定すれば駆動することができる。よって、T F T 2 及び T F T 3 については必ずしも電氣的ストレスを印加する必要はないが、T F T の駆動電

50

圧を一定にしたい場合、つまり閾値電圧の変動の影響を抑えたい場合は、TF T 1と同様に電氣的ストレスを印加してもよい。

（実施例 2）

本実施例の有機 E L ディスプレイは、実施例 1 の有機 E L ディスプレイにおいて、さらにバッテリーを備え、外部から電源を供給することなく、実施例 1 に示した非表示期間の少なくとも一部において、電氣的ストレスを与える動作を実施できるようにしたものである。

【 0 0 6 5 】

製品完成後に、電氣的ストレスを印加することで、TF T 1 を電氣的ストレスに対する閾値電圧の飽和領域で動作するようにできる。さらに、バッテリーを用いて、上述の非表示状態の動作を行うことで、使用開始前まで、TF T 1 は、電氣的ストレスに対する変化が飽和する領域で動作する状態に保つことが可能となる。

10

【 0 0 6 6 】

さらに、バッテリーを備えることで、有機 E L ディスプレイを電源から切り離し、移動させるような場合でも、TF T 1 は、電氣的ストレスに対する変化が飽和する領域で動作する状態を保つことが可能となる。

【 0 0 6 7 】

ただし、上述の特性の回復は、48 時間以上経過すると起こるため、上記動作は、使用時から見て、48 時間以上間隔を空けないようにすることが望ましい。より好ましくは、24 時間以内にする。

20

【 0 0 6 8 】

また、上述の非表示状態の動作において、リーク電流以外に電流が流れる経路がないため、バッテリーから、上述の非表示状態の動作を行うために供給される電力は少ない。従って、本実施例の有機 E L ディスプレイを、ノート P C や携帯電話などバッテリーを備えている機器に搭載する場合、上述の非表示状態の動作を行うことによるバッテリーの電力供給可能期間に対する影響はほとんどない。

【 0 0 6 9 】

また、製品完成後の電氣的ストレス印加の際には、電氣的ストレスとともに、温度を加えることで TF T 1 が電氣的ストレスに対し飽和する領域に達する時間を短縮できる。

【 0 0 7 0 】

以上のように、本実施例では、a - I G Z O - T F T を構成要素とする駆動回路を備える有機 E L ディスプレイにおいて、電氣的ストレスによる表示画質の低下を抑えることが可能である。

30

【 0 0 7 1 】

さらに、実施例 1 及び 2 は、a - I G Z O をチャネル層とする TF T のみに関してのみ記述されているが、同様の電氣的ストレスに対する特性を有する A O S - T F T においても本発明を適用することが可能である。

【 0 0 7 2 】

また、より多階調の表示装置を実現する場合に、閾値補正機能付きの駆動回路や、カレントミラー構成の駆動回路を採用しても、上述の通り非表示期間に駆動 TF T に電圧を印加することで、同様な効果を得ることができる。

40

【 0 0 7 3 】

また、実施例 2 において、印加電圧に必要な電力は、発光表示装置が備える、あるいは、表示装置を含むシステムが備えるバッテリーより供給され、発光表示装置外部の電源より電力を供給されること無く、非発光期間に電圧を印加する。これにより、外部電源がなくとも電圧を印加することができる。

【産業上の利用可能性】

【 0 0 7 4 】

本発明は、発光素子の駆動回路が A O S をチャネル層とする A O S - T F T を有する発光装置に適用される。また発光表示装置以外の A O S - T F T を用いた A M 型デバイス、

50

例えば、感圧素子を用いた圧力センサや、感光素子を用いた光センサなどにも適用することができる。

【図面の簡単な説明】

【0075】

【図1】本発明の実施例1のa - IGZO TFTの構成1 (Si基板上)を示す図である。

【図2】本発明の実施例1のa - IGZO TFTの構成1のId - Vg特性を示す図である。

【図3】本発明の実施例1のa - IGZO TFTの構成1のストレスによる閾値変化を示す図である。

【図4】本発明の実施例1のa - IGZO TFTの構成1の変化からの回復特性を示す図である。

【図5】本発明の実施例1のa - IGZO TFTの構成1のストレス変化のゲート電圧依存を示す図である。

【図6】本発明の実施例1のa - IGZO TFTの構成1の複数のId - Vg特性を示す図である。

【図7】本発明の実施例1のa - IGZO TFTの構成2 (ガラス基板上)を示す図である。

【図8】本発明の実施例1の画素回路を示す図である。

【図9】薄膜トランジスタのドレイン、ソースをゲート電位に対して低くするように電圧を印加する場合を示す回路図である。

【図10】ドレイン電圧を変えた場合の閾値電圧変化を示す図である。

【図11】本実施例の有機ELディスプレイの画素領域部を示す図である。

【符号の説明】

【0076】

OLED 有機EL素子

TFT1 駆動TFT

TFT2, TFT3 スイッチングTFT

VDD 電源線

GND GND線

SL_m (m行目の)走査線

DL_n (n列目の)データ線

C 容量

10 a - IGZOチャネル層

20 熱酸化シリコンゲート絶縁層

21 スパッタ成膜酸化シリコンゲート絶縁層

30 低抵抗シリコン基板 (ゲート電極)

40 Au電極層

50 Ti電極層

60 ガラス基板

70 ポリイミド (PI)

80 ITO (アノード) 電極層

90 OLED層

100 Al / CsCO₃ (カソード) 電極層

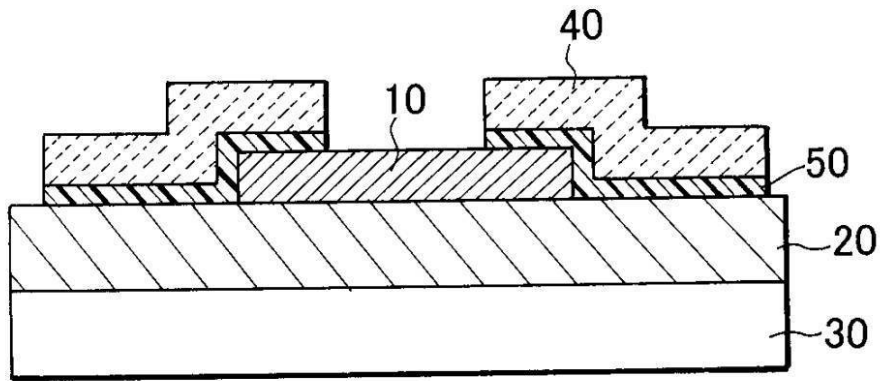
10

20

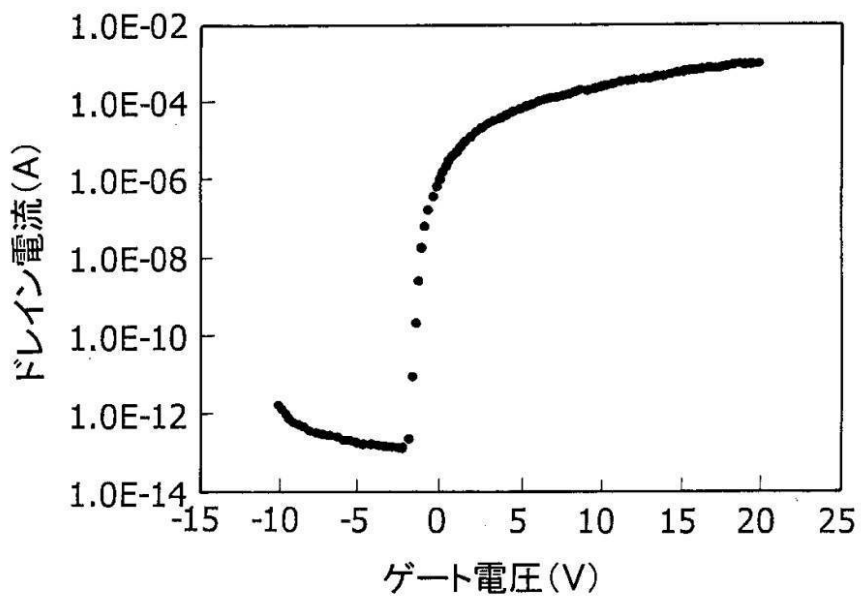
30

40

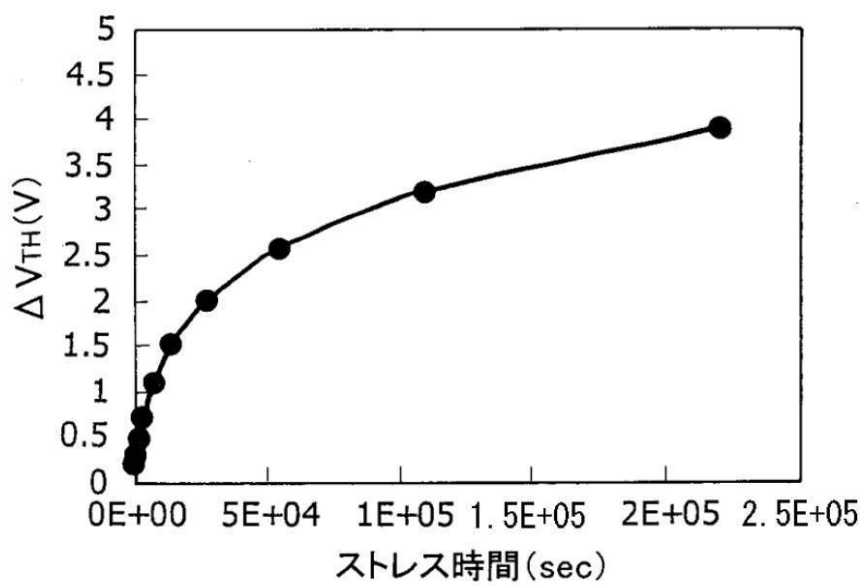
【図 1】



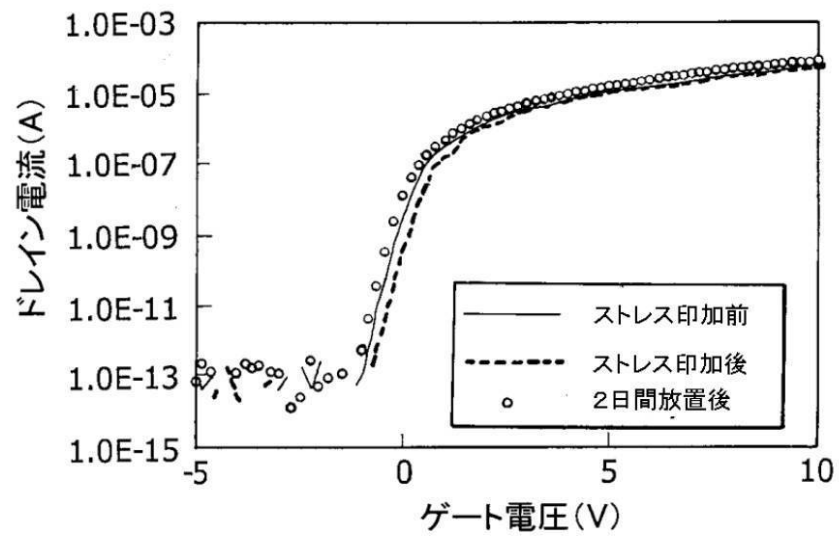
【図 2】



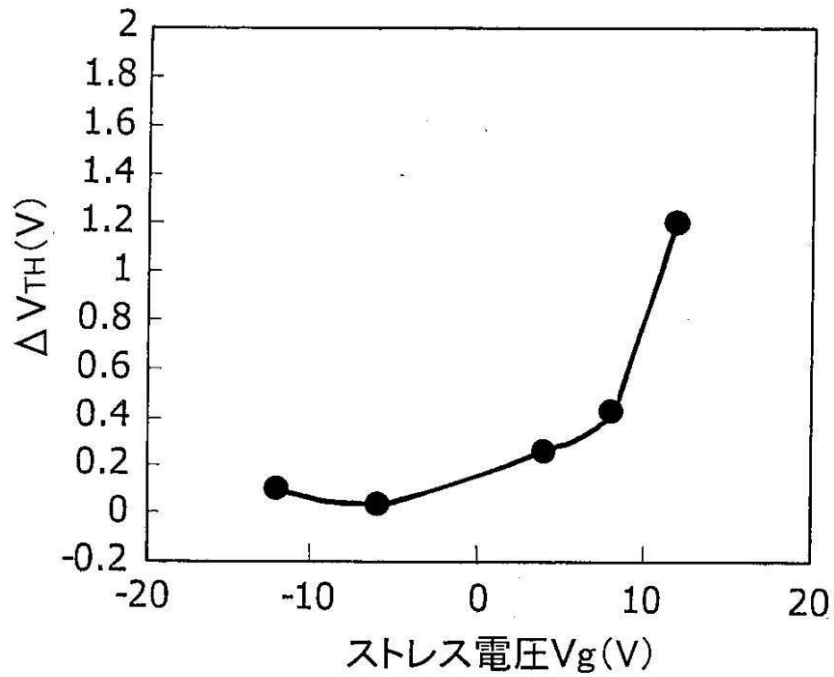
【図 3】



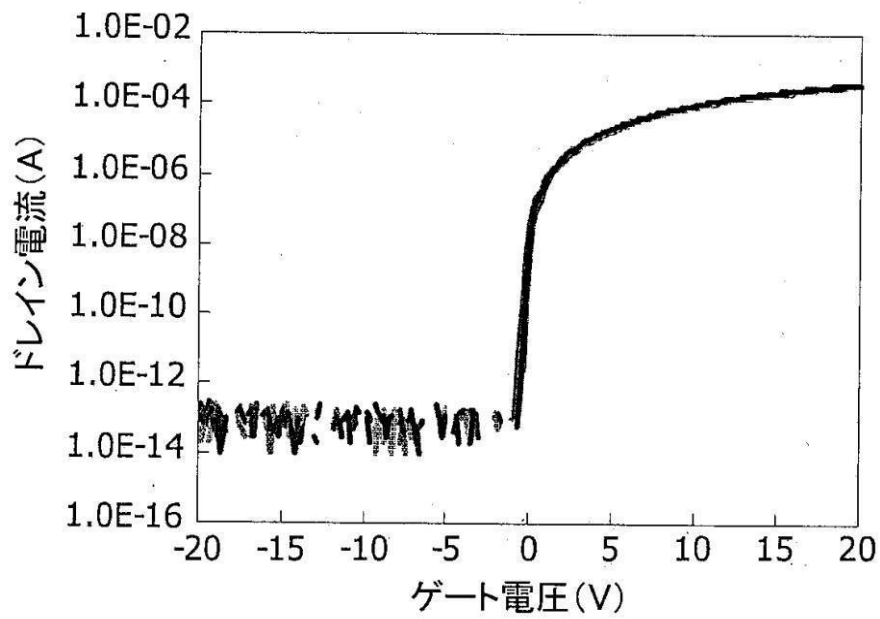
【図 4】



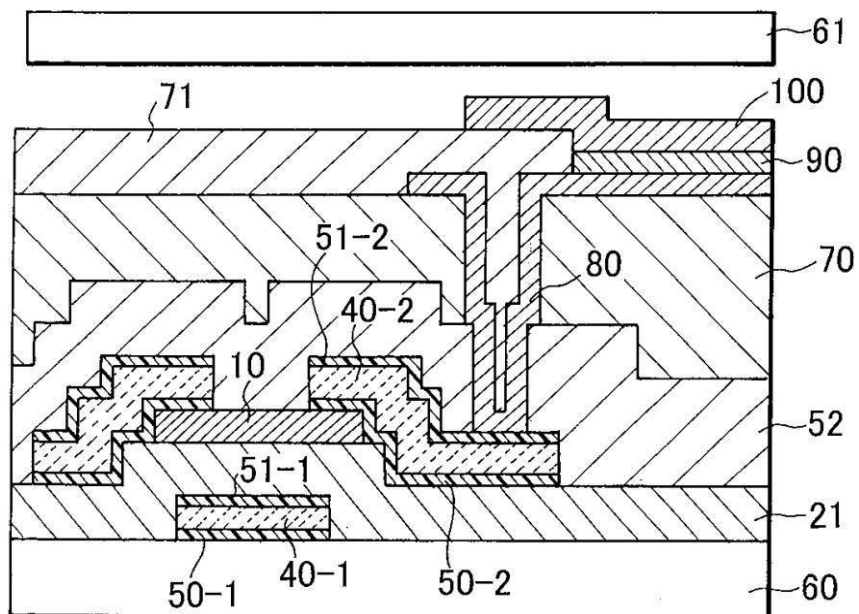
【図 5】



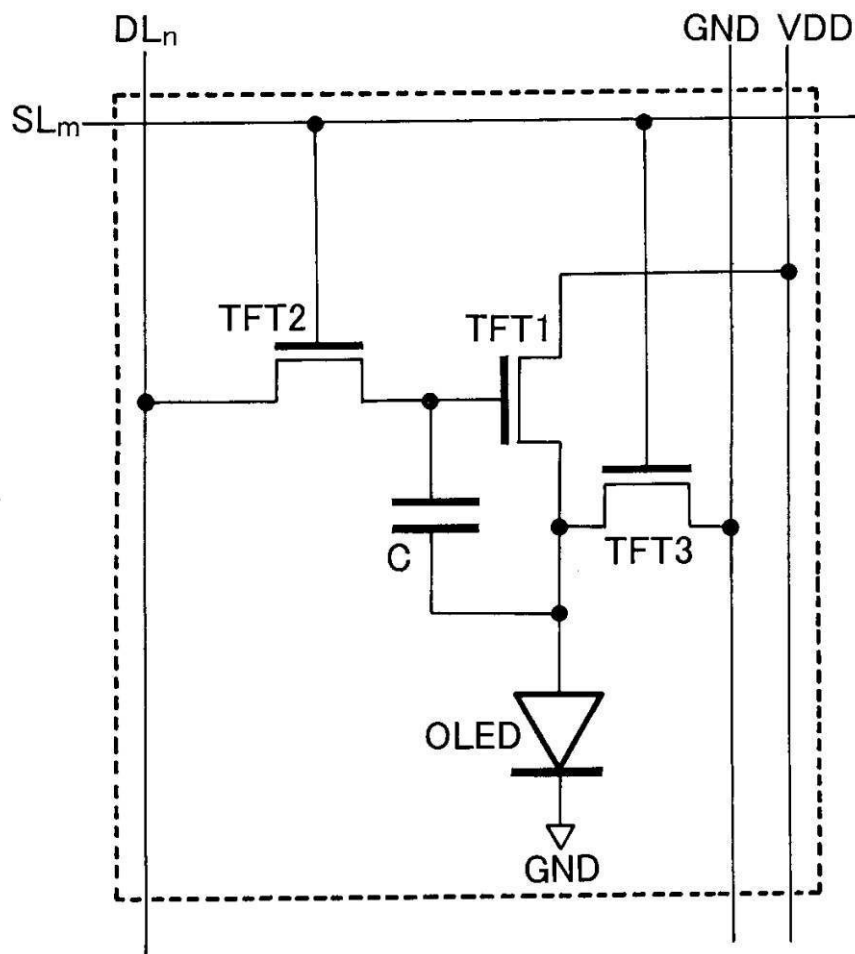
【図 6】



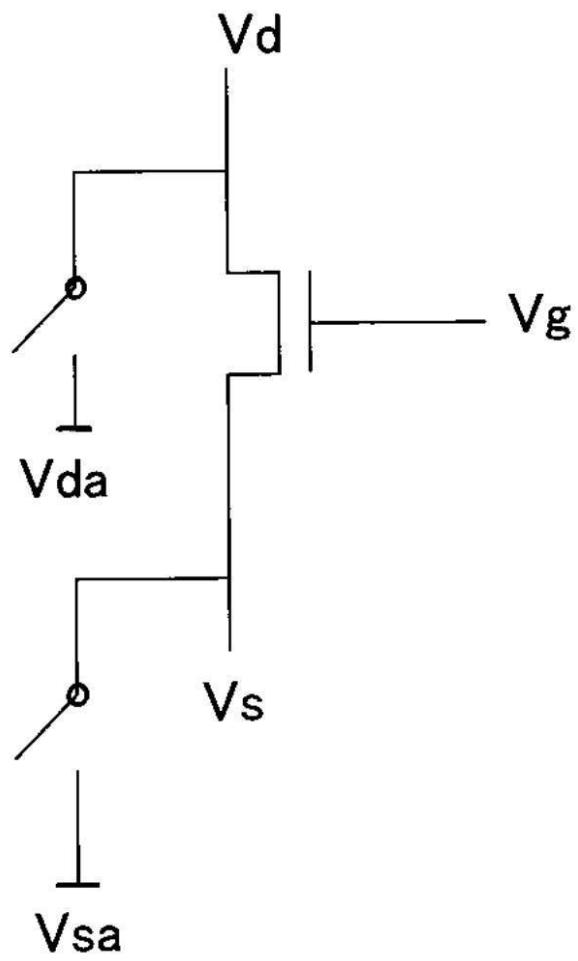
【図 7】



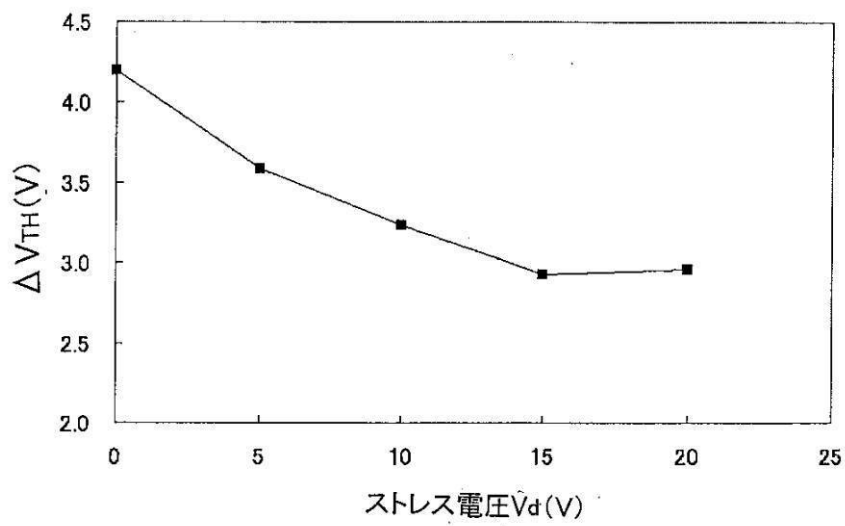
【 図 8 】



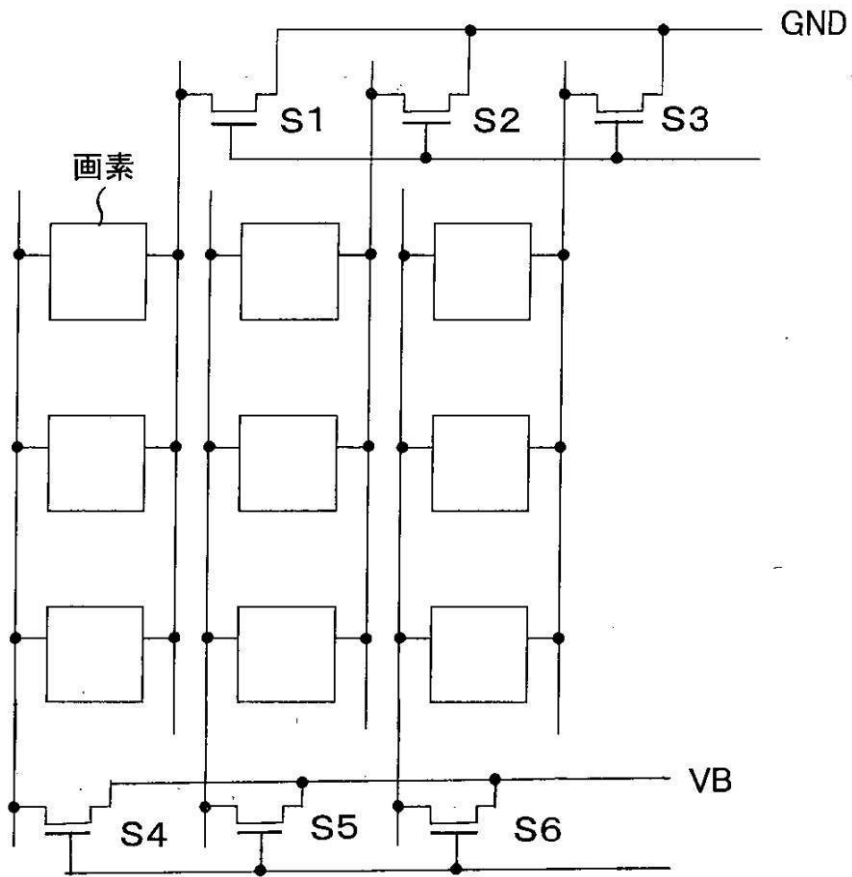
【図 9】



【図 10】



【図 1 1】



フロントページの続き

(72)発明者 林 享

東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社内

F ターム(参考) 3K107 AA01 BB01 EE03 HH04 HH05

5C080 AA06 BB05 DD29 EE29 FF11 JJ03 JJ05 JJ06

专利名称(译)	薄膜晶体管电路，发光显示装置及其驱动方法		
公开(公告)号	JP2009042664A	公开(公告)日	2009-02-26
申请号	JP2007209984	申请日	2007-08-10
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	清水久惠 安部勝美 林享		
发明人	清水 久惠 安部 勝美 林 享		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3258 G09G3/3233 G09G2300/0417 G09G2300/0842 G09G2320/0233 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.670.J H05B33/14.A G09G3/20.670.K G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD29 5C080/EE29 5C080/FF11 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C380/AA01 5C380/AA02 5C380/AB06 5C380/AB22 5C380/BD10 5C380/CA08 5C380/CA12 5C380/CB01 5C380/CC27 5C380/CC33 5C380/CC52 5C380/CC62 5C380/CD013 5C380/CE02 5C380/DA06		
代理人(译)	永井道雄		
其他公开文献	JP5414161B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：在使用TFT时抑制电应力对TFT特性的影响。解决方案：发光显示装置包括有机EL装置（OLED）和用于驱动有机EL装置的驱动电路。驱动电路包括多个像素，其具有薄膜晶体管TFT 1，其阈值电压可通过施加在栅极端子和源极端子之间的电应力可逆地改变，以及电压施加装置，用于设定薄膜晶体管的栅极电位TFT 1高于源极电位。当未驱动薄膜晶体管时，电压施加装置在栅极端子和源极端子之间施加电应力，使得薄膜晶体管在阈值电压相对于电应力饱和的区域中被驱动。

