

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-14933

(P2009-14933A)

(43) 公開日 平成21年1月22日(2009.1.22)

(51) Int.Cl.			F I	テーマコード (参考)		
G09G	3/30	(2006.01)	G09G	3/30	J	3K107
H01L	51/50	(2006.01)	H05B	33/14	A	5C080
G09G	3/20	(2006.01)	G09G	3/20	624B	

審査請求 有 請求項の数 10 O L (全 67 頁)

(21) 出願番号 特願2007-175540 (P2007-175540)
 (22) 出願日 平成19年7月3日(2007.7.3)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100094363
 弁理士 山本 孝久
 (74) 代理人 100118290
 弁理士 吉井 正明
 (72) 発明者 山本 哲郎
 東京都港区港南1丁目7番1号 ソニー株式会社内
 (72) 発明者 内野 勝秀
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 有機エレクトロルミネッセンス素子、及び、有機エレクトロルミネッセンス表示装置

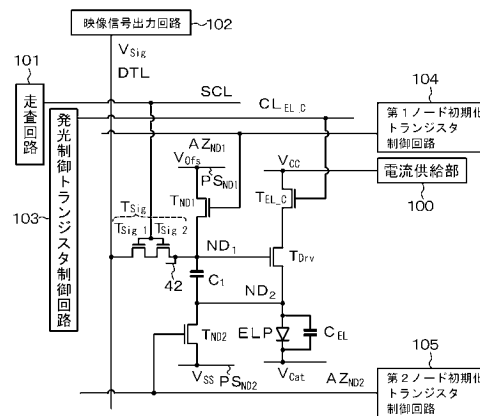
(57) 【要約】

【課題】トランジスタをデュアルゲート構造とした効果が損なわれず、効果的にリーク電流を抑制することができる有機エレクトロルミネッセンス素子を提供する。

【解決手段】有機EL素子は、駆動回路及び発光部ELPを備え、駆動回路は、駆動トランジスタ T_{Drv} 、映像信号書き込みトランジスタ T_{Sig} 、コンデンサ部 C_1 から構成され、第1トランジスタ T_{Sig_1} と第2トランジスタ T_{Sig_2} から構成されたデュアルゲート型の映像信号書き込みトランジスタ T_{Sig} において、第2トランジスタ T_{Sig_2} は、第2チャネル形成領域34Bの他方の面と絶縁層40を介して対向したシールド電極42を有しており、シールド電極42は、第2トランジスタ T_{Sig_2} の他方のソース/ドレイン領域35に接続されている。

【選択図】 図1

【図1】 【実施例1】



- T_{Sig} : 映像信号書き込みトランジスタ
- T_{Drv} : 駆動トランジスタ
- T_{EL_C} : 発光制御トランジスタ
- T_{ND1} : 第1ノード初期化トランジスタ
- T_{ND2} : 第2ノード初期化トランジスタ
- C_1 : コンデンサ部
- ELP : 有機EL素子の発光部
- C_{EL} : 発光部の寄生容量
- DTL : データ線
- SCL : 走査線
- CL_{EL_C} : 発光制御トランジスタ制御線
- AZ_{ND1} : 第1ノード初期化トランジスタ制御線
- AZ_{ND2} : 第2ノード初期化トランジスタ制御線

【特許請求の範囲】**【請求項 1】**

有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えた有機エレクトロルミネッセンス素子であって、

駆動回路は、

(A) 駆動トランジスタ、

(B) 映像信号書込みトランジスタ、及び、

(C) 一对の電極を備えたコンデンサ部、

から構成されており、

駆動トランジスタにおいては、

(A-1) 一方のソース/ドレイン領域は、電流供給部に接続されており、

(A-2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第2ノードを構成し、

映像信号書込みトランジスタは、デュアルゲート型のトランジスタから成り、第1ゲート電極と第1チャンネル形成領域とを備えた第1トランジスタ、及び、第2ゲート電極と第2チャンネル形成領域とを備えた第2トランジスタから構成されており、

第1トランジスタの一方のソース/ドレイン領域は、データ線に接続されており、

第2トランジスタの他方のソース/ドレイン領域は、駆動トランジスタのゲート電極、且つ、コンデンサ部の他方の電極に接続されており、第1ノードを構成し、

第1トランジスタの第1ゲート電極、及び、第2トランジスタの第2ゲート電極は、走査線に接続されており、

第1トランジスタの第1ゲート電極は、第1チャンネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第2トランジスタの第2ゲート電極は、第2チャンネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第2トランジスタは、第2チャンネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有しており、

シールド電極は、第2トランジスタの他方のソース/ドレイン領域に接続されていることを特徴とする有機エレクトロルミネッセンス素子。

【請求項 2】

第2トランジスタは、更に、第2チャンネル形成領域の他方の面と絶縁層を介して対向した第2のシールド電極を有しており、

第2のシールド電極は、第1トランジスタの他方のソース/ドレイン領域と第2トランジスタの一方のソース/ドレイン領域とを兼ねる共通領域に接続されていることを特徴とする請求項1に記載の有機エレクトロルミネッセンス素子。

【請求項 3】

第1トランジスタは、更に、第1チャンネル形成領域の他方の面と絶縁層を介して対向した第3のシールド電極を有しており、

第3のシールド電極は、第1トランジスタの一方のソース/ドレイン領域に接続されていることを特徴とする請求項1に記載の有機エレクトロルミネッセンス素子。

【請求項 4】

第2トランジスタは、更に、第2チャンネル形成領域の他方の面と絶縁層を介して対向した第2のシールド電極を有しており、

第1トランジスタは、更に、第1チャンネル形成領域の他方の面と絶縁層を介して対向した第3のシールド電極及び第4のシールド電極を有しており、

第2のシールド電極と第4のシールド電極とは、第1トランジスタの他方のソース/ドレイン領域と第2トランジスタの一方のソース/ドレイン領域とを兼ねる共通領域に接続されており、

第3のシールド電極は、第1トランジスタの一方のソース/ドレイン領域に接続されて

10

20

30

40

50

いることを特徴とする請求項 1 に記載の有機エレクトロルミネッセンス素子。

【請求項 5】

有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えた有機エレクトロルミネッセンス素子であって、

駆動回路は、

- (A) 駆動トランジスタ、
- (B) 映像信号書込みトランジスタ、
- (C) 一对の電極を備えたコンデンサ部、及び、
- (D) 第 1 ノード初期化トランジスタ、

から構成されており、

駆動トランジスタにおいては、

(A - 1) 一方のソース/ドレイン領域は、電流供給部に接続されており、

(A - 2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第 2 ノードを構成し、

映像信号書込みトランジスタにおいては、

(B - 1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B - 2) 他方のソース/ドレイン領域は、駆動トランジスタのゲート電極、且つ、コンデンサ部の他方の電極に接続されており、第 1 ノードを構成し、

(B - 3) ゲート電極は、走査線に接続されており、

第 1 ノード初期化トランジスタは、デュアルゲート型のトランジスタから成り、第 1 ゲート電極と第 1 チャネル形成領域とを備えた第 1 トランジスタ、及び、第 2 ゲート電極と第 2 チャネル形成領域とを備えた第 2 トランジスタから構成されており、

第 1 トランジスタの一方のソース/ドレイン領域は、第 1 ノード初期化電圧供給線に接続されており、

第 2 トランジスタの他方のソース/ドレイン領域は、第 1 ノードに接続されており、

第 1 トランジスタの第 1 ゲート電極、及び、第 2 トランジスタの第 2 ゲート電極は、第 1 ノード初期化トランジスタ制御線に接続されており、

第 1 トランジスタの第 1 ゲート電極は、第 1 チャネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第 2 トランジスタの第 2 ゲート電極は、第 2 チャネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第 2 トランジスタは、第 2 チャネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有しており、

シールド電極は、第 2 トランジスタの他方のソース/ドレイン領域に接続されていることを特徴とする有機エレクトロルミネッセンス素子。

【請求項 6】

第 2 トランジスタは、更に、第 2 チャネル形成領域の他方の面と絶縁層を介して対向した第 2 のシールド電極を有しており、

第 2 のシールド電極は、第 1 トランジスタの他方のソース/ドレイン領域と第 2 トランジスタの一方のソース/ドレイン領域とを兼ねる共通領域に接続されていることを特徴とする請求項 5 に記載の有機エレクトロルミネッセンス素子。

【請求項 7】

第 1 トランジスタは、更に、第 1 チャネル形成領域の他方の面と絶縁層を介して対向した第 3 のシールド電極を有しており、

第 3 のシールド電極は、第 1 トランジスタの一方のソース/ドレイン領域に接続されていることを特徴とする請求項 5 に記載の有機エレクトロルミネッセンス素子。

【請求項 8】

第 2 トランジスタは、更に、第 2 チャネル形成領域の他方の面と絶縁層を介して対向した第 2 のシールド電極を有しており、

10

20

30

40

50

第 1 トランジスタは、更に、第 1 チャネル形成領域の他方の面と絶縁層を介して対向した第 3 のシールド電極及び第 4 のシールド電極を有しており、

第 2 のシールド電極と第 4 のシールド電極とは、第 1 トランジスタの他方のソース/ドレイン領域と第 2 トランジスタの一方のソース/ドレイン領域とを兼ねる共通領域に接続されており、

第 3 のシールド電極は、第 1 トランジスタの一方のソース/ドレイン領域に接続されていることを特徴とする請求項 5 に記載の有機エレクトロルミネッセンス素子。

【請求項 9】

(1) 走査回路、

(2) 映像信号出力回路、

(3) 第 1 の方向に N 個、第 1 の方向とは異なる第 2 の方向に M 個、合計 $M \times N$ 個の、2 次元マトリクス状に配列された有機エレクトロルミネッセンス素子、

(4) 走査回路に接続され、第 1 の方向に延びる M 本の走査線、

(5) 映像信号出力回路に接続され、第 2 の方向に延びる N 本のデータ線、並びに、

(6) 電流供給部、

を備えた有機エレクトロルミネッセンス表示装置であって、

各有機エレクトロルミネッセンス素子は、有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えており、

駆動回路は、

(A) 駆動トランジスタ、

(B) 映像信号書込みトランジスタ、及び、

(C) 一对の電極を備えたコンデンサ部、

から構成されており、

駆動トランジスタにおいては、

(A-1) 一方のソース/ドレイン領域は、電流供給部に接続されており、

(A-2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第 2 ノードを構成し、

映像信号書込みトランジスタは、デュアルゲート型のトランジスタから成り、第 1 ゲート電極と第 1 チャネル形成領域とを備えた第 1 トランジスタ、及び、第 2 ゲート電極と第 2 チャネル形成領域とを備えた第 2 トランジスタから構成されており、

第 1 トランジスタの一方のソース/ドレイン領域は、データ線に接続されており、

第 2 トランジスタの他方のソース/ドレイン領域は、駆動トランジスタのゲート電極、且つ、コンデンサ部の他方の電極に接続されており、第 1 ノードを構成し、

第 1 トランジスタの第 1 ゲート電極、及び、第 2 トランジスタの第 2 ゲート電極は、走査線に接続されており、

第 1 トランジスタの第 1 ゲート電極は、第 1 チャネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第 2 トランジスタの第 2 ゲート電極は、第 2 チャネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第 2 トランジスタは、第 2 チャネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有しており、

シールド電極は、第 2 トランジスタの他方のソース/ドレイン領域に接続されていることを特徴とする有機エレクトロルミネッセンス表示装置。

【請求項 10】

(1) 走査回路、

(2) 映像信号出力回路、

(3) 第 1 の方向に N 個、第 1 の方向とは異なる第 2 の方向に M 個、合計 $N \times M$ 個の、2 次元マトリクス状に配列された有機エレクトロルミネッセンス素子、

(4) 走査回路に接続され、第 1 の方向に延びる M 本の走査線、

10

20

30

40

50

(5) 映像信号出力回路に接続され、第2の方向に延びるN本のデータ線、並びに、
 (6) 電流供給部、
 を備えた有機エレクトロルミネッセンス表示装置であって、
 各有機エレクトロルミネッセンス素子は、有機エレクトロルミネッセンス発光部、及び
 、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えており、
 駆動回路は、

- (A) 駆動トランジスタ、
- (B) 映像信号書込みトランジスタ、
- (C) 一对の電極を備えたコンデンサ部、及び、
- (D) 第1ノード初期化トランジスタ、

から構成されており、

駆動トランジスタにおいては、

(A-1) 一方のソース/ドレイン領域は、電流供給部に接続されており、

(A-2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第2ノードを構成し、

映像信号書込みトランジスタにおいては、

(B-1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B-2) 他方のソース/ドレイン領域は、駆動トランジスタのゲート電極、且つ、コンデンサ部の他方の電極に接続されており、第1ノードを構成し、

(B-3) ゲート電極は、走査線に接続されており、

第1ノード初期化トランジスタは、デュアルゲート型のトランジスタから成り、第1ゲート電極と第1チャンネル形成領域とを備えた第1トランジスタ、及び、第2ゲート電極と第2チャンネル形成領域とを備えた第2トランジスタから構成されており、

第1トランジスタの一方のソース/ドレイン領域は、第1ノード初期化電圧供給線に接続されており、

第2トランジスタの他方のソース/ドレイン領域は、第1ノードに接続されており、

第1トランジスタの第1ゲート電極、及び、第2トランジスタの第2ゲート電極は、第1ノード初期化トランジスタ制御線に接続されており、

第1トランジスタの第1ゲート電極は、第1チャンネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第2トランジスタの第2ゲート電極は、第2チャンネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第2トランジスタは、第2チャンネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有しており、

シールド電極は、第2トランジスタの他方のソース/ドレイン領域に接続されていることを特徴とする有機エレクトロルミネッセンス表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス素子、及び、この有機エレクトロルミネッセンス素子を用いた有機エレクトロルミネッセンス表示装置に関する。

【背景技術】

【0002】

有機エレクトロルミネッセンス素子(以下、単に、有機EL素子と略称する)を発光素子として用いた有機エレクトロルミネッセンス表示装置(以下、単に、有機EL表示装置と略称する)において、有機EL素子の輝度は、有機EL素子を通る電流値によって制御される。そして、液晶表示装置と同様に、有機EL表示装置においても、駆動方式として、単純マトリクス方式、及び、アクティブマトリクス方式が周知である。アクティブマトリクス方式は、単純マトリクス方式に比べて構造が複雑となるといった欠点はあるが、

10

20

30

40

50

画像の輝度を高いものとする事ができる等、種々の利点を有する。

【0003】

有機EL素子を構成する有機エレクトロルミネッセンス発光部（以下、単に、発光部と略称する）を駆動するための回路として、5つのトランジスタと1つのコンデンサ部から構成された駆動回路（5Tr/1C駆動回路と呼ぶ）が、例えば、特開2006-215213号公報から周知である。この5Tr/1C駆動回路は、図36に示すように、映像信号書込みトランジスタ T_{sig} 、駆動トランジスタ T_{Drv} 、発光制御トランジスタ T_{ELC} 、第1ノード初期化トランジスタ T_{ND1} 、第2ノード初期化トランジスタ T_{ND2} の5つのトランジスタから構成され、更には、1つのコンデンサ部 C_1 から構成されている。ここで、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域は第2ノード ND_2 を構成し、駆動トランジスタ T_{Drv} のゲート電極は第1ノード ND_1 を構成する。

10

【0004】

例えば、各トランジスタはnチャンネル型の薄膜トランジスタ（TFET）から成り、発光部ELPは、駆動回路を覆うように形成された層間絶縁層等の上に設けられている。発光部ELPのアノード電極は、駆動トランジスタ T_{Drv} の他方のソース/ドレイン領域に接続されている。一方、発光部ELPのカソード電極には、電圧 V_{cat} （例えば、0ボルト）が印加される。符号 C_{EL} は発光部ELPの寄生容量を表す。

【0005】

駆動のタイミングチャートを模式的に図4に示し、各トランジスタのオン/オフ状態等を模式的に図5の(A)~(D)及び図6の(A)~(E)に示す。図4に示すように、[期間-TP(5)₁]において、閾値電圧キャンセル処理を行うための前処理が実行される。即ち、第1ノード初期化トランジスタ制御回路104及び第2ノード初期化トランジスタ制御回路105の動作に基づき、第1ノード初期化トランジスタ制御線 AZ_{ND1} 及び第2ノード初期化トランジスタ制御線 AZ_{ND2} をハイレベルとする。これにより、図5の(B)に示すように、第1ノード初期化トランジスタ T_{ND1} 及び第2ノード初期化トランジスタ T_{ND2} をオン状態とすることで、第1ノード ND_1 の電位は、 V_{ofs} （例えば、0ボルト）となる。一方、第2ノード ND_2 の電位は、 V_{SS} （例えば、-10ボルト）となる。そして、これによって、駆動トランジスタ T_{Drv} のゲート電極と他方のソース/ドレイン領域との間の電位差が、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} 以上となる。駆動トランジスタ T_{Drv} はオン状態である。

20

30

【0006】

次いで、図4に示すように、[期間-TP(5)₂]において、閾値電圧キャンセル処理が行われる。図5の(D)に示すように、第1ノード初期化トランジスタ T_{ND1} のオン状態を維持したまま、[期間-TP(5)₂]の始期において発光制御トランジスタ制御回路103の動作に基づき、発光制御トランジスタ制御線 CL_{ELC} をハイレベルとする。これにより、発光制御トランジスタ T_{ELC} をオン状態とする。その結果、第1ノード ND_1 の電位から駆動トランジスタ T_{Drv} の閾値電圧 V_{th} を減じた電位に向かって、第2ノード ND_2 の電位は変化する。即ち、浮遊状態の第2ノード ND_2 の電位が上昇する。そして、駆動トランジスタ T_{Drv} のゲート電極と他方のソース/ドレイン領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{Drv} がオフ状態となる。この状態にあっては、第2ノードの電位は、概ね $(V_{ofs} - V_{th})$ である。その後、[期間-TP(5)₃]において、第1ノード初期化トランジスタ T_{ND1} のオン状態を維持したまま、発光制御トランジスタ制御回路103の動作に基づき、発光制御トランジスタ制御線 CL_{ELC} をローレベルとし、発光制御トランジスタ T_{ELC} をオフ状態とする。次に、[期間-TP(5)₄]において、第1ノード初期化トランジスタ制御回路104の動作に基づき第1ノード初期化トランジスタ制御線 AZ_{ND1} をローレベルとすることによって、第1ノード初期化トランジスタ T_{ND1} をオフ状態とする。

40

【0007】

次いで、図4に示すように、[期間-TP(5)₅]において、駆動トランジスタ T_{Drv} に対する書込み処理を行う。具体的には、図6の(C)に示すように、第1ノード初期化

50

トランジスタ T_{ND1} 、第 2 ノード初期化トランジスタ T_{ND2} 、及び、発光制御トランジスタ T_{EL_C} のオフ状態を維持したまま、データ線 DTL の電位を映像信号に相当する電圧 [発光部 ELP における輝度を制御するための映像信号 (駆動信号、輝度信号) V_{sig}] とし、次いで、走査線 SCl をハイレベルとすることによって映像信号書込みトランジスタ T_{sig} をオン状態とする。その結果、第 1 ノード ND_1 の電位は、 V_{sig} へと上昇する。第 1 ノード ND_1 の電位の変化分に基づく電荷は、コンデンサ部 C_1 、発光部 ELP の寄生容量 C_{EL} 、駆動トランジスタ T_{DrV} におけるゲート電極と発光部 ELP 側のソース/ドレイン領域との間の寄生容量に振り分けられる。従って、第 1 ノード ND_1 の電位が変化すると、第 2 ノード ND_2 の電位も変化する。しかし、発光部 ELP の寄生容量 C_{EL} の容量値が大きな値である程、第 2 ノード ND_2 の電位の変化は小さくなる。そして、一般に、発光部 ELP の寄生容量 C_{EL} の容量値は、コンデンサ部 C_1 の容量値及び駆動トランジスタ T_{DrV} の寄生容量の値よりも大きい。そこで、第 2 ノード ND_2 の電位は殆ど変化しないとすれば、駆動トランジスタ T_{DrV} のゲート電極と他方のソース/ドレイン領域との間の電位差 V_{gs} は、以下の式 (A) のとおりとなる。

【 0 0 0 8 】

$$V_{gs} = V_{sig} - (V_{ofs} - V_{th}) \quad (A)$$

【 0 0 0 9 】

その後、図 4 に示すように、[期間 - $TP(5)_6$] において、駆動トランジスタ T_{DrV} の特性 (例えば、移動度 μ の大小等) に応じて駆動トランジスタ T_{DrV} の他方のソース/ドレイン領域の電位 (即ち、第 2 ノード ND_2 の電位) を上昇させる移動度補正処理を行う。具体的には、図 6 の (D) に示すように、駆動トランジスタ T_{DrV} のオン状態を維持したまま、発光制御トランジスタ制御回路 103 の動作に基づき、発光制御トランジスタ T_{EL_C} をオン状態とし、次いで、所定の時間 (t_0) が経過した後、映像信号書込みトランジスタ T_{sig} をオフ状態とする。その結果、駆動トランジスタ T_{DrV} の移動度 μ の値が大きい場合、駆動トランジスタ T_{DrV} の他方のソース/ドレイン領域における電位の上昇量 V (電位補正值) は大きくなり、駆動トランジスタ T_{DrV} の移動度 μ の値が小さい場合、駆動トランジスタ T_{DrV} の他方のソース/ドレイン領域における電位の上昇量 V (電位補正值) は小さくなる。ここで、駆動トランジスタ T_{DrV} のゲート電極と他方のソース/ドレイン領域との間の電位差 V_{gs} は、式 (A) から以下の式 (B) のように変形される。尚、移動度補正処理を実行するための所定の時間 ([期間 - $TP(5)_6$] の全時間 t_0) は、有機 EL 表示装置の設計の際、設計値として予め決定しておけばよい。

【 0 0 1 0 】

$$V_{gs} = V_{sig} - (V_{ofs} - V_{th}) - V \quad (B)$$

【 0 0 1 1 】

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了する。そして、その後の [期間 - $TP(5)_7$] において、映像信号書込みトランジスタ T_{sig} がオフ状態となり、第 1 ノード ND_1 、即ち、図 6 の (E) に示すように、駆動トランジスタ T_{DrV} のゲート電極は浮遊状態となる一方、発光制御トランジスタ T_{EL_C} はオン状態を維持しており、発光制御トランジスタ T_{EL_C} の一方のソース/ドレイン領域は、発光部 ELP の発光を制御するための電流供給部 (電圧 V_{CC} 、例えば 20 ボルト) に接続された状態にある。従って、以上の結果として、第 2 ノード ND_2 の電位が上昇し、所謂ブートストラップ回路における同様の現象が駆動トランジスタ T_{DrV} のゲート電極に生じ、第 1 ノード ND_1 の電位も上昇する。その結果、駆動トランジスタ T_{DrV} のゲート電極と他方のソース/ドレイン領域との間の電位差 V_{gs} は、式 (B) の値を保持する。また、発光部 ELP を流れる電流は、駆動トランジスタ T_{DrV} のドレイン領域からソース領域へと流れるドレイン電流 I_{ds} であるので、式 (C) で表すことができる。発光部 ELP は、ドレイン電流 I_{ds} の値に応じた輝度で発光する。

【 0 0 1 2 】

$$\begin{aligned} I_{ds} &= k \cdot \mu \cdot (V_{gs} - V_{th})^2 \\ &= k \cdot \mu \cdot (V_{sig} - V_{ofs} - V)^2 \quad (C) \end{aligned}$$

10

20

30

40

50

【 0 0 1 3 】

以上に概要を説明した 5 Tr / 1 C 駆動回路の駆動等についても、後に詳しく説明する。

【 0 0 1 4 】

ところで、図 3 6 に示す従来の 5 Tr / 1 C 駆動回路を備えた有機 EL 素子において、発光部 E L P が発光状態にあるとき、第 1 ノード $N D_1$ に接続されたトランジスタ（具体的には、映像信号書込みトランジスタ T_{sig} 、及び、第 1 ノード初期化トランジスタ T_{ND1} ）はオフ状態にある。しかし、オフ状態にあるトランジスタを介して流れる電流、即ち、所謂リーク電流を完全に無くすることはできない。従って、第 1 ノード $N D_1$ に接続されたトランジスタを流れるリーク電流に起因して、コンデンサ部 C_1 に蓄積された電荷量が変動する。そして、この電荷量の変動に基づき第 1 ノード $N D_1$ の電位が変動し、駆動トランジスタ T_{DrV} のゲート電極と他方のソース/ドレイン領域との間の電位差 V_{gs} も変動する。上述した式 (C) に示すように、 V_{gs} の値が変動すると I_{ds} の値も変動し、最終的には、発光部 E L P の輝度変化を生ずる。また、第 1 ノード $N D_1$ に接続されたトランジスタのリーク電流特性がばらつくと、上述した発光部 E L P の輝度変化の程度もばらつき、有機 EL 表示装置の輝度の均一性も悪化する。定性的には、トランジスタのリーク電流を設計的に小さくすればする程、リーク電流特性のばらつきの幅も狭くなるので、有機 EL 表示装置の輝度の均一性は改善される。

10

【 0 0 1 5 】

ここで、上述したトランジスタのリーク電流による発光部 E L P の輝度変化を軽減するために、第 1 ノード $N D_1$ に接続されるトランジスタを所謂デュアルゲート構造（2つのゲート電極がゲート絶縁膜上に直列に配列され、2つのゲート電極間に導電性を有する高濃度領域から成る共通領域が設けられた構造）とした場合について考察する。図 3 7 に、一例として、映像信号書込みトランジスタ T_{sig} をデュアルゲート構造とした駆動回路の等価回路図を示す。領域 A 1 は映像信号書込みトランジスタ T_{sig} を構成する第 1 のトランジスタの一方のソース/ドレイン領域を示す。領域 A 2 は映像信号書込みトランジスタ T_{sig} を構成する第 2 のトランジスタの他方のソース/ドレイン領域を示す。領域 A 3 は第 1 のトランジスタの他方のソース/ドレイン領域と第 2 のトランジスタの一方のソース/ドレイン領域とを兼ねる共通領域を示す。定性的には、デュアルゲート構造のトランジスタは、シングルゲート構造のトランジスタよりもリーク電流を抑えることができる。従って、上述した発光部 E L P の輝度変化が抑制されると共に、リーク電流特性のばらつきの幅も狭くなるので、有機 EL 表示装置の輝度の均一性の悪化を抑制することができる。尚、図 3 7 では映像信号書込みトランジスタ T_{sig} のみをデュアルゲート構造とした例を示したが、代わりに、第 1 ノード初期化トランジスタ T_{ND1} をデュアルゲート化した構成、あるいは又、映像信号書込みトランジスタ T_{sig} と第 1 ノード初期化トランジスタ T_{ND1} とを共にデュアルゲート化した構成とすることもできる。

20

30

【 0 0 1 6 】

ここで、図 3 7 に示す回路において、映像信号書込みトランジスタ T_{sig} をオン状態からオフ状態とする際の、領域 A 3 の電位について考察する。図 3 8 の (A) の等価回路図に示すように、デュアルゲート構造の映像信号書込みトランジスタ T_{sig} には、各ゲート電極と各領域間に寄生容量 C_{A1} 、 C_{A2} 、 C_{A3} が存在する。図 3 8 の (B) に示すように、駆動トランジスタ T_{DrV} に対する書込み処理を行う際には、データ線 D T L の電位を映像信号に相当する電圧 V_{sig} とし、次いで、走査線 S C L をハイレベル（例えば 10 ボルト）とすることによって映像信号書込みトランジスタ T_{sig} をオン状態とする。この状態においては、領域 A 1 の電位、領域 A 2 の電位（= 第 1 ノード $N D_1$ の電位）、及び、領域 A 3 の電位は、 V_{sig} となる。その後、図 3 8 の (C) に示すように、走査線 S C L をローレベル（例えば - 10 ボルト）とし、映像信号書込みトランジスタ T_{sig} をオフ状態とする動作を行う。

40

【 0 0 1 7 】

上述したように、映像信号書込みトランジスタ T_{sig} の各ゲート電極と各領域間には、

50

寄生容量 C_{A1} 、 C_{A2} 、 C_{A3} が存在する。従って、走査線 SCL をハイレベルからローレベルにする際、これらの寄生容量による静電結合により、領域 A1、領域 A2、及び、領域 A3 の電位は、マイナス側に変化しようとする。しかし、領域 A1 には引き続きデータ線 DTL から電圧 V_{Sig} が印加された状態である。また、寄生容量 C_{A1} 、 C_{A2} 、 C_{A3} に対し、コンデンサ部 C_1 は充分大きな静電容量の値を有するので、領域 A2 の電位 (= 第 1 ノード ND_1 の電位) も実質的に V_{Sig} を保つ。従って、映像信号書込みトランジスタ T_{Sig} をオン状態からオフ状態とすると、領域 A1 と領域 A2 の電位に対し、領域 A3 の電位が相対的にマイナス側に変化する。従って、この状態においては、領域 A3 はソース領域、領域 A1、領域 A2 はドレイン領域となる。

【0018】

尚、第 1 ノード初期化トランジスタ T_{ND1} をデュアルゲート構造のトランジスタとした場合においても、上記で説明したと同様の現象が起こる。即ち、第 1 ノード初期化トランジスタ T_{ND1} が第 1 のトランジスタと第 2 のトランジスタから構成されたデュアルゲート構造のトランジスタであるとき、第 1 ノード初期化トランジスタ T_{ND1} をオン状態からオフ状態とすると、第 1 のトランジスタの他方のソース/ドレイン領域と第 2 のトランジスタの一方のソース/ドレイン領域とを兼ねる共通領域の電位が相対的にマイナス側に変化する。この状態においては、共通領域はソース領域、第 1 のトランジスタの一方のソース/ドレイン領域、第 2 のトランジスタ T の他方のソース/ドレイン領域はドレイン領域となる。

【0019】

【特許文献 1】特開 2006 - 215213 号公報

【発明の開示】

【発明が解決しようとする課題】

【0020】

一般的に、トランジスタのチャンネル形成領域に印加される電界がゲート電極以外の電極の電位変化による影響を受けることは、駆動回路の動作上、好ましくはない。例えば、発光部 ELP のアノード電極の電位は、表示すべき画像の輝度に応じて変化する。発光部 ELP と駆動回路が近接して配置されている場合、発光部 ELP のアノード電極の電位変化により、チャンネル形成領域に印加される電界が影響を受ける可能性がある。トランジスタのチャンネル形成領域を絶縁層を介して覆うように、例えば接地されたシールド電極を形成することにより、このような外部の電極の電位変化による影響を軽減することができる。しかし、デュアルゲート構造のトランジスタについて、例えば、上述した領域 A1、領域 A2、及び、領域 A3 を単純に覆う接地されたシールド電極を形成すると、リーク電流が増大する不具合が発生する。即ち、トランジスタをオン状態からオフ状態とする際に、領域 A3 の電位が相対的にマイナス側に変化するので、接地されたシールド電極があたかもゲート電極として作用し、所謂バックチャンネル効果を生ずる。これにより、トランジスタのリーク電流が増大し、第 1 ノード ND_1 に接続されるトランジスタを所謂デュアルゲート構造とした効果が損なわれる。

【0021】

従って、本発明の目的は、第 1 ノード ND_1 に接続されたトランジスタをデュアルゲート構造とした効果が損なわれず、効果的にリーク電流を抑制することができる有機エレクトロルミネッセンス素子、及び、この有機エレクトロルミネッセンス素子を用いた有機エレクトロルミネッセンス表示装置を提供することにある。

【課題を解決するための手段】

【0022】

上記の目的を達成するための本発明の第 1 の態様あるいは第 2 の態様に係る有機エレクトロルミネッセンス表示装置は、

(1) 走査回路、

(2) 映像信号出力回路、

(3) 第 1 の方向に N 個、第 1 の方向とは異なる第 2 の方向に M 個、合計 $N \times M$ 個の、

10

20

30

40

50

2次元マトリクス状に配列された有機エレクトロルミネッセンス素子、
 (4) 走査回路に接続され、第1の方向に延びるM本の走査線、
 (5) 映像信号出力回路に接続され、第2の方向に延びるN本のデータ線、並びに、
 (6) 電流供給部、
 を備えた有機エレクトロルミネッセンス表示装置に関する。

【0023】

上記の目的を達成するための本発明の第1の態様に係る有機エレクトロルミネッセンス表示装置を構成する有機エレクトロルミネッセンス素子、及び、本発明の第1の態様に係る有機エレクトロルミネッセンス素子(以下、これらを単に、本発明の第1の態様に係る有機エレクトロルミネッセンス素子と略称する)は、有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えている。そして、駆動回路は、

- (A) 駆動トランジスタ、
- (B) 映像信号書込みトランジスタ、及び、
- (C) 一对の電極を備えたコンデンサ部、

から構成されており、

駆動トランジスタにおいては、

- (A-1) 一方のソース/ドレイン領域は、電流供給部に接続されており、
- (A-2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第2ノードを構成している。

【0024】

そして、本発明の第1の態様に係る有機エレクトロルミネッセンス素子にあっては、映像信号書込みトランジスタは、デュアルゲート型のトランジスタから成り、第1ゲート電極と第1チャンネル形成領域とを備えた第1トランジスタ、及び、第2ゲート電極と第2チャンネル形成領域とを備えた第2トランジスタから構成されており、

第1トランジスタの一方のソース/ドレイン領域は、データ線に接続されており、

第2トランジスタの他方のソース/ドレイン領域は、駆動トランジスタのゲート電極、且つ、コンデンサ部の他方の電極に接続されており、第1ノードを構成し、

第1トランジスタの第1ゲート電極、及び、第2トランジスタの第2ゲート電極は、走査線に接続されており、

第1トランジスタの第1ゲート電極は、第1チャンネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第2トランジスタの第2ゲート電極は、第2チャンネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第2トランジスタは、第2チャンネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有しており、

シールド電極は、第2トランジスタの他方のソース/ドレイン領域に接続されていることを特徴とする。

【0025】

ここで、本発明の第1の態様に係る有機エレクトロルミネッセンス素子において、第2トランジスタは、更に、第2チャンネル形成領域の他方の面と絶縁層を介して対向した第2のシールド電極を有しており、第2のシールド電極は、第1トランジスタの他方のソース/ドレイン領域と第2トランジスタの一方のソース/ドレイン領域とを兼ねる共通領域に接続されている構成とすることができる。

【0026】

あるいは又、本発明の第1の態様に係る有機エレクトロルミネッセンス素子において、第1トランジスタは、更に、第1チャンネル形成領域の他方の面と絶縁層を介して対向した第3のシールド電極を有しており、第3のシールド電極は、第1トランジスタの一方のソース/ドレイン領域に接続されている構成とすることができる。

【 0 0 2 7 】

あるいは又、本発明の第 1 の態様に係る有機エレクトロルミネッセンス素子において、第 2 トランジスタは、更に、第 2 チャネル形成領域の他方の面と絶縁層を介して対向した第 2 のシールド電極を有しており、第 1 トランジスタは、更に、第 1 チャネル形成領域の他方の面と絶縁層を介して対向した第 3 のシールド電極及び第 4 のシールド電極を有しており、第 2 のシールド電極と第 4 のシールド電極とは、第 1 トランジスタの他方のソース/ドレイン領域と第 2 トランジスタの一方のソース/ドレイン領域とを兼ねる共通領域に接続されており、第 3 のシールド電極は、第 1 トランジスタの一方のソース/ドレイン領域に接続されている構成とすることができる。

【 0 0 2 8 】

上記の目的を達成するための本発明の第 2 の態様に係る有機エレクトロルミネッセンス表示装置を構成する有機エレクトロルミネッセンス素子、及び、本発明の第 2 の態様に係る有機エレクトロルミネッセンス素子（以下、これらを単に、本発明の第 2 の態様に係る有機エレクトロルミネッセンス素子と略称する）は、有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えている。そして、駆動回路は、

- (A) 駆動トランジスタ、
- (B) 映像信号書込みトランジスタ、
- (C) 一对の電極を備えたコンデンサ部、及び、
- (D) 第 1 ノード初期化トランジスタ、

から構成されており、

駆動トランジスタにおいては、

(A - 1) 一方のソース/ドレイン領域は、電流供給部に接続されており、

(A - 2) 他方のソース/ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第 2 ノードを構成し、

映像信号書込みトランジスタにおいては、

(B - 1) 一方のソース/ドレイン領域は、データ線に接続されており、

(B - 2) 他方のソース/ドレイン領域は、駆動トランジスタのゲート電極、且つ、コンデンサ部の他方の電極に接続されており、第 1 ノードを構成し、

(B - 3) ゲート電極は、走査線に接続されている。

【 0 0 2 9 】

そして、本発明の第 2 の態様に係る有機エレクトロルミネッセンス素子にあっては、第 1 ノード初期化トランジスタは、デュアルゲート型のトランジスタから成り、第 1 ゲート電極と第 1 チャネル形成領域とを備えた第 1 トランジスタ、及び、第 2 ゲート電極と第 2 チャネル形成領域とを備えた第 2 トランジスタから構成されており、

第 1 トランジスタの一方のソース/ドレイン領域は、第 1 ノード初期化電圧供給線に接続されており、

第 2 トランジスタの他方のソース/ドレイン領域は、第 1 ノードに接続されており、

第 1 トランジスタの第 1 ゲート電極、及び、第 2 トランジスタの第 2 ゲート電極は、第 1 ノード初期化トランジスタ制御線に接続されており、

第 1 トランジスタの第 1 ゲート電極は、第 1 チャネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第 2 トランジスタの第 2 ゲート電極は、第 2 チャネル形成領域の一方の面とゲート絶縁層を介して対向しており、

第 2 トランジスタは、第 2 チャネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有しており、

シールド電極は、第 2 トランジスタの他方のソース/ドレイン領域に接続されていることを特徴とする。

【 0 0 3 0 】

10

20

30

40

50

ここで、本発明の第2の態様に係る有機エレクトロルミネッセンス素子において、第2トランジスタは、更に、第2チャンネル形成領域の他方の面と絶縁層を介して対向した第2のシールド電極を有しており、第2のシールド電極は、第1トランジスタの他方のソース/ドレイン領域と第2トランジスタの一方のソース/ドレイン領域とを兼ねる共通領域に接続されている構成とすることができる。

【0031】

あるいは又、本発明の第2の態様に係る有機エレクトロルミネッセンス素子において、第1トランジスタは、更に、第1チャンネル形成領域の他方の面と絶縁層を介して対向した第3のシールド電極を有しており、第3のシールド電極は、第1トランジスタの一方のソース/ドレイン領域に接続されている構成とすることができる。

10

【0032】

あるいは又、本発明の第2の態様に係る有機エレクトロルミネッセンス素子において、第2トランジスタは、更に、第2チャンネル形成領域の他方の面と絶縁層を介して対向した第2のシールド電極を有しており、第1トランジスタは、更に、第1チャンネル形成領域の他方の面と絶縁層を介して対向した第3のシールド電極及び第4のシールド電極を有しており、第2のシールド電極と第4のシールド電極とは、第1トランジスタの他方のソース/ドレイン領域と第2トランジスタの一方のソース/ドレイン領域とを兼ねる共通領域に接続されており、第3のシールド電極は、第1トランジスタの一方のソース/ドレイン領域に接続されている構成とすることができる。

20

【0033】

尚、以上に説明した好ましい構成を含む本発明の第2の態様に係る有機エレクトロルミネッセンス素子において、映像信号書込みトランジスタは、例えば、シングルゲート型であってもよいし、デュアルゲート型であってもよい。後者の場合には、映像信号書込みトランジスタは上述した各種の好ましい構成を含む本発明の第1の態様に係る有機エレクトロルミネッセンス素子において説明した構造とすることもできる。以下の表に具体的な組合せを示す。特に、第1番目の組合せはシールド電極を設ける個数を抑えつつ、二つのトランジスタのリーク電流を共に低減することができる利点を有する。

	第1ノード初期化トランジスタ				映像信号書込みトランジスタ			
	(第1の)シールド電極	第2のシールド電極	第3のシールド電極	第4のシールド電極	(第1の)シールド電極	第2のシールド電極	第3のシールド電極	第4のシールド電極
1	○	×	×	×	○	×	×	×
2	○	×	×	×	○	○	×	×
3	○	×	×	×	○	×	○	×
4	○	×	×	×	○	○	○	○
5	○	○	×	×	○	×	×	×
6	○	○	×	×	○	○	×	×
7	○	○	×	×	○	×	○	×
8	○	○	×	×	○	○	○	○
9	○	×	○	×	○	×	×	×
10	○	×	○	×	○	○	×	×
11	○	×	○	×	○	×	○	×
12	○	×	○	×	○	○	○	○
13	○	○	○	○	○	×	×	×
14	○	○	○	○	○	○	×	×
15	○	○	○	○	○	×	○	×
16	○	○	○	○	○	○	○	○

30

40

50

【0034】

以上に説明した各種の好ましい構成を含む本発明の第1の態様あるいは第2の態様に係る有機エレクトロルミネッセンス表示装置、若しくは、本発明の第1の態様あるいは第2の態様に係る有機エレクトロルミネッセンス素子（以下、これらを単に、本発明と略称する場合がある）において、走査回路、映像信号出力回路等の各種の回路、走査線、データ線等の各種の配線、電流供給部、有機エレクトロルミネッセンス発光部（以下、単に、発光部と呼ぶ場合がある）の構成、構造は、周知の構成、構造とすることができる。具体的には、発光部は、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等から構成することができる。

【0035】

本発明の第1の態様に係る有機エレクトロルミネッセンス素子を構成する駆動回路にあつては、駆動トランジスタ、映像信号書込みトランジスタに加えて、他のトランジスタを備えていてもよい。本発明の第2の態様に係る有機エレクトロルミネッセンス素子を構成する駆動回路にあつては、駆動トランジスタ、映像信号書込みトランジスタ、第1ノード初期化トランジスタに加えて、他のトランジスタを備えていてもよい。例えば、これらの駆動回路は、ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた第2ノード初期化トランジスタを更に備えており、第2ノード初期化トランジスタにおいては、一方のソース/ドレイン領域は、第2ノード初期化電圧供給線に接続されており、他方のソース/ドレイン領域は、第2ノードに接続されており、ゲート電極は、第2ノード初期化トランジスタ制御線に接続されている構成とすることもできる。あるいは又、これらの駆動回路は、ソース/ドレイン領域、チャンネル形成領域、及び、ゲート電極を備えた発光制御トランジスタを更に備えており、駆動トランジスタの一方のソース/ドレイン領域と電流供給部とは、発光制御トランジスタを介して接続されており、発光制御トランジスタのゲート電極は、発光制御トランジスタ制御線に接続されている構成とすることもできる。尚、第1の態様に係る有機エレクトロルミネッセンス素子を構成する駆動回路は、第1ノード初期化トランジスタを備えていてもよい。第1ノード初期化トランジスタは、例えば、シングルゲート型であってもよいし、デュアルゲート型であってもよい。

【0036】

本発明の第1の態様に係る有機エレクトロルミネッセンス素子を構成する駆動回路においては、例えば、5つのトランジスタと1つのコンデンサ部から構成された駆動回路、4つのトランジスタと1つのコンデンサ部から構成された駆動回路、3つのトランジスタと1つのコンデンサ部から構成された駆動回路、2つのトランジスタと1つのコンデンサ部から構成された駆動回路から構成することができる。本発明の第2の態様に係る有機エレクトロルミネッセンス素子を構成する駆動回路においても、例えば、5つのトランジスタと1つのコンデンサ部から構成された駆動回路、4つのトランジスタと1つのコンデンサ部から構成された駆動回路、3つのトランジスタと1つのコンデンサ部から構成された駆動回路から構成することができる。

【0037】

本発明の駆動回路を構成するトランジスタとして、 n チャンネル型の薄膜トランジスタ（TFET）を挙げることができるが、場合によっては、例えば、発光制御トランジスタ等に p チャンネル型の薄膜トランジスタを用いることもできる。コンデンサ部は、一方の電極、他方の電極、及び、これらの電極に挟まれた誘電体層から構成することができる。駆動回路を構成するトランジスタ及びコンデンサ部は、或る平面内に形成され（例えば、支持体上に形成され）、発光部は、例えば、層間絶縁層等を介して、駆動回路を構成するトランジスタ及びコンデンサ部の上方に形成されている。また、駆動トランジスタの他方のソース/ドレイン領域は、発光部に備えられたアノード電極に、例えば、コンタクトホールを介して接続されている。尚、半導体基板等にトランジスタを形成した構成であってもよい。

【0038】

本発明の第1の態様の有機エレクトロルミネッセンス素子にあつては、映像信号書込み

10

20

30

40

50

トランジスタを構成する第2トランジスタは、第2チャンネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有している。そして、シールド電極は、第1ノードを構成する他方のソース/ドレイン領域に接続されている。上述したように、映像信号書込みトランジスタをオン状態からオフ状態としたとき、共通領域の部分がソース領域、他方のソース/ドレイン領域はドレイン領域となる。シールド電極は第2チャンネル形成領域のドレイン領域側を覆い、この状態においてシールド電極の電位は共通領域の電位よりも高い。従って、第2チャンネル形成領域のキャリア（電子）は、シールド電極により引きつけられる。これにより、第2チャンネル形成領域の共通領域側に空乏層が発生し、第2チャンネル形成領域と共通領域との間のリーク電流が減少する。シールド電極の形状は、有機エレクトロルミネッセンス素子の仕様等に応じて、適宜設定すればよい。尚、本発明の第1の態様の有機エレクトロルミネッセンス素子における第2のシールド電極乃至第4のシールド電極の形状も、有機エレクトロルミネッセンス素子の仕様等に応じて、適宜設定すればよい。

10

【0039】

また、本発明の第2の態様の有機エレクトロルミネッセンス素子にあっては、第1ノード初期化トランジスタを構成する第2トランジスタは、第2チャンネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有している。上述したように、第1ノード初期化トランジスタの他方のソース/ドレイン領域は、第1ノードに接続されており、実質的に第1ノードを構成している。そして、シールド電極は、実質的に第1ノードを構成する他方のソース/ドレイン領域に接続されている。第1ノード初期化トランジスタをオン状態からオフ状態としたときにも、本発明の第1の態様における映像信号書込みトランジスタについて説明したと同様の現象が生じ、第2チャンネル形成領域の共通領域側に空乏層が発生し、第2チャンネル形成領域と共通領域との間のリーク電流が減少する。シールド電極の形状は、有機エレクトロルミネッセンス素子の仕様等に応じて、適宜設定すればよい。尚、本発明の第2の態様の有機エレクトロルミネッセンス素子における第2のシールド電極乃至第4のシールド電極の形状も、有機エレクトロルミネッセンス素子の仕様等に応じて、適宜設定すればよい。

20

【0040】

有機エレクトロルミネッセンス表示装置（以下、単に、有機EL表示装置と略称する）は、 $(N/3) \times M$ 個の2次元マトリクス状に配列された画素から構成され、1つの画素は、3つの副画素（赤色を発光する赤色発光副画素、緑色を発光する緑色発光副画素、青色を発光する青色発光副画素）から構成されている形態とすることができるが、これに限るものではない。例えば、有機EL表示装置は、所謂モノクロ表示の態様とすることもできる。

30

【0041】

各画素を構成する有機エレクトロルミネッセンス素子（以下、単に、有機EL素子と略称する）は、例えば、線順次駆動される。この場合の表示フレームレートをFR（回/秒）とする。即ち、第m行目（但し、 $m = 1, 2, 3 \dots M$ ）に配列された $(N/3)$ 個の画素、より具体的には、N個の副画素のそれぞれを構成する有機EL素子を同時に駆動することができる。換言すれば、1つの行を構成する各有機EL素子にあっては、その発光/非発光のタイミングは、それらが属する行単位で制御される。但し、線順次駆動される態様に限定するものではなく、有機EL素子が点順次駆動される態様であってもよい。

40

【0042】

尚、線順次駆動の際に1つの行を構成する各画素について映像信号を書き込む処理は、全ての画素について同時に映像信号を書き込む処理（以下、単に、同時書き込み処理と呼ぶ場合がある）であってもよいし、各画素毎に順次映像信号を書き込む処理（以下、単に、順次書き込み処理と呼ぶ場合がある）であってもよい。いずれの書き込み処理とするかは、駆動回路の構成に応じて適宜選択すればよい。

【0043】

原則として、第m行目、第n列（但し、 $n = 1, 2, 3 \dots N$ ）に位置する有機EL

50

素子に関する駆動、動作を説明するが、係る有機EL素子を、以下、第(n, m)番目の有機EL素子10あるいは第(n, m)番目の副画素と呼ぶ。そして、第m行目に配列された各有機EL素子の水平走査期間(第m番目の水平走査期間)が終了するまでに、各種の処理(後述する閾値電圧キャンセル処理、書込み処理、移動度補正処理)が行われる。尚、書込み処理や移動度補正処理は、第m番目の水平走査期間内に行われる必要がある。一方、駆動回路の種類によっては、閾値電圧キャンセル処理やこれに伴う前処理は、第m番目の水平走査期間より先行して行うことができる。

【0044】

そして、上述した各種の処理が全て終了した後、第m行目に配列された各有機EL素子を構成する発光部を発光させる。尚、上述した各種の処理が全て終了した後、直ちに発光部を発光させてもよいし、所定の期間(例えば、所定の行数分の水平走査期間)が経過した後発光部を発光させてもよい。この所定の期間は、有機EL表示装置の仕様や駆動回路の構成等に応じて、適宜設定することができる。尚、以下の説明においては、説明の便宜のため、各種の処理終了後、直ちに発光部を発光させるものとする。そして、第m行目に配列された各有機EL素子を構成する発光部の発光は、第(m+m')行目に配列された各有機EL素子の水平走査期間の開始直前まで継続される。ここで、「m'」は、有機EL表示装置の設計仕様によって決定される。即ち、或る表示フレームの第m行目に配列された各有機EL素子を構成する発光部の発光は、第(m+m'-1)番目の水平走査期間まで継続される。一方、第(m+m')番目の水平走査期間の始期から、次の表示フレームにおける第m番目の水平走査期間内において書込み処理や移動度補正処理が完了するまで、第m行目に配列された各有機EL素子を構成する発光部は、原則として非発光状態を維持する。上述した非発光状態の期間(以下、単に、非発光期間と呼ぶ場合がある)を設けることにより、アクティブマトリクス駆動に伴う残像ボケが低減され、動画品位をより優れたものとすることができる。但し、各副画素(有機EL素子)の発光状態/非発光状態は、以上に説明した状態に限定するものではない。また、水平走査期間の時間長は、 $(1/FR) \times (1/M)$ 秒未満の時間長である。(m+m')の値がMを越える場合、越えた分の水平走査期間は、次の表示フレームにおいて処理される。

【0045】

1つのトランジスタの有する2つのソース/ドレイン領域において、「一方のソース/ドレイン領域」という用語を、電源部に接続された側のソース/ドレイン領域といった意味において使用する場合がある。また、トランジスタがオン状態にあるとは、ソース/ドレイン領域間にチャンネルが形成されている状態を意味する。係るトランジスタの一方のソース/ドレイン領域から他方のソース/ドレイン領域に電流が流れているか否かは問わない。一方、トランジスタがオフ状態にあるとは、ソース/ドレイン領域間にチャンネルが形成されていない状態を意味する。また、或るトランジスタのソース/ドレイン領域が他のトランジスタのソース/ドレイン領域に接続されているとは、或るトランジスタのソース/ドレイン領域と他のトランジスタのソース/ドレイン領域とが同じ領域を占めている形態を包含する。更には、ソース/ドレイン領域や共通領域は、不純物を含むシリコンやアモルファスシリコン等の導電性物質から構成することができるだけでなく、金属、合金、導電性粒子、これらの積層構造、有機材料(導電性高分子)から成る層から構成することができる。また、以下の説明で用いるタイミングチャートにおいて、各期間を示す横軸の長さ(時間長)は模式的なものであり、各期間の時間長の割合を示すものではない。

【発明の効果】

【0046】

以上説明したように、本発明の第1の態様にあつては、映像信号書込みトランジスタを構成する第2トランジスタは、第2チャンネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有し、シールド電極は、第1ノードを構成する他方のソース/ドレイン領域に接続されている。上述したように、映像信号書込みトランジスタをオン状態からオフ状態としたとき、第2チャンネル形成領域の共通領域側に空乏層が発生し、第2チャンネル

形成領域と共通領域との間のリーク電流が減少する。従って、第1ノードを介したコンデンサ部の電荷量の変動を効果的に抑えることができ、有機EL表示装置の輝度の均一性を改善することができる。

【0047】

また、本発明の第2の態様にあつては、第1ノード初期化トランジスタを構成する第2トランジスタは、第2チャンネル形成領域の他方の面と絶縁層を介して対向したシールド電極を有し、シールド電極は、実質的に第1ノードを構成する他方のソース/ドレイン領域に接続されている。第1ノード初期化トランジスタをオン状態からオフ状態としたとき、第2チャンネル形成領域の共通領域側に空乏層が発生し、第2チャンネル形成領域と共通領域との間のリーク電流が減少する。従って、第1ノードを介したコンデンサ部の電荷量の変動を効果的に抑えることができ、有機EL表示装置の輝度の均一性を改善することができる。

10

【発明を実施するための最良の形態】

【0048】

以下、図面を参照して、実施例に基づき本発明を説明する。実施例1乃至実施例4、及び、実施例9は、本発明の第1の態様に係る有機EL表示装置、及び、本発明の第1の態様に係る有機EL素子に関する。実施例5乃至実施例8、及び、実施例10は、本発明の第2の態様に係る有機EL表示装置、及び、本発明の第2の態様に係る有機EL素子に関する。

【0049】

より具体的には、実施例1は映像信号書込みトランジスタが第1のシールド電極を備える態様、実施例2は第1のシールド電極と第2のシールド電極を備える態様、実施例3は第1のシールド電極と第3のシールド電極を備える態様、実施例4は第1のシールド電極乃至第4のシールド電極を備える態様に関する。実施例9は、実施例1乃至実施例4の駆動回路を構成するトランジスタの種類を減じた変形例1乃至変形例3に関する。

20

【0050】

また、実施例5は第1ノード初期化トランジスタが第1のシールド電極を備える態様、実施例2は第1のシールド電極と第2のシールド電極を備える態様、実施例3は第1のシールド電極と第3のシールド電極を備える態様、実施例4は第1のシールド電極乃至第4のシールド電極を備える態様に関する。実施例10は、実施例5乃至実施例8の駆動回路を構成するトランジスタの種類を減じた変形例に関する。

30

【実施例1】

【0051】

実施例1、後述する実施例2乃至実施例4、及び、実施例9は、本発明の第1の態様に係る有機EL表示装置、及び、本発明の第1の態様に係る有機EL素子に関する。尚、上述した背景技術における駆動回路との対比の便宜上、実施例1、及び、後述する実施例2乃至実施例4を、5つのトランジスタと1つのコンデンサ部から成る駆動回路を備えた実施例として説明する。

【0052】

実施例1の駆動回路の等価回路図を図1に示し、実施例1の有機EL表示装置の概念図を図2に示す。実施例1の有機EL素子10の一部分の模式的な一部断面図を図3に示す。駆動のタイミングチャートを模式的に図4に示し、各トランジスタのオン/オフ状態等を模式的に図5の(A)~(D)及び図6の(A)~(E)に示す。尚、図5の(A)~(D)及び図6の(A)~(E)においては、便宜上、駆動トランジスタを除く各トランジスタを、シングルゲート型であるかデュアルゲート型であるかに拘わらず、一つのスイッチで表現した。

40

【0053】

先ず、実施例1の有機EL表示装置について説明する。実施例1の有機EL表示装置は、図2に示すように、

(1) 走査回路101、

50

- (2) 映像信号出力回路 102、
 (3) 第1の方向にN個、第1の方向とは異なる第2の方向(具体的には、第1の方向に直交する方向)にM個、合計 $N \times M$ 個の、2次元マトリクス状に配列された有機EL素子10、
 (4) 走査回路101に接続され、第1の方向に延びるM本の走査線SC L、
 (5) 映像信号出力回路102に接続され、第2の方向に延びるN本のデータ線DT L、並びに、
 (6) 電流供給部100、
 を備えている。後述する実施例2乃至実施例10においても同様である。

【0054】

尚、図2、及び、後述する図17、図22、図27、図32においては、 3×3 個の有機EL素子10を図示しているが、これは、あくまでも例示に過ぎない。

【0055】

そして、各有機EL素子10は、発光部ELP、及び、発光部ELPを駆動するための駆動回路を備えている。ここで、発光部ELPは、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等の周知の構成、構造を有する。また、走査回路101、映像信号出力回路102、走査線SC L、データ線DT L、電流供給部100の構成、構造は、周知の構成、構造とすることができる。後述する実施例2乃至実施例10においても同様である。

【0056】

図1に示す実施例1の駆動回路は、背景技術で説明した従来の駆動回路と同様に、5つのトランジスタと1つのコンデンサ部 C_1 から構成された駆動回路から構成されている。即ち、実施例1の駆動回路は、図1に示すように、(A)駆動トランジスタ $T_{D_{rv}}$ 、(B)映像信号書込みトランジスタ T_{Sig} 、並びに、(C)一対の電極を備えたコンデンサ部 C_1 を備えている。実施例1の駆動回路は、更に、(D)第1ノード初期化トランジスタ T_{ND1} 、(E)第2ノード初期化トランジスタ T_{ND2} 、及び、(F)発光制御トランジスタ T_{EL_C} を備えている。後述する実施例2乃至実施例8においても同様である。

【0057】

駆動トランジスタ $T_{D_{rv}}$ 、映像信号書込みトランジスタ T_{Sig} 、第1ノード初期化トランジスタ T_{ND1} 、第2ノード初期化トランジスタ T_{ND2} 、及び、発光制御トランジスタ T_{EL_C} は、それぞれ、ソース/ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた、 n チャネル型のTF Tから成る。後述する実施例2乃至実施例10においても同様である。尚、例えば発光制御トランジスタを p チャネル型のTF Tから構成してもよい。

【0058】

駆動トランジスタ $T_{D_{rv}}$ においては、

- (A-1) 一方のソース/ドレイン領域は、電流供給部100に接続されており、
 (A-2) 他方のソース/ドレイン領域は、発光部ELPに備えられたアノード電極に接続され、且つ、コンデンサ部 C_1 の一方の電極に接続されており、第2ノード ND_2 を構成する。後述する実施例2乃至実施例10においても同様である。

【0059】

ここで、駆動トランジスタ $T_{D_{rv}}$ は、有機EL素子10の発光状態においては、以下の式(1)に従ってドレイン電流 I_{ds} を流すように駆動される。有機EL素子10の発光状態においては、駆動トランジスタ $T_{D_{rv}}$ の一方のソース/ドレイン領域はドレイン領域として働き、他方のソース/ドレイン領域はソース領域として働く。説明の便宜のため、以下の説明において、駆動トランジスタ $T_{D_{rv}}$ の一方のソース/ドレイン領域を単にドレイン領域と呼び、他方のソース/ドレイン領域を単にソース領域と呼ぶ場合がある。尚、

μ : 実効的な移動度

L : チャネル長

W : チャネル幅

V_{gs} : ゲート電極とソース領域との間の電位差

10

20

30

40

50

V_{th} : 閾値電圧

C_{ox} : (ゲート絶縁層の比誘電率) × (真空の誘電率) / (ゲート絶縁層の厚さ)

$k = (1/2) \cdot (W/L) \cdot C_{ox}$

とする。後述する実施例 2 乃至実施例 10 においても同様である。

【0060】

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 \quad (1)$$

【0061】

このドレイン電流 I_{ds} が有機 EL 素子 10 の発光部 ELP を流れることで、有機 EL 素子 10 の発光部 ELP が発光する。更には、このドレイン電流 I_{ds} の値の大小によって、有機 EL 素子 10 の発光部 ELP における発光状態 (輝度) が制御される。後述する実施例 2 乃至実施例 10 においても同様である。

10

【0062】

図 3 に示すように、実施例 1 における駆動回路を構成するトランジスタ及びコンデンサ部 C_1 は支持体 20 上に形成され、発光部 ELP は、例えば、層間絶縁層 46 を介して、駆動回路を構成するトランジスタ及びコンデンサ部 C_1 の上方に形成されている。後述する実施例 2 乃至実施例 4、並びに、実施例 9 においても同様である。尚、図 3、並びに、後述する図 9 の (A)、図 10 の (B)、及び、図 11 の (B) においては、映像信号書込みトランジスタ T_{sig} のみを図示する。映像信号書込みトランジスタ T_{sig} 以外のトランジスタは隠れて見えない。

【0063】

実施例 1 においては、映像信号書込みトランジスタ T_{sig} は、半導体層 33、半導体層 33 に設けられたソース/ドレイン領域、及び、チャンネル形成領域を備えている。図 1 及び図 3 に示すように、実施例 1 においては、映像信号書込みトランジスタ T_{sig} は、デュアルゲート型のトランジスタから成り、第 1 ゲート電極 31A と第 1 チャンネル形成領域 34A とを備えた第 1 トランジスタ T_{sig_1} 、及び、第 2 ゲート電極 31B と第 2 チャンネル形成領域 34B とを備えた第 2 トランジスタ T_{sig_2} から構成されている。後述する実施例 2 乃至実施例 4、並びに、実施例 9 においても同様である。

20

【0064】

図 3 に示すソース/ドレイン領域 35A、35B、及び、共通領域 35C は、それぞれ、半導体層 33 に設けられた領域である。共通領域 35C は、第 1 トランジスタ T_{sig_1} の他方のソース/ドレイン領域と第 2 トランジスタ T_{sig_2} の一方のソース/ドレイン領域とを兼ねる共通領域である。第 1 トランジスタ T_{sig_1} の一方のソース/ドレイン領域 35A は、データ線 DTL (図 3 においては、配線 38 に相当する) に接続されている。第 2 トランジスタ T_{sig_2} の他方のソース/ドレイン領域 35B は、駆動トランジスタ T_{drv} のゲート電極、且つ、コンデンサ部 C_1 の他方の電極 36 に接続されており、第 1 ノード ND_1 を構成している。第 1 トランジスタ T_{sig_1} の第 1 ゲート電極 31A、及び、第 2 トランジスタ T_{sig_2} の第 2 ゲート電極 31B は、走査線 SCL に接続されている。第 1 トランジスタ T_{sig_1} の第 1 ゲート電極 31A は、第 1 チャンネル形成領域 34A の一方の面とゲート絶縁層 32 を介して対向している。第 2 トランジスタ T_{sig_2} の第 2 ゲート電極 31B は、第 2 チャンネル形成領域 34B の一方の面とゲート絶縁層 32 を介して対向している。後述する実施例 2 乃至実施例 4、並びに、実施例 9 においても同様である。

30

40

【0065】

そして、第 2 トランジスタ T_{sig_2} は、第 2 チャンネル形成領域 34B の他方の面と絶縁層 40 を介して対向したシールド電極 42 を有している。シールド電極 42 は、第 2 トランジスタ T_{sig_2} の他方のソース/ドレイン領域 35B に接続されている。より具体的には、実施例 1 においては、他方のソース/ドレイン領域 35B と接続される配線 41 からの延在部がシールド電極 42 を構成している。後述する実施例 2 乃至実施例 4、並びに、実施例 9 においても同様である。

【0066】

尚、他のトランジスタも上記で説明したと同様に半導体層、ゲート絶縁膜、ゲート電極

50

等から構成されている。後述する実施例 2 乃至実施例 4、並びに、実施例 9 においても同様である。

【0067】

一方、コンデンサ部 C_1 は、他方の電極 36、ゲート絶縁層 32 の延在部から構成された誘電体層、及び、一方の電極 37 (第 2 ノード ND_2 に相当する) から成る。ゲート電極 31A、31B、ゲート絶縁層 32 の一部、及びコンデンサ部 C_1 を構成する他方の電極 36 は、支持体 20 上に形成されている。上述したように、映像信号書込みトランジスタ T_{sig} の一方のソース/ドレイン領域 35A は配線 38 に接続され、他方のソース/ドレイン領域 35B は、他方の電極 36 に接続されている。映像信号書込みトランジスタ T_{sig} 及びコンデンサ部 C_1 等は、層間絶縁層 46 で覆われており、層間絶縁層 46 上に、アノード電極 51、正孔輸送層、発光層、電子輸送層、及び、カソード電極 53 から成る発光部 ELP が設けられている。尚、図面においては、正孔輸送層、発光層、及び、電子輸送層を 1 層 52 で表した。発光部 ELP が設けられていない層間絶縁層 46 の部分の上には、第 2 層間絶縁層 54 が設けられ、第 2 層間絶縁層 54 及びカソード電極 53 上には透明な基板 21 が配置されており、発光層にて発光した光は、基板 21 を通過して、外部に出射される。尚、一方の電極 37 とアノード電極 51 とは、層間絶縁層 46 に設けられたコンタクトホールによって接続されている。また、カソード電極 53 は、第 2 層間絶縁層 54、層間絶縁層 46 に設けられたコンタクトホール 56、55 を介して、ゲート絶縁層 32 の延在部上に設けられた配線 39 に接続されている。後述する実施例 2 乃至実施例 10 においても同様である。

10

20

【0068】

上述した各トランジスタ、コンデンサ部 C_1 、配線 38 を含む各種配線、シールド電極 42 を含む各種の電極等は、種々の周知の方法により形成することができる。後述する実施例 2 乃至実施例 10 においても同様である。

【0069】

映像信号書込みトランジスタ T_{sig} を構成する第 1 トランジスタ T_{sig-1} の一方のソース/ドレイン領域 35A は、上述のとおり、データ線 DTL に接続されている。そして、映像信号出力回路 102 からデータ線 DTL を介して、発光部 ELP における輝度を制御するための映像信号 V_{sig} が、一方のソース/ドレイン領域 35A に供給される。尚、データ線 DTL を介して、 V_{sig} 以外の種々の信号・電圧 (プリチャージ駆動のための信号や各種の基準電圧等) が、一方のソース/ドレイン領域 35A に供給されてもよい。また、映像信号書込みトランジスタ T_{sig} のオン/オフ動作は、映像信号書込みトランジスタ T_{sig} のゲート電極 31A、31B に接続された走査線 SCL によって制御される。後述する実施例 2 乃至実施例 4、並びに、実施例 9 においても同様である。後述する実施例 5 乃至実施例 8、並びに、実施例 10 においても、駆動トランジスタ T_{sig} がシングルゲート型である点を除き、上記で説明したと同様である。

30

【0070】

第 1 ノード初期化トランジスタ T_{ND1} においては、一方のソース/ドレイン領域は、第 1 ノード初期化電圧供給線 PS_{ND1} に接続されている。他方のソース/ドレイン領域は、第 1 ノード ND_1 に接続されている。ゲート電極は、第 1 ノード初期化トランジスタ制御線 AZ_{ND1} に接続されている。第 1 ノード初期化トランジスタ制御線 AZ_{ND1} は、第 1 ノード初期化トランジスタ制御回路 104 に接続されている。後述する実施例 2 乃至実施例 4 においても同様である。

40

【0071】

第 1 ノード初期化トランジスタ T_{ND1} のオン/オフ動作は、第 1 ノード初期化トランジスタ T_{ND1} のゲート電極に接続された第 1 ノード初期化トランジスタ制御線 AZ_{ND1} によって制御される。第 1 ノード初期化電圧供給線 PS_{ND1} には、第 1 ノード ND_1 を初期化するための電圧 V_{ofs} が印加される。後述する実施例 2 乃至実施例 4 においても同様である。

【0072】

そして、第 2 ノード初期化トランジスタ T_{ND2} においては、一方のソース/ドレイン領

50

域は、第2ノード初期化電圧供給線 PS_{ND2} に接続されている。他方のソース/ドレイン領域は、第2ノード ND_2 に接続されている。ゲート電極は、第2ノード初期化トランジスタ制御線 AZ_{ND2} に接続されている。第2ノード初期化トランジスタ制御線 AZ_{ND2} は、第2ノード初期化トランジスタ制御回路105に接続されている。後述する実施例2乃至実施例8、実施例9における変形例1(4Tr/1C駆動回路)、実施例10においても同様である。

【0073】

第2ノード初期化トランジスタ T_{ND2} のオン/オフ動作は、第2ノード初期化トランジスタ T_{ND2} のゲート電極に接続された第2ノード初期化トランジスタ制御線 AZ_{ND2} によって制御される。第2ノード初期化電圧供給線 PS_{ND2} には、第2ノードを初期化するための電圧 V_{SS} が印加される。後述する実施例2乃至実施例8、実施例9における変形例4(4Tr/1C駆動回路)、実施例10においても同様である。

10

【0074】

駆動トランジスタ T_{Drv} のドレイン領域と電流供給部100とは、発光制御トランジスタ T_{ELC} を介して接続されている。発光制御トランジスタ T_{ELC} のゲート電極は、発光制御トランジスタ制御線 CL_{ELC} に接続されている。発光制御トランジスタ制御線 CL_{ELC} は、発光制御トランジスタ制御回路103に接続されている。後述する実施例2乃至実施例8、実施例9における変形例1(4Tr/1C駆動回路)、実施例10においても同様である。

20

【0075】

より具体的には、発光制御トランジスタ T_{ELC} の一方のソース/ドレイン領域は、電流供給部100(電圧 V_{CC}) に接続され、発光制御トランジスタ T_{ELC} の他方のソース/ドレイン領域は、駆動トランジスタ T_{Drv} のドレイン領域に接続されている。また、発光制御トランジスタ T_{ELC} のオン/オフ動作は、発光制御トランジスタ T_{ELC} のゲート電極に接続された発光制御トランジスタ制御線 CL_{ELC} によって制御される。尚、電流供給部100は、有機EL素子10の発光部ELPに電流を供給し、発光部ELPの発光を制御するために設けられている。後述する実施例2乃至実施例8、実施例9における変形例1(4Tr/1C駆動回路)、実施例10においても同様である。

【0076】

発光部ELPのアノード電極は、上述のとおり、駆動トランジスタ T_{Drv} のソース領域に接続されている。一方、発光部ELPのカソード電極には、電圧 V_{Cat} が印加される。発光部ELPの寄生容量を符号 C_{EL} で表す。また、発光部ELPの発光に必要なとされる閾値電圧を V_{th-EL} とする。即ち、発光部ELPのアノード電極とカソード電極との間に V_{th-EL} 以上の電圧が印加されると、発光部ELPは発光する。後述する実施例2乃至実施例10においても同様である。

30

【0077】

尚、図36を用いて説明した従来の5Tr/1C駆動回路は、映像信号書込みトランジスタ T_{sig} がシングルゲート型である点を除き、上記で説明したと同様の構成を有する。

【0078】

以上、実施例1の有機EL表示装置、有機EL素子、及び、発光部ELPを駆動するための駆動回路の構成について説明し、併せて、従来の5Tr/1C駆動回路の構成を説明した。

40

【0079】

次いで、図を参照して、シールド電極42による作用について説明する。図7の(A)は、後述する[期間-TP(5)₇]において、映像信号書込みトランジスタ T_{sig} がオフ状態にあるときの、第2チャンネル形成領域34B付近の状況を模式的に示した図である。

【0080】

後述する[期間-TP(5)₇]の直前において、データ線DTLの電位(図3においては、配線38の電位)は V_{sig} (例えば15ボルト)、走査線SCLの電位はハイレベル(例えば10ボルト)である。ゲート電極31A, 31Bには走査線SCLを介して1

50

0 ボルトが印加されており、映像信号書込みトランジスタ T_{Sig} はオン状態にある。従って、一方のソース/ドレイン領域 35 A、第 1 チャンネル形成領域 34 A、共通領域 35 C、第 2 チャンネル形成領域 34 B、他方のソース/ドレイン領域 35 B、配線 41、シールド電極 42、及び、他方の電極 36 の電位は、 V_{Sig} (例えば 15 ボルト) である。

【0081】

そして、[期間 - TP(5)₇]において、映像信号書込みトランジスタ T_{Sig} はオフ状態となる。ゲート電極 31 A, 31 B には例えば -10 ボルトが印加されている。この状態においては、背景技術において図 38 (A) ~ (C) を参照して説明したように、一方のソース/ドレイン領域 35 A (図 38 の領域 A1 に相当する) と他方のソース/ドレイン領域 35 B (図 38 の領域 A2 に相当する) の電位に対し、共通領域 35 C (図 38 の領域 A3 に相当する) の電位は相対的にマイナス側に変化し、例えば、0 ボルトとなる。従って、この状態においては、共通領域 35 C はソース領域、ソース/ドレイン領域 35 A, 35 B はドレイン領域となる。

10

【0082】

そして、シールド電極 42 は第 2 チャンネル形成領域 34 B のドレイン領域 35 B 側を覆い、この状態においてはシールド電極 42 の電位は共通領域 35 C の電位よりも高い。従って、図 7 の (A) に示すように、第 2 チャンネル形成領域 34 B のキャリア (電子) は、シールド電極 42 により引きつけられる。これにより、第 2 チャンネル形成領域 34 B の共通領域 35 C 側に空乏層が発生するので、第 2 チャンネル形成領域 34 B と共通領域 35 C との間にリーク電流がより流れにくくなる。上述したように、第 2 チャンネル形成領域 34 B は、第 1 ノード ND_1 を構成する他方のソース/ドレイン領域 35 B 側のチャンネル形成領域である。従って、第 1 ノード ND_1 を介したコンデンサ部 C_1 の電荷量の変動を効果的に抑えることができる。

20

【0083】

図 7 の (B) に、シールド電極 42 を付加することによる電流 - 電圧特性の変化を模式的に示す。実線はシールド電極 42 を付加した場合の特性を示し、破線はシールド電極 42 を付加しない場合の特性を示す。図 7 の (B) において、横軸の $V_{31B-35C}$ は、ゲート電極 31 B と共通領域 35 C (上述したように、オフ状態において、ソース領域に相当する) の間の電位差を表す。同様に、縦軸の $I_{35B-35C}$ は、ソース/ドレイン領域 35 B (上述したように、オフ状態において、ドレイン領域に相当する) と共通領域 35 C との間に流れる電流を表す。ドレイン領域側に形成されたシールド電極 42 が第 2 チャンネル形成領域 34 B に及ぼす電界の影響により、第 2 チャンネル形成領域 34 B が構成する第 2 トランジスタ T_{Sig_2} の閾値電圧はマイナス側にシフトする。図 7 の (B) に示す V_1 は、シールド電極 42 がない場合に第 2 チャンネル形成領域 34 B が構成する第 2 トランジスタ T_{Sig_2} がオフ状態となる電圧を示す。同様に、図 7 の (B) に示す V_2 は、シールド電極 42 がある場合にトランジスタがオフ状態となる電圧を示す。シールド電極 42 を付加した場合、 $V_{31B-35C}$ の値が図 7 の (B) に示す V_2 よりマイナス側であれば、トランジスタはオフ状態となる。そして、この状態においては、上述した空乏層の形成効果により、破線で示すグラフに対し、実線で示すグラフは $I_{35B-35C}$ の値が低く抑えられている。すなわち、リーク電流が抑制されている。

30

40

【0084】

以上、シールド電極 42 の作用について説明した。次いで、上述した実施例 1 の駆動回路を用いた発光部 ELP の駆動方法の説明を行う。尚、図 36 に示した従来の 5 Tr / 1 C 駆動回路の駆動方法は、以下説明する実施例 1 の駆動方法と同様である。尚、後述する実施例 2 乃至実施例 8 においても同様である。

【0085】

尚、上述したように、各種の処理 (閾値電圧キャンセル処理、書込み処理、移動度補正処理) が全て完了した後、直ちに発光状態が始まるものとして説明するが、これに限るものではない。

【0086】

50

後述する実施例 2 乃至実施例 10 も含め、以下の説明において、電圧あるいは電位の値を以下のとおりとするが、これは、あくまでも説明のための値であり、これらの値に限定されるものではない。

【0087】

V_{sig} : 発光部 ELP における輝度を制御するための映像信号
 ・ ・ ・ 0 ボルト ~ 15 ボルト

V_{CC} : 発光部 ELP の発光を制御するための電流供給部の電圧
 ・ ・ ・ 20 ボルト

V_{ofs} : 駆動トランジスタ T_{Drv} のゲート電極の電位 (第 1 ノード N_{D1} の電位) を初期化するための電圧
 ・ ・ ・ 0 ボルト

V_{SS} : 駆動トランジスタ T_{Drv} のソース領域の電位 (第 2 ノード N_{D2} の電位) を初期化するための電圧
 ・ ・ ・ -10 ボルト

V_{th} : 駆動トランジスタ T_{Drv} の閾値電圧
 ・ ・ ・ 3 ボルト

V_{Cat} : 発光部 ELP のカソード電極に印加される電圧
 ・ ・ ・ 0 ボルト

V_{th-EL} : 発光部 ELP の閾値電圧
 ・ ・ ・ 3 ボルト

【0088】

[期間 - $TP(5)_{-1}$] (図 4、及び、図 5 の (A) 参照)

この [期間 - $TP(5)_{-1}$] は、例えば、前の表示フレームにおける動作であり、前回の各種の処理完了後に第 (n, m) 番目の有機 EL 素子 10 が発光状態にある期間である。即ち、第 (n, m) 番目の副画素を構成する有機 EL 素子 10 における発光部 ELP には、後述する式 (5) に基づくドレイン電流 I'_{ds} が流れており、第 (n, m) 番目の副画素を構成する有機 EL 素子 10 の輝度は、係るドレイン電流 I'_{ds} に対応した値である。ここで、映像信号書込みトランジスタ T_{sig} 、第 1 ノード初期化トランジスタ T_{ND1} 及び第 2 ノード初期化トランジスタ T_{ND2} はオフ状態であり、発光制御トランジスタ T_{EL_C} 及び駆動トランジスタ T_{Drv} はオン状態である。第 (n, m) 番目の有機 EL 素子 10 の発光状態は、第 ($m + m'$) 行目に配列された有機 EL 素子 10 の水平走査期間の開始直前まで継続される。

【0089】

図 4 に示す [期間 - $TP(5)_0$] ~ [期間 - $TP(5)_4$] は、前回の各種の処理完了後の発光状態が終了した後から、次の書込み処理が行われる直前までの動作期間である。即ち、この [期間 - $TP(5)_0$] ~ [期間 - $TP(5)_4$] は、例えば、前の表示フレームにおける第 ($m + m'$) 番目の水平走査期間の始期から、現表示フレームにおける第 ($m - 1$) 番目の水平走査期間の終期までの或る時間長さの期間である。尚、[期間 - $TP(5)_1$] ~ [期間 - $TP(5)_4$] を、現表示フレームにおける第 m 番目の水平走査期間内に含む構成とすることもできる。

【0090】

そして、この [期間 - $TP(5)_0$] ~ [期間 - $TP(5)_4$] において、第 (n, m) 番目の有機 EL 素子 10 は原則として非発光状態にある。即ち、[期間 - $TP(5)_0$] ~ [期間 - $TP(5)_1$]、[期間 - $TP(5)_3$] ~ [期間 - $TP(5)_4$] においては、発光制御トランジスタ T_{EL_C} はオフ状態であるので、有機 EL 素子 10 は発光しない。尚、[期間 - $TP(5)_2$] においては、発光制御トランジスタ T_{EL_C} はオン状態となる。しかし、この期間においては後述する閾値電圧キャンセル処理が行われている。閾値電圧キャンセル処理の説明において詳しく述べるが、後述する式 (2) を満たすことを前提とすれば、有機 EL 素子 10 が発光することはない。

【0091】

10

20

30

40

50

以下、[期間 - TP(5)₀] ~ [期間 - TP(5)₄]の各期間について、先ず、説明する。尚、[期間 - TP(5)₁]の始期や、[期間 - TP(5)₁] ~ [期間 - TP(5)₄]の各期間の長さは、有機EL表示装置の設計に応じて適宜設定すればよい。

【0092】

[期間 - TP(5)₀]

上述したように、この[期間 - TP(5)₀]において、第(n, m)番目の有機EL素子10は、非発光状態にある。映像信号書込みトランジスタT_{sig}、第1ノード初期化トランジスタT_{ND1}、第2ノード初期化トランジスタT_{ND2}はオフ状態である。また、[期間 - TP(5)₁]から[期間 - TP(5)₀]に移る時点で、発光制御トランジスタT_{ELC}がオフ状態となるが故に、第2ノードND₂(駆動トランジスタT_{Drv}のソース領域あるいは発光部ELPのアノード電極)の電位は、(V_{th-EL} + V_{Cat})まで低下し、発光部ELPは非発光状態となる。また、第2ノードND₂の電位低下に倣うように、浮遊状態の第1ノードND₁(駆動トランジスタT_{Drv}のゲート電極)の電位も低下する。

10

【0093】

[期間 - TP(5)₁](図4、図5の(B)及び(C)参照)

この[期間 - TP(5)₁]において、後述する閾値電圧キャンセル処理を行うための前処理が行われる。即ち、[期間 - TP(5)₁]の開始時、第1ノード初期化トランジスタ制御回路104及び第2ノード初期化トランジスタ制御回路105の動作に基づき第1ノード初期化トランジスタ制御線AZ_{ND1}及び第2ノード初期化トランジスタ制御線AZ_{ND2}をハイレベルとすることによって、第1ノード初期化トランジスタT_{ND1}及び第2ノード初期化トランジスタT_{ND2}をオン状態とする。その結果、第1ノードND₁の電位は、V_{ofs}(例えば、0ボルト)となる。一方、第2ノードND₂の電位は、V_{ss}(例えば、-10ボルト)となる。そして、この[期間 - TP(5)₁]の完了以前において、第2ノード初期化トランジスタ制御回路105の動作に基づき第2ノード初期化トランジスタ制御線AZ_{ND2}をローレベルとすることによって、第2ノード初期化トランジスタT_{ND2}をオフ状態とする。尚、第1ノード初期化トランジスタT_{ND1}のオン状態及び第2ノード初期化トランジスタT_{ND2}を同時にオン状態としてもよいし、第1ノード初期化トランジスタT_{ND1}を先にオン状態としてもよいし、第2ノード初期化トランジスタT_{ND2}を先にオン状態としてもよい。

20

【0094】

以上の処理により、駆動トランジスタT_{Drv}のゲート電極とソース領域との間の電位差がV_{th}以上となる。駆動トランジスタT_{Drv}はオン状態である。

30

【0095】

[期間 - TP(5)₂](図4、及び、図5の(D)参照)

次に、閾値電圧キャンセル処理が行われる。即ち、第1ノード初期化トランジスタT_{ND1}のオン状態を維持したまま、発光制御トランジスタ制御回路103の動作に基づき発光制御トランジスタ制御線CL_{ELC}をハイレベルとすることによって、発光制御トランジスタT_{ELC}をオン状態とする。その結果、第1ノードND₁の電位は変化しないが(V_{ofs} = 0ボルトを維持)、第1ノードND₁の電位から駆動トランジスタT_{Drv}の閾値電圧V_{th}を減じた電位に向かって、第2ノードND₂の電位は変化する。即ち、浮遊状態の第2ノードND₂の電位が上昇する。そして、駆動トランジスタT_{Drv}のゲート電極とソース領域との間の電位差がV_{th}に達すると、駆動トランジスタT_{Drv}がオフ状態となる。具体的には、浮遊状態の第2ノードND₂の電位が(V_{ofs} - V_{th} = -3ボルト > V_{ss})に近づき、最終的に(V_{ofs} - V_{th})となる。ここで、以下の式(2)が保証されていれば、言い換えれば、式(2)を満足するように電位を選択、決定しておけば、発光部ELPが発光することはない。

40

【0096】

$$(V_{ofs} - V_{th}) < (V_{th-EL} + V_{Cat}) \quad (2)$$

【0097】

この[期間 - TP(5)₂]にあつては、第2ノードND₂の電位は、最終的に、(V_{of}

50

$s - V_{th}$)となる。即ち、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} 、及び、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{Ofs} のみに依存して、第2ノード ND_2 の電位は決定される。云い換えれば、発光部 ELP の閾値電圧 V_{th-EL} には依存しない。

【0098】

[期間 - $TP(5)_3$] (図4、及び、図6の(A)参照)

その後、第1ノード初期化トランジスタ T_{ND1} のオン状態を維持したまま、発光制御トランジスタ制御回路103の動作に基づき発光制御トランジスタ制御線 CL_{EL_C} をローレベルとすることによって、発光制御トランジスタ T_{EL_C} をオフ状態とする。その結果、第1ノード ND_1 の電位は変化せず($V_{Ofs} = 0$ ボルトを維持)、浮遊状態の第2ノード ND_2 の電位も変化せず、($V_{Ofs} - V_{th} = -3$ ボルト)を保持する。

10

【0099】

[期間 - $TP(5)_4$] (図4、及び、図6の(B)参照)

次いで、第1ノード初期化トランジスタ制御回路104の動作に基づき第1ノード初期化トランジスタ制御線 AZ_{ND1} をローレベルとすることによって、第1ノード初期化トランジスタ T_{ND1} をオフ状態とする。第1ノード ND_1 及び第2ノード ND_2 の電位は、実質上、変化しない。実際には、寄生容量等の静電結合により電位変化が生じ得るが、通常、これらは無視することができる。

【0100】

次いで、図4に示す[期間 - $TP(5)_5$] ~ [期間 - $TP(5)_7$]の各期間について説明する。尚、後述するように、[期間 - $TP(5)_5$]において書込み処理が行われ、[期間 - $TP(5)_6$]において移動度補正処理が行われる。上述したように、これらの処理は、第 m 番目の水平走査期間内に行われる必要がある。説明の便宜のため、[期間 - $TP(5)_5$]の始期と[期間 - $TP(5)_6$]の終期とは、それぞれ、第 m 番目の水平走査期間の始期と終期とに一致するものとして説明する。

20

【0101】

[期間 - $TP(5)_5$] (図4、及び、図6の(C)参照)

その後、駆動トランジスタ T_{Drv} に対する書込み処理を実行する。具体的には、第1ノード初期化トランジスタ T_{ND1} 、第2ノード初期化トランジスタ T_{ND2} 、及び、発光制御トランジスタ T_{EL_C} のオフ状態を維持したまま、映像信号出力回路102の動作に基づき、データ線 DTL の電位を、発光部 ELP における輝度を制御するための映像信号 V_{sig} とし、次いで、走査回路101の動作に基づき走査線 SC_L をハイレベルとすることによって、映像信号書込みトランジスタ T_{sig} をオン状態とする(尚、映像信号書込みトランジスタ T_{sig} のオン状態とは、第1トランジスタ T_{sig-1} と第2トランジスタ T_{sig-2} の双方がオン状態であることを意味し、映像信号書込みトランジスタ T_{sig} のオフ状態とは、第1トランジスタ T_{sig-1} と第2トランジスタ T_{sig-2} の少なくとも一方がオフ状態であることを意味する)。その結果、第1ノード ND_1 の電位は、 V_{sig} へと上昇する。

30

【0102】

ここで、コンデンサ部 C_1 の容量は値 c_1 であり、発光部 ELP の寄生容量 C_{EL} の容量は値 c_{EL} である。そして、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の寄生容量の値を c_{gs} とする。駆動トランジスタ T_{Drv} のゲート電極の電位が V_{Ofs} から V_{sig} ($> V_{Ofs}$)に変化したとき、コンデンサ部 C_1 の両端の電位(第1ノード ND_1 及び第2ノード ND_2 の電位)は、原則として、変化する。即ち、駆動トランジスタ T_{Drv} のゲート電極の電位(=第1ノード ND_1 の電位)の変化分($V_{sig} - V_{Ofs}$)に基づく電荷が、コンデンサ部 C_1 、発光部 ELP の寄生容量 C_{EL} 、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の寄生容量に振り分けられる。然るに、値 c_{EL} が、値 c_1 及び値 c_{gs} と比較して十分に大きな値であれば、駆動トランジスタ T_{Drv} のゲート電極の電位の変化分($V_{sig} - V_{Ofs}$)に基づく駆動トランジスタ T_{Drv} のソース領域(第2ノード ND_2)の電位の変化は小さい。そして、一般に、発光部 ELP の寄生容量 C_{EL} の容量値 c_{EL} は、コンデンサ部 C_1 の容量値 c_1 及び駆動トランジスタ T_{Drv} の寄生容量の値 c_{gs} よりも大きい。そこで、説明の便宜のため、特段の必要がある場合を除き、第1ノード ND_1 の電位変化によ

40

50

り生ずる第2ノードND₂の電位変化は考慮せずに説明を行う。後述する実施例9において変形例2として説明する3Tr/1C駆動回路を除く他の駆動回路においても同様である。駆動トランジスタT_{Drv}のゲート電極(第1ノードND₁)の電位をV_g、駆動トランジスタT_{Drv}のソース領域(第2ノードND₂)の電位をV_sとしたとき、V_gの値、V_sの値は以下のとおりとなる。それ故、第1ノードND₁と第2ノードND₂の電位差、即ち、駆動トランジスタT_{Drv}のゲート電極とソース領域との間の電位差V_{gs}は、以下の式(3)で表すことができる。

【0103】

$$\begin{aligned} V_g &= V_{sig} \\ V_s &= V_{ofs} - V_{th} \\ V_{gs} &= V_{sig} - (V_{ofs} - V_{th}) \quad (3) \end{aligned}$$

10

【0104】

即ち、駆動トランジスタT_{Drv}に対する書込み処理において得られたV_{gs}は、発光部ELPにおける輝度を制御するための映像信号V_{sig}、駆動トランジスタT_{Drv}の閾値電圧V_{th}、及び、駆動トランジスタT_{Drv}のゲート電極を初期化するための電圧V_{ofs}のみに依存している。そして、発光部ELPの閾値電圧V_{th-EL}とは無関係である。

【0105】

[期間-TP(5)₆] (図4、及び、図6の(D)参照)

その後、駆動トランジスタT_{Drv}の移動度μの大小に基づく駆動トランジスタT_{Drv}のソース領域(第2ノードND₂)の電位の補正(移動度補正処理)を行う。

20

【0106】

一般に、駆動トランジスタT_{Drv}をポリシリコン薄膜トランジスタ等から作製した場合、トランジスタ間で移動度μにばらつきが生じることは避け難い。従って、移動度μに差異がある複数の駆動トランジスタT_{Drv}のゲート電極に同じ値の映像信号V_{sig}を印加したとしても、移動度μの大きい駆動トランジスタT_{Drv}を流れるドレイン電流I_{ds}と、移動度μの小さい駆動トランジスタT_{Drv}を流れるドレイン電流I_{ds}との間に、差異が生じてしまう。そして、このような差異が生じると、有機EL表示装置の画面の均一性(ユニフォーミティ)が損なわれてしまう。

【0107】

そこで、駆動トランジスタT_{Drv}のオン状態を維持したまま、発光制御トランジスタ制御回路103の動作に基づき発光制御トランジスタ制御線CL_{EL_C}をハイレベルとすることによって、発光制御トランジスタT_{EL_C}をオン状態とし、次いで、所定の時間(t₀)が経過した後、走査回路101の動作に基づき走査線SCLをローレベルとすることによって、映像信号書込みトランジスタT_{sig}をオフ状態とし、第1ノードND₁(駆動トランジスタT_{Drv}のゲート電極)を浮遊状態とする。そして、以上の結果、駆動トランジスタT_{Drv}の移動度μの値が大きい場合、駆動トランジスタT_{Drv}のソース領域における電位の上昇量V(電位補正值)は大きくなり、駆動トランジスタT_{Drv}の移動度μの値が小さい場合、駆動トランジスタT_{Drv}のソース領域における電位の上昇量V(電位補正值)は小さくなる。ここで、駆動トランジスタT_{Drv}のゲート電極とソース領域との間の電位差V_{gs}は、式(3)から以下の式(4)のように変形される。

30

40

【0108】

$$V_{gs} = V_{sig} - (V_{ofs} - V_{th}) - V \quad (4)$$

【0109】

尚、移動度補正処理を実行するための所定の時間([期間-TP(5)₆]の全時間t₀)は、有機EL表示装置の設計の際、設計値として予め決定しておけばよい。また、このときの駆動トランジスタT_{Drv}のソース領域における電位(V_{ofs} - V_{th} + V)が以下の式(2')を満足するように、[期間-TP(5)₆]の全時間t₀は決定されている。そして、これによって、[期間-TP(5)₆]において、発光部ELPが発光することはない。更には、この移動度補正処理によって、係数k((1/2)・(W/L)・C_{ox})のばらつきの補正も同時に行われる。

50

【 0 1 1 0 】

$$(V_{Ofs} - V_{th} + V) < (V_{th-EL} + V_{Cat}) \quad (2')$$

【 0 1 1 1 】

[期間 - TP (5)₇] (図 4、及び、図 6 の (E) 参照)

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了する。ところで、走査回路 101 の動作に基づき走査線 SCL がローレベルとなる結果、映像信号書込みトランジスタ T_{sig} がオフ状態となり、第 1 ノード ND₁、即ち、駆動トランジスタ T_{Drv} のゲート電極は浮遊状態となる。一方、発光制御トランジスタ T_{ELC} はオン状態を維持しており、発光制御トランジスタ T_{ELC} のドレイン領域は、発光部 ELP の発光を制御するための電流供給部 100 (電圧 V_{CC}、例えば 20 ボルト) に接続された状態にある。従って、以上の結果として、第 2 ノード ND₂ の電位は上昇する。

10

【 0 1 1 2 】

ここで、上述したとおり、駆動トランジスタ T_{Drv} のゲート電極は浮遊状態にあり、しかも、コンデンサ部 C₁ が存在するが故に、所謂ブートストラップ回路における同様の現象が駆動トランジスタ T_{Drv} のゲート電極に生じ、第 1 ノード ND₁ の電位も上昇する。その結果、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の電位差 V_{gs} は、式 (4) の値を保持する。

【 0 1 1 3 】

また、第 2 ノード ND₂ の電位が上昇し、(V_{th-EL} + V_{Cat}) を越えるので、発光部 ELP は発光を開始する。このとき、発光部 ELP を流れる電流は、駆動トランジスタ T_{Drv} のドレイン領域からソース領域へと流れるドレイン電流 I_{ds} であるので、式 (1) で表すことができる。ここで、式 (1) と式 (4) から、式 (1) は、以下の式 (5) により変形することができる。

20

【 0 1 1 4 】

$$I_{ds} = k \cdot \mu \cdot (V_{sig} - V_{Ofs} - V)^2 \quad (5)$$

【 0 1 1 5 】

従って、発光部 ELP を流れる電流 I_{ds} は、例えば、V_{Ofs} を 0 ボルトに設定したとした場合、発光部 ELP における輝度を制御するための映像信号 V_{sig} の値から、駆動トランジスタ T_{Drv} の移動度 μ に起因した第 2 ノード ND₂ (駆動トランジスタ T_{Drv} のソース領域) における電位補正值 V の値を減じた値の 2 乗に比例する。言い換えれば、発光部 ELP を流れる電流 I_{ds} は、発光部 ELP の閾値電圧 V_{th-EL}、及び、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} には依存しない。即ち、発光部 ELP の発光量 (輝度) は、発光部 ELP の閾値電圧 V_{th-EL} の影響、及び、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} の影響を受けない。そして、第 (n , m) 番目の有機 EL 素子 10 の輝度は、係る電流 I_{ds} に対応した値である。

30

【 0 1 1 6 】

しかも、移動度 μ の大きな駆動トランジスタ T_{Drv} ほど、電位補正值 V が大きくなるので、式 (4) の左辺の V_{gs} の値が小さくなる。従って、式 (5) において、移動度 μ の値が大きくと、(V_{sig} - V_{Ofs} - V)² の値が小さくなる結果、ドレイン電流 I_{ds} を補正することができる。即ち、移動度 μ の異なる駆動トランジスタ T_{Drv} においても、映像信号 V_{sig} の値が同じであれば、ドレイン電流 I_{ds} が略同じとなる結果、発光部 ELP を流れ、発光部 ELP の輝度を制御する電流 I_{ds} が均一化される。即ち、移動度 μ のばらつき (更には、k のばらつき) に起因する発光部の輝度のばらつきを補正することができる。

40

【 0 1 1 7 】

発光部 ELP の発光状態を第 (m + m' - 1) 番目の水平走査期間まで継続する。この時点は、[期間 - TP (5)₁] の終わりに相当する。

【 0 1 1 8 】

以上によって、有機 EL 素子 10 [第 (n , m) 番目の副画素 (有機 EL 素子 10)] の発光の動作が完了する。

50

【実施例 2】

【0119】

実施例 2 も、本発明の第 1 の態様に係る有機 EL 表示装置、及び、本発明の第 1 の態様に係る有機 EL 素子に関する。

【0120】

実施例 2 は実施例 1 の変形である。実施例 2 は実施例 1 に対し、第 2 トランジスタは、更に、第 2 のシールド電極を備える点が相違する。

【0121】

実施例 2 の有機 EL 表示装置の概念図は上述した図 2 と同様である。実施例 2 の駆動回路の等価回路図を図 8 に示し、有機 EL 素子 10 の一部分の模式的な一部断面図を図 9 の (A) に示す。図 9 の (B) は、上述した図 7 の (A) に対応する図であり、[期間 - TP(5)₇]において、映像信号書込みトランジスタ T_{sig} がオフ状態にあるときの、第 2 チャネル形成領域 34B 付近の状況を模式的に示した図である。

10

【0122】

実施例 2 の駆動回路における駆動のタイミングチャートは上述した図 4 と同様である。また、各トランジスタのオン/オフ状態等も上述した図 5 の (A) ~ (D) 及び図 6 の (A) ~ (E) と同様である。後述する実施例 3 乃至実施例 8 においても同様である。

【0123】

図 8、及び、図 9 の (A) に示すように、実施例 2 の駆動回路にあっては、第 2 トランジスタ T_{sig_2} は、実施例 1 で説明したシールド電極 42 (以下、第 1 のシールド電極 42 と呼ぶ場合がある) の他、更に、第 2 チャネル形成領域 34B の他方の面と絶縁層 40 を介して対向した第 2 のシールド電極 43 を有している。そして、第 2 のシールド電極 43 は、絶縁層 40 に設けられたコンタクトホールを介して、第 1 トランジスタ T_{sig_1} の他方のソース/ドレイン領域と第 2 トランジスタ T_{sig_2} の一方のソース/ドレイン領域とを兼ねる共通領域 35C に接続されている。第 2 のシールド電極 43 も、第 1 のシールド電極 42 と同様に、種々の周知の方法により形成することができる。

20

【0124】

上述した第 2 のシールド電極 43 を除く他、実施例 2 の有機 EL 表示装置、有機 EL 素子、及び、駆動回路の構造、構成は実施例 1 で説明したと同様である。また、実施例 2 の駆動回路の動作や駆動方法は、実施例 1 において説明したと同様であるので、説明を省略する。

30

【0125】

実施例 2 にあっては、実施例 1 において説明した第 1 のシールド電極 42 の他、共通領域 35C に接続された第 2 のシールド電極 43 の影響が第 2 チャネル形成領域 34B に及ぶ。上述したように、オフ状態においては、共通領域 35C の電位は第 1 のシールド電極 42 の電位よりも低い。このため、実施例 1 に対し、第 2 トランジスタ T_{sig_2} の閾値電圧がマイナス側にシフトする程度が相対的に弱まる。これにより、上述した図 7 の (B) における V₂ の値が V₁ 側にシフトする。従って、第 2 トランジスタ T_{sig_2} をオフ状態とするためにゲート電極 31B に印加すべき電圧の絶対値は、実施例 1 よりも小さくなる。これにより、映像信号書込みトランジスタ T_{sig} のゲート電極に印加される信号の振幅の値 (換言すれば、所謂オン電圧とオフ電圧の差の値) を、実施例 1 よりも小さく設定することができる。

40

【実施例 3】

【0126】

実施例 3 も、本発明の第 1 の態様に係る有機 EL 表示装置、及び、本発明の第 1 の態様に係る有機 EL 素子に関する。

【0127】

実施例 3 も実施例 1 の変形である。実施例 3 は実施例 1 に対し、第 1 トランジスタ T_{sig_1} は、更に、第 3 のシールド電極を有している点が相違する。

【0128】

50

実施例 3 の有機 EL 表示装置の概念図は上述した図 2 と同様である。実施例 3 の駆動回路の等価回路図を図 10 の (A) に示す。図 10 の (B) は、有機 EL 素子 10 の一部分の模式的な一部断面図である。

【0129】

図 10 の (A) 及び (B) に示すように、実施例 3 の駆動回路にあっては、実施例 1 で説明した第 1 のシールド電極 42 の他、第 1 トランジスタ T_{sig_1} は、更に、第 1 チャネル形成領域 34A の他方の面と絶縁層 40 を介して対向した第 3 のシールド電極 44 を有している。第 3 のシールド電極 44 は、第 1 トランジスタ T_{sig_1} の一方のソース/ドレイン領域 35A に接続されている。より具体的には、実施例 3 においては、一方のソース/ドレイン領域 35A と接続される配線 38 からの延在部がシールド電極 44 を構成している。第 3 のシールド電極 44 も、第 1 のシールド電極 42 と同様に、種々の周知の方法により形成することができる。

10

【0130】

上述した第 3 のシールド電極 44 を除く他、実施例 3 の有機 EL 表示装置、有機 EL 素子、及び、駆動回路の構造、構成は実施例 1 で説明したと同様である。また、実施例 3 の駆動回路の動作や駆動方法は、実施例 1 において説明したと同様であるので、説明を省略する。

【0131】

実施例 3 にあっては、実施例 1 において説明した効果に加えて、第 3 のシールド電極 44 の影響により、第 1 チャネル形成領域 34A についても実施例 1 において図 7 を参照して説明したと同様の効果が起こる。具体的には、映像信号書込みトランジスタ T_{sig} がオフ状態にあるときの、第 1 チャネル形成領域 34A 付近の状況は、図 7 の (A) において、符号 31B, 34B, 35B をそれぞれ符号 31A, 34A, 35A と置き換えたものとなる。これにより、第 1 チャネル形成領域 34A の共通領域 35C 側にも空乏層が発生するので、第 1 チャネル形成領域 34A と共通領域 35C との間により電流が流れにくくなる。

20

【0132】

第 1 チャネル形成領域 34A を介したリーク電流等により共通領域 35C の電位が変化すると、その影響は、最終的には第 1 ノード ND_1 の電位に及ぶ。実施例 3 においては、第 1 チャネル形成領域 34A を介したリーク電流が減少するので、上述した影響を抑制することができる。

30

【実施例 4】

【0133】

実施例 4 も、本発明の第 1 の態様に係る有機 EL 表示装置、及び、本発明の第 1 の態様に係る有機 EL 素子に関する。

【0134】

実施例 4 も実施例 1 の変形である。実施例 4 は実施例 1 に対し、第 2 トランジスタは、更に、第 2 のシールド電極を有し、第 1 トランジスタは、更に、第 3 のシールド電極及び第 4 のシールド電極を有する点が相違する。

【0135】

実施例 4 の有機 EL 表示装置の概念図は上述した図 2 と同様である。実施例 4 の駆動回路の等価回路図を図 11 の (A) に示す。図 11 の (B) は、有機 EL 素子 10 の一部分の模式的な一部断面図である。

40

【0136】

図 11 の (A) 及び (B) に示すように、実施例 4 の駆動回路にあっては、実施例 1 で説明した第 1 のシールド電極 42 の他、第 2 トランジスタ T_{sig_2} は、更に、第 2 チャネル形成領域 34B の他方の面と絶縁層 40 を介して対向した第 2 のシールド電極 43 を有している。また、第 1 トランジスタ T_{sig_1} は、更に、第 1 チャネル形成領域 34A の他方の面と絶縁層 40 を介して対向した第 3 のシールド電極 44 及び第 4 のシールド電極 45 を有している。そして、第 2 のシールド電極 43 と第 4 のシールド電極 45 とは、第 1

50

トランジスタ T_{sig_1} の他方のソース/ドレイン領域と第 2 トランジスタ T_{sig_2} の一方のソース/ドレイン領域とを兼ねる共通領域 35C に接続されている。また、第 3 のシールド電極 44 は、第 1 トランジスタ T_{sig_1} の一方のソース/ドレイン領域 35A に接続されている。

【0137】

第 2 のシールド電極 43 の構造や接続は、実施例 2 において説明したと同様である。第 3 のシールド電極 44 の構造や接続は、実施例 3 において説明したと同様である。

【0138】

第 4 のシールド電極 45 は、第 2 のシールド電極 43 と同様に、映像信号書込みトランジスタ T_{sig} の共通領域 35C に接続されている。第 4 のシールド電極 45 も、第 1 のシールド電極 42 と同様に、種々の周知の方法により形成することができる。

10

【0139】

上述したシールド電極 43, 44, 45 を除く他、実施例 4 の有機 EL 表示装置、有機 EL 素子、及び、駆動回路の構造、構成は実施例 1 で説明したと同様である。また、実施例 4 の駆動回路の動作や駆動方法は、実施例 1 において説明したと同様であるので、説明を省略する。

【0140】

実施例 4 にあつては、第 2 トランジスタ T_{sig_2} の構成は、実施例 2 で説明したと同様である。また、第 1 トランジスタ T_{sig_1} も、実施例 2 の第 2 トランジスタ T_{sig_2} と同様の構成となり、第 1 トランジスタ T_{sig_1} の閾値電圧がマイナス側にシフトする程度が相対的に弱まる。従つて、実施例 2 で説明したと同様に、映像信号書込みトランジスタ T_{sig} のゲート電極に印加される信号の振幅の値を小さく設定することができる。

20

【実施例 5】

【0141】

実施例 5、後述する実施例 6 乃至実施例 8、及び、実施例 10 は、本発明の第 2 の態様に係る有機 EL 表示装置、及び、本発明の第 2 の態様に係る有機 EL 素子に関する。尚、上述した実施例 1 乃至実施例 4 との対比の便宜上、実施例 5、及び、後述する実施例 6 乃至実施例 8 を、5 つのトランジスタと 1 つのコンデンサ部から成る駆動回路を備えた実施例として説明する。

【0142】

実施例 5 の有機 EL 表示装置の概念図は上述した図 2 と同様である。実施例 5 の駆動回路の等価回路図を図 12 の (A) に示す。図 12 の (B) は、有機 EL 素子 10 の第 1 ノード初期化トランジスタ T_{ND1} を含む模式的な一部断面図である。実施例 5 の駆動回路においては、第 1 ノード初期化トランジスタ T_{ND1} を、実施例 1 において説明した映像信号トランジスタ T_{sig} と同様の構造とした。

30

【0143】

図 12 の (A) に示すように、映像信号書込みトランジスタ T_{sig} においては、
 (B-1) 一方のソース/ドレイン領域は、データ線 DTL に接続されており、
 (B-2) 他方のソース/ドレイン領域は、駆動トランジスタ T_{DrV} のゲート電極、且つ、コンデンサ部 C_1 の他方の電極に接続されており、第 1 ノード ND_1 を構成し、
 (B-3) ゲート電極は、走査線 SCL に接続されている。後述する実施例 6 乃至実施例 8、実施例 10 においても同様である。

40

【0144】

図 12 の (B) に示すように、実施例 5 における駆動回路を構成するトランジスタ及びコンデンサ部 C_1 は支持体 20 上に形成され、発光部 ELP は、例えば、層間絶縁層 46 を介して、駆動回路を構成するトランジスタ及びコンデンサ部 C_1 の上方に形成されている。後述する実施例 6 乃至実施例 8、実施例 10 においても同様である。尚、図 12 の (B)、並びに、後述する図 13 の (B)、図 14 の (B)、及び、図 15 の (B) においては、第 1 ノード初期化トランジスタ T_{ND1} のみを図示する。第 1 ノード初期化トランジスタ T_{ND1} 以外のトランジスタは隠れて見えない。

50

【 0 1 4 5 】

駆動回路は第 1 ノード初期化トランジスタ T_{ND1} を備えている。第 1 ノード初期化トランジスタ T_{ND1} は、半導体層 1 3 3、半導体層 1 3 3 に設けられたソース/ドレイン領域、及び、チャンネル形成領域を備えている。図 1 2 の (A) 及び (B) に示すように、実施例 5 においては、第 1 ノード初期化トランジスタ T_{ND1} は、デュアルゲート型のトランジスタから成り、第 1 ゲート電極 1 3 1 A と第 1 チャンネル形成領域 1 3 4 A とを備えた第 1 トランジスタ T_{ND1_1} 、及び、第 2 ゲート電極 1 3 1 B と第 2 チャンネル形成領域 1 3 4 B とを備えた第 2 トランジスタ T_{ND1_2} から構成されている。後述する実施例 6 乃至実施例 8 においても同様である。

【 0 1 4 6 】

図 1 2 の (B) に示すソース/ドレイン領域 1 3 5 A、1 3 5 B、及び、共通領域 1 3 5 C は、それぞれ、半導体層 1 3 3 に設けられた領域である。共通領域 1 3 5 C は、第 1 トランジスタ T_{ND1_1} の他方のソース/ドレイン領域と第 2 トランジスタ T_{ND1_2} の一方のソース/ドレイン領域とを兼ねる共通領域である。第 1 トランジスタ T_{ND1_1} の一方のソース/ドレイン領域 1 3 5 A は、第 1 ノード初期化電圧供給線 PS_{ND1} (図 1 2 の (B) においては、配線 1 3 8 に相当する) に接続されている。第 2 トランジスタ T_{ND1_2} の他方のソース/ドレイン領域 1 3 5 B は、第 1 ノード ND_1 (図 1 2 の (B) においては、より具体的には、第 1 ノード ND_1 を構成するコンデンサ部 C_1 の他方の電極 3 6) に接続されている。従って、第 2 トランジスタ T_{ND1_2} の他方のソース/ドレイン領域 1 3 5 B も、実質的に第 1 ノード ND_1 を構成する。第 1 トランジスタ T_{ND1_1} の第 1 ゲート電極 1 3 1 A、及び、第 2 トランジスタ T_{ND1_2} の第 2 ゲート電極 1 3 1 B は、第 1 ノード初期化トランジスタ制御線 AZ_{ND1} に接続されている。第 1 トランジスタ T_{ND1_1} の第 1 ゲート電極 1 3 1 A は、第 1 チャンネル形成領域 1 3 4 A の一方の面と絶縁層 1 4 0 を介して対向している。第 2 トランジスタ T_{ND1_2} の第 2 ゲート電極 1 3 1 B は、第 2 チャンネル形成領域 1 3 4 B の一方の面と絶縁層 1 4 0 を介して対向している。後述する実施例 6 乃至実施例 8、実施例 1 0 においても同様である。

【 0 1 4 7 】

そして、第 2 トランジスタ T_{ND1_2} は、第 2 チャンネル形成領域 1 3 4 B の他方の面と絶縁層 1 4 0 を介して対向したシールド電極 1 4 2 を有している。シールド電極 1 4 2 は、第 2 トランジスタ T_{ND1_2} の他方のソース/ドレイン領域 1 3 5 B に接続されている。より具体的には、実施例 5 においては、他方のソース/ドレイン領域 1 3 5 B と接続される配線 1 4 1 からの延在部がシールド電極 1 4 2 を構成している。後述する実施例 6 乃至実施例 8 においても同様である。

【 0 1 4 8 】

尚、駆動トランジスタ T_{DrV} の他のトランジスタも上記で説明したと同様に半導体層、ゲート絶縁膜、ゲート電極等から構成されている。後述する実施例 6 乃至実施例 8、実施例 1 0 においても同様である。

【 0 1 4 9 】

一方、コンデンサ部 C_1 の構成は、実施例 1 における説明において、ゲート絶縁層 3 2 をゲート絶縁層 1 3 2 と読み替えればよいので、説明を省略する。後述する実施例 6 乃至実施例 8、実施例 1 0 においても同様である。

【 0 1 5 0 】

第 1 ノード初期化トランジスタ T_{ND1} のオン/オフ動作は、第 1 ノード初期化トランジスタ T_{ND1} のゲート電極 1 3 1 A、1 3 1 B に接続された第 1 ノード初期化トランジスタ制御線 AZ_{ND1} によって制御される。第 1 ノード初期化電圧供給線 PS_{ND1} には、第 1 ノード初期化するための電圧 V_{Ofs} が印加される。後述する実施例 6 乃至実施例 8、実施例 1 0 においても同様である。

【 0 1 5 1 】

実施例 5 の有機 EL 表示装置等を構成する他の構成要素の構造、構成は、実施例 1 で説明したと実質的に同様である。また、実施例 5 の駆動回路の動作や駆動方法は、実施例 1

10

20

30

40

50

において説明したと同様であるので、説明を省略する。後述する実施例 6 乃至実施例 8 においても同様である。

【0152】

実施例 5 の駆動回路においては、第 1 ノード初期化トランジスタ T_{ND1} がオン状態からオフ状態となる際には、実施例 1 において映像信号書込みトランジスタ T_{Sig} について説明したと実質的に同様の現象が起こる（尚、第 1 ノード初期化トランジスタ T_{ND1} のオン状態とは第 1 トランジスタ T_{ND1_1} と第 2 トランジスタ T_{ND1_2} の双方がオン状態であることを意味し、第 1 ノード初期化トランジスタ T_{ND1} のオフ状態とは、第 1 トランジスタ T_{ND1_1} と第 2 トランジスタ T_{ND1_2} の少なくとも一方がオフ状態であることを意味する。）
。即ち、一方のソース/ドレイン領域 135A と他方のソース/ドレイン領域 135B の電位に対し、共通領域 135C の電位は相対的にマイナス側に变化する。従って、この状態においては、共通領域 135C はソース領域、ソース/ドレイン領域 135A, 135B はドレイン領域となる。

【0153】

そして、実施例 1 において説明したと同様に、第 2 チャネル形成領域 134B のキャリア（電子）は、シールド電極 142 により引きつけられる。これにより、第 2 チャネル形成領域 134B の共通領域 135C 側に空乏層が発生するので、第 2 チャネル形成領域 134B と共通領域 135C との間によりリーク電流が流れにくくなる。上述したように、第 2 チャネル形成領域 134B は、実質的に第 1 ノード ND_1 を構成する他方のソース/ドレイン領域 135B 側のチャネル形成領域である。従って、第 1 ノード ND_1 を介したコンデンサ部 C_1 の電荷量の変動を効果的に抑えることができる。

【0154】

シールド電極 142 を付加することによる電流 - 電圧特性の変化は、実施例 1 において、図 7 の (B) を参照して説明したと同様であるので、説明を省略する。

【0155】

尚、図 12 の (A) においては、映像信号トランジスタ T_{Sig} を所謂シングルゲートトランジスタとしたが、これに限るものではない。映像信号トランジスタ T_{Sig} を、上述した実施例 1 ~ 実施例 4 において説明した構成としてもよい。後述する実施例 6 乃至実施例 8、実施例 10 において参照する図 13、図 14、図 15、図 31 においても同様である。

【実施例 6】

【0156】

実施例 6 も、本発明の第 2 の態様に係る有機 EL 表示装置、及び、本発明の第 2 の態様に係る有機 EL 素子に関する。

【0157】

実施例 6 の有機 EL 表示装置の概念図は上述した図 2 と同様である。実施例 6 の駆動回路の等価回路図を図 13 の (A) に示す。図 13 の (B) は、有機 EL 素子 10 の第 1 ノード初期化トランジスタ T_{ND1} を含む模式的な一部断面図である。実施例 6 の駆動回路においては、第 1 ノード初期化トランジスタ T_{ND1} を、実施例 2 において説明した映像信号トランジスタ T_{Sig} と同様の構造とした。

【0158】

図 13 の (A) 及び (B) に示すように、実施例 6 の駆動回路にあっては、第 2 トランジスタ T_{ND1_2} は、実施例 5 で説明したシールド電極 142（以下、第 1 のシールド電極 142 と呼ぶ場合がある）の他、更に、第 2 チャネル形成領域 134B の他方の面と絶縁層 140 を介して対向した第 2 のシールド電極 143 を有している。そして、第 2 のシールド電極 143 は、絶縁層 140 に設けられたコンタクトホールを介して、第 1 トランジスタ T_{ND1_1} の他方のソース/ドレイン領域と第 2 トランジスタ T_{ND1_2} の一方のソース/ドレイン領域とを兼ねる共通領域 135C に接続されている。第 2 のシールド電極 143 も種々の周知の方法により形成することができる。

【0159】

10

20

30

40

50

そして、実施例 6 にあっては、実施例 5 において説明した第 1 のシールド電極 1 4 2 の他、共通領域 1 3 5 C に接続された第 2 のシールド電極 1 4 3 の影響が第 2 チャネル形成領域 1 3 4 B に及ぶ。共通領域 1 3 5 C の電位は第 1 のシールド電極 1 4 2 の電位よりも低い。実施例 2 において説明したと同様に、このため、実施例 5 に対し、第 2 トランジスタ T_{ND1_2} の閾値電圧がマイナス側にシフトする程度が相対的に弱まる。これにより、実施例 2 において説明したと同様に、第 2 トランジスタ T_{ND1_2} をオフ状態とするためにゲート電極 1 3 1 B に印加すべき電圧の絶対値は、実施例 5 よりも小さくなる。これにより第 1 ノード初期化トランジスタ T_{ND1} のゲート電極に印加される信号の振幅の値を、実施例 5 よりも小さく設定することができる。

【実施例 7】

【0160】

実施例 7 も、本発明の第 2 の態様に係る有機 EL 表示装置、及び、本発明の第 2 の態様に係る有機 EL 素子に関する。

【0161】

実施例 7 の有機 EL 表示装置の概念図は上述した図 2 と同様である。実施例 7 の駆動回路の等価回路図を図 1 4 の (A) に示す。図 1 4 の (B) は、有機 EL 素子 1 0 の第 1 ノード初期化トランジスタ T_{ND1} を含む模式的な一部断面図である。実施例 7 の駆動回路においては、第 1 ノード初期化トランジスタ T_{ND1} を、実施例 3 において説明した映像信号トランジスタ T_{sig} と同様の構造とした。

【0162】

図 1 4 の (A) 及び (B) に示すように、実施例 7 の駆動回路にあっては、実施例 5 で説明した第 1 のシールド電極 1 4 2 の他、第 1 トランジスタ T_{ND1_1} は、更に、第 1 チャネル形成領域 1 3 4 A の他方の面と絶縁層 1 4 0 を介して対向した第 3 のシールド電極 1 4 4 を有している。第 3 のシールド電極 1 4 4 は、第 1 トランジスタ T_{ND1_1} の一方のソース/ドレイン領域 1 3 5 A に接続されている。より具体的には、実施例 7 においては、一方のソース/ドレイン領域 1 3 5 A と接続される配線 1 3 8 からの延在部がシールド電極 1 4 4 を構成している。第 3 のシールド電極 1 4 4 も種々の周知の方法により形成することができる。

【0163】

実施例 3 において説明したと同様に、実施例 7 にあっては、第 3 のシールド電極 1 4 4 の影響により、第 1 チャネル形成領域 1 3 4 A についても実施例 1 において図 7 の (A) 及び (B) を参照して説明したと同様の効果が起こる。これにより、第 1 チャネル形成領域 1 3 4 A の共通領域 1 3 5 C 側にも空乏層が発生するので、第 1 チャネル形成領域 1 3 4 A と共通領域 1 3 5 C との間により電流が流れにくくなる。

【0164】

実施例 3 において説明したと同様に、第 1 チャネル形成領域 1 3 4 A を介したリーク電流等により共通領域 1 3 5 C の電位が変化すると、その影響は、最終的には第 1 ノード ND_1 の電位に及ぶ。実施例 7 においては、第 1 チャネル形成領域 1 3 4 A を介したリーク電流が減少するので、上述した影響を抑制することができる。

【実施例 8】

【0165】

実施例 8 も、本発明の第 2 の態様に係る有機 EL 表示装置、及び、本発明の第 2 の態様に係る有機 EL 素子に関する。

【0166】

実施例 8 の有機 EL 表示装置の概念図は上述した図 2 と同様である。実施例 8 の駆動回路の等価回路図を図 1 5 の (A) に示す。図 1 5 の (B) は、有機 EL 素子 1 0 の第 1 ノード初期化トランジスタ T_{ND1} を含む模式的な一部断面図である。実施例 8 の駆動回路においては、第 1 ノード初期化トランジスタ T_{ND1} を、実施例 4 において説明した映像信号トランジスタ T_{sig} と同様の構造とした。

【0167】

10

20

30

40

50

図15の(A)及び(B)に示すように、実施例8の駆動回路にあっては、第2トランジスタ T_{ND1_2} は、更に、第2チャンネル形成領域134Bの他方の面と絶縁層140を介して対向した第2のシールド電極143を有している。また、第1トランジスタ T_{ND1_1} は、更に、第1チャンネル形成領域134Aの他方の面と絶縁層140を介して対向した第3のシールド電極144及び第4のシールド電極145を有している。そして、第2のシールド電極143と第4のシールド電極145とは、第1トランジスタ T_{ND1_1} の他方のソース/ドレイン領域と第2トランジスタ T_{ND1_2} の一方のソース/ドレイン領域とを兼ねる共通領域135Cに接続されている。また、第3のシールド電極144は、第1トランジスタ T_{ND1_1} の一方のソース/ドレイン領域135Aに接続されている。

【0168】

第2のシールド電極143の構造や接続は、実施例6において説明したと同様である。第3のシールド電極144の構造や接続は、実施例7において説明したと同様である。

【0169】

第4のシールド電極145は、第2のシールド電極143と同様に、第1ノード初期化トランジスタ T_{ND1} の共通領域135Cに接続されている。第4のシールド電極145も種々の周知の方法により形成することができる。

【0170】

実施例8にあっては、第2トランジスタ T_{ND1_2} の構成は、実施例6で説明したと同様である。また、第1トランジスタ T_{ND1_1} も、実施例6の第2トランジスタ T_{ND1_2} と同様の構成となり、第1トランジスタ T_{ND1_1} の閾値電圧がマイナス側にシフトする程度が相対的に弱まる。従って、実施例2で説明したと同様に、第1ノード初期化トランジスタ T_{ND1} のゲート電極に印加される信号の振幅の値を小さく設定することができる。

【実施例9】

【0171】

以下、本発明の第1の態様に係る有機EL表示装置、及び、本発明の第1の態様に係る有機EL素子の種々の変形例について説明する。

【0172】

上述した実施例1乃至実施例4については、駆動回路は5つのトランジスタと1つのコンデンサ部を備えるとして説明した。図16に等価回路図を示す変形例1は、駆動回路が4つのトランジスタと1つのコンデンサ部を備える構成である。図21に等価回路図を示す変形例2は、駆動回路が3つのトランジスタと1つのコンデンサ部を備える構成である。図26に等価回路図を示す変形例3は、駆動回路が2つのトランジスタと1つのコンデンサ部を備える構成の例である。

【0173】

これらの変形例において、駆動回路を構成する映像信号書込みトランジスタ T_{Sig} の構造を、実施例1乃至実施例4で説明した構造とすることができる。便宜の為、図16、図21、及び、図26に示す等価回路においては、実施例1で参照した図1と同様に、映像信号書込みトランジスタ T_{Sig} は第1ノード ND_1 側のシールド電極を有するとして記したが、これに限るものではない。

【0174】

[変形例1：4Tr / 1C駆動回路]

4Tr / 1C駆動回路の等価回路図を図16に示し、有機EL表示装置の概念図を図17に示し、駆動のタイミングチャートを模式的に図18に示し、各トランジスタのオン/オフ状態等を模式的に図19の(A)～(D)及び図20の(A)～(D)に示す。尚、図19の(A)～(D)及び図20の(A)～(E)においては、便宜上、駆動トランジスタを除く各トランジスタを、シングルゲート型であるかデュアルゲート型であるかに拘わらず、一つのスイッチで表現した。

【0175】

この4Tr / 1C駆動回路においては、第1ノード初期化トランジスタ T_{ND1} が省略されている。即ち、この4Tr / 1C駆動回路は、映像信号書込みトランジスタ T_{Sig} 、駆

10

20

30

40

50

動トランジスタ T_{DrV} 、発光制御トランジスタ T_{EL_C} 、第 2 ノード初期化トランジスタ T_{ND2} の 4 つのトランジスタから構成され、更には、1 つのコンデンサ部 C_1 から構成されている。

【 0 1 7 6 】

[発光制御トランジスタ T_{EL_C}]

発光制御トランジスタ T_{EL_C} の構成は、実施例 1 において説明した発光制御トランジスタ T_{EL_C} の構成と同じであるので、詳細な説明は省略する。

【 0 1 7 7 】

[駆動トランジスタ T_{DrV}]

駆動トランジスタ T_{DrV} の構成は、実施例 1 において説明した駆動トランジスタ T_{DrV} の構成と同じであるので、詳細な説明は省略する。

10

【 0 1 7 8 】

[第 2 ノード初期化トランジスタ T_{ND2}]

第 2 ノード初期化トランジスタ T_{ND2} の構成は、実施例 1 において説明した第 2 ノード初期化トランジスタ T_{ND2} の構成と同じであるので、詳細な説明は省略する。

【 0 1 7 9 】

[映像信号書込みトランジスタ T_{Sig}]

映像信号書込みトランジスタ T_{Sig} の構成は、実施例 1 において説明した映像信号書込みトランジスタ T_{Sig} の構成と同じであるので、詳細な説明は省略する。但し、映像信号書込みトランジスタ T_{Sig} の一方のソース/ドレイン領域は、データ線 DTL に接続されているが、映像信号出力回路 102 から、発光部 ELP における輝度を制御するための映像信号 V_{Sig} だけでなく、駆動トランジスタ T_{DrV} のゲート電極を初期化するための電圧 V_{Ofs} も供給される。この点が、実施例 1 において説明した映像信号書込みトランジスタ T_{Sig} の動作と相違している。尚、映像信号出力回路 102 から、データ線 DTL を介して、 V_{Sig} や V_{Ofs} 以外の信号・電圧（例えば、プリチャージ駆動のための信号）が、一方のソース/ドレイン領域に供給されてもよい。

20

【 0 1 8 0 】

[発光部 ELP]

発光部 ELP の構成は、実施例 1 において説明した発光部 ELP の構成と同じであるので、詳細な説明は省略する。

30

【 0 1 8 1 】

以下、4Tr / 1C 駆動回路の動作説明を行う。

【 0 1 8 2 】

[期間 - TP (4)₋₁] (図 18、及び、図 19 の (A) 参照)

この [期間 - TP (4)₋₁] は、例えば、前の表示フレームにおける動作であり、実施例 1 において説明した [期間 - TP (5)₋₁] と同じ動作である。

【 0 1 8 3 】

図 18 に示す [期間 - TP (4)₀] ~ [期間 - TP (4)₄] は、図 4 に示す [期間 - TP (5)₀] ~ [期間 - TP (5)₄] に対応する期間であり、次の書込み処理が行われる直前までの動作期間である。そして、実施例 1 と同様に、[期間 - TP (4)₀] ~ [期間 - TP (4)₄] において、第 (n , m) 番目の有機 EL 素子 10 は原則として非発光状態にある。但し、4Tr / 1C 駆動回路の動作においては、図 18 に示す [期間 - TP (4)₅] ~ [期間 - TP (4)₆] の他、[期間 - TP (4)₂] ~ [期間 - TP (4)₄] も第 m 番目の水平走査期間に包含される点が、実施例 1 の動作とは異なる。尚、説明の便宜のため、[期間 - TP (4)₂] の始期、及び、[期間 - TP (4)₆] の終期は、それぞれ、第 m 番目の水平走査期間の始期、及び、終期に一致するものとして説明する。

40

【 0 1 8 4 】

以下、[期間 - TP (4)₀] ~ [期間 - TP (4)₄] の各期間について、説明する。尚、実施例 1 において説明したと同様に、[期間 - TP (4)₁] の始期や、[期間 - TP

50

$P(4)_1] \sim [期間 - TP(4)_4]$ の各期間の長さは、有機 EL 表示装置の設計に応じて適宜設定すればよい。

【0185】

[期間 - $TP(4)_0$]

この [期間 - $TP(4)_0$] は、例えば、前の表示フレームから現表示フレームにおける動作であり、実施例 1 において説明した [期間 - $TP(5)_0$] と、実質的に同じ動作である。

【0186】

[期間 - $TP(4)_1$] (図 19 の (B) 参照)

この [期間 - $TP(4)_1$] は、実施例 1 において説明した [期間 - $TP(5)_1$] に相当する。この [期間 - $TP(4)_1$] において、後述する閾値電圧キャンセル処理を行うための前処理が行われる。 $[期間 - TP(4)_1]$ の開始時、第 2 ノード初期化トランジスタ制御回路 105 の動作に基づき第 2 ノード初期化トランジスタ制御線 AZ_{ND2} をハイレベルとすることによって、第 2 ノード初期化トランジスタ T_{ND2} をオン状態とする。その結果、第 2 ノード ND_2 の電位は、 V_{SS} (例えば、-10 ボルト) となる。また、第 2 ノード ND_2 の電位低下に倣うように、浮遊状態の第 1 ノード ND_1 (駆動トランジスタ T_{Drv} のゲート電極) の電位も低下する。尚、 $[期間 - TP(4)_1]$ における第 1 ノード ND_1 の電位は、 $[期間 - TP(4)_1]$ における第 1 ノード ND_1 の電位 (前フレームの V_{sig} の値に応じて定まる) により左右されるので、一定の値をとるものではない。

【0187】

[期間 - $TP(4)_2$] (図 19 の (C) 参照)

その後、映像信号出力回路 102 の動作に基づきデータ線 DTL の電位を V_{ofs} とし、走査回路 101 の動作に基づき走査線 SCl をハイレベルとすることによって、映像信号書込みトランジスタ T_{sig} をオン状態とする。その結果、第 1 ノード ND_1 の電位は、 V_{ofs} (例えば、0 ボルト) となる。第 2 ノード ND_2 の電位は V_{SS} (例えば、-10 ボルト) を保持する。その後、第 2 ノード初期化トランジスタ制御回路 105 の動作に基づき第 2 ノード初期化トランジスタ制御線 AZ_{ND2} をローレベルとすることによって、第 2 ノード初期化トランジスタ T_{ND2} をオフ状態とする。

【0188】

尚、 $[期間 - TP(4)_1]$ の開始と同時に、あるいは、 $[期間 - TP(4)_1]$ の途中で、映像信号書込みトランジスタ T_{sig} をオン状態としてもよい。

【0189】

以上の処理により、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の電位差が V_{th} 以上となり、駆動トランジスタ T_{Drv} はオン状態となる。

【0190】

[期間 - $TP(4)_3$] (図 19 の (D) 参照)

次に、閾値電圧キャンセル処理が行われる。即ち、映像信号書込みトランジスタ T_{sig} のオン状態を維持したまま、発光制御トランジスタ制御回路 103 の動作に基づき発光制御トランジスタ制御線 CL_{EL_C} をハイレベルとすることによって、発光制御トランジスタ T_{EL_C} をオン状態とする。その結果、第 1 ノード ND_1 の電位は変化しないが ($V_{ofs} = 0$ ボルトを維持)、第 1 ノード ND_1 の電位から駆動トランジスタ T_{Drv} の閾値電圧 V_{th} を減じた電位に向かって、第 2 ノード ND_2 の電位は変化する。即ち、浮遊状態の第 2 ノード ND_2 の電位が上昇する。そして、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{Drv} がオフ状態となる。具体的には、浮遊状態の第 2 ノード ND_2 の電位が ($V_{ofs} - V_{th} = -3$ ボルト) に近づき、最終的に ($V_{ofs} - V_{th}$) となる。ここで、上述した式 (2) が保証されていれば、言い換えれば、式 (2) を満足するように電位を選択、決定しておけば、発光部 ELP が発光することはない。

【0191】

この [期間 - $TP(4)_3$] にあつては、第 2 ノード ND_2 の電位は、最終的に、(V_{ofs}

$s - V_{th}$)となる。即ち、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} 、及び、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{ofs} のみに依存して、第2ノード ND_2 の電位は決定される。そして、発光部 ELP の閾値電圧 V_{th-EL} とは無関係である。

【0192】

[期間 - $TP(4)_4$] (図20の(A)参照)

その後、映像信号書込みトランジスタ T_{sig} のオン状態を維持したまま、発光制御トランジスタ制御回路103の動作に基づき発光制御トランジスタ制御線 CL_{EL_C} をローレベルとすることによって、発光制御トランジスタ T_{EL_C} をオフ状態とする。その結果、第1ノード ND_1 の電位は変化せず($V_{ofs} = 0$ ボルトを維持)、浮遊状態の第2ノード ND_2 の電位も、実質上、変化せず(実際には、寄生容量等の静電結合により電位変化が生じ得るが、通常、これらは無視することができる)、($V_{ofs} - V_{th} = -3$ ボルト)を保持する。

10

【0193】

次いで、[期間 - $TP(4)_5$] ~ [期間 - $TP(4)_7$]の各期間について説明する。これらの期間は、実施例1において説明した[期間 - $TP(5)_5$] ~ [期間 - $TP(5)_7$]と、実質的に同じ動作である。

【0194】

[期間 - $TP(4)_5$] (図20の(B)参照)

次に、駆動トランジスタ T_{Drv} に対する書込み処理を実行する。具体的には、映像信号書込みトランジスタ T_{sig} のオン状態を維持し、第2ノード初期化トランジスタ T_{ND2} 、及び、発光制御トランジスタ T_{EL_C} のオフ状態を維持したまま、映像信号出力回路102の動作に基づきデータ線 DTL の電位を、 V_{ofs} から、発光部 ELP における輝度を制御するための映像信号 V_{sig} に切り替える。その結果、第1ノード ND_1 の電位は、 V_{sig} へと上昇する。尚、映像信号書込みトランジスタ T_{sig} を、一旦、オフ状態とし、映像信号書込みトランジスタ T_{sig} 、第2ノード初期化トランジスタ T_{ND2} 、及び、発光制御トランジスタ T_{EL_C} のオフ状態を維持したまま、映像信号出力回路102の動作に基づきデータ線 DTL の電位を、発光部 ELP における輝度を制御するための映像信号 V_{sig} に変更し、その後、第2ノード初期化トランジスタ T_{ND2} 、及び、発光制御トランジスタ T_{EL_C} のオフ状態を維持したまま、走査線 SCl をハイレベルとすることによって、映像信号書込みトランジスタ T_{sig} をオン状態としてもよい。

20

30

【0195】

これによって、実施例1において説明したと同様に、第1ノード ND_1 と第2ノード ND_2 の電位差、即ち、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の電位差 V_{gs} として、式(3)で説明した値を得ることができる。

【0196】

即ち、 $4Tr/1C$ 駆動回路においても、駆動トランジスタ T_{Drv} に対する書込み処理において得られた V_{gs} は、発光部 ELP における輝度を制御するための映像信号 V_{sig} 、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} 、及び、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{ofs} のみに依存している。そして、発光部 ELP の閾値電圧 V_{th-EL} とは無関係である。

40

【0197】

[期間 - $TP(4)_6$] (図20の(C)参照)

その後、駆動トランジスタ T_{Drv} の移動度 μ の大小に基づく駆動トランジスタ T_{Drv} のソース領域(第2ノード ND_2)の電位の補正(移動度補正処理)を行う。具体的には、実施例1において説明した[期間 - $TP(5)_6$]と同じ動作を行えばよい。尚、移動度補正処理を実行するための所定の時間([期間 - $TP(4)_6$]の全時間 t_0)は、有機 EL 表示装置の設計の際、設計値として予め決定しておけばよい。

【0198】

[期間 - $TP(4)_7$] (図20の(D)参照)

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了す

50

る。そして、実施例 1 において説明した [期間 - TP (5)₇] と同じ処理がなされ、第 2 ノード ND₂ の電位が上昇し、(V_{th-EL} + V_{cat}) を越えるので、発光部 ELP は発光を開始する。このとき、発光部 ELP を流れる電流は、前述した式 (5) にて得ることができるので、発光部 ELP を流れる電流 I_{ds} は、発光部 ELP の閾値電圧 V_{th-EL}、及び、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} には依存しない。即ち、発光部 ELP の発光量 (輝度) は、発光部 ELP の閾値電圧 V_{th-EL} の影響、及び、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} の影響を受けない。加えて、駆動トランジスタ T_{Drv} における移動度 μ のばらつきに起因したドレイン電流 I_{ds} のばらつき発生を抑制することができる。

【 0 1 9 9 】

そして、発光部 ELP の発光状態を第 (m + m' - 1) 番目の水平走査期間まで継続する。この時点は、[期間 - TP (4)₁] の終わりに相当する。

10

【 0 2 0 0 】

以上によって、有機 EL 素子 10 [第 (n , m) 番目の副画素 (有機 EL 素子 10)] の発光の動作が完了する。

【 0 2 0 1 】

次に、3Tr / 1C 駆動回路に関する説明を行う。

【 0 2 0 2 】

[変形例 2 : 3Tr / 1C 駆動回路]

3Tr / 1C 駆動回路の等価回路図を図 2 1 に示し、有機 EL 表示装置の概念図を図 2 2 に示し、駆動のタイミングチャートを模式的に図 2 3 に示し、各トランジスタのオン / オフ状態等を模式的に図 2 4 の (A) ~ (D) 及び図 2 5 の (A) ~ (E) に示す。尚、図 2 4 の (A) ~ (D) 及び図 2 5 の (A) ~ (E) においては、便宜上、駆動トランジスタを除く各トランジスタを、シングルゲート型であるかデュアルゲート型であるかに拘わらず、一つのスイッチで表現した。

20

【 0 2 0 3 】

この 3Tr / 1C 駆動回路においては、第 1 ノード初期化トランジスタ T_{ND1}、及び、第 2 ノード初期化トランジスタ T_{ND2} の 2 つのトランジスタが省略されている。即ち、この 3Tr / 1C 駆動回路は、映像信号書込みトランジスタ T_{Sig}、発光制御トランジスタ T_{EL_C}、及び、駆動トランジスタ T_{Drv} の 3 つのトランジスタから構成され、更には、1 つのコンデンサ部 C₁ から構成されている。

30

【 0 2 0 4 】

[発光制御トランジスタ T_{EL_C}]

発光制御トランジスタ T_{EL_C} の構成は、実施例 1 において説明した発光制御トランジスタ T_{EL_C} の構成と同じであるので、詳細な説明は省略する。

【 0 2 0 5 】

[駆動トランジスタ T_{Drv}]

駆動トランジスタ T_{Drv} の構成は、実施例 1 において説明した駆動トランジスタ T_{Drv} の構成と同じであるので、詳細な説明は省略する。

【 0 2 0 6 】

[映像信号書込みトランジスタ T_{Sig}]

40

映像信号書込みトランジスタ T_{Sig} の構成は、実施例 1 において説明した映像信号書込みトランジスタ T_{Sig} の構成と同じであるので、詳細な説明は省略する。但し、映像信号書込みトランジスタ T_{Sig} の一方のソース / ドレイン領域は、データ線 DTL に接続されているが、映像信号出力回路 102 から、発光部 ELP における輝度を制御するための映像信号 V_{Sig} だけでなく、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{ofs-H} 及び電圧 V_{ofs-L} も供給される。この点が、実施例 1 において説明した映像信号書込みトランジスタ T_{Sig} の動作と相違している。尚、映像信号出力回路 102 から、データ線 DTL を介して、V_{Sig} や V_{ofs-H} / V_{ofs-L} 以外の信号・電圧 (例えば、プリチャージ駆動のための信号) が、一方のソース / ドレイン領域に供給されてもよい。電圧 V_{ofs-H} 及び電圧 V_{ofs-L} の値として、限定するものではないが、例えば、

50

V_{Ofs-H} = 約 30 ボルト

V_{Ofs-L} = 約 0 ボルト

を例示することができる。

【0207】

[C_{EL} と C_1 の値の関係]

後述するように、3Tr/1C 駆動回路においては、データ線 DTL を利用して第 2 ノード ND_2 の電位を変化させる必要がある。上述した実施例 1 の駆動回路や 4Tr/1C の駆動回路においては、値 c_{EL} は、値 c_1 及び値 c_{gs} と比較して十分に大きな値であるとし、駆動トランジスタ T_{DrV} のゲート電極の電位の変化分 ($V_{Sig} - V_{Ofs}$) に基づく駆動トランジスタ T_{DrV} のソース領域 (第 2 ノード ND_2) の電位の変化を考慮せずに説明を行った。一方、3Tr/1C 駆動回路においては、値 c_1 を、設計上、他の駆動回路よりも大きい値 (例えば、値 c_1 を値 c_{EL} の約 $1/4 \sim 1/3$ 程度) に設定する。従って、他の駆動回路よりも、第 1 ノード ND_1 の電位変化により生ずる第 2 ノード ND_2 の電位変化の程度は大きい。このため、3Tr/1C の説明においては、第 1 ノード ND_1 の電位変化により生ずる第 2 ノード ND_2 の電位変化を考慮して説明を行う。尚、図 23 に示した駆動のタイミングチャートも、第 1 ノード ND_1 の電位変化により生ずる第 2 ノード ND_2 の電位変化を考慮して示した。

10

【0208】

[発光部 ELP]

発光部 ELP の構成は、実施例 1 において説明した発光部 ELP の構成と同じであるので、詳細な説明は省略する。

20

【0209】

以下、3Tr/1C 駆動回路の動作説明を行う。

【0210】

[期間 - TP (3) $_1$] (図 23、及び、図 24 の (A) 参照)

この [期間 - TP (3) $_1$] は、例えば、前の表示フレームにおける動作であり、実質的に、実施例 1 において説明した [期間 - TP (5) $_1$] と同じ動作である。

【0211】

図 23 に示す [期間 - TP (3) $_0$] ~ [期間 - TP (3) $_4$] は、図 4 に示す [期間 - TP (5) $_0$] ~ [期間 - TP (5) $_4$] に対応する期間であり、次の書込み処理が行われる直前までの動作期間である。そして、実施例 1 と同様に、[期間 - TP (3) $_0$] ~ [期間 - TP (3) $_4$] において、第 (n, m) 番目の有機 EL 素子 10 は原則として非発光状態にある。但し、3Tr/1C 駆動回路の動作においては、図 23 に示すように、[期間 - TP (3) $_5$] ~ [期間 - TP (3) $_6$] の他、[期間 - TP (3) $_1$] ~ [期間 - TP (3) $_4$] も第 m 番目の水平走査期間に包含される点が、実施例 1 の動作とは異なる。尚、説明の便宜のため、[期間 - TP (3) $_1$] の始期、及び、[期間 - TP (3) $_6$] の終期は、それぞれ、第 m 番目の水平走査期間の始期、及び、終期に一致するものとして説明する。

30

【0212】

以下、[期間 - TP (3) $_0$] ~ [期間 - TP (3) $_4$] の各期間について、説明する。尚、実施例 1 において説明したと同様に、[期間 - TP (3) $_1$] ~ [期間 - TP (3) $_4$] の各期間の長さは、有機 EL 表示装置の設計に応じて適宜設定すればよい。

40

【0213】

[期間 - TP (3) $_0$] (図 24 の (B) 参照)

この [期間 - TP (3) $_0$] は、例えば、前の表示フレームから現表示フレームにおける動作であり、実施例 1 において説明した [期間 - TP (5) $_0$] と、実質的に同じ動作である。

【0214】

[期間 - TP (3) $_1$] (図 24 の (C) 参照)

そして、現表示フレームにおける第 m 行目の水平走査期間が開始する。[期間 - TP (

50

3) ₁] の開始時、映像信号出力回路 102 の動作に基づきデータ線 DTL の電位を、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{Ofs-H} とし、次いで、走査回路 101 の動作に基づき走査線 SCL をハイレベルとすることによって、映像信号書込みトランジスタ T_{Sig} をオン状態とする。その結果、第 1 ノード ND₁ の電位は、V_{Ofs-H} となる。上述したように、コンデンサ部 C₁ の値 c₁ を、設計上、他の駆動回路よりも大きい値としたので、ソース領域の電位（第 2 ノード ND₂ の電位）は上昇する。そして、発光部 ELP の両端の電位差が閾値電圧 V_{th-EL} を超えるので、電位発光部 ELP は導通状態となるが、駆動トランジスタ T_{Drv} のソース領域の電位は、再び、(V_{th-EL} + V_{Cat}) まで、直ちに低下する。尚、この過程において、発光部 ELP が発光し得るが、発光は一瞬であり、実用上、問題とはならない。一方、駆動トランジスタ T_{Drv} のゲート電極は電圧 V_{Ofs-H} を保持する。

10

【0215】

[期間 - TP(3)₂] (図 24 の (D) 参照)

その後、映像信号出力回路 102 の動作に基づき、データ線 DTL の電位を、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{Ofs-H} から電圧 V_{Ofs-L} へと変更することによって、第 1 ノード ND₁ の電位は、V_{Ofs-L} となる。そして、第 1 ノード ND₁ の電位の低下に伴い、第 2 ノード ND₂ の電位も低下する。即ち、駆動トランジスタ T_{Drv} のゲート電極の電位の変化分 (V_{Ofs-L} - V_{Ofs-H}) に基づく電荷が、コンデンサ部 C₁、発光部 ELP の寄生容量 C_{EL}、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の寄生容量に振り分けられる。尚、後述する [期間 - TP(3)₃] における動作の前提として、[期間 - TP(3)₂] の終期において、第 2 ノード ND₂ の電位が V_{Ofs-L} - V_{th} よりも低いことが必要となる。V_{Ofs-H} の値等は、この条件を満たすように設定されている。即ち、以上の処理により、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の電位差が V_{th} 以上となり、駆動トランジスタ T_{Drv} はオン状態となる。

20

【0216】

[期間 - TP(3)₃] (図 25 の (A) 参照)

次に、閾値電圧キャンセル処理が行われる。即ち、映像信号書込みトランジスタ T_{Sig} のオン状態を維持したまま、発光制御トランジスタ制御回路 103 の動作に基づき発光制御トランジスタ制御線 C_{LEL_C} をハイレベルとすることによって、発光制御トランジスタ T_{EL_C} をオン状態とする。その結果、第 1 ノード ND₁ の電位は変化しないが (V_{Ofs-L} = 0 ボルトを維持)、第 1 ノード ND₁ の電位から駆動トランジスタ T_{Drv} の閾値電圧 V_{th} を減じた電位に向かって、第 2 ノード ND₂ の電位は変化する。即ち、浮遊状態の第 2 ノード ND₂ の電位が上昇する。そして、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{Drv} がオフ状態となる。具体的には、浮遊状態の第 2 ノード ND₂ の電位が (V_{Ofs-L} - V_{th} = -3 ボルト) に近づき、最終的に (V_{Ofs-L} - V_{th}) となる。ここで、上述した式 (2) が保証されていれば、云い換えれば、式 (2) を満足するように電位を選択、決定しておけば、発光部 ELP が発光することはない。

30

【0217】

この [期間 - TP(3)₃] にあつては、第 2 ノード ND₂ の電位は、最終的に、(V_{Ofs-L} - V_{th}) となる。即ち、駆動トランジスタ T_{Drv} の閾値電圧 V_{th}、及び、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{Ofs-L} のみに依存して、第 2 ノード ND₂ の電位は決定される。そして、発光部 ELP の閾値電圧 V_{th-EL} とは無関係である。

40

【0218】

[期間 - TP(3)₄] (図 25 の (B) 参照)

その後、映像信号書込みトランジスタ T_{Sig} のオン状態を維持したまま、発光制御トランジスタ制御回路 103 の動作に基づき発光制御トランジスタ制御線 C_{LEL_C} をローレベルとすることによって、発光制御トランジスタ T_{EL_C} をオフ状態とする。その結果、第 1 ノード ND₁ の電位は変化せず (V_{Ofs-L} = 0 ボルトを維持)、浮遊状態の第 2 ノード ND₂ の電位も変化せず、(V_{Ofs-L} - V_{th} = -3 ボルト) を保持する。

50

【0219】

次いで、[期間 - TP(3)₅] ~ [期間 - TP(3)₇]の各期間について説明する。これらは、実施例1において説明した[期間 - TP(5)₅] ~ [期間 - TP(5)₇]と、実質的に同じ動作である。

【0220】

[期間 - TP(3)₅] (図25の(C)参照)

次に、駆動トランジスタT_{Drv}に対する書込み処理を実行する。具体的には、映像信号書込みトランジスタT_{Sig}のオン状態を維持し、発光制御トランジスタT_{ELC}のオフ状態を維持したまま、映像信号出力回路102の動作に基づき、データ線DTLの電位を、発光部ELPにおける輝度を制御するための映像信号V_{Sig}とする。その結果、第1ノードND₁の電位は、V_{Sig}へと上昇する。尚、映像信号書込みトランジスタT_{Sig}を、一旦、オフ状態とし、映像信号書込みトランジスタT_{Sig}、及び、発光制御トランジスタT_{ELC}のオフ状態を維持したまま、データ線DTLの電位を、発光部ELPにおける輝度を制御するための映像信号V_{Sig}に変更し、その後、発光制御トランジスタT_{ELC}のオフ状態を維持したまま、走査線SCLをハイレベルとすることによって、映像信号書込みトランジスタT_{Sig}をオン状態としてもよい。

10

【0221】

[期間 - TP(3)₅]において、第1ノードND₁の電位が、V_{Ofs-L}からV_{Sig}へと上昇する。このため、第1ノードND₁の電位変化により生ずる第2ノードND₂の電位変化を考慮すると、第2ノードND₁の電位も、若干、上昇する。即ち、第2ノードND₁の電位を、 $V_{Ofs-L} - V_{th} + \alpha \cdot (V_{Sig} - V_{Ofs-L})$ と表すことができる。但し、 $0 < \alpha < 1$ であり、 α の値はコンデンサ部C₁、発光部ELPの寄生容量C_{EL}の値等により定まる。

20

【0222】

これによって、実施例1において説明したと同様に、第1ノードND₁と第2ノードND₂の電位差、即ち、駆動トランジスタT_{Drv}のゲート電極とソース領域との間の電位差V_{gs}として、以下の式(3')で説明した値を得ることができる。

【0223】

$$V_{gs} = V_{Sig} - (V_{Ofs-L} - V_{th}) - \alpha \cdot (V_{Sig} - V_{Ofs-L}) \quad (3')$$

【0224】

即ち、3Tr/1C駆動回路においても、駆動トランジスタT_{Drv}に対する書込み処理において得られたV_{gs}は、発光部ELPにおける輝度を制御するための映像信号V_{Sig}、駆動トランジスタT_{Drv}の閾値電圧V_{th}、及び、駆動トランジスタT_{Drv}のゲート電極を初期化するための電圧V_{Ofs-L}のみに依存している。そして、発光部ELPの閾値電圧V_{th-EL}とは無関係である。

30

【0225】

[期間 - TP(3)₆] (図25の(D)参照)

その後、駆動トランジスタT_{Drv}の移動度μの大小に基づく駆動トランジスタT_{Drv}のソース領域(第2ノードND₂)の電位の補正(移動度補正処理)を行う。具体的には、実施例1において説明した[期間 - TP(5)₆]と同じ動作を行えばよい。尚、移動度補正処理を実行するための所定の時間([期間 - TP(3)₆]の全時間t₀)は、有機EL表示装置の設計の際、設計値として予め決定しておけばよい。

40

【0226】

[期間 - TP(3)₇] (図25の(E)参照)

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了する。そして、実施例1において説明した[期間 - TP(5)₇]と同じ処理がなされ、第2ノードND₂の電位が上昇し、(V_{th-EL} + V_{Cat})を越えるので、発光部ELPは発光を開始する。このとき、発光部ELPを流れる電流は、前述した式(5)にて得ることができるので、発光部ELPを流れる電流I_{ds}は、発光部ELPの閾値電圧V_{th-EL}、及び、駆動トランジスタT_{Drv}の閾値電圧V_{th}には依存しない。即ち、発光部ELPの発光量(輝度)は、発光部ELPの閾値電圧V_{th-EL}の影響、及び、駆動トランジスタT_{Drv}の閾

50

値電圧 V_{th} の影響を受けない。加えて、駆動トランジスタ T_{Drv} における移動度 μ のばらつきに起因したドレイン電流 I_{ds} のばらつき発生を抑制することができる。

【0227】

そして、発光部 ELP の発光状態を第 $(m + m' - 1)$ 番目の水平走査期間まで継続する。この時点は、[期間 - $TP(3)_{-1}$] の終わりに相当する。

【0228】

以上によって、有機 EL 素子 10 [第 (n, m) 番目の副画素 (有機 EL 素子 10)] の発光の動作が完了する。

【0229】

次に、 $2Tr / 1C$ 駆動回路に関する説明を行う。

10

【0230】

[変形例 3 : $2Tr / 1C$ 駆動回路]

$2Tr / 1C$ 駆動回路の等価回路図を図 26 に示し、有機 EL 表示装置の概念図を図 27 に示し、駆動のタイミングチャートを模式的に図 28 に示し、各トランジスタのオン/オフ状態等を模式的に図 29 の (A) ~ (F) に示す。尚、図 29 の (A) ~ (F) においては、便宜上、駆動トランジスタを除く各トランジスタを、シングルゲート型であるかデュアルゲート型であるかに拘わらず、一つのスイッチで表現した。

【0231】

この $2Tr / 1C$ 駆動回路においては、第 1 ノード初期化トランジスタ T_{ND1} 、発光制御トランジスタ T_{EL_C} 、及び、第 2 ノード初期化トランジスタ T_{ND2} の 3 つのトランジスタが省略されている。即ち、この $2Tr / 1C$ 駆動回路は、映像信号書込みトランジスタ T_{Sig} 、及び、駆動トランジスタ T_{Drv} の 2 つのトランジスタから構成され、更には、1 つのコンデンサ部 C_1 から構成されている。

20

【0232】

[駆動トランジスタ T_{Drv}]

駆動トランジスタ T_{Drv} の構成は、実施例 1 において説明した駆動トランジスタ T_{Drv} の構成と同じであるので、詳細な説明は省略する。但し、駆動トランジスタ T_{Drv} のドレイン領域は電流供給部 100 に接続されている。尚、電流供給部 100 からは、発光部 ELP の発光を制御するための電圧 V_{CC-H} 、及び、駆動トランジスタ T_{Drv} のソース領域の電位を制御するための電圧 V_{CC-L} が供給される。ここで、電圧 V_{CC-H} 及び V_{CC-L} の値として

30

$$V_{CC-H} = 20 \text{ ボルト}$$

$$V_{CC-L} = -10 \text{ ボルト}$$

を例示することができるが、これらの値に限定するものではない。尚、後述する実施例 10 においても同様である。

【0233】

[映像信号書込みトランジスタ T_{Sig}]

映像信号書込みトランジスタ T_{Sig} の構成は、実施例 1 において説明した映像信号書込みトランジスタ T_{Sig} の構成と同じであるので、詳細な説明は省略する。

【0234】

40

[発光部 ELP]

発光部 ELP の構成は、実施例 1 において説明した発光部 ELP の構成と同じであるので、詳細な説明は省略する。

【0235】

以下、 $2Tr / 1C$ 駆動回路の動作説明を行う。

【0236】

[期間 - $TP(2)_{-1}$] (図 28、及び、図 29 の (A) 参照)

この [期間 - $TP(2)_{-1}$] は、例えば、前の表示フレームにおける動作であり、実質的に、実施例 1 において説明した [期間 - $TP(5)_{-1}$] と同じ動作である。

【0237】

50

図 28 に示す [期間 - TP (2)₀] ~ [期間 - TP (2)₂] は、図 4 に示す [期間 - TP (5)₀] ~ [期間 - TP (5)₄] に対応する期間であり、次の書込み処理が行われる直前までの動作期間である。そして、実施例 1 と同様に、[期間 - TP (2)₀] ~ [期間 - TP (2)₂] において、第 (n , m) 番目の有機 EL 素子 10 は原則として非発光状態にある。但し、2Tr / 1C 駆動回路の動作においては、図 28 に示すように、[期間 - TP (2)₃] の他、[期間 - TP (2)₁] ~ [期間 - TP (2)₂] も第 m 番目の水平走査期間に包含される点が、実施例 1 の動作とは異なる。尚、説明の便宜のため、[期間 - TP (2)₁] の始期、及び、[期間 - TP (2)₃] の終期は、それぞれ、第 m 番目の水平走査期間の始期、及び、終期に一致するものとして説明する。

【 0 2 3 8 】

以下、[期間 - TP (2)₀] ~ [期間 - TP (2)₂] の各期間について、説明する。尚、実施例 1 において説明したと同様に、[期間 - TP (2)₁] ~ [期間 - TP (2)₃] の各期間の長さは、有機 EL 表示装置の設計に応じて適宜設定すればよい。

【 0 2 3 9 】

[期間 - TP (2)₀] (図 29 の (B) 参照)

この [期間 - TP (2)₀] は、例えば、前の表示フレームから現表示フレームにおける動作である。即ち、この [期間 - TP (2)₀] は、前の表示フレームにおける第 (m + m') 番目の水平走査期間から、現表示フレームにおける第 (m - 1) 番目の水平走査期間までの期間である。そして、この [期間 - TP (2)₀] において、第 (n , m) 番目の有機 EL 素子 10 は、非発光状態にある。ここで、[期間 - TP (2)₀] から [期間 - TP (2)₁] に移る時点で、電流供給部 100 から供給される電圧を、 V_{CC-H} から電圧 V_{CC-L} に切り替える。その結果、第 2 ノード ND_2 (駆動トランジスタ T_{D_rv} のソース領域あるいは発光部 ELP のアノード電極) の電位は V_{CC-L} まで低下し、発光部 ELP は非発光状態となる。また、第 2 ノード ND_2 の電位低下に倣うように、浮遊状態の第 1 ノード ND_1 (駆動トランジスタ T_{D_rv} のゲート電極) の電位も低下する。

【 0 2 4 0 】

[期間 - TP (2)₁] (図 29 の (C) 参照)

そして、現表示フレームにおける第 m 行目の水平走査期間が開始する。[期間 - TP (2)₁] の開始時、走査回路 101 の動作に基づき走査線 SCL をハイレベルとすることによって、映像信号書込みトランジスタ T_{sig} をオン状態とする。その結果、第 1 ノード ND_1 の電位は、 V_{ofs} (例えば、0 ボルト) となる。第 2 ノード ND_2 の電位は V_{CC-L} (例えば、- 10 ボルト) を保持する。

【 0 2 4 1 】

上記の処理により、駆動トランジスタ T_{D_rv} のゲート電極とソース領域との間の電位差が V_{th} 以上となり、駆動トランジスタ T_{D_rv} はオン状態となる。

【 0 2 4 2 】

[期間 - TP (2)₂] (図 29 の (D) 参照)

次に、閾値電圧キャンセル処理が行われる。即ち、映像信号書込みトランジスタ T_{sig} のオン状態を維持したまま、電流供給部 100 から供給される電圧を、 V_{CC-L} から電圧 V_{CC-H} に切り替える。その結果、第 1 ノード ND_1 の電位は変化しないが ($V_{ofs} = 0$ ボルトを維持)、第 1 ノード ND_1 の電位から駆動トランジスタ T_{D_rv} の閾値電圧 V_{th} を減じた電位に向かって、第 2 ノード ND_2 の電位は変化する。即ち、浮遊状態の第 2 ノード ND_2 の電位が上昇する。そして、駆動トランジスタ T_{D_rv} のゲート電極とソース領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{D_rv} がオフ状態となる。具体的には、浮遊状態の第 2 ノード ND_2 の電位が ($V_{ofs} - V_{th} = - 3$ ボルト) に近づき、最終的に ($V_{ofs} - V_{th}$) となる。ここで、上述した式 (2) が保証されていれば、言い換えれば、式 (2) を満足するように電位を選択、決定しておけば、発光部 ELP が発光することはない。

【 0 2 4 3 】

この [期間 - TP (2)₂] にあつては、第 2 ノード ND_2 の電位は、最終的に、($V_{ofs} - V_{th}$) となる。即ち、駆動トランジスタ T_{D_rv} の閾値電圧 V_{th} 、及び、駆動トランジス

10

20

30

40

50

タ T_{DrV} のゲート電極を初期化するための電圧 V_{Ofs} のみに依存して、第 2 ノード ND_2 の電位は決定される。そして、発光部 ELP の閾値電圧 V_{th-EL} とは無関係である。

【0244】

[期間 - $TP(2)_3$] (図 29 の (E) 参照)

次に、駆動トランジスタ T_{DrV} に対する書込み処理、及び、駆動トランジスタ T_{DrV} の移動度 μ の大小に基づく駆動トランジスタ T_{DrV} のソース領域 (第 2 ノード ND_2) の電位の補正 (移動度補正処理) を行う。具体的には、映像信号書込みトランジスタ T_{Sig} のオン状態を維持したまま、映像信号出力回路 102 の動作に基づき、データ線 DTL の電位を、発光部 ELP における輝度を制御するための映像信号 V_{Sig} とする。その結果、第 1 ノード ND_1 の電位は V_{Sig} へと上昇し、駆動トランジスタ T_{DrV} はオン状態となる。尚、映像信号書込みトランジスタ T_{Sig} を、一旦、オフ状態とし、データ線 DTL の電位を、発光部 ELP における輝度を制御するための映像信号 V_{Sig} に変更し、その後、走査線 SCl をハイレベルとすることによって、映像信号書込みトランジスタ T_{Sig} をオン状態とすることで、駆動トランジスタ T_{DrV} をオン状態としてもよい。

10

【0245】

実施例 1 において説明したと異なり、駆動トランジスタ T_{DrV} のドレイン領域には電流供給部 100 から電位 V_{CC-H} が印加されているので、駆動トランジスタ T_{DrV} のソース領域の電位は上昇する。所定の時間 (t_0) が経過した後、走査線 SCl をローレベルとすることによって、映像信号書込みトランジスタ T_{Sig} をオフ状態とし、第 1 ノード ND_1 (駆動トランジスタ T_{DrV} のゲート電極) を浮遊状態とする。尚、この [期間 - $TP(2)_3$] の全時間 t_0 は、第 2 ノード ND_2 の電位が ($V_{Ofs} - V_{th} + V$) となるように、有機 EL 表示装置の設計の際、設計値として予め決定しておけばよい。

20

【0246】

この [期間 - $TP(2)_3$] にあっても、駆動トランジスタ T_{DrV} の移動度 μ の値が大きい場合、駆動トランジスタ T_{DrV} のソース領域における電位の上昇量 V は大きく、駆動トランジスタ T_{DrV} の移動度 μ の値が小さい場合、駆動トランジスタ T_{DrV} のソース領域における電位の上昇量 V は小さい。

【0247】

[期間 - $TP(2)_4$] (図 29 の (F) 参照)

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了する。そして、実施例 1 において説明した [期間 - $TP(5)_7$] と同じ処理がなされ、第 2 ノード ND_2 の電位が上昇し、($V_{th-EL} + V_{Cat}$) を越えるので、発光部 ELP は発光を開始する。このとき、発光部 ELP を流れる電流は、前述した式 (5) にて得ることができるので、発光部 ELP を流れる電流 I_{ds} は、発光部 ELP の閾値電圧 V_{th-EL} 、及び、駆動トランジスタ T_{DrV} の閾値電圧 V_{th} には依存しない。即ち、発光部 ELP の発光量 (輝度) は、発光部 ELP の閾値電圧 V_{th-EL} の影響、及び、駆動トランジスタ T_{DrV} の閾値電圧 V_{th} の影響を受けない。加えて、駆動トランジスタ T_{DrV} における移動度 μ のばらつきに起因したドレイン電流 I_{ds} のばらつき発生を抑制することができる。

30

【0248】

そして、発光部 ELP の発光状態を第 ($m + m' - 1$) 番目の水平走査期間まで継続する。この時点は、[期間 - $TP(2)_{-1}$] の終わりに相当する。

40

【0249】

以上によって、有機 EL 素子 10 [第 (n, m) 番目の副画素 (有機 EL 素子 10)] の発光の動作が完了する。

【0250】

尚、例えば、図 26 に示した $2Tr / 1C$ 駆動回路の動作における [期間 - $TP(3)_3$] を 2 つの期間、[期間 - $TP(3)_3$] 及び [期間 - $TP(3)'_3$] に分割し、[期間 - $TP(3)_3$] において、前述したとおり、映像信号書込みトランジスタ T_{Sig} を、一旦、オフ状態とし、データ線 DTL の電位を、発光部 ELP における輝度を制御するための映像信号 V_{Sig} に変更し、その後、[期間 - $TP(3)'_3$] において、走査線 SCl を

50

ハイレベルとすることによって、映像信号書込みトランジスタ T_{Sig} をオン状態とすることで、駆動トランジスタ T_{Drv} をオン状態としてもよい。この場合のタイミングチャートを模式的に図30に示す。

【実施例10】

【0251】

以下、本発明の第2の態様に係る有機EL表示装置、及び、本発明の第2の態様に係る有機EL素子の変形例について説明する。

【0252】

上述した実施例5乃至実施例8については、駆動回路は5つのトランジスタと1つのコンデンサ部を備えるとして説明した。図31に等価回路図を示す実施例10は、駆動回路が3つのトランジスタと1つのコンデンサ部を備える構成である。

10

【0253】

実施例10の駆動回路の等価回路図を図31に示し、有機EL表示装置の概念図を図32に示し、駆動のタイミングチャートを模式的に図33に示し、各トランジスタのオン/オフ状態等を模式的に図34の(A)~(D)及び図35の(A)~(C)に示す。

【0254】

この駆動回路においては、上述した実施例5乃至実施例8と対比して、発光制御トランジスタ T_{EL_C} 、及び、第2ノード初期化トランジスタ T_{ND2} の2つのトランジスタが省略されている。即ち、この駆動回路は、映像信号書込みトランジスタ T_{Sig} 、第1ノード初期化トランジスタ T_{ND1} 、及び、駆動トランジスタ T_{Drv} の3つのトランジスタから構成され、更には、1つのコンデンサ部 C_1 から構成されている。

20

【0255】

実施例10において、駆動回路を構成する第1ノード初期化トランジスタ T_{ND1} の構造を、実施例5乃至実施例8で説明した構造とすることができる。便宜の為、図31に示す等価回路においては、実施例5で参照した図12と同様に、第1ノード初期化トランジスタ T_{ND1} は第1ノード ND_1 側のシールド電極を有するとして記したが、これに限るものではない。また、実施例5においても言及したが、図31に示す等価回路においては、映像信号トランジスタ T_{Sig} を所謂シングルゲートトランジスタとしたが、これに限るものではない。映像信号トランジスタ T_{Sig} を、上述した実施例1~実施例4において説明した構成としてもよい。

30

【0256】

実施例10の駆動回路は、基本的には、実施例9において図26を参照して説明した2 $T_r/1C$ 回路に第1ノード初期化トランジスタ T_{ND1} を付加した構成である。尚、便宜のため、以下の説明において、実施例10の駆動回路を[第2の3 $T_r/1C$ 駆動回路]と称する。

【0257】

[駆動トランジスタ T_{Drv}]

駆動トランジスタ T_{Drv} の構成は、実施例1において説明したと同様であるので、詳細な説明は省略する。但し、実施例9の変形例3で説明したと同様に、駆動トランジスタ T_{Drv} のドレイン領域は電流供給部100に接続されている。電圧 V_{CC-H} 及び V_{CC-L} は、実施例9の変形例3で説明したと同様であるので、詳細な説明は省略する。

40

【0258】

[映像信号書込みトランジスタ T_{Sig}]

駆動トランジスタ T_{Sig} の構成は、実施例5において説明したと同様であるので、詳細な説明は省略する。

【0259】

[第1ノード初期化トランジスタ T_{ND1}]

第1ノード初期化トランジスタ T_{ND1} の構成は、実施例5等において説明した第1ノード初期化トランジスタ T_{ND1} の構成と同じであるので、詳細な説明は省略する。

【0260】

50

[発光部 E L P]

発光部 E L P の構成は、実施例 1 において説明した発光部 E L P の構成と同じであるので、詳細な説明は省略する。

【 0 2 6 1 】

以下、第 2 の 3 T r / 1 C 駆動回路の動作説明を行う。

【 0 2 6 2 】

[期間 - T P (3₂)₋₁] (図 3 3、及び、図 3 4 の (A) 参照)

この [期間 - T P (3₂)₋₁] は、例えば、前の表示フレームにおける動作であり、実質的に、実施例 1 において説明した [期間 - T P (5)₋₁] と同じ動作である。

【 0 2 6 3 】

図 3 3 に示す [期間 - T P (3₂)₀] ~ [期間 - T P (3₂)₃] は、図 4 に示す [期間 - T P (5)₀] ~ [期間 - T P (5)₄] に対応する期間であり、次の書込み処理が行われる直前までの動作期間である。そして、実施例 1 と同様に、[期間 - T P (3₂)₀] ~ [期間 - T P (3₂)₃] において、第 (n , m) 番目の有機 E L 素子 1 0 は非発光状態にある。即ち、この [期間 - T P (3₂)₀] ~ [期間 - T P (3₂)₃] は、例えば、前の表示フレームにおける第 (m + m') 番目の水平走査期間の始期から、現表示フレームにおける第 (m - 1) 番目の水平走査期間の終期までの或る時間長さの期間である。尚、[期間 - T P (3₂)₁] ~ [期間 - T P (3₂)₃] を、現表示フレームにおける第 m 番目の水平走査期間内に含む構成とすることもできる。尚、説明の便宜のため、[期間 - T P (3₂)₄] の始期、及び、終期は、それぞれ、第 m 番目の水平走査期間の始期、及び、終期に一致するものとして説明する。

【 0 2 6 4 】

以下、[期間 - T P (3₂)₀] ~ [期間 - T P (3₂)₃] の各期間について、説明する。尚、実施例 1 において説明したと同様に、[期間 - T P (3₂)₁] ~ [期間 - T P (3₂)₄] の各期間の長さは、有機 E L 表示装置の設計に応じて適宜設定すればよい。

【 0 2 6 5 】

[期間 - T P (3₂)₀] (図 3 4 の (B) 参照)

この [期間 - T P (3₂)₀] は、例えば、前の表示フレームから現表示フレームにおける動作である。即ち、この [期間 - T P (3₂)₀] は、前の表示フレームにおける第 (m + m') 番目の水平走査期間から、現表示フレームにおける第 (m - 1) 番目の水平走査期間までの期間である。そして、この [期間 - T P (3₂)₀] において、第 (n , m) 番目の有機 E L 素子 1 0 は、原則として非発光状態にある。ここで、[期間 - T P (3₂)₋₁] から [期間 - T P (3₂)₀] に移る時点で、電流供給部 1 0 0 から供給される電圧を、V_{CC-H} から電圧 V_{CC-L} に切り替える。その結果、第 2 ノード N D₂ (駆動トランジスタ T_{D_rv} のソース領域あるいは発光部 E L P のアノード電極) の電位は V_{CC-L} まで低下し、発光部 E L P は非発光状態となる。また、第 2 ノード N D₂ の電位低下に倣うように、浮遊状態の第 1 ノード N D₁ (駆動トランジスタ T_{D_rv} のゲート電極) の電位も低下する。

【 0 2 6 6 】

[期間 - T P (3₂)₁] (図 3 4 の (C) 参照)

そして、[期間 - T P (3₂)₁] の開始時、第 1 ノード初期化トランジスタ制御回路 1 0 4 の動作に基づき第 1 ノード初期化トランジスタ制御線 A Z_{ND1} をハイレベルとすることによって、第 1 ノード初期化トランジスタ T_{ND1} をオン状態とする。その結果、第 1 ノード N D₁ の電位は、V_{O_fs} (例えば、0 ボルト) となる。第 2 ノード N D₂ の電位は V_{CC-L} (例えば、- 1 0 ボルト) を保持する。

【 0 2 6 7 】

上記の処理により、駆動トランジスタ T_{D_rv} のゲート電極とソース領域との間の電位差が V_{t_h} 以上となり、駆動トランジスタ T_{D_rv} はオン状態となる。

【 0 2 6 8 】

[期間 - T P (3₂)₂] (図 3 4 の (D) 参照)

次に、閾値電圧キャンセル処理が行われる。即ち、第 1 ノード初期化トランジスタ T_{ND}

10

20

30

40

50

1 のオン状態を維持したまま、電流供給部100から供給される電圧を、 V_{CC-L} から電圧 V_{CC-H} に切り替える。その結果、第1ノード ND_1 の電位は変化しないが($V_{Ofs} = 0$ ボルトを維持)、第1ノード ND_1 の電位から駆動トランジスタ T_{Drv} の閾値電圧 V_{th} を減じた電位に向かって、第2ノード ND_2 の電位は変化する。即ち、浮遊状態の第2ノード ND_2 の電位が上昇する。そして、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{Drv} がオフ状態となる。即ち、浮遊状態の第2ノード ND_2 の電位が上昇する。そして、駆動トランジスタ T_{Drv} のゲート電極とソース領域との間の電位差が V_{th} に達すると、駆動トランジスタ T_{Drv} がオフ状態となる。具体的には、浮遊状態の第2ノード ND_2 の電位が($V_{Ofs} - V_{th} = -3$ ボルト)に近づき、最終的に($V_{Ofs} - V_{th}$)となる。ここで、上述した式(3)が保証されていれば、云い換えれば、式(3)を満足するように電位を選択、決定しておけば、発光部ELPが発光することはない。

10

【0269】

この[期間-TP(3₂)₂]にあつては、第2ノード ND_2 の電位は、最終的に、($V_{Ofs} - V_{th}$)となる。即ち、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} 、及び、駆動トランジスタ T_{Drv} のゲート電極を初期化するための電圧 V_{Ofs} のみに依存して、第2ノード ND_2 の電位は決定される。そして、発光部ELPの閾値電圧 V_{th-EL} とは無関係である。

【0270】

[期間-TP(3₂)₃] (図35の(A)参照)

次いで、第1ノード初期化トランジスタ制御回路104の動作に基づき第1ノード初期化トランジスタ制御線 AZ_{ND1} をローレベルとすることによって、第1ノード初期化トランジスタ T_{ND1} をオフ状態とする。第1ノード ND_1 及び第2ノード ND_2 の電位は、実質上、変化しない。実際には、寄生容量等の静電結合により電位変化が生じ得るが、通常、これらは無視することができる。

20

【0271】

[期間-TP(3₂)₄] (図35の(B)参照)

次に、駆動トランジスタ T_{Drv} に対する書込み処理、及び、駆動トランジスタ T_{Drv} の移動度 μ の大小に基づく駆動トランジスタ T_{Drv} のソース領域(第2ノード ND_2)の電位の補正(移動度補正処理)を行う。映像信号出力回路102の動作に基づき、データ線DTLの電位を、発光部ELPにおける輝度を制御するための映像信号 V_{sig} とし、次いで、走査回路101の動作に基づき走査線SCLをハイレベルとすることによって、映像信号書込みトランジスタ T_{sig} をオン状態とする。その結果、第1ノード ND_1 の電位は、 V_{sig} へと上昇し、駆動トランジスタ T_{Drv} はオン状態となる。

30

【0272】

実施例1において説明したと異なり、駆動トランジスタ T_{Drv} のドレイン領域には電流供給部100から電位 V_{CC-H} が印加されているので、駆動トランジスタ T_{Drv} のソース領域の電位は上昇する。所定の時間(t_0)が経過した後、走査線SCLをローレベルとすることによって、映像信号書込みトランジスタ T_{sig} をオフ状態とし、第1ノード ND_1 (駆動トランジスタ T_{Drv} のゲート電極)を浮遊状態とする。尚、この[期間-TP(3₂)₄]の全時間 t_0 は、第2ノード ND_2 の電位が($V_{Ofs} - V_{th} + V$)となるように、有機EL表示装置の設計の際、設計値として予め決定しておけばよい。

40

【0273】

この[期間-TP(3₂)₄]にあつても、駆動トランジスタ T_{Drv} の移動度 μ の値が大きい場合、駆動トランジスタ T_{Drv} のソース領域における電位の上昇量 V は大きく、駆動トランジスタ T_{Drv} の移動度 μ の値が小さい場合、駆動トランジスタ T_{Drv} のソース領域における電位の上昇量 V は小さい。

【0274】

[期間-TP(3₂)₅] (図35の(C)参照)

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了する。そして、実施例1において説明した[期間-TP(5)₇]と同じ処理がなされ、第

50

2 ノード ND_2 の電位が上昇し、 $(V_{th-EL} + V_{Cat})$ を越えるので、発光部 ELP は発光を開始する。このとき、発光部 ELP を流れる電流は、前述した式 (5) にて得ることができるので、発光部 ELP を流れる電流 I_{ds} は、発光部 ELP の閾値電圧 V_{th-EL} 、及び、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} には依存しない。即ち、発光部 ELP の発光量 (輝度) は、発光部 ELP の閾値電圧 V_{th-EL} の影響、及び、駆動トランジスタ T_{Drv} の閾値電圧 V_{th} の影響を受けない。加えて、駆動トランジスタ T_{Drv} における移動度 μ のばらつきに起因したドレイン電流 I_{ds} のばらつき発生を抑制することができる。

【0275】

そして、発光部 ELP の発光状態を第 $(m + m' - 1)$ 番目の水平走査期間まで継続する。この時点は、[期間 - $TP(3_2)_{-1}$] の終わりに相当する。

10

【0276】

以上によって、有機 EL 素子 10 [第 (n, m) 番目の副画素 (有機 EL 素子 10)] の発光の動作が完了する。

【0277】

実施例 10 の有機 EL 表示装置、有機 EL 素子、及び、発光部 ELP を駆動するための駆動回路の構成について説明した。尚、図 31 に示す駆動回路に、第 2 ノード初期化トランジスタ T_{ND2} を追加した構成、あるいは、発光制御トランジスタ発光制御トランジスタ T_{EL_C} を追加した構成とすることもできる。例えば、第 2 ノード初期化トランジスタ T_{ND2} を追加した構成にあつては、電流供給部 100 から電圧 V_{CC-L} を供給する必要はなく、実施例 1 で説明したと同様の方法により第 2 ノード ND_2 に初期化電圧を印加することができる。また、発光制御トランジスタ発光制御トランジスタ T_{EL_C} を追加した構成にあつては、例えば、電流供給部 100 は電圧 V_{CC} 一定としておき、実施例 9 の変形例 2 において図 24 の (C) 及び (D) を参照して説明したと同様の方法により第 2 ノード ND_2 に初期化電圧を印加することができる。

20

【0278】

以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例において説明した有機 EL 表示装置や有機 EL 素子の構成、構造は例示であり、適宜、変更することができる。また、実施例において説明した駆動回路の動作や、発光部 ELP の駆動方法は例示であり、適宜、変更することができる。

【図面の簡単な説明】

30

【0279】

【図 1】図 1 は、駆動回路の等価回路図である。

【図 2】図 2 は、有機エレクトロルミネッセンス表示装置の概念図である。

【図 3】図 3 は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図 4】図 4 は、駆動回路における駆動のタイミングチャートを模式的に示す図である。

【図 5】図 5 の (A) ~ (D) は、駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

【図 6】図 6 の (A) ~ (E) は、図 5 の (D) に引き続き、駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

40

【図 7】図 7 の (A) は、[期間 - $TP(5)_7$] において、映像信号書込みトランジスタがオフ状態にあるときの、第 2 チャネル形成領域付近の状況を模式的に示した図である。図 7 の (B) は、シールド電極を付加することによる電流 - 電圧特性の変化を模式的に示した図である。

【図 8】図 8 は、駆動回路の等価回路図である。

【図 9】図 9 の (A) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。図 9 の (B) は、図 7 の (A) に対応する図であり、[期間 - $TP(5)_7$] において、映像信号書込みトランジスタ T_{sig} がオフ状態にあるときの、第 2 チャネル形成領域付近の状況を模式的に示した図である。

【図 10】図 10 の (A) は、駆動回路の等価回路図である。図 10 の (B) は、有機工

50

レクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図 1 1】図 1 1 の (A) は、駆動回路の等価回路図である。図 1 1 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図 1 2】図 1 2 の (A) は、駆動回路の等価回路図である。図 1 2 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図 1 3】図 1 3 の (A) は、駆動回路の等価回路図である。図 1 3 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図 1 4】図 1 4 の (A) は、駆動回路の等価回路図である。図 1 4 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図 1 5】図 1 5 の (A) は、駆動回路の等価回路図である。図 1 5 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図 1 6】図 1 6 は、4 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の等価回路図である。

【図 1 7】図 1 7 は、有機エレクトロルミネッセンス表示装置の概念図である。

【図 1 8】図 1 8 は、4 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の駆動のタイミングチャートを模式的に示す図である。

【図 1 9】図 1 9 の (A) ~ (D) は、4 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 2 0】図 2 0 の (A) ~ (D) は、図 1 9 の (D) に引き続き、4 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 2 1】図 2 1 は、3 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の等価回路図である。

【図 2 2】図 2 2 は、有機エレクトロルミネッセンス表示装置の概念図である。

【図 2 3】図 2 3 は、3 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の駆動のタイミングチャートを模式的に示す図である。

【図 2 4】図 2 4 の (A) ~ (D) は、3 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 2 5】図 2 5 の (A) ~ (E) は、図 2 4 の (D) に引き続き、3 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 2 6】図 2 6 は、2 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の等価回路図である。

【図 2 7】図 2 7 は、有機エレクトロルミネッセンス表示装置の概念図である。

【図 2 8】図 2 8 は、2 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の駆動のタイミングチャートを模式的に示す図である。

【図 2 9】図 2 9 の (A) ~ (F) は、2 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 3 0】図 3 0 は、2 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の、図 2 9 に示したとは異なる駆動のタイミングチャートを模式的に示す図である。

【図 3 1】図 3 1 は、駆動回路の等価回路図である。

【図 3 2】図 3 2 は、有機エレクトロルミネッセンス表示装置の概念図である。

【図 3 3】図 3 3 は、駆動回路における駆動のタイミングチャートを模式的に示す図である。

【図 3 4】図 3 4 の (A) ~ (D) は、駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 3 5】図 3 5 の (A) ~ (C) は、図 3 4 の (D) に引き続き、駆動回路を構成する

10

20

30

40

50

各トランジスタのオン/オフ状態等を模式的に示す図である。

【図36】図36は、従来の5Tr/1C駆動回路の等価回路図である。

【図37】図37は、映像信号書込みトランジスタ T_{sig} をデュアルゲート構造とした駆動回路の等価回路図である。

【図38】図38の(A)は、デュアルゲート構造の映像信号書込みトランジスタの寄生容量を模式的に示した図である。図38の(B)は、駆動トランジスタに対する書込み処理を行うときの、映像信号書込みトランジスタ付近の電位を模式的に示した図である。図38の(C)は、映像信号書込みトランジスタ T_{sig} をオフ状態としたときの、映像信号書込みトランジスタ付近の電位を模式的に示した図である。

【符号の説明】

【0280】

T_{sig} ・・・映像信号書込みトランジスタ、 T_{sig_1} ・・・第1トランジスタ、 T_{sig_2} ・・・第2トランジスタ、 T_{Drv} ・・・駆動トランジスタ、 T_{EL_C} ・・・発光制御トランジスタ、 T_{ND1} ・・・第1ノード初期化トランジスタ、 T_{ND1_1} ・・・第1トランジスタ、 T_{ND1_2} ・・・第2トランジスタ、 T_{ND2} ・・・第2ノード初期化トランジスタ、 C_1 ・・・コンデンサ部、ELP・・・有機エレクトロルミネッセンス発光部(発光部)、 C_{A1} 、 C_{A2} 、 C_{A3} ・・・トランジスタの寄生容量、 C_{EL} ・・・発光部ELPの寄生容量、 ND_1 ・・・第1ノード、 ND_2 ・・・第2ノード、SCL・・・走査線、DTL・・・データ線、 CL_{EL_C} ・・・発光制御トランジスタ制御線、 AZ_{ND1} ・・・第1ノード初期化トランジスタ制御線、 AZ_{ND2} ・・・第2ノード初期化トランジスタ制御線、 PS_{ND1} ・・・第1ノード初期化電圧供給線、 PS_{ND2} ・・・第2ノード初期化電圧供給線、10・・・有機エレクトロルミネッセンス素子、20・・・支持体、21・・・基板、31A・・・第1ゲート電極、31B・・・第2ゲート電極、32・・・ゲート絶縁層、33・・・半導体層、34A・・・第1チャンネル形成領域、34B・・・第2チャンネル形成領域、35A・・・一方のソース/ドレイン領域、35B・・・他方のソース/ドレイン領域、35C・・・共通領域、131A・・・第1ゲート電極、131B・・・第2ゲート電極、132・・・ゲート絶縁層、133・・・半導体層、134A・・・第1チャンネル形成領域、134B・・・第2チャンネル形成領域、135A・・・一方のソース/ドレイン領域、135B・・・他方のソース/ドレイン領域、135C・・・共通領域、36・・・他方の電極、37・・・一方の電極、38・・・配線、138・・・配線、39・・・配線、40・・・絶縁層、41・・・配線、42・・・シールド電極(第1のシールド電極)、43・・・第2のシールド電極、44・・・第3のシールド電極、45・・・第4のシールド電極、140・・・絶縁層、141・・・配線、142・・・シールド電極(第1のシールド電極)、143・・・第2のシールド電極、144・・・第3のシールド電極、145・・・第4のシールド電極、46・・・層間絶縁層、51・・・アノード電極、52・・・正孔輸送層、発光層及び電子輸送層、53・・・カソード電極、54・・・第2層間絶縁層、55、56・・・コンタクトホール、100・・・電流供給部、101・・・走査回路、102・・・映像信号出力回路、103・・・発光制御トランジスタ制御回路、104・・・第1ノード初期化トランジスタ制御回路、105・・・第2ノード初期化トランジスタ制御回路

10

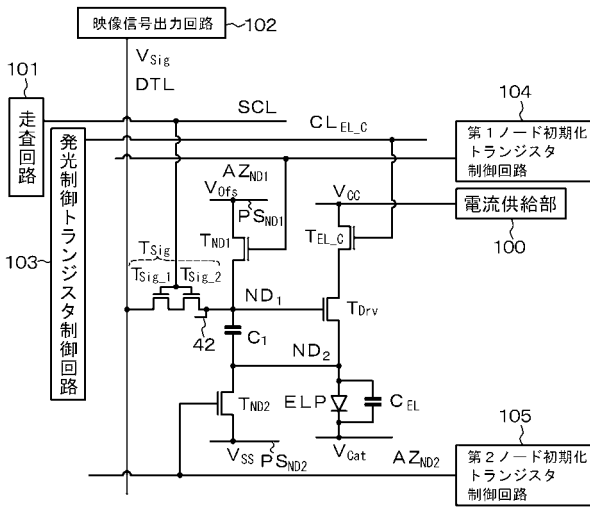
20

30

40

【図1】

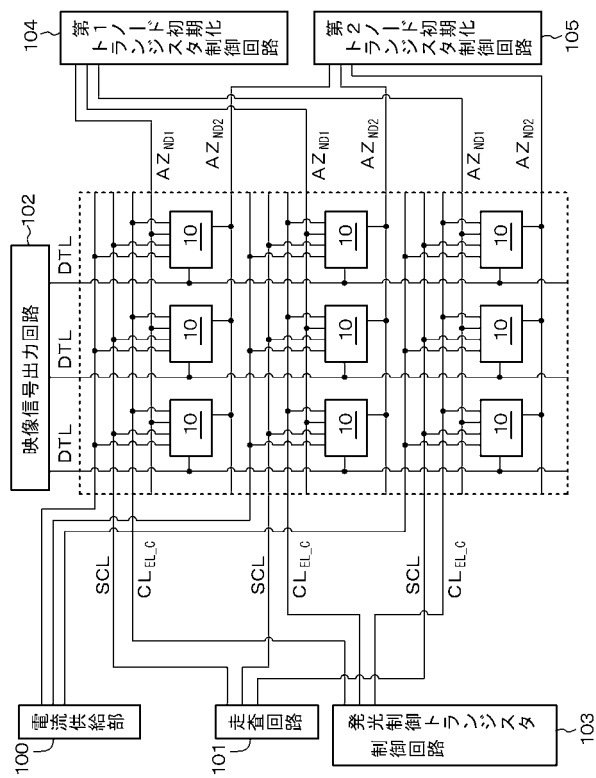
【図1】 [実施例1]



- T_{Sig} : 映像信号書込みトランジスタ
- T_{Drv} : 駆動トランジスタ
- T_{EL_C} : 発光制御トランジスタ
- T_{ND1} : 第1ノード初期化トランジスタ
- T_{ND2} : 第2ノード初期化トランジスタ
- C₁ : コンデンサ部
- ELP : 有機EL素子の発光部
- C_{EL} : 発光部の寄生容量
- DTL : データ線
- SCL : 走査線
- CL_{EL_C} : 発光制御トランジスタ制御線
- AZ_{ND1} : 第1ノード初期化トランジスタ制御線
- AZ_{ND2} : 第2ノード初期化トランジスタ制御線

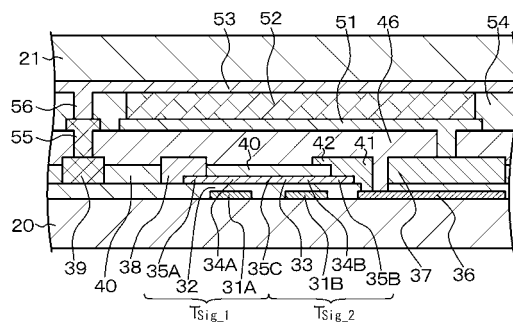
【図2】

【図2】 [実施例1]



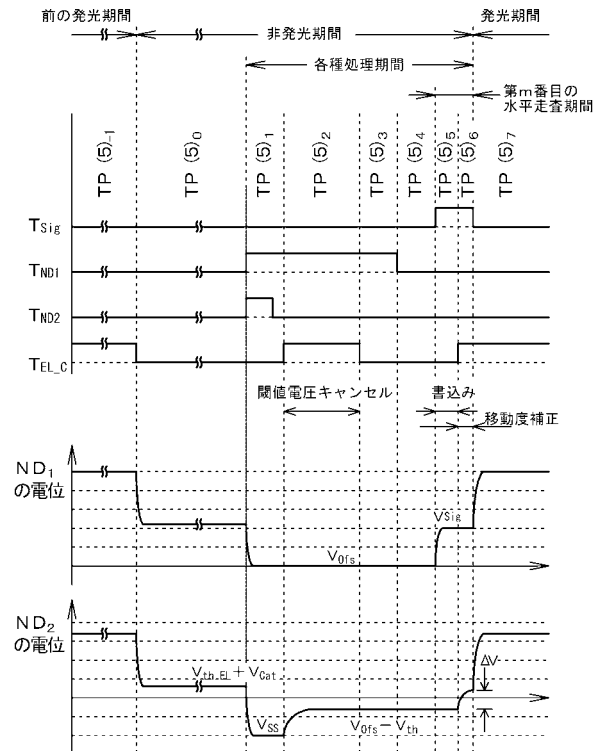
【図3】

【図3】 [実施例1]



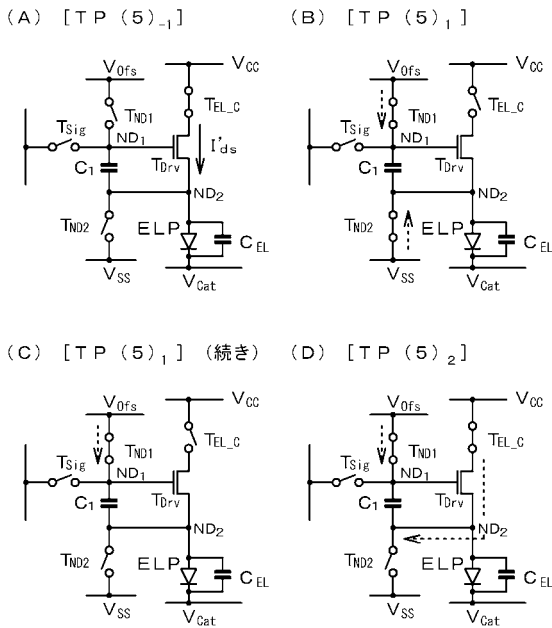
【図4】

【図4】 [実施例1]



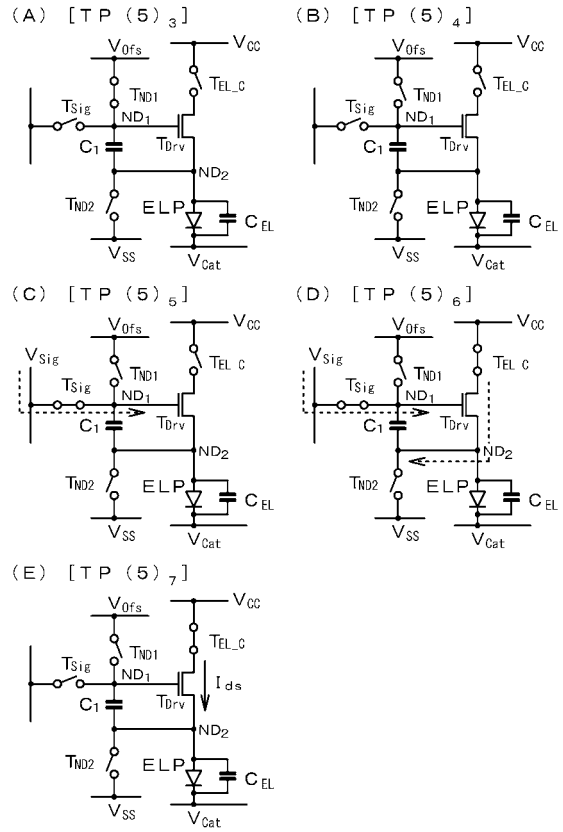
【図5】

【図5】 [実施例1]



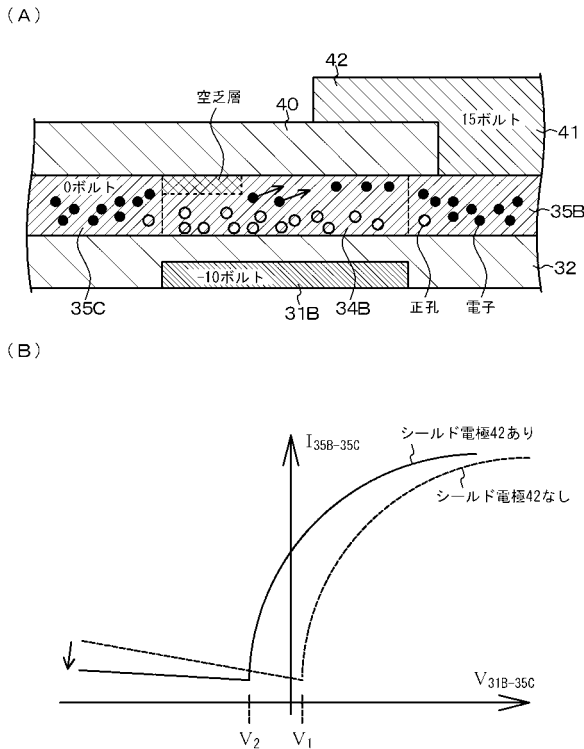
【図6】

【図6】 [実施例1]



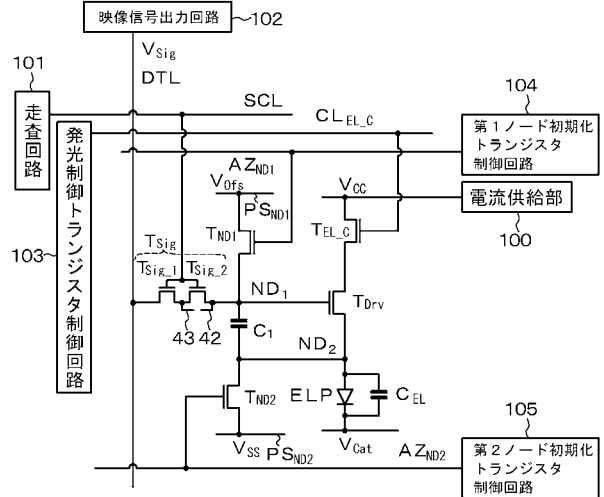
【図7】

【図7】 [実施例1]



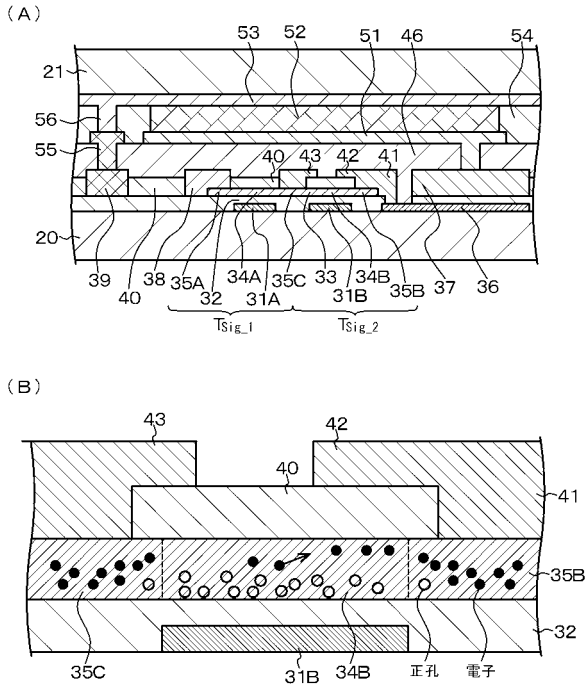
【図8】

【図8】 [実施例2]



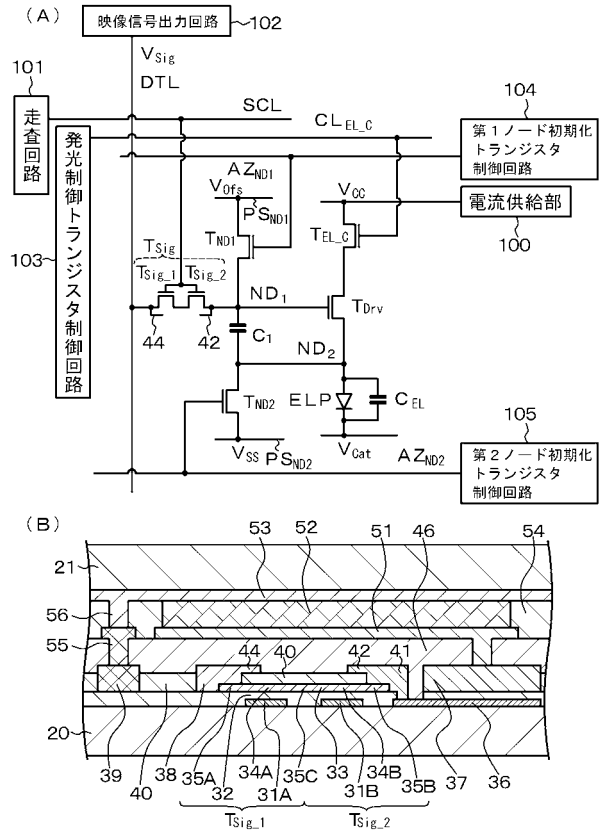
【図9】

【図9】 [実施例2]



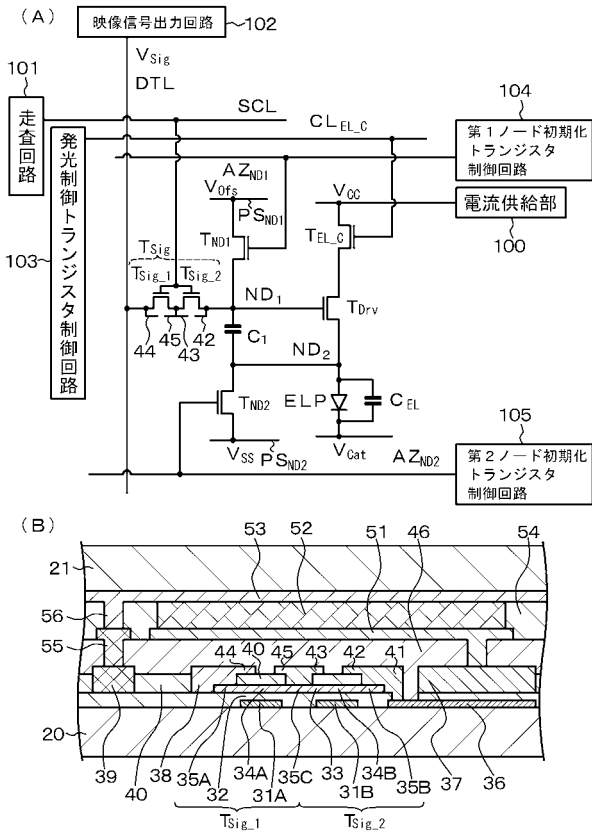
【図10】

【図10】 [実施例3]



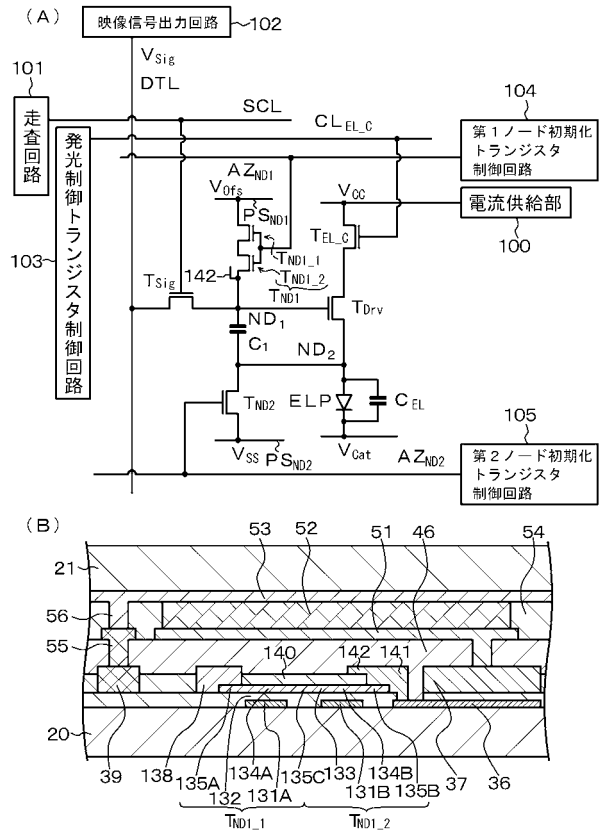
【図11】

【図11】 [実施例4]



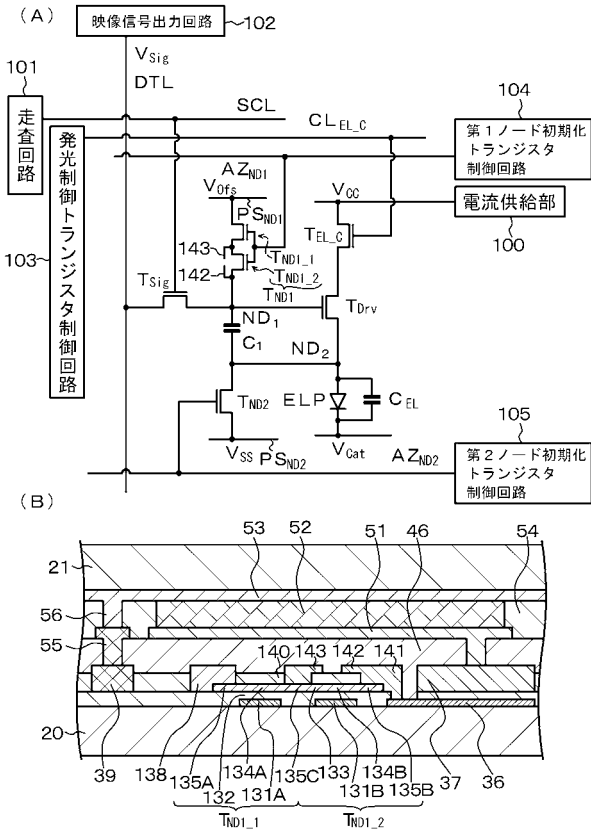
【図12】

【図12】 [実施例5]



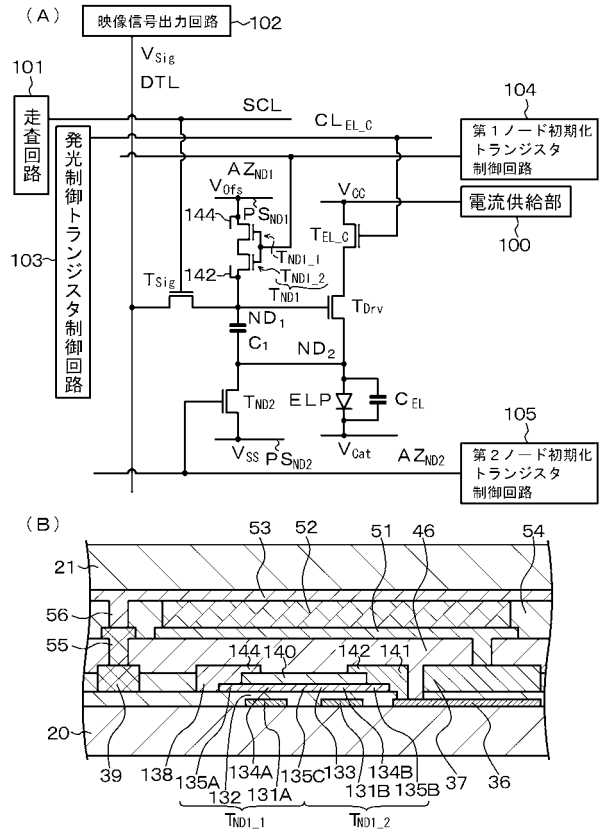
【 図 1 3 】

【 図 1 3 】 [実施例 6]



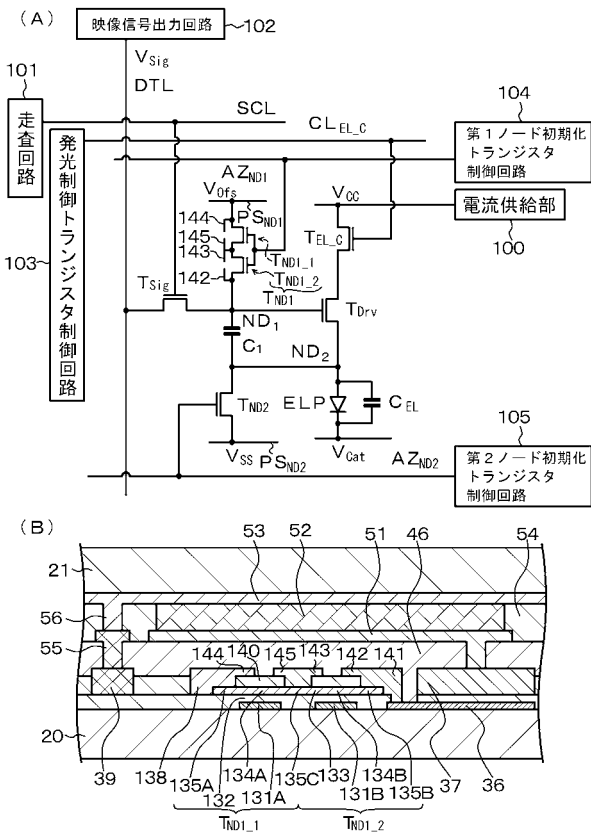
【 図 1 4 】

【 図 1 4 】 [実施例 7]



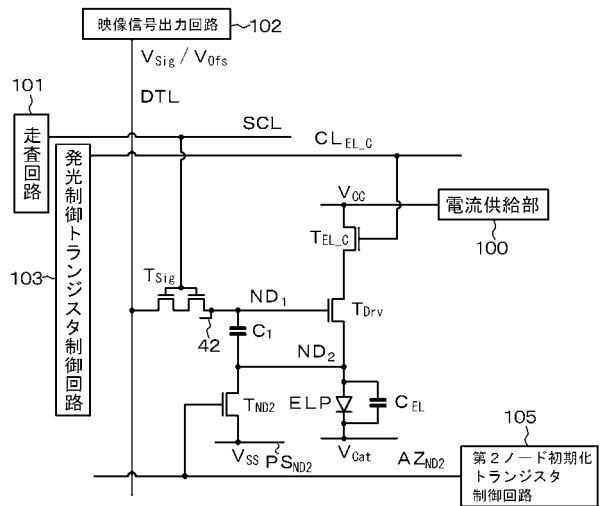
【 図 1 5 】

【 図 1 5 】 [実施例 8]



【 図 1 6 】

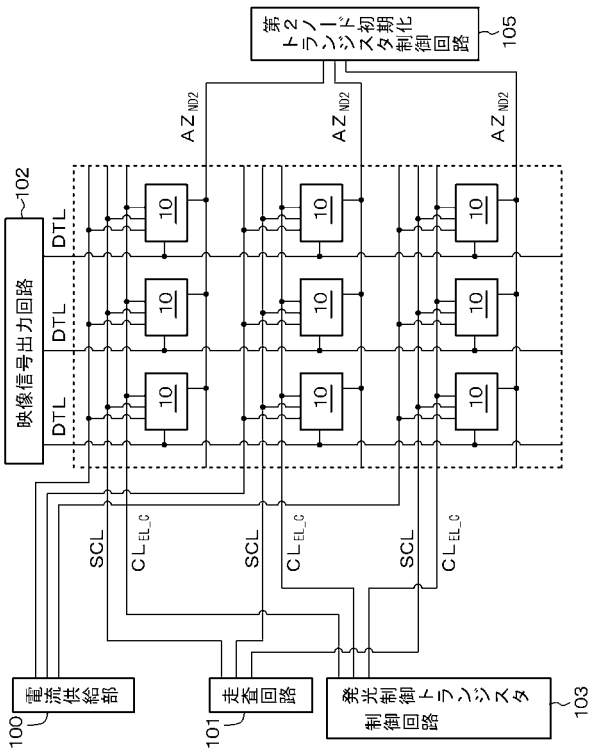
【 図 1 6 】 [4 T_r / 1 C 駆動回路]



- T_{Sig} : 映像信号書込みトランジスタ
- T_{Drv} : 駆動トランジスタ
- T_{EL,C} : 発光制御トランジスタ
- T_{ND2} : 第2ノード初期化トランジスタ
- C₁ : コンデンサ部
- ELP : 有機EL発光素子の発光部
- C_{EL} : 発光部の寄生容量
- DTL : データ線
- SCL : 走査線
- CL_{EL,C} : 発光制御トランジスタ制御線
- AZ_s : 第2ノード初期化トランジスタ制御線

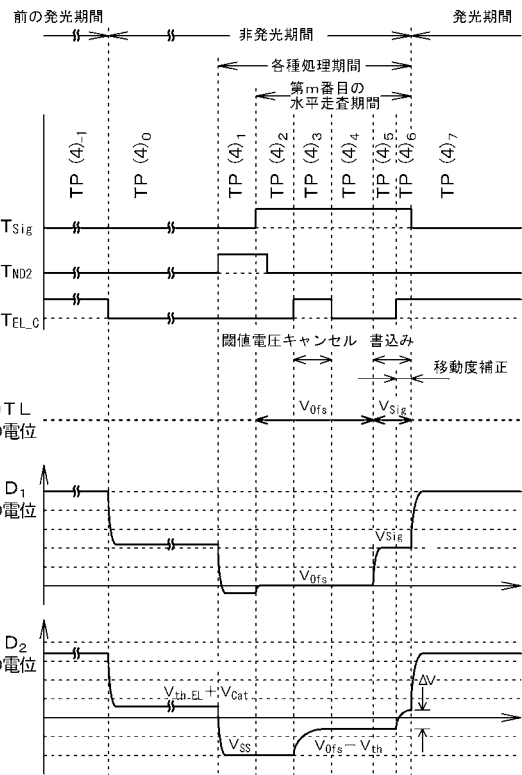
【 図 1 7 】

【 図 1 7 】 [4 T r / 1 C 駆動回路構成の表示装置]



【 図 1 8 】

【 図 1 8 】 [4 T r / 1 C 駆動回路]

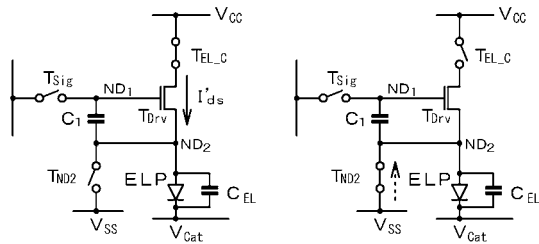


【 図 1 9 】

【 図 1 9 】 [4 T r / 1 C 駆動回路]

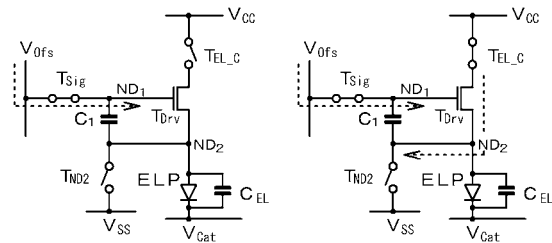
(A) [TP (4)₋₁]

(B) [TP (4)₁]



(C) [TP (4)₂]

(D) [TP (4)₃]

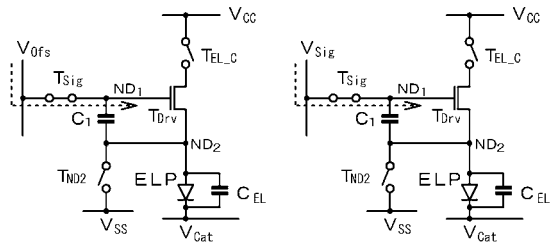


【 図 2 0 】

【 図 2 0 】 [4 T r / 1 C 駆動回路]

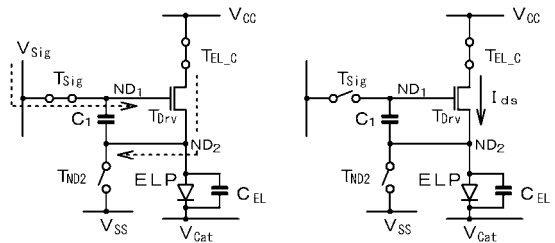
(A) [TP (4)₄]

(B) [TP (4)₅]



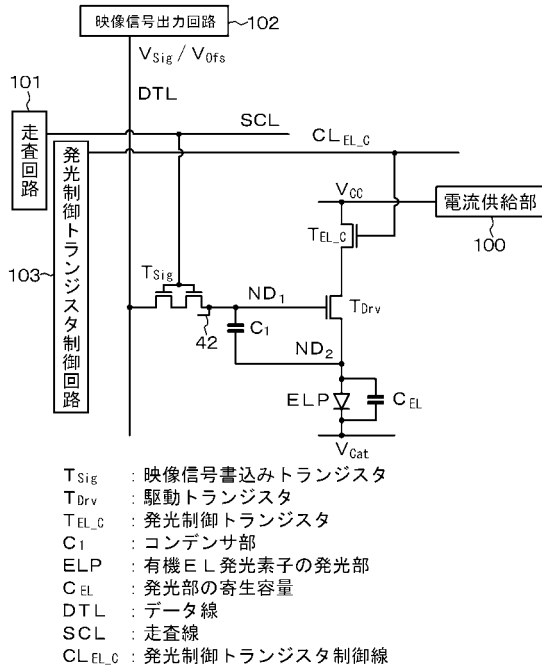
(C) [TP (4)₆]

(D) [TP (4)₇]



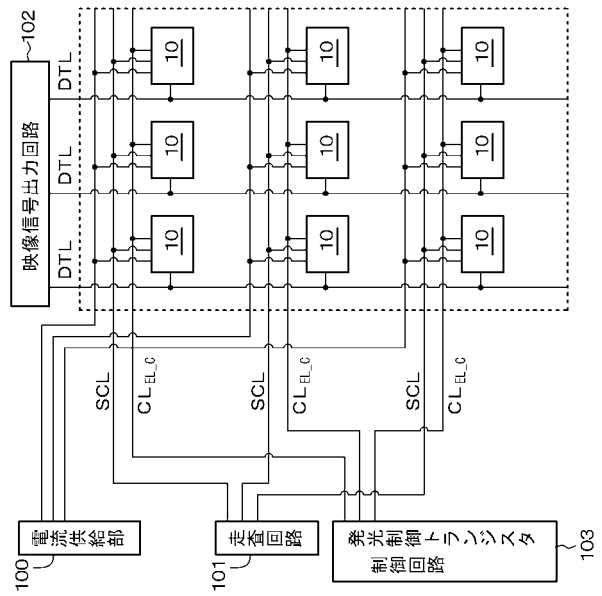
【図 2 1】

【図 2 1】 [3 Tr / 1 C 駆動回路]



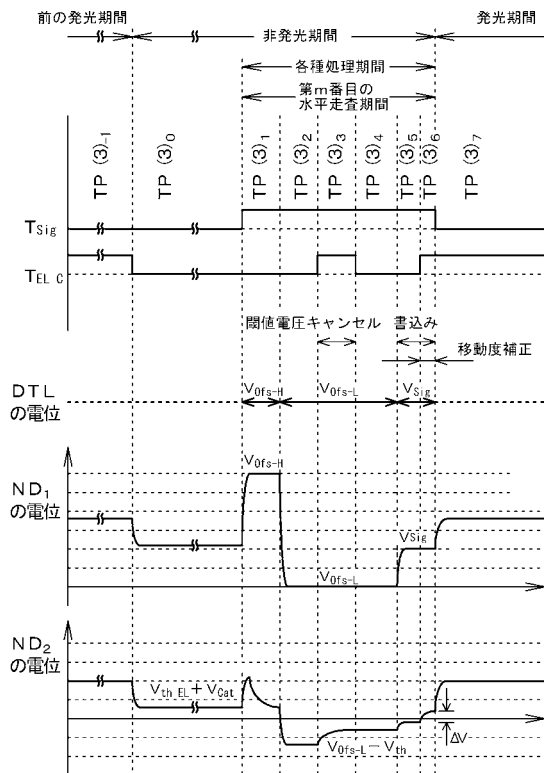
【図 2 2】

【図 2 2】 [3 Tr / 1 C 駆動回路構成の表示装置]



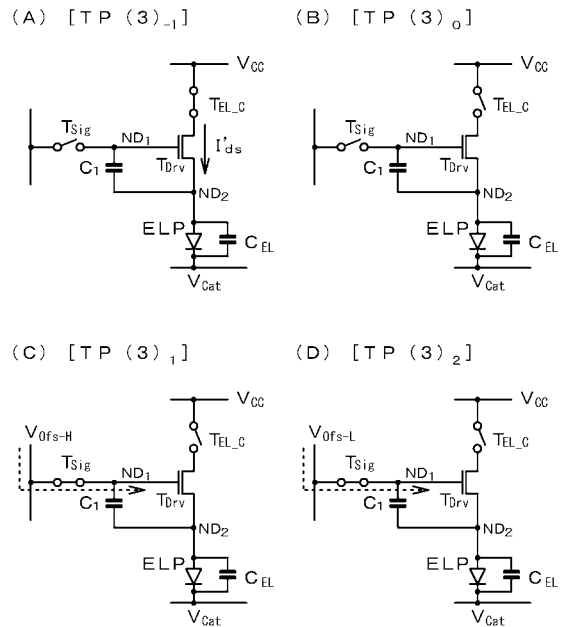
【図 2 3】

【図 2 3】 [3 Tr / 1 C 駆動回路]



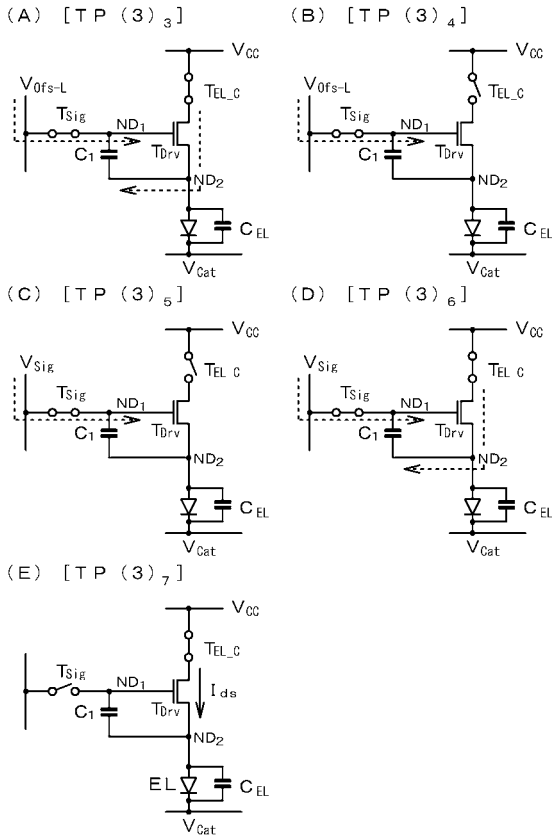
【図 2 4】

【図 2 4】 [3 Tr / 1 C 駆動回路]



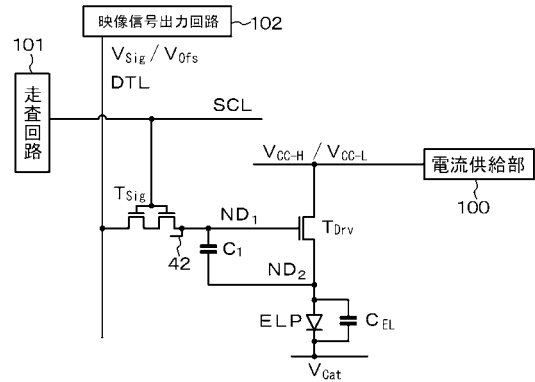
【図 2 5】

【図 2 5】 [3 Tr / 1 C 駆動回路]



【図 2 6】

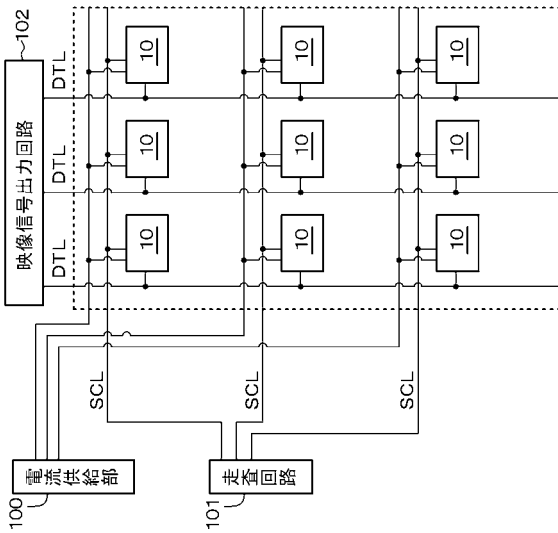
【図 2 6】 [2 Tr / 1 C 駆動回路]



- T_{sig} : 映像信号書き込みトランジスタ
- T_{drv} : 駆動トランジスタ
- C₁ : コンデンサ部
- ELP : 有機EL発光素子の発光部
- C_{EL} : 発光部の寄生容量
- DTL : データ線
- SCL : 走査線

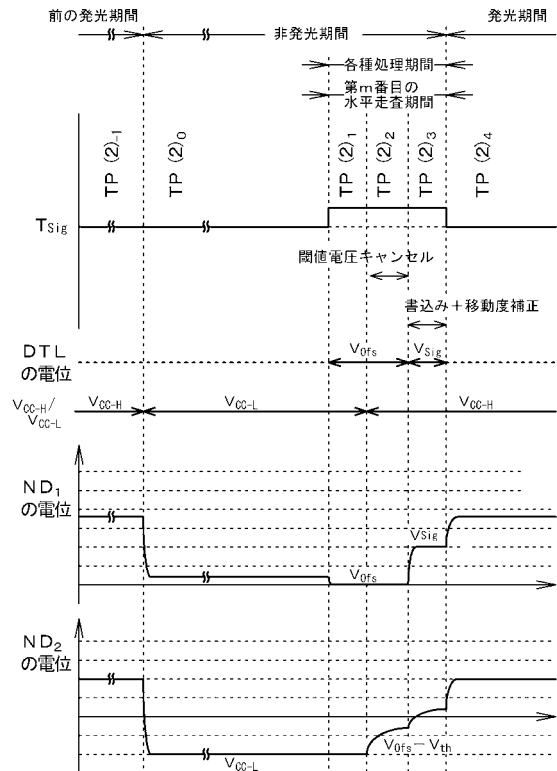
【図 2 7】

【図 2 7】 [2 Tr / 1 C 駆動回路構成の表示装置]



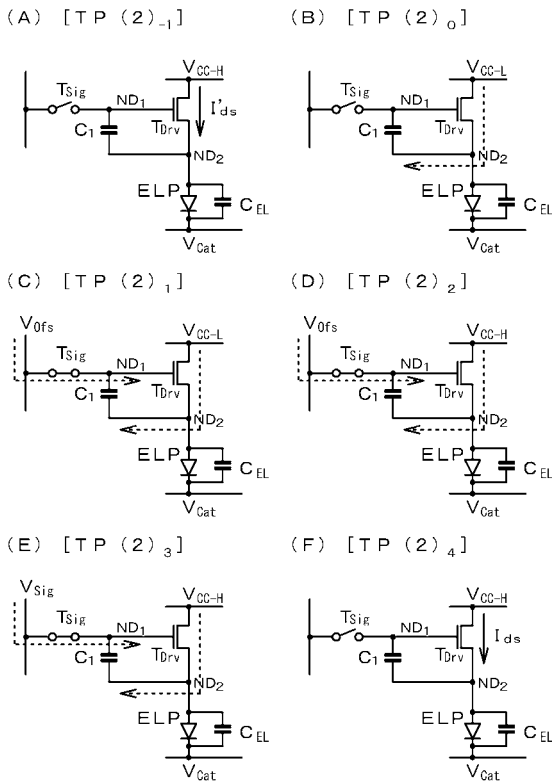
【図 2 8】

【図 2 8】 [2 Tr / 1 C 駆動回路]



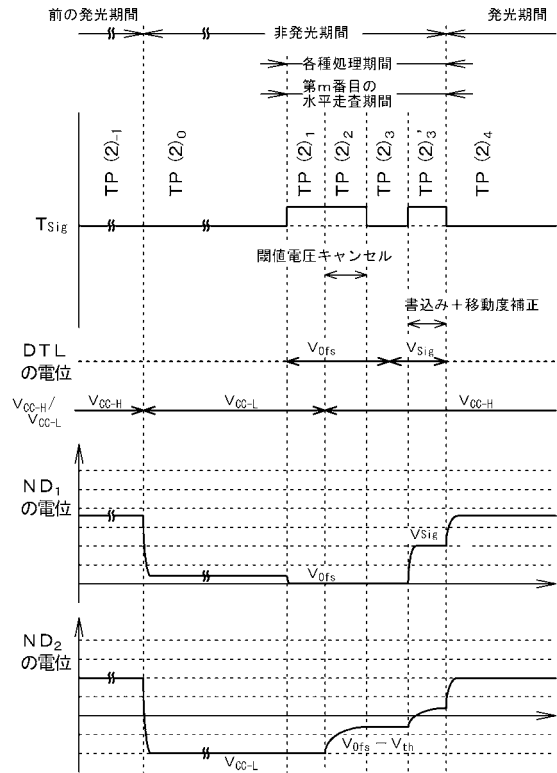
【図 29】

【図29】 [2Tr/1C駆動回路]



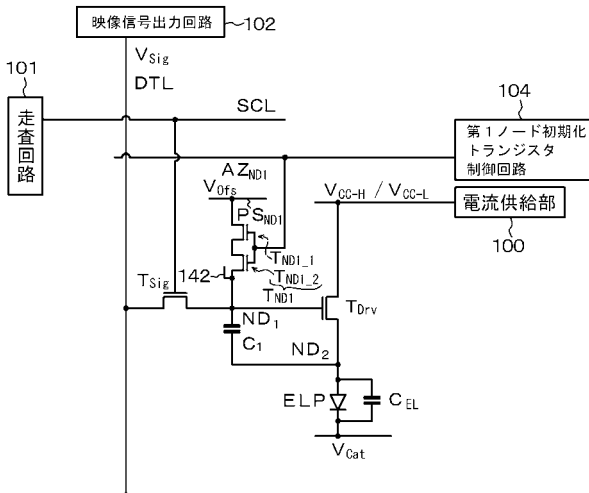
【図 30】

【図30】 [2Tr/1C駆動回路]



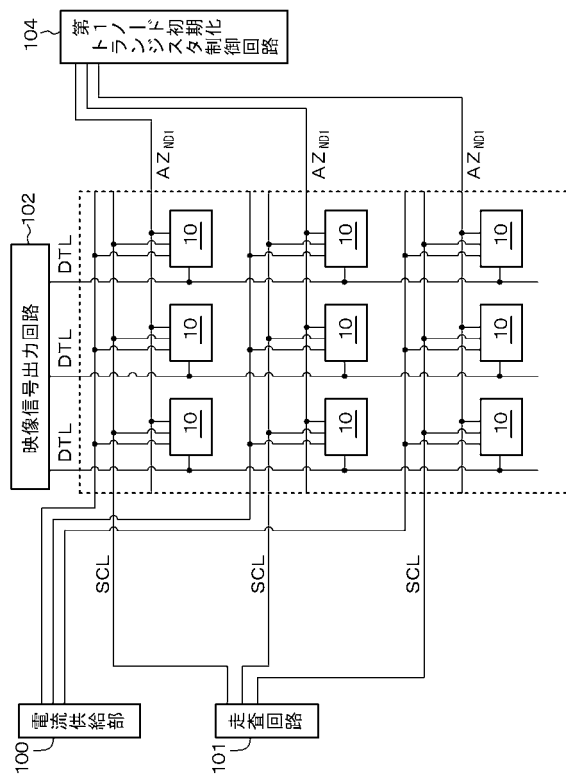
【図 31】

【図31】 [実施例10]



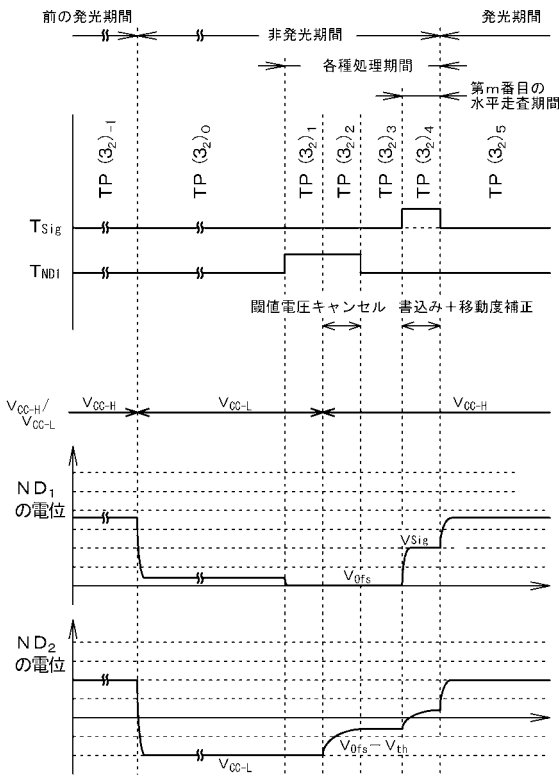
【図 32】

【図32】 [実施例10]



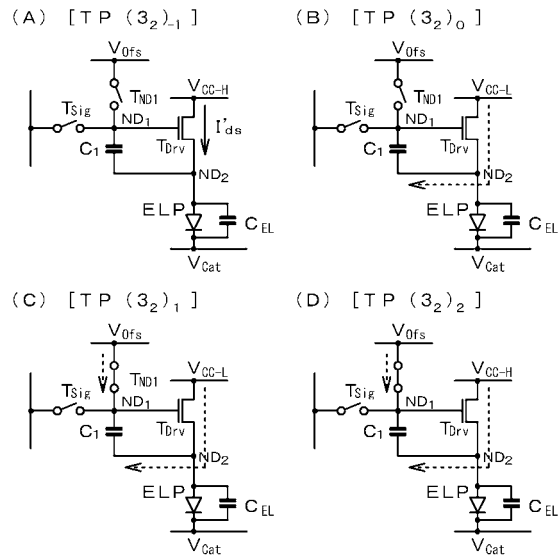
【図 3 3】

【図 3 3】 [第 2 の 3 Tr / 1 C 駆動回路]



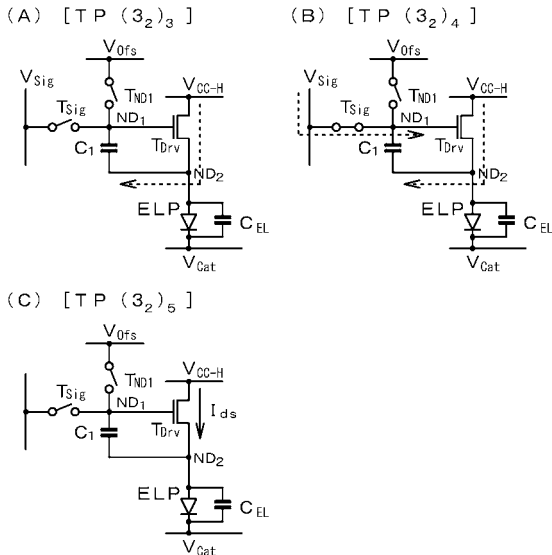
【図 3 4】

【図 3 4】 [第 2 の 3 Tr / 1 C 駆動回路]



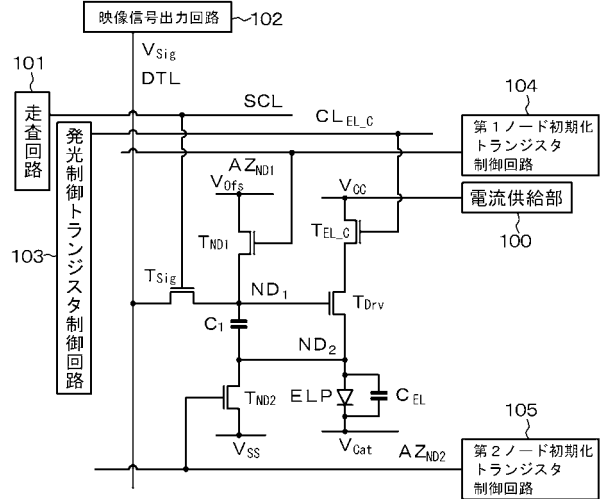
【図 3 5】

【図 3 5】 [第 2 の 3 Tr / 1 C 駆動回路]



【図 3 6】

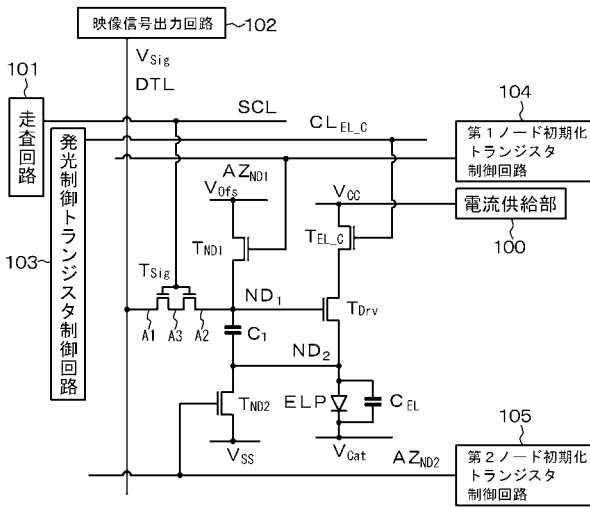
【図 3 6】 [5 Tr / 1 C 駆動回路]



- T_{Sig} : 映像信号書き込みトランジスタ
- T_{Drv} : 駆動トランジスタ
- T_{EL_C} : 発光制御トランジスタ
- T_{ND1} : 第 1 ノード初期化トランジスタ
- T_{ND2} : 第 2 ノード初期化トランジスタ
- C₁ : コンデンサ部
- ELP : 有機 EL 素子の発光部
- C_{EL} : 発光部の寄生容量
- DTL : データ線
- SCL : 走査線
- CL_{EL_C} : 発光制御トランジスタ制御線
- AZ_{ND1} : 第 1 ノード初期化トランジスタ制御線
- AZ_{ND2} : 第 2 ノード初期化トランジスタ制御線

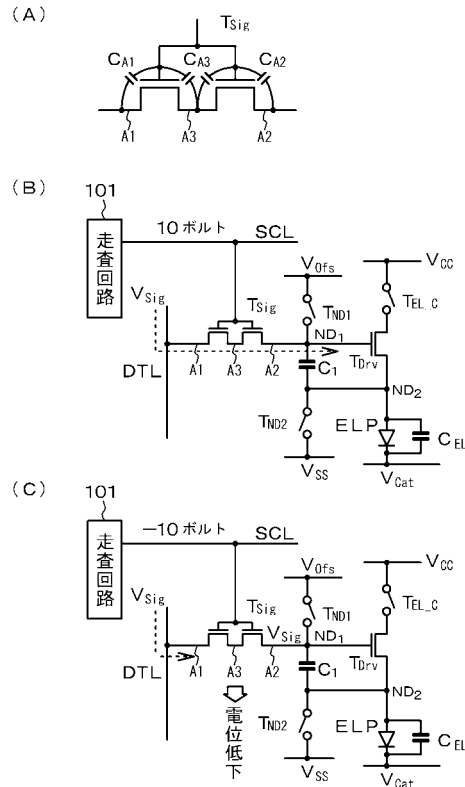
【図37】

【図37】 [5Tr/1C駆動回路]



【図38】

【図38】



【手続補正書】

【提出日】平成20年9月8日(2008.9.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

また、実施例5は第1ノード初期化トランジスタが第1のシールド電極を備える態様、実施例6は第1のシールド電極と第2のシールド電極を備える態様、実施例7は第1のシールド電極と第3のシールド電極を備える態様、実施例8は第1のシールド電極乃至第4のシールド電極を備える態様に関する。実施例10は、実施例5乃至実施例8の駆動回路を構成するトランジスタの種類を減じた変形例に関する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正の内容】

【0073】

第2ノード初期化トランジスタ T_{ND2} のオン/オフ動作は、第2ノード初期化トランジスタ T_{ND2} のゲート電極に接続された第2ノード初期化トランジスタ制御線 AZ_{ND2} によって制御される。第2ノード初期化電圧供給線 PS_{ND2} には、第2ノードを初期化するための電圧 V_{SS} が印加される。後述する実施例2乃至実施例8、実施例9における変形例1(4Tr/1C駆動回路)、実施例10においても同様である。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0146

【補正方法】変更

【補正の内容】

【0146】

図12の(B)に示すソース/ドレイン領域135A、135B、及び、共通領域135Cは、それぞれ、半導体層133に設けられた領域である。共通領域135Cは、第1トランジスタ T_{ND1_1} の他方のソース/ドレイン領域と第2トランジスタ T_{ND1_2} の一方のソース/ドレイン領域とを兼ねる共通領域である。第1トランジスタ T_{ND1_1} の一方のソース/ドレイン領域135Aは、第1ノード初期化電圧供給線 PS_{ND1} (図12の(B)においては、配線138に相当する)に接続されている。第2トランジスタ T_{ND1_2} の他方のソース/ドレイン領域135Bは、第1ノード ND_1 (図12の(B)においては、より具体的には、第1ノード ND_1 を構成するコンデンサ部 C_1 の他方の電極36)に接続されている。従って、第2トランジスタ T_{ND1_2} の他方のソース/ドレイン領域135Bも、実質的に第1ノード ND_1 を構成する。第1トランジスタ T_{ND1_1} の第1ゲート電極131A、及び、第2トランジスタ T_{ND1_2} の第2ゲート電極131Bは、第1ノード初期化トランジスタ制御線 AZ_{ND1} に接続されている。第1トランジスタ T_{ND1_1} の第1ゲート電極131Aは、第1チャンネル形成領域134Aの一方の面と絶縁層132を介して対向している。第2トランジスタ T_{ND1_2} の第2ゲート電極131Bは、第2チャンネル形成領域134Bの一方の面と絶縁層132を介して対向している。後述する実施例6乃至実施例8、実施例10においても同様である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0174

【補正方法】変更

【補正の内容】

【0174】

[変形例1: 4Tr/1C駆動回路]

4Tr/1C駆動回路の等価回路図を図16に示し、有機EL表示装置の概念図を図17に示し、駆動のタイミングチャートを模式的に図18に示し、各トランジスタのオン/オフ状態等を模式的に図19の(A)~(D)及び図20の(A)~(D)に示す。尚、図19の(A)~(D)及び図20の(A)~(D)においては、便宜上、駆動トランジスタを除く各トランジスタを、シングルゲート型であるかデュアルゲート型であるかに拘わらず、一つのスイッチで表現した。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0221

【補正方法】変更

【補正の内容】

【0221】

[期間-TP(3)₅]において、第1ノード ND_1 の電位が、 V_{Ofs-L} から V_{Sig} へと上昇する。このため、第1ノード ND_1 の電位変化により生ずる第2ノード ND_2 の電位変化を考慮すると、第2ノード ND_1 の電位も、若干、上昇する。即ち、第2ノード ND_2 の電位を、 $V_{Ofs-L} - V_{th+} \cdot (V_{Sig} - V_{Ofs-L})$ と表すことができる。但し、 $0 < \dots < 1$ であり、 \dots の値はコンデンサ部 C_1 、発光部ELPの寄生容量 C_{EL} の値等により定まる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0279

【補正方法】変更

【補正の内容】

【 0 2 7 9 】

【 図 1 】 図 1 は、駆動回路の等価回路図である。

【 図 2 】 図 2 は、有機エレクトロルミネッセンス表示装置の概念図である。

【 図 3 】 図 3 は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【 図 4 】 図 4 は、駆動回路における駆動のタイミングチャートを模式的に示す図である。

【 図 5 】 図 5 の (A) ~ (D) は、駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【 図 6 】 図 6 の (A) ~ (E) は、図 5 の (D) に引き続き、駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【 図 7 】 図 7 の (A) は、[期間 - $T_P(5)_7$] において、映像信号書込みトランジスタがオフ状態にあるときの、第 2 チャンネル形成領域付近の状況を模式的に示した図である。図 7 の (B) は、シールド電極を付加することによる電流 - 電圧特性の変化を模式的に示した図である。

【 図 8 】 図 8 は、駆動回路の等価回路図である。

【 図 9 】 図 9 の (A) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。図 9 の (B) は、図 7 の (A) に対応する図であり、[期間 - $T_P(5)_7$] において、映像信号書込みトランジスタ T_{sig} がオフ状態にあるときの、第 2 チャンネル形成領域付近の状況を模式的に示した図である。

【 図 10 】 図 10 の (A) は、駆動回路の等価回路図である。図 10 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【 図 11 】 図 11 の (A) は、駆動回路の等価回路図である。図 11 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【 図 12 】 図 12 の (A) は、駆動回路の等価回路図である。図 12 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【 図 13 】 図 13 の (A) は、駆動回路の等価回路図である。図 13 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【 図 14 】 図 14 の (A) は、駆動回路の等価回路図である。図 14 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【 図 15 】 図 15 の (A) は、駆動回路の等価回路図である。図 15 の (B) は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【 図 16 】 図 16 は、4 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の等価回路図である。

【 図 17 】 図 17 は、有機エレクトロルミネッセンス表示装置の概念図である。

【 図 18 】 図 18 は、4 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の駆動のタイミングチャートを模式的に示す図である。

【 図 19 】 図 19 の (A) ~ (D) は、4 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【 図 20 】 図 20 の (A) ~ (D) は、図 19 の (D) に引き続き、4 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【 図 21 】 図 21 は、3 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の等価回路図である。

【 図 22 】 図 22 は、有機エレクトロルミネッセンス表示装置の概念図である。

【 図 23 】 図 23 は、3 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の駆動のタイミングチャートを模式的に示す図である。

【 図 24 】 図 24 の (A) ~ (D) は、3 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 2 5】図 2 5 の (A) ~ (E) は、図 2 4 の (D) に引き続き、3 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 2 6】図 2 6 は、2 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の等価回路図である。

【図 2 7】図 2 7 は、有機エレクトロルミネッセンス表示装置の概念図である。

【図 2 8】図 2 8 は、2 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の駆動のタイミングチャートを模式的に示す図である。

【図 2 9】図 2 9 の (A) ~ (F) は、2 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 3 0】図 3 0 は、2 トランジスタ / 1 コンデンサ部から基本的に構成された駆動回路の、図 2 8 に示したとは異なる駆動のタイミングチャートを模式的に示す図である。

【図 3 1】図 3 1 は、駆動回路の等価回路図である。

【図 3 2】図 3 2 は、有機エレクトロルミネッセンス表示装置の概念図である。

【図 3 3】図 3 3 は、駆動回路における駆動のタイミングチャートを模式的に示す図である。

【図 3 4】図 3 4 の (A) ~ (D) は、駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 3 5】図 3 5 の (A) ~ (C) は、図 3 4 の (D) に引き続き、駆動回路を構成する各トランジスタのオン / オフ状態等を模式的に示す図である。

【図 3 6】図 3 6 は、従来の 5 Tr / 1 C 駆動回路の等価回路図である。

【図 3 7】図 3 7 は、映像信号書込みトランジスタ T_{sig} をデュアルゲート構造とした駆動回路の等価回路図である。

【手続補正 7】

【補正対象書類名】図面

【補正対象項目名】図 6

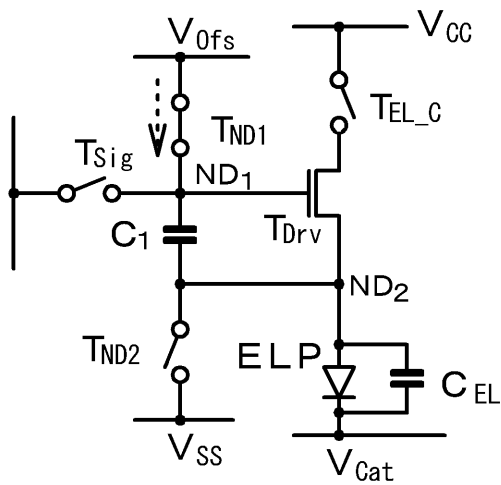
【補正方法】変更

【補正の内容】

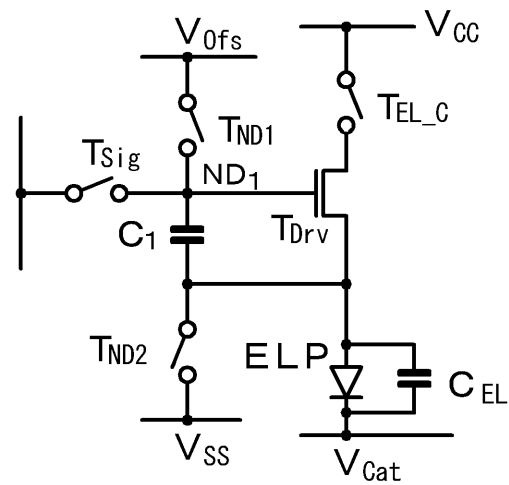
【 図 6 】

【 図 6 】 [実施例 1]

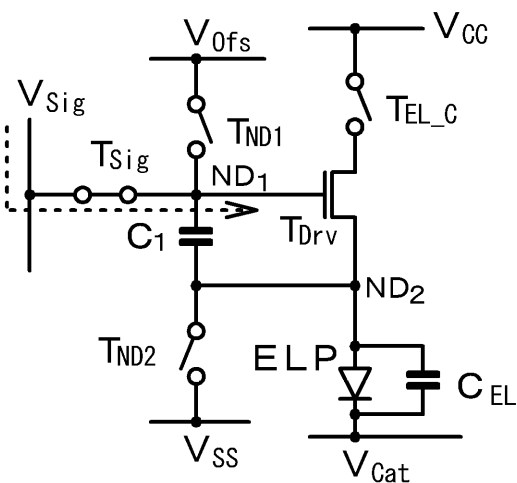
(A) [TP (5) ₃]



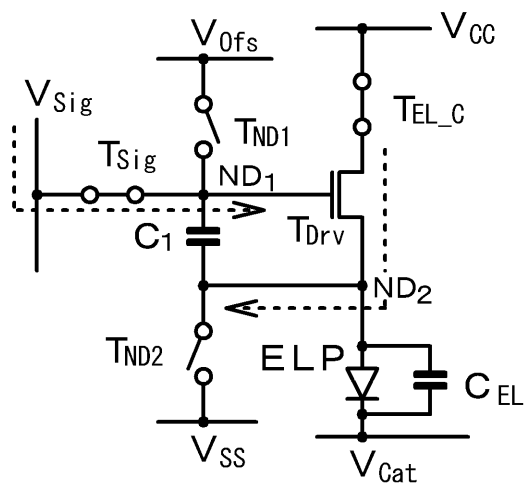
(B) [TP (5) ₄]



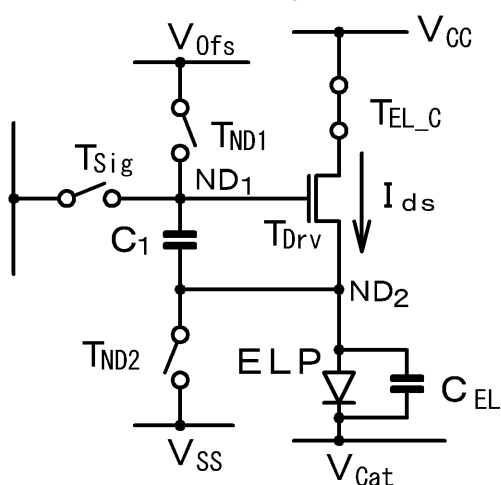
(C) [TP (5) ₅]



(D) [TP (5) ₆]



(E) [TP (5) ₇]



【 手続補正 8 】

【 補正対象書類名 】 図面

【 補正対象項目名 】 図 2 5

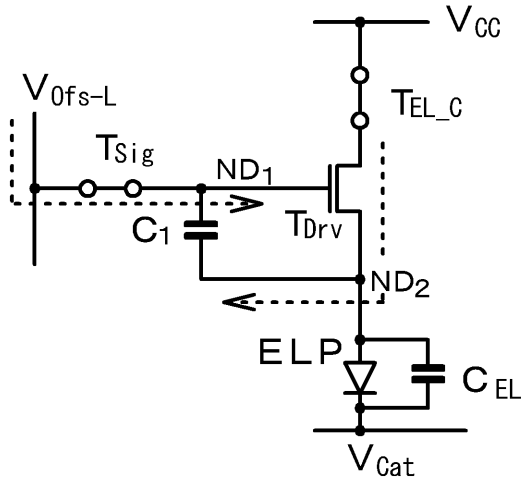
【補正方法】変更

【補正の内容】

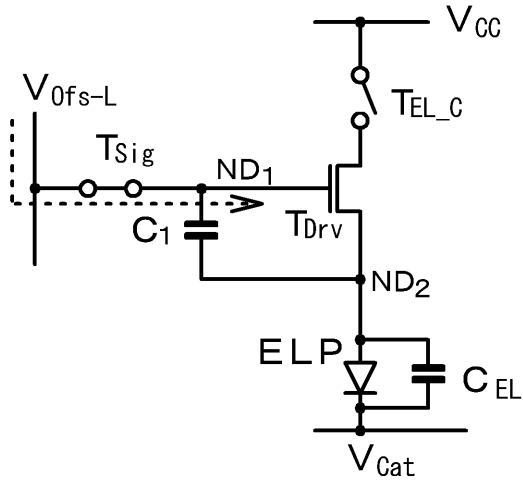
【図 2 5】

【図 2 5】 [3 Tr / 1 C 駆動回路]

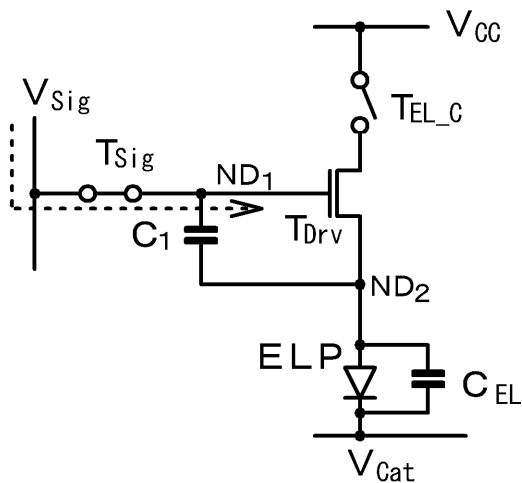
(A) [TP (3) ₃]



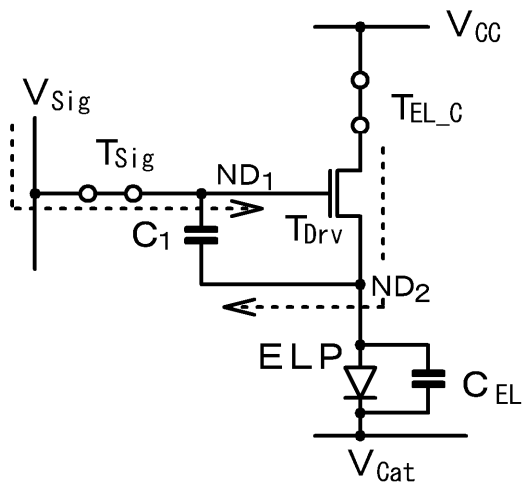
(B) [TP (3) ₄]



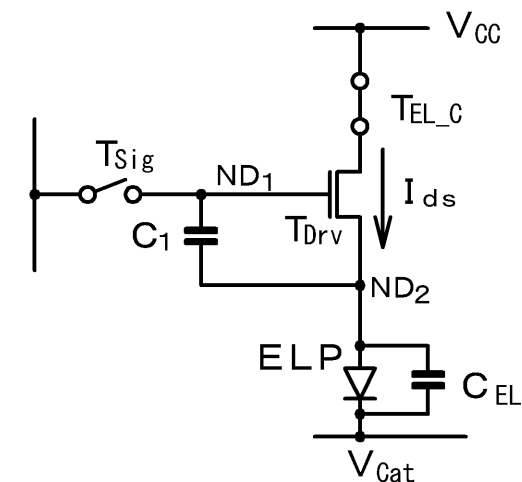
(C) [TP (3) ₅]



(D) [TP (3) ₆]



(E) [TP (3) ₇]



【手続補正書】

【提出日】平成20年9月29日(2008.9.29)

【手続補正1】

【補正対象書類名】手続補正書

【補正対象項目名】手続補正6

【補正方法】変更

【補正の内容】

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0279

【補正方法】変更

【補正の内容】

【0279】

【図1】図1は、駆動回路の等価回路図である。

【図2】図2は、有機エレクトロルミネッセンス表示装置の概念図である。

【図3】図3は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図4】図4は、駆動回路における駆動のタイミングチャートを模式的に示す図である。

【図5】図5の(A)～(D)は、駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

【図6】図6の(A)～(E)は、図5の(D)に引き続き、駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

【図7】図7の(A)は、[期間-TP(5)₇]において、映像信号書込みトランジスタがオフ状態にあるときの、第2チャンネル形成領域付近の状況を模式的に示した図である。図7の(B)は、シールド電極を付加することによる電流-電圧特性の変化を模式的に示した図である。

【図8】図8は、駆動回路の等価回路図である。

【図9】図9の(A)は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。図9の(B)は、図7の(A)に対応する図であり、[期間-TP(5)₇]において、映像信号書込みトランジスタ T_{sig} がオフ状態にあるときの、第2チャンネル形成領域付近の状況を模式的に示した図である。

【図10】図10の(A)は、駆動回路の等価回路図である。図10の(B)は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図11】図11の(A)は、駆動回路の等価回路図である。図11の(B)は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図12】図12の(A)は、駆動回路の等価回路図である。図12の(B)は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図13】図13の(A)は、駆動回路の等価回路図である。図13の(B)は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図14】図14の(A)は、駆動回路の等価回路図である。図14の(B)は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図15】図15の(A)は、駆動回路の等価回路図である。図15の(B)は、有機エレクトロルミネッセンス素子の一部分の模式的な一部断面図である。

【図16】図16は、4トランジスタ/1コンデンサ部から基本的に構成された駆動回路の等価回路図である。

【図17】図17は、有機エレクトロルミネッセンス表示装置の概念図である。

【図18】図18は、4トランジスタ/1コンデンサ部から基本的に構成された駆動回路の駆動のタイミングチャートを模式的に示す図である。

【図19】図19の(A)～(D)は、4トランジスタ/1コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

。

【図20】図20の(A)～(D)は、図19の(D)に引き続き、4トランジスタ/1コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

【図21】図21は、3トランジスタ/1コンデンサ部から基本的に構成された駆動回路の等価回路図である。

【図22】図22は、有機エレクトロルミネッセンス表示装置の概念図である。

【図23】図23は、3トランジスタ/1コンデンサ部から基本的に構成された駆動回路の駆動のタイミングチャートを模式的に示す図である。

【図24】図24の(A)～(D)は、3トランジスタ/1コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

【図25】図25の(A)～(E)は、図24の(D)に引き続き、3トランジスタ/1コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

【図26】図26は、2トランジスタ/1コンデンサ部から基本的に構成された駆動回路の等価回路図である。

【図27】図27は、有機エレクトロルミネッセンス表示装置の概念図である。

【図28】図28は、2トランジスタ/1コンデンサ部から基本的に構成された駆動回路の駆動のタイミングチャートを模式的に示す図である。

【図29】図29の(A)～(F)は、2トランジスタ/1コンデンサ部から基本的に構成された駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

【図30】図30は、2トランジスタ/1コンデンサ部から基本的に構成された駆動回路の、図28に示したとは異なる駆動のタイミングチャートを模式的に示す図である。

【図31】図31は、駆動回路の等価回路図である。

【図32】図32は、有機エレクトロルミネッセンス表示装置の概念図である。

【図33】図33は、駆動回路における駆動のタイミングチャートを模式的に示す図である。

【図34】図34の(A)～(D)は、駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

【図35】図35の(A)～(C)は、図34の(D)に引き続き、駆動回路を構成する各トランジスタのオン/オフ状態等を模式的に示す図である。

【図36】図36は、従来の5Tr/1C駆動回路の等価回路図である。

【図37】図37は、映像信号書込みトランジスタ T_{sig} をデュアルゲート構造とした駆動回路の等価回路図である。

【図38】図38の(A)は、デュアルゲート構造の映像信号書込みトランジスタの寄生容量を模式的に示した図である。図38の(B)は、駆動トランジスタに対する書込み処理を行うときの、映像信号書込みトランジスタ付近の電位を模式的に示した図である。図38の(C)は、映像信号書込みトランジスタ T_{sig} をオフ状態としたときの、映像信号書込みトランジスタ付近の電位を模式的に示した図である。

フロントページの続き

(72)発明者 山下 淳一

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 3K107 AA01 BB01 CC29 EE03 HH04 HH05

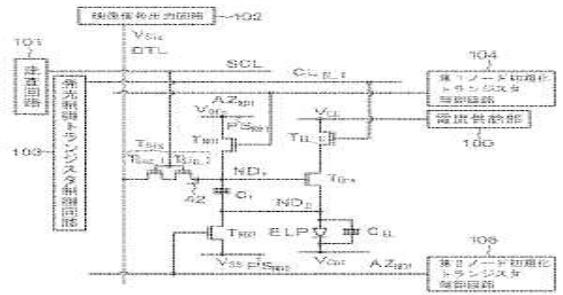
5C080 AA06 BB05 EE29 JJ02 JJ03 JJ04 JJ05 JJ06

专利名称(译)	有机电致发光器件和有机电致发光显示器件		
公开(公告)号	JP2009014933A	公开(公告)日	2009-01-22
申请号	JP2007175540	申请日	2007-07-03
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	山本哲郎 内野勝秀 山下淳一		
发明人	山本 哲郎 内野 勝秀 山下 淳一		
IPC分类号	G09G3/30 H01L51/50 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/0256 G09G2320/0233 G09G2320/0238 G09G2320/043 H01L27/3262		
FI分类号	G09G3/30.J H05B33/14.A G09G3/20.624.B G09F9/30.338 G09F9/30.365 G09F9/30.365.Z G09G3 /3233 G09G3/3266 G09G3/3275 G09G3/3291 H01L27/32		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC29 3K107/EE03 3K107/HH04 3K107/HH05 5C080/AA06 5C080 /BB05 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA03 5C094 /AA25 5C094/AA53 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/DB04 5C094/EA10 5C094/FA01 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB23 5C380/AB31 5C380/AB34 5C380 /BA05 5C380/BA10 5C380/BA20 5C380/BA38 5C380/BA40 5C380/BB02 5C380/BB05 5C380/BB21 5C380/BB22 5C380/BE03 5C380/BE05 5C380/CA08 5C380/CA09 5C380/CA12 5C380/CA29 5C380 /CA54 5C380/CB01 5C380/CB17 5C380/CB20 5C380/CB26 5C380/CB31 5C380/CC03 5C380/CC04 5C380/CC05 5C380/CC06 5C380/CC07 5C380/CC27 5C380/CC33 5C380/CC34 5C380/CC39 5C380 /CC41 5C380/CC61 5C380/CC62 5C380/CC63 5C380/CC64 5C380/CC65 5C380/CC71 5C380/CC72 5C380/CC77 5C380/CD023 5C380/CD024 5C380/CD025 5C380/CD026 5C380/CE04 5C380/CE20 5C380/DA02 5C380/DA06 5C380/DA32 5C380/DA42 5C380/DA47 5C380/HA03 5C380/HA05 5C380 /HA08 5C380/HA11 5C380/HA12		
代理人(译)	山本隆久 吉井正明		
其他公开文献	JP4479755B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种有机电致发光器件，其能够有效地抑制泄漏电流而不损害具有双栅结构的晶体管的效果。有机EL元件包括驱动电路和发光单元ELP，并且该驱动电路包括驱动晶体管T驱动，视频信号写入晶体管T信号和电容器单元C1。在由晶体管T Sig_1和第二晶体管T信号_2组成的双栅极型视频信号写入晶体管T信号中，第二晶体管T信号_2是第二沟道形成区域34B的另一表面。并且，经由绝缘层40彼此面对的屏蔽电极42和屏蔽电极42连接至第二晶体管T的另一个源/漏区35信号_2。[选型图]图1

【図 1】 【実施例 1】



- T1n1 : 読出し用書き込みトランジスタ
- T1n2 : 読出しトランジスタ
- T1L1 : 読出し用トランジスタ
- T1M1 : 第1ワード初期化トランジスタ
- T1M2 : 第2ワード初期化トランジスタ
- C1 : コンデンサ
- ELP : 有機EL素子の発光部
- C1L : 発光部の寄生容量
- DTL : データ線
- SCL : 走査線
- C1L1 : 発光用トランジスタ制御線
- AZn1 : 第1ワード初期化トランジスタ制御線
- AZn2 : 第2ワード初期化トランジスタ制御線