

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-176287

(P2008-176287A)

(43) 公開日 平成20年7月31日(2008.7.31)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	
	G09G 3/20 611H	
	G09G 3/20 670J	
審査請求 未請求 請求項の数 12 O L (全 31 頁) 最終頁に続く		

(21) 出願番号 特願2007-292109 (P2007-292109)
 (22) 出願日 平成19年11月9日 (2007.11.9)
 (31) 優先権主張番号 特願2006-342578 (P2006-342578)
 (32) 優先日 平成18年12月20日 (2006.12.20)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100065385
 弁理士 山下 穰平
 (74) 代理人 100130029
 弁理士 永井 道雄
 (72) 発明者 安部 勝美
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 Fターム(参考) 3K107 AA01 BB01 CC21 CC33 CC35
 EE04 HH04 HH05
 5C080 AA06 BB05 DD05 DD29 EE29
 JJ03 JJ04

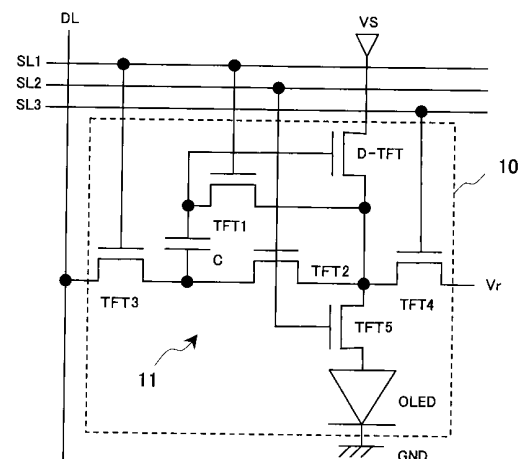
(54) 【発明の名称】 発光表示デバイス

(57) 【要約】

【課題】駆動用トランジスタの特性ばらつきや電氣的ストレスによる特性シフトの影響を抑え、発光素子に供給する電流を制御する駆動回路を有する発光表示デバイスを提供する。

【解決手段】発光表示デバイスは、複数の画素10を備える。画素10は、供給される電流で決まる輝度で発光する有機EL素子(OLED)と、データ線からの制御電圧に基づいてOLEDに電流を供給する駆動回路11とを備える。駆動回路11は、OLEDを駆動する駆動用トランジスタ(D-TFT)と、容量素子Cと、複数のスイッチ素子とを備える。D-TFTは、ソース端子がOLEDのアノード端子と接続される。容量素子Cと複数のスイッチ素子は、駆動回路11がOLEDへ電流を供給する時に、D-TFTのゲート端子とソース端子との電圧差を、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧とデータ線から供給される制御電圧とから決定される電圧と、駆動用トランジスタのしきい値電圧とを加えた電圧とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の画素を備える発光表示デバイスであって、

前記画素は、アノード端子及びカソード端子を有し、かつ供給される電流で決まる輝度で発光する発光素子と、データ線から供給される制御電圧に基づいて前記発光素子に電流を供給する駆動回路と、を備え、

前記駆動回路は、前記発光素子を駆動し、かつゲート端子、ソース端子、及びドレイン端子を有する駆動用トランジスタと、容量素子と、複数のスイッチ素子と、を備え、

前記駆動用トランジスタは、前記ソース端子が直接あるいは前記スイッチ素子を経由して前記発光素子のアノード端子と接続され、

10

前記駆動回路が前記発光素子へ電流を供給する時に、

前記容量素子の一端は直接あるいは前記スイッチ素子を経由して前記駆動用トランジスタのゲート端子に接続され、前記容量素子の他の一端は直接あるいは前記スイッチ素子を経由して前記駆動用トランジスタのソース端子に接続され、

前記容量素子と前記複数のスイッチ素子は、

前記駆動用トランジスタのゲート端子とソース端子との電圧差を、

前記駆動用トランジスタの電流設定期間におけるドレイン端子の電圧と前記データ線から供給される制御電圧とから決定される電圧と、

前記駆動用トランジスタのしきい値電圧と、

を加えた電圧とすることを特徴とする発光表示デバイス。

20

【請求項 2】

前記容量素子は、一端が前記駆動用トランジスタのゲート端子と接続され、

前記複数のスイッチ素子は、

前記駆動用トランジスタのゲート端子とそのソース端子との間を導通又は非導通とする第一のスイッチ素子と、

前記駆動用トランジスタのソース端子と前記容量素子の他の一端との間を導通又は非導通とする第二のスイッチ素子と、

前記データ線と前記容量素子の他の一端との間を導通又は非導通とする第三のスイッチ素子と、を備えていることを特徴とする請求項 1 に記載の発光表示デバイス。

30

【請求項 3】

前記駆動用トランジスタの電流設定期間におけるドレイン端子の電圧と前記データ線から供給される制御電圧とから決定される電圧は、前記駆動用トランジスタの電流設定期間におけるドレイン端子の電圧から前記データ線より供給される制御電圧を減算した電圧であることを特徴とする請求項 2 に記載の発光表示デバイス。

【請求項 4】

前記駆動回路は、前記駆動用トランジスタのソース端子と参照電圧線との間又は前記駆動用トランジスタのソース端子とそのドレイン端子との間を導通又は非導通とする第四のスイッチをさらに備えることを特徴とする請求項 2 に記載の発光表示デバイス。

【請求項 5】

前記駆動回路は、前記駆動用トランジスタのソース端子と前記発光素子の一端との間を導通又は非導通とする第五のスイッチ素子をさらに備えることを特徴とする請求項 4 に記載の発光表示デバイス。

40

【請求項 6】

前記容量素子は、一端が前記駆動用トランジスタのソース端子と接続され、

前記複数のスイッチ素子は、

一端が前記駆動用トランジスタのゲート端子と接続され、他の一端が前記駆動用トランジスタのドレイン端子と接続される第一のスイッチ素子と、

一端が前記駆動用トランジスタのゲート端子と接続され、他の一端が前記容量素子の他の一端と接続されている第二のスイッチ素子と、

一端が第二のスイッチの他の一端と接続され、他の一端が前記データ線と接続されてい

50

る第三のスイッチ素子と、を備えていることを特徴とする請求項 1 に記載の発光表示デバイス。

【請求項 7】

前記駆動用トランジスタの電流設定期間におけるドレイン端子の電圧と前記データ線から供給される制御電圧とから決定される電圧は、前記データ線より供給される制御電圧から前記駆動用トランジスタの電流設定期間におけるドレイン端子の電圧を減算した電圧であることを特徴とする請求項 6 に記載の発光表示デバイス。

【請求項 8】

一端が前記駆動用トランジスタのソース端子と接続され、他の一端が前記発光素子の一端と接続されている第四のスイッチ素子をさらに備えていることを特徴とする請求項 6 に記載の発光表示デバイス。

10

【請求項 9】

一端が前記駆動用トランジスタのソース端子と接続され、他の一端が電源線と接続されている第五のスイッチ素子をさらに備えていることを特徴とする請求項 6 に記載の発光表示デバイス。

【請求項 10】

前記駆動用トランジスタのドレイン端子の電圧を変動する手段をさらに備えることを特徴とする請求項 1 乃至 9 のいずれか一項に記載の発光表示デバイス。

【請求項 11】

前記発光素子が、有機 EL 素子であることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の発光表示デバイス。

20

【請求項 12】

前記駆動回路内の n 型薄膜トランジスタが、キャリア密度が $10^{18} \text{ (cm}^{-3}\text{)}$ 以下である金属酸化物アモルファス半導体膜を n 型薄膜トランジスタのチャネル層として用い、移動度が $1 \text{ (cm}^2/\text{Vs)}$ 以上、かつ、オンオフ比が 10^6 以上であることを特徴とする請求項 1 乃至 11 のいずれか一項に記載の発光表示デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、発光表示デバイスに係り、特に発光素子として有機エレクトロルミネッセンス (Electro-Luminescence、以下 EL) 素子を用いた発光表示デバイスに関する。より詳細には、本発明は、有機 EL 素子とこれに電流を供給するための駆動回路とで構成される画素をマトリックス状に備えた発光表示デバイスに関する。

30

【背景技術】

【0002】

従来、有機 EL 素子と駆動回路で構成される画素をマトリックス状に備えた発光表示デバイスとして、アクティブマトリックス (Active-Matrix、以下 AM) 型有機 EL ディスプレイが検討されている。この一例を図 8 及び図 9 に示す。

【0003】

図 8 及び図 9 は、AM 型有機 EL ディスプレイの画素内の構成及びその画素配置をそれぞれ示す。図 8 に示すように、画素 10 には、有機 EL 素子 OLED と、そのアノード端子に接続されたアクティブ素子を有する駆動回路 11 とが設けられている。駆動回路 11 は、データ線 DL と、走査線 SL とにそれぞれ接続される。図の例では、走査線 SL が 1 種類の場合を示す。このように有機 EL 素子 OLED と駆動回路 11 とで構成された画素 10 は、図 9 に示すようにマトリックス状 (m 行 × n 列) に複数配置され、1 行目から m 行目の走査線 SL 1 から SL m と 1 列目から n 列目のデータ線 DL 1 から DL n とにそれぞれ接続されている。

40

【0004】

このような構成の AM 型有機 EL ディスプレイは、データ線を介して各画素の駆動回路に印加される電圧又は電流信号に従って、駆動回路内のアクティブ素子により有機 EL 素

50

子へ供給する電圧、電流等を制御する。こうすることで、有機EL素子の輝度を調節し、階調表示を行う。駆動回路の構成要素であるアクティブ素子としては、通常、薄膜トランジスタ (Thin-Film-Transistor: TFT) が用いられている (特許文献1 - 4、非特許文献1)。

【特許文献1】特表2002-517806号公報

【特許文献2】特開2001-147659号公報

【特許文献3】特開2004-093777号公報

【特許文献4】特開2005-189379号公報

【非特許文献1】J.H.Jung et.al., SID 05 DIGEST 49.1 Fig.1

【発明の開示】

10

【発明が解決しようとする課題】

【0005】

前記AM型有機ELディスプレイにおいて、有機EL素子の電圧・輝度特性の経時変化が課題となっている。また、駆動回路の構成要素である薄膜トランジスタ (以下、TFT) の特性ばらつき、電氣的ストレスによるTFTの特性変化も同様に課題となっている。このように特性が変化する、或いはばらつく場合、同一信号を駆動回路に印加しても、有機EL素子の輝度が変わる。そのため、表示にムラ、輝点、暗点などが現れる。従って、高品質な表示を実現するには、有機EL素子特性の経時変化やTFTの特性ばらつき・変化の影響を受けにくい駆動回路・駆動方法の開発が必要である。

【0006】

20

上記駆動回路のこのような課題に対して、従来技術として、特許文献1、2が提案されている。

【0007】

特許文献1では、まず、有機EL素子に電流を供給する駆動 (p型) TFTに、画素外部より有機EL素子の発光輝度に相当する電流を供給して、その電流が流れるゲート端子・ソース端子間電圧を保持させる。引き続き、TFTより、保持したゲート端子・ソース端子間電圧により決まる電流を有機EL素子に供給することで有機EL素子が発光する。本例では、発光輝度に相当する電流を流すゲート端子・ソース端子間電圧を保持し、TFTは定電流源として働くため、駆動TFTの特性がばらついた場合でも、有機EL素子に供給する電流がばらつかない。

30

【0008】

特許文献2では、カレントミラー構成をとる2つのTFTの内、1つが有機EL素子に電流を供給する駆動 (p型) TFTであり、他の一つが有機EL素子の発光輝度に相当する電流が、画素外部より供給される負荷 (p型) TFTである。まず、画素外部より電流を供給して、その電流が負荷TFTに流れるゲート端子・ソース端子間電圧を保持させる。引き続き、保持したゲート端子・ソース端子間電圧により決まる電流を駆動TFTが有機EL素子に供給することで有機EL素子が発光する。TFTの特性が位置によってばらついていても、駆動TFTと負荷TFTが近接にあり、同一特性を示すことから、特許文献1と同様に、有機EL素子に供給する電流がばらつかない。

【0009】

40

TFTのチャネル層の材料として、多結晶シリコン (以下p-Siと記す)、非晶質シリコン (以下a-Siと記す)、有機半導体 (以下OSと記す)、金属酸化物半導体等の半導体が検討されている。ここで、p-Siはpolycrystal-Si、a-Siはamorphous-Si、OSはOrganic Semiconductorである。

【0010】

p-Si TFTは、移動度が高く、動作電圧を低くできるが、結晶粒界のために特性ばらつきが大きくなりやすく、また製造コストが高くなる。一方、a-Siや、OS TFTは、p-Si TFTに比べ移動度が低いために、動作電圧が高く、消費電力が大きいが、製造ステップ数が少なく、製造コスト抑えることが可能である。また、酸化亜鉛 (ZnO) などの金属酸化物半導体をチャネル層として用いるTFTは、近年、開発が進め

50

られており、 $a-Si$ や、 OS TFTよりも高い移動度、かつ、低コストの可能性が報告されている。

【0011】

ただし、 $a-Si$ 、 OS 、金属酸化物半導体TFTは、 $p-Si$ TFTと異なり、 n 型TFTと p 型TFTを同一基板上に形成する相補型TFTとすることは難しい。例えば、 $a-Si$ や金属酸化物では高移動度の p 型半導体というのが得られておらず、 p 型TFTの形成が困難である。また、 OS では、高移動度の n 型半導体と p 型半導体の材料が異なるために、工程が2倍となり、安価な製造が難しくなる。従って、これらのTFTを用いた駆動回路は、 n 型あるいは p 型のTFTのみで構成する必要がある。

【0012】

また、 $a-Si$ 、 OS 、金属酸化物をチャネル層とするTFTは、長時間電圧を印加することによって、電流-電圧特性が変動するため、何らかの手法によってその変動を補償する必要がある。

【0013】

一方、有機EL素子は、一般に、アノード電極とカソード電極の間に、少なくとも有機材料による発光層が挟まれた構造を有し、有機材料は、熱や電磁波、水分などの影響を受け特性変化を起こしやすい。このため、有機EL素子を用いた発光表示デバイスは、駆動回路やアノード電極作成後に、有機材料発光層を形成し、ダメージの少ない真空蒸着などによりカソード電極を作成するという製造過程が好ましい。

【0014】

そこで、AM型有機ELディスプレイを、 n 型TFTで構成される駆動回路と、下からアノード電極、有機発光層、カソード電極という順で形成される有機EL素子と、により画素を構成する場合を考える。この場合、特許文献1、2の駆動回路の p 型TFTを n 型TFTに置き換えただけでは実現できない。なぜなら、特許文献1、2において、 p 型TFTを n 型TFTに置き換えると、ゲート端子-ドレイン端子間が固定されることになるため、定電流源として機能しないためである。従って、特許文献1、2と異なる駆動回路構成とする必要がある。

【0015】

特許文献3の図2に提案されている駆動回路は、 n 型TFTのみで、特性ばらつきや特性変動の影響を抑えるための技術である。この駆動回路は、有機EL素子を駆動する n 型TFT（駆動TFT）のゲート端子-ソース端子間に容量を備える。有機EL素子を駆動する電流を設定する期間には、TFTのゲート端子-ドレイン端子間を導通し、有機EL素子への経路を遮断し、かつ、外部から電流を供給する。この時、ゲート端子-ソース端子間の電圧は、外部から供給される電流が流れる電圧（設定電圧）となる。有機EL素子を駆動する期間には、 n 型TFTは、設定電圧に従って、有機EL素子に電流を供給する定電流源として機能する。

【0016】

近年、有機EL素子の電流-輝度特性の向上がすすみ、有機EL素子への供給電流が低下している。また、有機ELディスプレイは、より大型・高精細のものが求められており、配線負荷が増大する傾向にある。従って、特許文献3において、低階調に相当する低い電流を外部から供給する場合、配線負荷を充電するための時間が長くなる。従って、高精細、大画面の表示装置に、特許文献3の駆動回路を適用することは難しい。

【0017】

例えば、大画面の表示装置の配線負荷を容量 40 pF 、抵抗 $5\text{ k}\Omega$ （時定数 $0.2\text{ }\mu\text{s}$ ）とし、外部から供給される電流を設定するのに必要な電圧変動を 3 V とすると、充電すべき電荷量は 120 pC となる。これを低階調に相当する 10 nA の電流で充電するためには、 12 ms の時間が必要である。一方、高精細テレビの走査線（ 1250 ）を 60 Hz で駆動する際には、1走査線当りの選択期間は $13\text{ }\mu\text{s}$ となり、充電することは不可能である。

【0018】

10

20

30

40

50

上記の課題を解決する手段が、特許文献 3 の図 1 に提案されている。この駆動回路では、充電電流を 10 倍程度まで増やすことができる。しかし、その場合、充電期間は、12 msec から 1.2 msec に短縮することができるが、高精細テレビに用いるには不十分である。

【0019】

上記の課題を解決する別の手段が、特許文献 4 の図 1 の駆動回路である。本駆動回路は、駆動 T F T のしきい値を補正する機能を備える。本回路では、外部からの電圧により、有機 E L 素子の駆動電流を設定する。この時、主に、配線負荷の充電期間により、設定期間が決まる。配線負荷の時定数 0.2 μ sec であるため、99.8% の充電が終了する時間を設定期間とすると、時定数の 6 倍の 1.2 μ sec となる。従って、本従来技術を用いると高精細テレビの駆動が可能となる。

10

【0020】

しかし、本回路において、駆動 T F T のゲート端子 - ソース端子間に印加される電圧は、駆動回路内に設けられた 2 つの容量により分圧された電圧により決定される。従って、高い精度の駆動を実現するためには、2 つの容量を画素内に設け、その容量間で正確な容量比を実現する必要がある。

【0021】

上記課題を解決する別な駆動回路が、非特許文献 1 に提案されている。本回路も、特許文献 4 の回路と同様、外部からの電圧により、有機 E L 素子の駆動電流を設定するため、設定期間を短くすることができる。さらに、この回路において、駆動 T F T のゲート端子に印加する電圧は 1 つの容量のみにて決まり、他の 1 つの容量は保持用としてのみ用いられるため、容量間の比のばらつきが問題にならない。

20

【0022】

しかし、この回路において、駆動 T F T のゲート端子 - ソース端子間電圧が固定されておらず、駆動 T F T は、定電流源ではなく、ソース端子に電圧を印加するソースフォロウとして動作する。また、駆動 T F T のゲート端子には、駆動 T F T と有機 E L 素子のしきい値電圧を補正した電圧が印加される。従って、有機 E L 素子の電圧 - 電流特性の変化が、印加電圧に対し平行移動の場合にのみ、本補正は成立する。

【0023】

本発明は、このような従来技術では、解決できない課題を解決することを目的とする。

30

【0024】

すなわち、本発明は、駆動用トランジスタの特性ばらつきや、電氣的ストレスによる特性シフトの影響を抑え、かつ、発光素子に供給する電流を制御する駆動回路を有する発光表示デバイスを提供することを目的とする。

【0025】

さらに、本発明は、容量を 1 つとし、ばらつきの要因の少ない駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0026】

本発明に係る発光表示デバイスは、複数の画素を備える発光表示デバイスであって、前記画素は、アノード端子及びカソード端子を有し、かつ供給される電流で決まる輝度で発光する発光素子と、データ線から供給される制御電圧に基づいて前記発光素子に電流を供給する駆動回路と、を備える。前記駆動回路は、前記発光素子を駆動し、かつゲート端子、ソース端子、及びドレイン端子を有する駆動用トランジスタと、容量素子と、複数のスイッチ素子と、を備える。前記駆動用トランジスタは、前記ソース端子が直接あるいは前記スイッチ素子を経由して前記発光素子のアノード端子と接続され、前記駆動回路が前記発光素子へ電流を供給する時に、前記容量素子の一端は直接あるいは前記スイッチ素子を経由して前記駆動用トランジスタのゲート端子に接続され、前記容量素子の他の一端は直接あるいは前記スイッチ素子を経由して前記駆動用トランジスタのソース端子に接続される。また、前記容量素子と前記複数のスイッチ素子は、前記駆動用トランジスタのゲート

40

50

端子とソース端子との電圧差を、前記駆動用トランジスタの電流設定期間におけるドレイン端子の電圧と前記データ線から供給される制御電圧とから決定される電圧と、前記駆動用トランジスタのしきい値電圧と、を加えた電圧とすることを特徴とする。

【0027】

本発明において、前記容量素子は、一端が前記トランジスタのゲート端子と接続され、前記複数のスイッチ素子は、前記駆動用トランジスタのゲート端子とそのソース端子の間を導通又は非導通とする第一のスイッチ素子と、前記駆動用トランジスタのソース端子と前記容量素子の他の一端との間を導通又は非導通とする第二のスイッチ素子と、前記発光素子に供給する電流の大きさを制御する電圧信号が画素外部から印加されるデータ線と前記容量素子の他の一端との間を導通又は非導通する第三のスイッチ素子と、を備えてもよい。

10

【0028】

また、前記容量素子は、一端が前記トランジスタのソース端子と接続され、前記複数のスイッチ素子は、一端が前記トランジスタのゲート端と接続され、他の一端が前記駆動用トランジスタのドレイン端子と接続される第一のスイッチと、一端が前記駆動用トランジスタのゲート端子と接続され、他の一端が前記容量素子の他の一端と接続されている第二のスイッチと、一端が第二のスイッチの他の一端と接続され、他の一端が階調相当の電圧が印加されるデータ線と接続されている第三のスイッチと、を備えてもよい。

【発明の効果】

【0029】

本発明によれば、発光表示デバイスの画素に設けられる駆動回路は、駆動用トランジスタのしきい値電圧に依存することなく、発光素子に供給する電流を設定することができる。

20

【0030】

また、本発明によれば、駆動回路内に容量素子は1つであり、その容量値が寄生容量に比べ十分大きければ、発光素子に供給する電流は容量素子に依存しない。

【0031】

また、本発明によれば、発光素子に電流を供給する際、容量素子の両端が駆動用トランジスタのゲート端子、ソース端子と各々接続している。従って、発光素子の特性に関わらず、駆動用トランジスタは、飽和領域動作において定電流源として動作する。

【0032】

また、本発明によれば、発光素子に供給する電流の設定を電圧により行うため、負荷の大きい大型、高精細の発光表示デバイスに適用可能である。

30

【0033】

また、本発明によれば、駆動回路をn型TFETのみで構成し、発光素子のアノードを駆動回路側に設け、下から、アノード電極、発光層、カソード電極という順に積層する構成が可能である。

【0034】

また、本発明によれば、n型TFETとして、キャリア密度が $10^{18}(\text{cm}^{-3})$ 以下、かつ電界効果移動度が $1(\text{cm}^2/\text{Vs})$ 以上、かつ、オンオフ比が 10^6 以上である金属酸化物半導体層をチャネル層としたn型TFETを用いる。これにより、a-Siや、OS TFETで構成した場合よりも、消費電力が少なく、室温形成が可能なTFETにより発光表示デバイスが作成できる。さらに、移動度が高いため、必要なTFETサイズが小さくてすみ、高精細化が可能となる。

40

【0035】

また、本発明によれば、アモルファス金属酸化物半導体層をチャネル層としたn型TFETを用いる。これにより、アモルファス層であるため平坦性が高く、特性ばらつきの小さいTFETを形成できる。

【発明を実施するための最良の形態】

【0036】

以下、本発明に係る発光表示デバイスの実施の形態について、図面を参照して説明する

50

。

【 0 0 3 7 】

本実施形態は、有機 E L 素子を用いる発光表示デバイスについて説明するが、本発明は、有機 E L 素子以外の供給される電流により発光する発光表示デバイスや、供給される電流により任意の機能を示す一般的な電流負荷を用いる電流負荷デバイスにも適用できる。

【 0 0 3 8 】

また、本実施形態は、n 型 T F T について説明しているが、以下の説明において、n 型 T F T の代わりに p 型 T F T を用い、有機 E L 素子のアノード端子をカソード端子とすれば、同様な動作が可能である。

【 0 0 3 9 】

ここで、本実施形態に使用される T F T は、T F T 特性を現すパラメータの内、しきい値電圧がばらつく、あるいは、電氣的ストレスによる T F T 特性シフトとして、しきい値電圧シフトが見られるものである。移動度のばらつき、あるいは、シフトは、求められる電流負荷デバイスの仕様の範囲内であるとする。

【 0 0 4 0 】

また、本実施形態における上記しきい値とは、理想的には、ドレイン - ソース端子間に電流を流すことができる最小のゲート - ソース端子間電圧のことをいう。現実の T F T 素子では、しきい値以下の電圧でも、ドレイン - ソース端子間に電流が流れる。しかし、しきい値以下の電圧においては、電圧が低下するに従い、その電流が急激に低下する。

【 0 0 4 1 】

さらに、実際の回路においては、当該しきい値は、素子や材料の特性上必ずしも一定の値となるものではなく、接続する端子と、印加する電圧との関係で決まるものである。

【 0 0 4 2 】

本実施形態における具体的な例としては、以下のようになる。

【 0 0 4 3 】

1) ソース端子をオープン、かつ、ゲート - ドレイン端子を接続し、電圧 V を印加した場合には、ドレイン端子よりソース端子に電圧が充電される。一定期間後のゲート - ドレイン端子電圧 V とソース端子電圧 V₁ の電圧差 V - V₁ (V > V₁) がしきい値となる。

【 0 0 4 4 】

2) 逆に、ソース端子に電圧 V を印加し、かつ、ゲート - ドレイン端子を接続し、電圧 V よりも十分高い電圧を印加後、オープンにした場合には、ドレイン端子の電圧がソース端子に放電される。一定期間後のゲート - ドレイン端子電圧 V₂ とソース端子電圧 V との電圧差 V₂ - V (V₂ > V) がしきい値となる。

【 0 0 4 5 】

以下、有機 E L 素子を用いた発光表示デバイスについて最良の形態を説明するが、前述の通り、本発明は、有機 E L 素子に限定されるものではなく、他の電流駆動型発光素子や電流負荷にも適用できる。さらに、以下では、駆動回路内の T F T として、キャリア密度が $10^{18} \text{ (cm}^{-3}\text{)}$ 以下であるアモルファス金属酸化物半導体をチャネル層とした n 型 T F T を用いる。この n 型 T F T は、電界効果移動度が $1 \text{ (cm}^2/\text{Vs}\text{)}$ 以上、かつ、オンオフ比が 10^6 以上である。本発明はこれに限らず、a - S i T F T や、O S T F T にも適用できる。さらに、他の半導体材料をチャネル層とする、n 型 T F T のみで構成される場合にも適用可能である。なお、以下の説明では、発光表示デバイスの画素配置に関しては、走査線が 1 種類ではなく、複数種類配置される以外は、前述した図 9 と同様であるため、その詳細を割愛し、画素の構成及び動作を中心に説明する。

【 0 0 4 6 】

(第一の実施形態)

本発明の第一の実施形態における有機 E L 素子を用いた発光表示デバイス (以下、有機 E L ディスプレイ) の画素の構成を図 1 に示す。

【 0 0 4 7 】

本実施形態による有機 E L ディスプレイは、各画素 10 に、カソード端子が G N D (接

10

20

30

40

50

地)線(以下、GND)に接続(接地)している有機EL素子(以下、OLED)と、そのOLEDのアノード端子に接続される駆動回路11とを備える。

【0048】

OLEDは、アノード端子とカソード端子の間に、有機材料による発光層が挟まれた構造を有し、駆動回路11から供給される電流に応じた輝度で発光する。駆動回路11からOLEDへ供給される電流は、データ線からの制御電圧に基づいて決定される。

【0049】

駆動回路11は、OLEDを駆動し、かつゲート端子、ソース端子、ドレイン端子を有する駆動用トランジスタと、一端がD-TFTのゲート端子に接続されている容量素子Cと、複数のスイッチ素子とを有する。

10

【0050】

駆動用トランジスタは、n型薄膜トランジスタ(以下、D-TFT)で構成される。D-TFTは、ドレイン端子が電源線VSと接続され、ゲート端子が容量素子Cの一端に接続される。また、D-TFTのソース端子はOLEDのアノード端子とスイッチ素子を経由して接続されている。尚、D-TFTのソース端子は直接OLEDのアノード端子と接続されていてもよい。

【0051】

容量素子Cと複数のスイッチ素子は、駆動回路11がOLEDへ電流を供給する時に、D-TFTのゲート端子電圧を、OLEDへの電流を供給する電圧と、D-TFTのしきい値電圧と、D-TFTのソース端子電圧を加えた電圧とする昇圧部を構成する。

20

【0052】

複数のスイッチ素子は、第一から第五のスイッチ素子を有する。

【0053】

第一のスイッチ素子は、n型TFT(以下、TFT1)で構成される。TFT1は、ソース/ドレイン端子の一端がD-TFTのソース端子と接続され、ソース/ドレイン端子の他端がD-TFTのゲート端子と接続される。

【0054】

第二のスイッチ素子は、n型TFT(以下、TFT2)で構成される。TFT2は、ソース/ドレイン端子の一端がD-TFTのソース端子と接続され、ソース/ドレイン端子の他端が容量素子Cの他端(D-TFTのゲート端子と接続されていない一端)と接続されている。

30

【0055】

第三のスイッチ素子は、n型TFT(以下、TFT3)で構成される。TFT3は、ソース端子/ドレイン端子の一端がデータ線DLに接続され、ソース端子/ドレイン端子の他端が容量素子Cの他端(D-TFTのゲート端子と接続されていない一端)と接続されている。データ線DLは、階調相当の電圧である制御電圧を印加可能な構成となっている。

【0056】

第四のスイッチ素子は、n型TFT(以下、TFT4)で構成される。TFT4は、ソース端子/ドレイン端子の一端がD-TFTのソース端子に接続され、ソース端子/ドレイン端子の他端が参照電圧Vrefを供給する参照電圧線Vrと接続されている。

40

【0057】

第五のスイッチ素子は、n型TFT(以下、TFT5)で構成される。TFT5は、ソース端子/ドレイン端子の一端がD-TFTのソース端子に接続され、ソース端子/ドレイン端子の他端がOLEDのアノード端子と接続されている。

【0058】

有機ELディスプレイは、さらにGND、参照電圧線Vrのほか、データ線DLと、第一から第三の走査線SL1からSL3と、電源線VSとを有する。データ線DLは、TFT3のソース端子/ドレイン端子のいずれかと接続され、D-TFTからOLEDに供給する電流を制御する制御電圧VDを供給する。第一の走査線SL1は、TFT1、TFT

50

3のゲート端子と接続され、電圧信号 $SV1$ を供給する。第二の走査線 $SL2$ は、 $TFT2$ 、 $TFT5$ のゲート端子と接続され、電圧信号 $SV2$ を供給する。第三の走査線 $SL3$ は、 $TFT4$ のゲート端子と接続され、電圧信号 $SV3$ を供給する。電源線 VS は、電圧 $VS1$ と $VS2$ のいずれかを供給する(電源線 VS の電圧を変動する手段に対応する)。
【0059】

ここで、電源線 VS の電圧 $VS1$ 、 $VS2$ は、 $D-TFT$ のしきい値電圧を V_t とすれば、 $VS1 > VS2$ 、かつ、 $V_{ref} - V_t > VS2$ を満たす。さらに、電圧 $VS1$ は、 $OLED$ に電流を供給する際、 $D-TFT$ が飽和領域で動作する電圧とする。かつ、容量素子 C の容量値は、 $D-TFT$ に関するオーバーラップ容量などの寄生容量の総和の3倍以上とする。

10

【0060】

本実施形態の動作のタイミングチャートを図2に示し、以下にその動作を示す。

【0061】

まず、第一の走査線 $SL1$ の電圧信号 $SV1$ を $H(High)$ レベル、第二の走査線 $SL2$ の電圧信号 $SV2$ を $L(Low)$ レベル、第三の走査線 $SL3$ の電圧信号 $SV3$ を H レベル、電源線 VS を電圧 $VS2$ とする。この期間(以下、リセット期間)では、 $TFT1$ 、 $TFT3$ が導通状態(ON)に、 $TFT2$ 、 $TFT5$ が非導通状態(OFF)に、 $TFT4$ が導通状態(ON)となる。本期間において、 $D-TFT$ のゲート端子、ソース端子電圧は、共に参照電圧線 V_r の参照電圧 V_{ref} となる。また、ドレイン端子電圧は、電源線 VS の電圧 $VS2$ となる。さらに、容量素子 C の他端($D-TFT$ のゲート端子と接続していない一端)の電圧は、データ線 DL の制御電圧 VD となる。

20

【0062】

引き続き、第一の走査線 $SL1$ の電圧信号 $SV1$ を H レベル、第二の走査線 $SL2$ の電圧信号 $SV2$ を L レベル、第三の走査線 $SL3$ の電圧信号 $SV3$ を L レベル、電源線 VS を電圧 $VS2$ とする。この期間(以下、電圧書き込み期間)では、 $TFT1$ 、 $TFT3$ が ON に、 $TFT2$ 、 $TFT5$ が OFF に、 $TFT4$ が OFF となる。本期間において、 $D-TFT$ のゲート端子、ソース端子電圧は、共に電源線 VS の電圧 $VS2$ と $D-TFT$ のしきい値電圧 V_t との和 $VS2 + V_t$ となる。また、ドレイン端子電圧は、電源線 VS の電圧 $VS2$ となる。さらに、容量素子 C の他端($D-TFT$ のゲート端子と接続していない一端)の電圧は、データ線 DL の制御電圧 VD となる。この結果、容量素子 C の両端には、電圧差 $VS2 + V_t - VD$ が保持される。

30

【0063】

本実施形態では、リセット期間と電圧書き込み期間を合わせ、 $TFT1$ 、 $TFT3$ が ON 、 $TFT2$ 、 $TFT5$ が OFF する期間を電流設定期間とする。

【0064】

この後、第一の走査線 $SL1$ の電圧信号 $SV1$ を L レベル、第二の走査線 $SL2$ の電圧信号 $SV2$ を H レベル、第三の走査線 $SL3$ の電圧信号 $SV3$ を L レベル、電源線 VS を電圧 $VS1$ とする。この期間(以下、発光期間)では、 $TFT1$ 、 $TFT3$ が OFF 、 $TFT2$ 、 $TFT5$ が ON 、 $TFT4$ が OFF となる。本期間において、 $D-TFT$ のゲート端子-ソース端子の電圧差は、 $D-TFT$ のソース端子の電圧が変動しても、チャージポンプ効果により、 $VS2 + V_t - VD$ が保持される。

40

【0065】

つまり、本実施形態では、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧($VS2$)とデータ線から供給される制御電圧(VD)とから決定される電圧は、次の通りである。すなわち、この電圧は、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧($VS2$)からデータ線より供給される制御電圧(VD)を減算した電圧($VS2 - VD$)である。

【0066】

よって、駆動用トランジスタのゲート端子とソース端子との電圧差($V_g - V_s$)は、次の通りである。すなわち、この電圧差は、駆動用トランジスタの電流設定期間における

50

ドレイン端子の電圧とデータ線から供給される制御電圧とから決定される電圧と、駆動用トランジスタのしきい値電圧 (V_t) とを加えた電圧であり、 $V_g - V_s = V_{S2} + V_t - V_D$ となる。ここで、 V_g は D - T F T のゲート端子電圧、 V_s は D - T F T のソース端子電圧である。

【0067】

O L E D を発光させる際は、D - T F T のしきい値電圧が V_t であるので、 $V_{S2} - V_D > 0$ 、 $V_{S2} - V_D < V_{S1}$ 、かつ、電源線 V_S の電圧 V_{S1} が十分高く、D - T F T が飽和領域で動作するように電圧を設定する。

【0068】

この時、D - T F T は、次の式で表される電流 I_D を O L E D に与える。

10

【0069】

$$I_D = 0.5 \times \beta \times (V_g - V_s - V_t)^2 = 0.5 \times \beta \times (V_{S2} - V_D)^2$$

また、 β は、D - T F T の電流能力を示すパラメータであり、D - T F T の移動度、ゲート容量、サイズに依存する。

【0070】

これによると、電流 I_D は、データ線 D L の制御電圧 V_D でコントロールでき、O L E D は、その電流 - 輝度特性に従い、与えられた電流 I_D に相当する明るさで発光する。

【0071】

有機 E L ディスプレイの表示動作では、例えば、上記動作を同一行の画素 10 に対し同時に行い、それを全行に対し順次行うことで、1 画面分の表示を行う。1 画面分の表示期間は、フレームと呼ばれる。このフレームを 1 / 60 秒ごとに繰り返し、表示を書き換えることで、画像を表示する。

20

【0072】

したがって、本実施形態において、電流 I_D を表す式より明らかなように、D - T F T は、しきい値 V_t に影響を受けない電流 I_D を O L E D に供給することが可能となる。従って、D - T F T のしきい値電圧 V_t がばらついたり、電氣的ストレスにより変動したりする場合においても、O L E D に供給する電流は変わらず、定電流源として動作する。これにより、ムラのない高品質な表示が可能である。

【0073】

また、本実施形態において、駆動回路内に用いている容量は 1 つだけであり、容量比精度の課題とは無関係となる。

30

【0074】

また、本実施形態において、電流 I_D は電圧により制御するため、高速に動作でき、負荷の大きい大型、高精細の発光表示デバイスに適用可能である。

【0075】

また、本実施形態において、駆動回路を n 型 T F T のみで構成しているにも関わらず、O L E D のアノードを駆動回路側に設ける構成が可能である。

【0076】

また、本実施形態において、データ線 D L の制御電圧 V_D は、正電圧、負電圧どちらでも可能である。

40

【0077】

また、本実施形態において、n 型 T F T として、キャリア密度が $10^{18} (\text{cm}^{-3})$ 以下、かつ電界効果移動度が $1 (\text{cm}^2 / \text{Vs})$ 以上である金属酸化物半導体層をチャネル層とした n 型 T F T を用いることができる。金属酸化物半導体層をチャネル層とした n 型 T F T を用いることより、a - S i や O S T F T で構成した場合よりも、消費電力が少なく、室温形成が可能な T F T により発光表示デバイスが作成できる。さらに、移動度が高いために、必要な T F T サイズが小さくてすみ、高精細化が可能となる。

【0078】

また、本実施形態において、アモルファス金属酸化物半導体層をチャネル層とした n 型 T F T を用いている。これにより、アモルファス層であるため平坦性が高く、特性ばらつ

50

きの小さいTFTを形成できる。

【0079】

さらに、本実施形態において、発光期間内で、TFT5を非導通とする、あるいは、VSの電圧をD-TFTがOLEDに電流を供給しない電圧とする、等の手段により、OLEDが発光しない期間を設けることができる。このような期間を設けることで、人間の目に対する動画表示を高品質化することが可能である。

【0080】

また、第一の走査線SL1を2つに分け、TFT1のゲート端子に接続する走査線SL1-1と、TFT3のゲート端子に接続する走査線SL1-2を設ける。さらに、走査線SL1-1の電圧信号SV1-1は、走査線SL1-2の電圧信号SV1-2よりも、早くHレベルからLレベルへ遷移するようにする。これにより、TFT1電流設定期間から発光期間へ変わる際、TFT1の導通から非導通への遷移を、TFT2、TFT5の非導通から導通への遷移や、TFT3の導通から非導通への遷移よりも早く行う。この場合、容量素子Cに保持される電圧は、他のTFTが動作することに起因する誤差要因、例えばノイズ、の影響を受けにくくなり、より高精度の動作が可能となる。

【0081】

(第二の実施形態)

本発明の第二の実施形態における有機EL素子を用いた発光表示デバイスの画素の構成は、第一の実施形態と同じである。ただし、本実施形態において、電源線VSの電圧VS2は一定であり、D-TFTのしきい値電圧をVtとすれば、 $V_{ref} - V_t > VS2$ を満たす。つまり、第一、第二、第三の走査線SL1、SL2、SL3の電圧信号SV1、SV2、SV3を除き、最も高い電圧が参照電圧線Vrの参照電圧Vrefとなる。さらに、電源線VSの電圧VS2は、OLEDに電流を供給する際、D-TFTが飽和領域で動作する電圧とする。

【0082】

本実施形態の動作のタイミングチャートを図3に示す。本実施形態の動作は、前述の通り、電源線VSの電圧VS2が一定であるほかは、第一の実施形態と同じである。

【0083】

本実施の形態は、第一の実施形態と同様の効果が得られる。さらに、電源線VSの電圧を変動する手段が必要ではないため、有機ELを用いた発光表示デバイスとしての構成が簡単となる。

【0084】

(第三の実施形態)

本発明の第三の実施形態における有機EL素子を用いた発光表示デバイスの画素の構成を図4に示す。第一の実施形態と同様の構成要素については、その説明を簡略又は省略する。

【0085】

本実施形態は、各画素10に、カソード端子がGND(接地)線(以下、GND)に接続(接地)している有機EL素子(以下、OLED)と、そのOLEDのアノード端子に接続される駆動回路11とを備える。

【0086】

駆動回路11は、OLEDを駆動し、かつゲート端子、ソース端子、ドレイン端子を有する駆動用トランジスタと、一端がD-TFTのゲート端子に接続されている容量素子Cと、複数のスイッチ素子とを有する。

【0087】

駆動用トランジスタは、n型TFT(以下、D-TFT)で構成される。D-TFTは、ドレイン端子が電源線VSと接続され、ゲート端子が容量素子Cの一端に接続される。

【0088】

複数のスイッチ素子は、第一から第五のスイッチ素子を有する。

【0089】

10

20

30

40

50

第一のスイッチ素子は、 n 型TFET（以下、TFET1）で構成される。TFET1は、ソース/ドレイン端子の一端がD-TFETのソース端子と接続され、ソース/ドレイン端子の他端がD-TFETのゲート端子と接続されている。

【0090】

第二のスイッチ素子は、 n 型TFET（以下、TFET2）で構成される。TFET2は、ソース/ドレイン端子の一端がD-TFETのソース端子と接続され、ソース/ドレイン端子の他端が容量素子Cの他端（D-TFETのゲート端子と接続していない一端）と接続される。

【0091】

第三のスイッチ素子は、 n 型TFET（以下、TFET3）で構成される。TFET3は、ソース端子/ドレイン端子の一端がデータ線DLに接続され、ソース端子/ドレイン端子の他端が容量素子Cの他端（D-TFETのゲート端子と接続していない一端）と接続されている。

10

【0092】

第四のスイッチ素子は、 n 型TFET（以下、TFET4）で構成される。TFET4は、ソース端子/ドレイン端子の一端がD-TFETのソース端子に接続され、ソース端子/ドレイン端子の他端がD-TFETのドレイン端子と接続されている。

【0093】

第五のスイッチ素子は、 n 型TFET（以下、TFET5）で構成される。TFET5は、ソース端子/ドレイン端子の一端がD-TFETのソース端子に接続され、ソース端子/ドレイン端子の他端がOLEDのアノード端子と接続されている。

20

【0094】

有機ELディスプレイは、さらにGND、データ線DLと、第一から第三の走査線SL1からSL3と、電源線VSとを有する。データ線DLは、TFET3のソース端子/ドレイン端子のいずれかと接続され、D-TFETからOLEDに供給する電流を制御する制御電圧VDを供給する。第一の走査線SL1は、TFET1、TFET3のゲート端子と接続され、電圧信号SV1を供給する。第二の走査線SL2は、TFET2、TFET5のゲート端子と接続され、電圧信号SV2を供給する。第三の走査線SL3は、TFET4のゲート端子と接続され、電圧信号SV3を供給する。電源線VSは、電圧VS1とVS2のいずれかを供給する。

30

【0095】

ここで、電源線VSの電圧VS1、VS2は、D-TFETのしきい値電圧を V_t とすれば、 $VS1 - V_t > VS2$ を満たす。さらに、電圧VS1は、OLEDに電流を供給する際、D-TFETが飽和領域で動作する電圧とする。かつ、容量素子Cの容量値は、D-TFETに関するオーバーラップ容量などの寄生容量の総和の3倍以上とする。

【0096】

本実施形態の動作のタイミングチャートを図5に示し、以下にその動作を示す。

【0097】

まず、第一の走査線SL1の電圧信号SV1をHレベル、第二の走査線SL2の電圧信号SV2をLレベル、第三の走査線SL3の電圧信号SV3をHレベル、電源線VSを電圧VS1とする。この期間（以下、リセット期間）では、TFET1、TFET3が導通状態（ON）に、TFET2、TFET5が非導通状態（OFF）に、TFET4が導通状態（ON）となる。本期間において、D-TFETのゲート端子、ソース端子、ドレイン端子電圧は、共に電源線VSの電圧VS1となる。さらに、容量素子Cの他端（D-TFETのゲート端子と接続していない一端）の電圧は、データ線DLの電圧VDとなる。

40

【0098】

引き続き、第一の走査線SL1の電圧信号SV1をHレベル、第二の走査線SL2の電圧信号SV2をLレベル、第三の走査線SL3の電圧信号SV3をLレベル、電源線VSを電圧VS2とする。この期間（以下、電圧書き込み期間）では、TFET1、TFET3がONに、TFET2、TFET5がOFFに、TFET4がOFFとなる。本期間において、D

50

- T F T のゲート端子、ソース端子電圧は、共に電源線 V S の電圧 V S 2 と D - T F T のしきい値電圧 V t との和 $V S 2 + V t$ となる。また、ドレイン端子電圧は、電源線 V S の電圧 V S 2 となる。さらに、容量素子 C の他端 (D - T F T のゲート端子と接続していない一端) の電圧は、データ線 D L の電圧 V D となる。この結果、容量素子 C の両端には、電圧差 $V S 2 + V t - V D$ が保持される。

【 0 0 9 9 】

本実施形態では、リセット期間と電圧書き込み期間を合わせ、T F T 1、T F T 3 が O N、T F T 2、T F T 5 が O F F する期間を電流設定期間とする。

【 0 1 0 0 】

この後、第一の走査線 S L 1 の電圧信号 S V 1 を L レベル、第二の走査線 S L 2 の電圧信号 S V 2 を H レベル、第三の走査線 S L 3 の電圧信号 S V 3 を L レベル、電源線 V S を電圧 V S 1 とする。この期間 (以下、発光期間) では、T F T 1、T F T 3 が O F F、T F T 2、T F T 5 が O N、T F T 4 が O F F となる。本期間において、D - T F T のゲート端子 - ソース端子の電圧差は、D - T F T のソース端子の電圧が変動しても、チャージポンプ効果により、 $V S 2 + V t - V D$ が保持される。

10

【 0 1 0 1 】

つまり、本実施形態では、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧 (V S 2) とデータ線から供給される制御電圧 (V D) とから決定される電圧が、 $V S 2 - V D$ である。

【 0 1 0 2 】

よって、駆動用トランジスタのゲート端子とソース端子との電圧差 ($V g - V s$) は、次の通りである。すなわち、この電圧差は、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧とデータ線から供給される制御電圧とから決定される電圧と、駆動用トランジスタのしきい値電圧 (V t) とを加えた電圧であり、 $V g - V s = V S 2 + V t - V D$ となる。ここで、V g は D - T F T のゲート端子電圧、V s は D - T F T のソース端子電圧である。

20

【 0 1 0 3 】

D - T F T のしきい値電圧が V t であるので、 $V S 2 - V D > 0$ 、 $V S 2 - V D < V S 1$ 、かつ、電源線 V S の電圧 V S 1 が十分高く、D - T F T が飽和領域で動作するように電圧を設定する。

30

【 0 1 0 4 】

この時、D - T F T は、次の式で表される電流 I D を O L E D に与える。

【 0 1 0 5 】

$$I D = 0.5 \times \beta \times (V g - V s - V t)^2 = 0.5 \times \beta \times (V S 2 - V D)^2$$

また、 β は、D - T F T の電流能力を示すパラメータであり、D - T F T の移動度、ゲート容量、サイズに依存する。

【 0 1 0 6 】

これによると、電流 I D は、V D でコントロールでき、O L E D は、その電流 - 輝度特性に従い、与えられた電流 I D に相当する明るさで発光する。

【 0 1 0 7 】

有機 E L ディスプレイの表示動作では、例えば、上記動作を同一行の画素に対し同時に行い、それを全行に対し順次行うことで、1 画面分の表示を行う。1 画面分の表示期間は、フレームと呼ばれる。このフレームを 1 / 6 0 秒ごとに繰り返し、表示を書き換えることで、画像を表示する。

40

【 0 1 0 8 】

本実施形態は、第一の実施形態で述べたものと同様の効果が得られる。さらに、参照電圧線 V r を必要としないため、構成が簡単となる。

【 0 1 0 9 】

(第四の実施形態)

本発明の第四の実施形態における有機 E L 素子を用いた発光表示デバイスの画素の構成

50

を図 6 に示す。第一の実施形態と同様の構成要素については、その説明を簡略又は省略する。

【 0 1 1 0 】

本実施形態は、各画素 1 0 に、カソード端子が GND（接地）線（以下、GND）に接続（接地）している有機 EL 素子（以下、OLED）と、その OLED のアノード端子に接続される駆動回路 1 1 とを備える。

【 0 1 1 1 】

駆動回路 1 1 は、OLED を駆動し、かつゲート端子、ソース端子、ドレイン端子を有する駆動用トランジスタと、一端が D - TFT のゲート端子に接続されている容量素子 C と、複数のスイッチ素子とを有する。

10

【 0 1 1 2 】

駆動用トランジスタは、n 型 TFT（以下、D - TFT）で構成される。D - TFT は、ドレイン端子が電源線 VS と接続され、ゲート端子が容量素子 C の一端に接続している。

【 0 1 1 3 】

複数のスイッチ素子は、第一から第四のスイッチ素子を有する。

【 0 1 1 4 】

第一のスイッチ素子は、n 型 TFT（以下、TFT 1）で構成される。TFT 1 は、ソース / ドレイン端子の一端が D - TFT のソース端子と接続され、ソース / ドレイン端子の他端が D - TFT のゲート端子と接続されている。

20

【 0 1 1 5 】

第二のスイッチ素子は、n 型 TFT（以下、TFT 2）で構成される。TFT 2 は、ソース / ドレイン端子の一端が D - TFT のソース端子と接続され、ソース / ドレイン端子の他端が容量素子 C の他端（D - TFT のゲート端子と接続していない一端）と接続されている。

【 0 1 1 6 】

第三のスイッチ素子は、n 型 TFT（以下、TFT 3）で構成される。TFT 3 は、ソース端子 / ドレイン端子の一端がデータ線 DL に接続され、ソース端子 / ドレイン端子の他端が容量素子 C の他端（D - TFT のゲート端子と接続していない一端）と接続されている。

30

【 0 1 1 7 】

第四のスイッチ素子は、n 型 TFT（以下、TFT 4）で構成される。TFT 4 は、ソース端子 / ドレイン端子の一端が D - TFT のソース端子に接続され、ソース端子 / ドレイン端子の他端が参照電圧 Vref を供給する参照電圧線 Vr と接続されている。

【 0 1 1 8 】

有機 EL ディスプレイは、さらに GND、参照電圧線 Vr のほか、データ線 DL と、第一から第三の走査線 SL 1 から SL 3 と、電源線 VS とを有する。データ線 DL は、TFT 3 のソース端子 / ドレイン端子のいずれかと接続され、D - TFT から OLED に供給する電流を制御する制御電圧 VD を供給する。第一の走査線 SL 1 は、TFT 1、TFT 3 のゲート端子と接続され、電圧信号 SV 1 を供給する。第二の走査線 SL 2 は、TFT 2 のゲート端子と接続され、電圧信号 SV 2 を供給する。第三の走査線 SL 3 は、TFT 4 のゲート端子と接続され、電圧信号 SV 3 を供給する。電源線 VS は、電圧 VS 1 と VS 2 のいずれかを供給する。

40

【 0 1 1 9 】

ここで、電源線 VS の電圧 VS 1、VS 2 は、D - TFT のしきい値電圧を Vt とすれば、 $VS 1 > VS 2$ 、かつ、 $Vref - Vt > VS 2$ を満たす。さらに、電源線 VS の電圧 VS 1 は、OLED に電流を供給する際、D - TFT が飽和領域で動作する電圧とする。また、参照電圧 Vref は、OLED が電流を流し、発光するしきい値電圧以下とする。ここで、本実施形態では、電源線 VS の電圧 VS 2 を GND とし、データ線 DL の制御電圧 VD を負電圧とする。かつ、容量素子 C の容量値は、D - TFT に関するオーバーラ

50

ップ容量などの寄生容量の総和の3倍以上とする。

【0120】

本実施形態の動作のタイミングチャートを図7に示し、以下にその動作を示す。

【0121】

まず、第一の走査線SL1の電圧信号SV1をHレベル、第二の走査線SL2の電圧信号SV2をLレベル、第三の走査線SL3の電圧信号SV3をHレベル、電源線VSを電圧VS2とする。この期間（以下、リセット期間）では、TFT1、TFT3が導通状態（ON）に、TFT2が非導通状態（OFF）に、TFT4が導通状態（ON）となる。本期間において、D-TFTのゲート端子、ソース端子電圧は、共に参照電圧線Vrの参照電圧Vrefとなる。また、ドレイン端子電圧は、電源線VSの電圧VS2となる。さらに、容量素子Cの他端（D-TFTのゲート端子と接続していない一端）の電圧は、データ線DLの電圧VDとなる。

10

【0122】

引き続き、第一の走査線SL1の電圧信号SV1をHレベル、第二の走査線SL2のSV2をLレベル、第三の走査線SL3の電圧信号SV3をLレベル、電源線Sを電圧VS2とする。この期間（以下、電圧書き込み期間）では、TFT1、TFT3がONに、TFT2がOFFに、TFT4がOFFとなる。本期間において、D-TFTのゲート端子、ソース端子電圧は、共に電源線VSの電圧VS2とD-TFTのしきい値電圧Vtとの和VS2+Vtとなる。また、ドレイン端子電圧は、電源線VSの電圧VS2となる。さらに、容量素子Cの他端（D-TFTのゲート端子と接続していない一端）の電圧は、データ線DLの電圧となる。この結果、容量素子Cの両端には、電圧差VS2+Vt-VDが保持される。

20

【0123】

本実施形態では、リセット期間と電圧書き込み期間を合わせ、TFT1、TFT3がON、TFT2がOFFする期間を電流設定期間とする。本期間において、OLEDに電流は流れない。

【0124】

この後、第二の走査線SL1の電圧信号SV1をLレベル、第二の走査線SL2の電圧信号SV2をHレベル、第三の走査線SL3の電圧信号SV3をLレベル、電源線VSを電圧VS1とする。この期間（以下、発光期間）では、TFT1、TFT3がOFF、TFT2がON、TFT4がOFFとなる。本期間において、D-TFTのゲート端子-ソース端子の電圧差は、D-TFTのソース端子の電圧が変動しても、チャージポンプ効果により、VS2+Vt-VDが保持される。

30

【0125】

つまり、本実施形態では、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧（VS2）とデータ線から供給される制御電圧（VD）とから決定される電圧が、VS2-VDである。

【0126】

よって、駆動用トランジスタのゲート端子とソース端子との電圧差（Vg-Vs）は、次の通りである。すなわち、この電圧差は、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧とデータ線から供給される制御電圧とから決定される電圧と、駆動用トランジスタのしきい値電圧（Vt）とを加えた電圧であり、 $Vg - Vs = VS2 + Vt - VD$ となる。ここで、VgはD-TFTのゲート端子電圧、VsはD-TFTのソース端子電圧である。

40

【0127】

D-TFTのしきい値電圧がVtであるので、 $VS2 - VD > 0$ 、 $VS2 - VD < VS1$ 、かつ、電源線VSの電圧VS1が十分高く、D-TFTが飽和領域で動作するように電圧を設定する。

【0128】

この時、D-TFTは、次の式で表される電流IDをOLEDに与える。

50

【0129】

$$I_D = 0.5 \times \beta \times (V_g - V_s - V_t)^2 = 0.5 \times \beta \times (V_{S2} - V_D)^2$$

また、 β は、D-TFTの電流能力を示すパラメータであり、D-TFTの移動度、ゲート容量、サイズに依存する。

【0130】

これによると、電流 I_D は、データ線DLの制御電圧VDでコントロールでき、OLEDは、その電流-輝度特性に従い、与えられた電流 I_D に相当する明るさで発光する。

【0131】

有機ELディスプレイの表示動作では、例えば、上記動作を同一行の画素に対し同時に行い、それを全行に対し順次行うことで、1画面分の表示を行う。1画面分の表示期間は、フレームと呼ばれる。このフレームを1/60秒ごとに繰り返し、表示を書き換えることで、画像を表示する。

10

【0132】

本実施形態は、第一の実施形態で述べたものと同様の効果が得られる。さらに、第一の実施形態と異なり、TFT5を必要としないため、構成が簡単となる。

【0133】

第一の実施形態から第四の実施形態において、画素内の駆動回路は、電流設定期間において、容量素子Cが、D-TFTのゲート端子-ソース端子間に、D-TFTのしきい値電圧のOLEDに供給する電流を設定する電圧の和を保持する。従って、D-TFTのしきい値電圧に依存することなく、OLEDに供給する電流を設定することができる。

20

【0134】

また、駆動回路内に容量素子Cは1つであり、その容量値が寄生容量に比べ十分大きければ、OLEDに供給する電流は容量素子Cに依存しない。

【0135】

また、本実施形態によれば、OLEDに供給する電流の設定を電圧により行うため、負荷の大きい大型、高精細の発光表示デバイスに適用可能である。

【0136】

また、本実施形態によれば、駆動回路をn型TFTのみで構成し、OLEDのアノードを駆動回路側に設け、下から、アノード電極、有機材料発光層、カソード電極という順に積層する構成が可能である。

30

【0137】

また、本実施形態によれば、n型TFTとして、キャリア密度が $10^{18} (\text{cm}^{-3})$ 以下、かつ電界効果移動度が $1 (\text{cm}^2 / \text{Vs})$ 以上である金属酸化物半導体層をチャネル層としたn型TFTを用いる。これにより、a-SiやOS-TFTで構成した場合よりも、消費電力が少なく、室温形成が可能なTFTにより発光表示デバイスが作成できる。さらに、移動度が高いため、必要なTFTサイズが小さくてすみ、高精細化が可能となる。

【0138】

また、本実施形態によれば、アモルファス金属酸化物半導体層をチャネル層としたn型TFTを用いる。これにより、アモルファス層であるため平坦性が高く、特性ばらつきの小さいTFTを形成できる。

40

【0139】

(第五の実施形態)

本発明の第五の実施形態における有機EL素子を用いた発光表示デバイスの画素の構成を図10に示す。

【0140】

本実施形態による有機ELディスプレイは、各画素10に、カソード端子がGND(接地)線(以下、GND)に接続(接地)している有機EL素子(以下、OLED)と、そのOLEDのアノード端子に接続される駆動回路11とを備える。

【0141】

50

OLEDは、アノード端子とカソード端子の間に、有機材料による発光層が挟まれた構造を有し、駆動回路11から供給される電流に応じた輝度で発光する。

【0142】

駆動回路11は、OLEDを駆動し、かつゲート端子、ソース端子、ドレイン端子を有する駆動用トランジスタと、一端がD-TFTのソース端子に接続されている容量素子Cと、複数のスイッチ素子とを有する。

【0143】

駆動用トランジスタは、n型TFT（以下、D-TFT）で構成される。D-TFTは、ドレイン端子が電源線VSと接続されている。

【0144】

容量素子Cと複数のスイッチ素子は、駆動回路11がOLEDへ電流を供給する時に、D-TFTのゲート端子電圧を、OLEDへの電流を供給する電圧と、D-TFTのしきい値電圧と、D-TFTのソース端子電圧を加えた電圧とする昇圧部を構成する。

【0145】

複数のスイッチ素子は、第一から第四のスイッチ素子を有する。

【0146】

第一のスイッチ素子は、n型TFT（以下、TFT1）で構成される。TFT1は、ソース/ドレイン端子の一端がD-TFTのドレイン端子と接続され、ソース/ドレイン端子の他端がD-TFTのゲート端子と接続されている。

【0147】

第二のスイッチ素子は、n型TFT（以下、TFT2）で構成される。TFT2は、ソース/ドレイン端子の一端がD-TFTのゲート端子と接続され、ソース/ドレイン端子の他端が容量素子Cの他端（D-TFTのソース端子と接続されていない一端）と接続されている。

【0148】

第三のスイッチ素子は、n型TFT（以下、TFT3）で構成される。TFT3は、ソース端子/ドレイン端子の一端がデータ線DLに接続され、ソース端子/ドレイン端子の他端が容量素子Cの他端（D-TFTのソース端子と接続されていない一端）と接続されている。

【0149】

第四のスイッチ素子は、n型TFT（以下、TFT4）で構成される。TFT4は、ソース端子/ドレイン端子の一端がD-TFTのソース端子に接続され、ソース端子/ドレイン端子の他端がOLEDのアノード端子と接続されている。

【0150】

有機ELディスプレイは、さらにGNDのほか、データ線DLと、第一、第二の走査線SL1、SL2と、電源線VSとを有する。データ線DLは、D-TFTからOLEDに供給する電流を制御する制御電圧VDを供給する。電源線VSは、電圧VS1を供給する。第一の走査線SL1は、TFT1、TFT3のゲート端子と接続され、電圧信号SV1を供給する。第二の走査線SL2は、TFT2、TFT4のゲート端子と接続され、電圧信号SV2を供給する。

【0151】

ここで、電源線VSの電圧VS1は、OLEDに電流を供給する際、D-TFTが飽和領域で動作する電圧とする。かつ、容量素子Cの容量値は、D-TFTに関するチャネル容量と、オーバーラップ容量などの寄生容量との和の3倍以上とする。

【0152】

本実施形態のタイミングチャートを図11に示し、以下にその動作を説明する。

【0153】

まず、第一の走査線SL1の電圧信号SV1をHレベル、第二の走査線SL2の電圧信号SV2をLレベルとする。この期間（以下、電圧書き込み期間）では、TFT1、TFT3がONに、TFT2、TFT4がOFFとなる。本期間において、D-TFTのソー

10

20

30

40

50

ス端子電圧は、D - T F Tのしきい値電圧を V_t とすると、 $V_{S1} - V_t$ となる。また、容量素子Cの他端（D - T F Tのソース端子と接続していない一端）の電圧は、データ線DLの電圧 V_D となる。この結果、容量素子Cの両端には、電圧差 $V_D - V_{S1} + V_t$ が保持される。

【0154】

本実施形態では、電圧書き込み期間がOLE Dに供給する電流を設定する電流設定期間となる。

【0155】

この後、第一の走査線SL1の電圧信号SV1をLレベル、第二の走査線SL2の電圧信号SV2をHレベルとする。この期間（以下、発光期間）では、T F T 1、T F T 3がOFF、T F T 2、T F T 4がONとなる。本期間において、D - T F Tのゲート端子 - ソース端子の電圧差は、D - T F Tのソース端子の電圧が変動しても、チャージポンプ効果により、 $V_D - V_{S1} + V_t$ が保持される。

10

【0156】

つまり、本実施形態では、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧（ V_{S1} ）とデータ線から供給される制御電圧（ V_D ）とから決定される電圧は、次の通りである。すなわち、この電圧は、データ線より供給される制御電圧（ V_D ）から駆動用トランジスタの電流設定期間におけるドレイン端子の電圧（ V_{S1} ）を減算した電圧（ $V_D - V_{S1}$ ）である。

【0157】

20

よって、駆動用トランジスタのゲート端子とソース端子との電圧差（ $V_g - V_s$ ）は、次の通りである。すなわち、この電圧差は、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧とデータ線から供給される制御電圧とから決定される電圧と、駆動用トランジスタのしきい値電圧（ V_t ）とを加えた電圧であり、 $V_g - V_s = V_D - V_{S1} + V_t$ となる。ここで、 V_g はD - T F Tのゲート端子電圧、 V_s はD - T F Tのソース端子電圧である。

【0158】

電源線VSの電圧 V_{S1} が十分高く、D - T F Tが飽和領域で動作するように電圧を設定する。

【0159】

30

この時、D - T F Tは、次の式で表される電流 I_D をOLE Dに与える。

【0160】

$$I_D = 0.5 \times \beta \times (V_g - V_s - V_t)^2 = 0.5 \times \beta \times (V_D - V_{S1})^2$$

また、 β は、D - T F Tの電流能力を示すパラメータであり、D - T F Tの移動度、ゲート容量、サイズに依存する。

【0161】

これによると、電流 I_D は、データ線DLの制御電圧 V_D でコントロールでき、OLE Dは、その電流 - 輝度特性に従い、与えられた電流 I_D に相当する明るさで発光する。

【0162】

40

有機ELディスプレイの表示動作では、例えば、上記動作を同一行の画素に対し同時に行い、それを全行に対し順次行うことで、1画面分の表示を行う。1画面分の表示期間は、フレームと呼ばれる。このフレームを、例えば、1 / 60秒ごとに繰り返し、表示を書き換えることで、画像を表示する。

【0163】

本実施形態において、電流 I_D を表す式より明らかなように、D - T F Tは、しきい値 V_t に影響を受けない電流 I_D を、OLE Dに供給することが可能となる。従って、前記 V_t がばらついたり、電氣的ストレスにより変動したりする場合においても、OLE Dに供給する電流は変わらず、定電流源として動作する。これにより、ムラのない高品質な表示が可能である。

【0164】

50

また、本実施形態において、駆動回路内に用いている容量素子は１つだけであり、容量比精度の課題とは無関係となる。さらに、容量素子Ｃの容量値は、Ｄ－ＴＦＴのチャネル容量と、オーバーラップ容量などの寄生容量との和の３倍以上であるため、電流設定期間と発光期間でのＤ－ＴＦＴのソース端子、ドレイン端子の電圧変化の影響を抑制できる。

【０１６５】

また、本構成において、電流ＩＤは電圧により制御するため、高速に動作でき、負荷の大きい大型、高精細の発光表示デバイスに適用可能である。

【０１６６】

また、本実施形態において、駆動回路をｎ型ＴＦＴのみで構成しているにも関わらず、ＯＬＥＤのアノードを駆動回路側に設ける構成が可能である。

10

【０１６７】

また、本実施形態において、ｎ型ＴＦＴとして、キャリア密度が $10^{18}(\text{cm}^{-3})$ 以下、かつ電界効果移動度が $1(\text{cm}^2/\text{Vs})$ 以上である金属酸化物半導体層をチャネル層としたｎ型ＴＦＴを用いている。これにより、 $\alpha\text{-Si}$ や OS-TFT で構成した場合よりも、消費電力が少なく、室温形成が可能なＴＦＴにより発光表示デバイスが作成できる。さらに、移動度が高いため、必要なＴＦＴサイズが小さくてすみ、高精細化が可能となる。

【０１６８】

また、本実施形態において、アモルファス金属酸化物半導体層をチャネル層としたｎ型ＴＦＴを用いている。これにより、アモルファス層であるため平坦性が高く、特性ばらつきの小さいＴＦＴを形成できる。

20

【０１６９】

また、本実施形態において、第一の走査線ＳＬ１を２つに分け、ＴＦＴ１のゲート端子に接続する走査線ＳＬ１－１と、ＴＦＴ３のゲート端子に接続する走査線ＳＬ１－２を設ける。さらに、走査線ＳＬ１－２の電圧信号ＳＶ１－２は、走査線ＳＬ１－１の電圧信号ＳＶ１－１よりも、早くＨレベルからＬレベルへ遷移するようにする。これにより、電流設定期間から発光期間へ変わる際、ＴＦＴ３のＯＮからＯＦＦへの遷移を、ＴＦＴ２、ＴＦＴ４のＯＦＦからＯＮへの遷移や、ＴＦＴ１のＯＮからＯＦＦへの遷移よりも早く行う。この場合、容量素子Ｃに保持される電圧は、他のＴＦＴが動作することに起因する誤差要因、例えばノイズの影響を受けにくくなり、より高精度の動作が可能となる。以上のような、電流設定期間から発光期間の遷移の際、ＴＦＴ３の動作を他のＴＦＴよりも早く行う手段は、以下に述べる実施形態でも用いることができ、同様の効果を得られる。

30

【０１７０】

さらに、本実施形態において、タイミングチャートを図１２に示すような動作を行うことで新たな効果が得られる。図１２では、第二の走査線ＳＬ２の電圧信号ＳＶ２がＬレベルからＨレベルへ変化するタイミングをずらし、ＴＦＴ１、ＴＦＴ３がＯＮからＯＦＦへ遷移するタイミングから、ＴＦＴ２、ＴＦＴ４がＯＦＦからＯＮへ遷移するタイミングの間に一定の期間を設けている。この期間は、ＯＬＥＤに電流が流れないため、発光しない期間（以下、黒表示期間）となる。本期間を設けることで、新たに信号線を設けることなく、人間の目に映る残像が減少し、動画表示品質を向上することができる。以上のような黒表示期間を設けることは、以下に述べる実施形態でも用いることができ、同様の効果を得られる。

40

【０１７１】

（第六の実施形態）

本発明の第六の実施形態における有機ＥＬ素子を用いた発光表示デバイスの画素の構成は、第五の実施形態と同様に図１０で示される。

【０１７２】

ただし、本実施形態は、電源線ＶＳは、電圧ＶＳ１に固定ではなく、電圧ＶＳ１、ＶＳ２いずれかの値を取ることを特徴としている（Ｄ－ＴＦＴのドレイン端子電圧を変動する手段に対応する）。本実施形態の動作のタイミングチャートを図１３に示し、以下にその

50

動作を示す。

【0173】

まず、第一の走査線 $SL1$ の電圧信号 $SV1$ を H レベル、第二の走査線 $SL2$ の電圧信号 $SV2$ を L レベル、電源線 VS を電圧 $VS2$ とする。この期間（以下、電圧書き込み期間）では、 $TFT1$ 、 $TFT3$ が導通状態（ ON ）に、 $TFT2$ 、 $TFT4$ が非導通状態（ OFF ）になる。本期間において、 $D-TFT$ のゲート端子、ドレイン端子電圧は、共に電源線の電圧 $VS2$ となる。また、 $D-TFT$ のソース端子電圧は、 $D-TFT$ のしきい値電圧を V_t とすると、 $VS2 - V_t$ となり、容量素子 C の他端（ $D-TFT$ のソース端子と接続していない一端）の電圧は、データ線 DL の電圧 VD となる。この結果、容量素子 C の両端には、電圧 $VD - VS2 + V_t$ が保持される。

10

【0174】

本実施形態では、電圧書き込み期間が $OLED$ に供給する電流を設定する電流設定期間となる。

【0175】

この後、第一の走査線 $SL1$ の電圧信号 $SV1$ を L レベル、第二の走査線 $SL2$ の電圧信号 $SV2$ を H レベル、電源線 VS を電圧 $VS1$ とする。この期間（以下、発光期間）では、 $TFT1$ 、 $TFT3$ が OFF 、 $TFT2$ 、 $TFT4$ が ON となる。本期間において、 $D-TFT$ のゲート端子・ソース端子の電圧差は、 $D-TFT$ のソース端子の電圧が変動しても、チャージポンプ効果により、 $VD - VS2 + V_t$ が保持される。

20

【0176】

つまり、本実施形態では、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧（ $VS2$ ）とデータ線から供給される制御電圧（ VD ）とから決定される電圧が、 $VD - VS2$ である。

【0177】

よって、駆動用トランジスタのゲート端子とソース端子との電圧差（ $V_g - V_s$ ）は、次の通りである。すなわち、この電圧差は、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧とデータ線から供給される制御電圧とから決定される電圧と、駆動用トランジスタのしきい値電圧（ V_t ）とを加えた電圧であり、 $V_g - V_s = VD - VS2 + V_t$ となる。ここで、 V_g は $D-TFT$ のゲート端子電圧、 V_s は $D-TFT$ のソース端子電圧である。

30

【0178】

$VS1$ は、 $VS2$ よりも高く、 $D-TFT$ が飽和領域で動作するように電圧を設定する。

【0179】

この時、 $D-TFT$ は、次の式で表される電流 ID を $OLED$ に与える。

【0180】

$$ID = 0.5 \times \beta \times (V_g - V_s - V_t)^2 = 0.5 \times \beta \times (VD - VS2)^2$$

また、 β は、 $D-TFT$ の電流能力を示すパラメータであり、 $D-TFT$ の移動度、ゲート容量、サイズに依存する。

40

【0181】

これによると、電流 ID は、データ線 DL の制御電圧 VD でコントロールでき、 $OLED$ は、その電流・輝度特性に従い、与えられた電流 ID に相当する明るさで発光する。

【0182】

有機 EL ディスプレイの表示動作では、例えば、上記動作を同一行の画素に対し同時に行い、それを全行に対し順次行うことで、1画面分の表示を行う。1画面分の表示期間は、フレームと呼ばれる。このフレームを、例えば、1/60秒ごとに繰り返し、表示を書き換えることで、画像を表示する。

【0183】

本実施形態は、第五の実施形態で述べたものと同様の効果が得られる。さらに、 $VS2$ が低いため、第五の実施形態に比べデータ線 DL の VD の電圧が低くても、同じ電流を流

50

することが可能となる。これにより、データ線DLのVDを印加するための回路や、表示装置全体の消費電力を抑えることができる。

【0184】

また、VS2を、OLEDが電流を流し、発光するしきい値電圧以下とする。その場合、TFT4が無くても上記と同じ動作が可能となり、少ない素子数で、同様の効果が得られる。

【0185】

(第七の実施形態)

本発明の第七の実施形態における有機EL素子を用いた発光表示デバイスの画素の構成を図14に示す。第五の実施形態と同様の構成要素については、その説明を簡略又は省略する。

10

【0186】

本実施形態は、各画素10に、カソード端子がGND(接地)線(以下、GND)に接続(接地)している有機EL素子(以下、OLED)と、そのOLEDのアノード端子に接続される駆動回路11とを備える。

【0187】

駆動回路11は、OLEDを駆動し、かつゲート端子、ソース端子、ドレイン端子を有する駆動用トランジスタと、一端がD-TFTのソース端子に接続されている容量素子Cと、複数のスイッチ素子とを有する。

【0188】

駆動用トランジスタは、n型TFT(以下、D-TFT)で構成される。D-TFTは、ドレイン端子が電源線VSと接続されている。

20

【0189】

複数のスイッチ素子は、第一から第五のスイッチ素子を有する。

【0190】

第一のスイッチ素子は、n型TFT(以下、TFT1)で構成される。TFT1は、ソース/ドレイン端子の一端がD-TFTのドレイン端子と接続され、ソース/ドレイン端子の他端がD-TFTのゲート端子と接続されている。

【0191】

第二のスイッチ素子は、n型TFT(以下、TFT2)で構成される。TFT2は、ソース/ドレイン端子の一端がD-TFTのゲート端子と接続され、ソース/ドレイン端子の他端が容量素子Cの他端(D-TFTのソース端子と接続されていない一端)と接続されている。

30

【0192】

第三のスイッチ素子は、n型TFT(以下、TFT3)で構成される。TFT3は、ソース端子/ドレイン端子の一端がデータ線DLに接続され、ソース端子/ドレイン端子の他端が容量素子Cの他端(D-TFTのソース端子と接続されていない一端)と接続されている。

【0193】

第四のスイッチ素子は、n型TFT(以下、TFT4)で構成される。TFT4は、ソース端子/ドレイン端子の一端がD-TFTのソース端子に接続され、ソース端子/ドレイン端子の他端がOLEDのアノード端子と接続している。

40

【0194】

第五のスイッチ素子は、n型TFT(以下、TFT5)で構成される。TFT5は、ソース端子/ドレイン端子の一端がD-TFTのソース端子に接続され、ソース端子/ドレイン端子の他端がGNDに接続(接地)されている。

【0195】

有機ELディスプレイは、GNDのほか、データ線DLと、第一から第三の走査線SL1からSL3と、電源線VSとを有する。データ線DLは、D-TFTからOLEDに供給する電流を制御する制御電圧VDを供給する。電源線VSは、電圧VS1を供給する。

50

第一の走査線 $S L 1$ は、 $T F T 1$ 、 $T F T 3$ のゲート端子と接続され、電圧信号 $S V 1$ を供給する。第二の走査線 $S L 2$ は、 $T F T 2$ 、 $T F T 4$ のゲート端子と接続され、電圧信号 $S V 2$ を供給する。第三の走査線 $S L 3$ は、 $T F T 5$ のゲート端子と接続され、電圧信号 $S V 3$ を供給する。

【0196】

ここで、電源線 $V S$ の電圧 $V S 1$ は、 $O L E D$ に電流を供給する際、 $D - T F T$ が飽和領域で動作する電圧とする。かつ、容量素子 C の容量値は、 $D - T F T$ に関するチャネル容量と、オーバーラップ容量などの寄生容量との和の3倍以上とする。

【0197】

本実施形態のタイミングチャートを図15に示し、以下にその動作を示す。

10

【0198】

まず、第一の走査線 $S L 1$ の電圧信号 $S V 1$ を H レベル、第二の走査線 $S L 2$ の電圧信号 $S V 2$ を L レベル、第三の走査線 $S L 3$ の電圧信号 $S V 3$ を H レベルとする。この期間（以下、リセット期間）において、 $T F T 1$ 、 $T F T 3$ が $O N$ に、 $T F T 2$ 、 $T F T 4$ が $O F F$ に、 $T F T 5$ が $O N$ になる。本期間において、 $D - T F T$ のソース端子電圧は、 $G N D$ となる。

【0199】

引き続き、第一の走査線 $S L 1$ の電圧信号 $S V 1$ を H レベル、第二の走査線 $S L 2$ の電圧信号 $S V 2$ を L レベル、第三の走査線 $S L 3$ の電圧信号 $S V 3$ を L レベルとする。この期間（電圧書き込み期間）では、 $T F T 1$ 、 $T F T 3$ が $O N$ に、 $T F T 2$ 、 $T F T 4$ が $O F F$ 、 $T F T 5$ が $O F F$ となる。本期間において、 $D - T F T$ のソース端子電圧は、 $D - T F T$ のしきい値電圧を $V t$ とすると、 $V S 1 - V t$ となり、容量素子 C の他端（ $D - T F T$ のソース端子と接続していない一端）の電圧は、データ線 $D L$ の電圧 $V D$ となる。この結果、容量素子 C の両端には、電圧差 $V D - V S 1 + V t$ が保持される。

20

【0200】

本実施形態では、リセット期間と電圧書き込み期間を加えた期間が、 $O L E D$ に供給する電流を設定する電流設定期間となる。

【0201】

この後、第一の走査線 $S L 1$ の電圧信号 $S V 1$ を L レベル、第二の走査線 $S L 2$ の電圧信号 $S V 2$ を H レベル、第三の走査線 $S L 3$ の電圧信号 $S V 3$ を L レベルとする。この期間（以下、発光期間）では、 $T F T 1$ 、 $T F T 3$ が $O F F$ 、 $T F T 2$ 、 $T F T 4$ が $O N$ 、 $T F T 5$ が $O F F$ となる。本期間において、 $D - T F T$ のゲート端子 - ソース端子の電圧差は、 $D - T F T$ のソース端子の電圧が変動しても、チャージポンプ効果により、 $V D - V S 1 + V t$ が保持される。

30

【0202】

つまり、本実施形態では、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧（ $V S 1$ ）とデータ線から供給される制御電圧（ $V D$ ）とから決定される電圧が、 $V D - V S 1$ である。

【0203】

よって、駆動用トランジスタのゲート端子とソース端子との電圧差（ $V g - V s$ ）は、次の通りである。すなわち、この電圧差は、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧とデータ線から供給される制御電圧とから決定される電圧と、駆動用トランジスタのしきい値電圧（ $V t$ ）とを加えた電圧であり、 $V g - V s = V D - V S 1 + V t$ となる。ここで、 $V g$ は $D - T F T$ のゲート端子電圧、 $V s$ は $D - T F T$ のソース端子電圧である。

40

【0204】

電源線 $V S$ の電圧 $V S 1$ が十分高く、 $D - T F T$ が飽和領域で動作するように電圧を設定する。

【0205】

この時、 $D - T F T$ は、次の式で表される電流 $I D$ を $O L E D$ に与える。

50

【0206】

$$I_D = 0.5 \times \beta \times (V_g - V_s - V_t)^2 = 0.5 \times \beta \times (V_D - V_{S1})^2$$

また、 β は、D-TFTの電流能力を示すパラメータであり、D-TFTの移動度、ゲート容量、サイズに依存する。

【0207】

これによると、電流 I_D は、データ線DLの制御電圧 V_D でコントロールでき、OLEDは、その電流-輝度特性に従い、与えられた電流 I_D に相当する明るさで発光する。

【0208】

有機ELディスプレイの表示動作では、例えば、上記動作を同一行の画素に対し同時に行い、それを全行に対し順次行うことで、1画面分の表示を行う。1画面分の表示期間は、フレームと呼ばれる。このフレームを、例えば、1/60秒ごとに繰り返し、表示を書き換えることで、画像を表示する。

10

【0209】

本実施形態において、リセット期間を設けることで、ノイズ等の影響により、D-TFTのソース端子の電圧が、電源線VSの電圧よりも高くなった場合でも、正常に動作することができる。また、本実施形態は、第一の実施形態と同様の効果が得られる。さらに、第六の実施形態と同様な動作を実現することも可能である。

【0210】

(第八の実施形態)

本発明の第八の実施形態における有機EL素子を用いた発光表示デバイスの画素の構成を図16に示す。第五の実施形態と同様の構成要素については、その説明を簡略又は省略する。

20

【0211】

本実施形態は、各画素10に、カソード端子がGND(接地)線(以下、GND)に接続(接地)されている有機EL素子(以下、OLED)と、そのOLEDのアノード端子に接続される駆動回路11とを備える。

【0212】

駆動回路11は、OLEDを駆動し、かつゲート端子、ソース端子、ドレイン端子を有する駆動用トランジスタと、一端がD-TFTのソース端子に接続されている容量素子Cと、複数のスイッチ素子とを有する。

30

【0213】

駆動用トランジスタは、n型TFT(以下、D-TFT)で構成される。D-TFTは、ドレイン端子が第一の電源線VSと接続されている。

【0214】

複数のスイッチ素子は、第一から第五のスイッチ素子(第四のスイッチ素子を除く)を有する。

【0215】

第一のスイッチ素子は、n型TFT(以下、TFT1)で構成される。TFT1は、ソース/ドレイン端子の一端がD-TFTのドレイン端子と接続され、ソース/ドレイン端子の他端がD-TFTのゲート端子と接続されている。第一のn型TFT(以下、TFT1)を有する。

40

【0216】

第二のスイッチ素子は、n型TFT(以下、TFT2)で構成される。TFT2は、ソース/ドレイン端子の一端がD-TFTのゲート端子と接続され、ソース/ドレイン端子の他端が容量素子Cの他端(D-TFTのソース端子と接続されていない一端)と接続されている。

【0217】

第三のスイッチ素子は、n型TFT(以下、TFT3)で構成される。TFT3は、ソース端子/ドレイン端子の一端がデータ線DLに接続され、ソース端子/ドレイン端子の他端が容量素子Cの他端(D-TFTのソース端子と接続されていない一端)と接続して

50

いる。

【0218】

第五のスイッチ素子は、 n 型TFT（以下、TFT5）で構成される。TFT5は、ソース端子/ドレイン端子の一端がD-TFTのソース端子に接続され、ソース端子/ドレイン端子の他端が第二の電源線Vrに接続されている。

【0219】

有機ELディスプレイは、GNDのほか、データ線DLと、第一の電源線VSと、第二の電源線Vrと、第一から第三の走査線SL1からSL3とを有する。データ線DLは、D-TFTからOLEDに供給する電流を制御する制御電圧VDを供給する。第一の電源線VSは、電圧VS1及びVS2を供給する。第二の電源線Vrは、電圧Vrefを供給する。第一の走査線SL1は、TFT1、TFT3のゲート端子と接続され、電圧信号SV1を供給する。第二の走査線SL2は、TFT2のゲート端子と接続され、電圧信号SV2を供給する。第三の走査線SL3は、TFT5のゲート端子と接続され、電圧信号SV3を供給する。

10

【0220】

ここで、第一の電源線VSは、電圧VS1及びVS2を期間ごとに印加する。電圧VS1は、OLEDに電流を供給する際、D-TFTが飽和領域で動作する電圧とし、電圧VS2は、OLEDが駆動する電圧以下とする。また、第二の電源線Vrの電圧Vrefは、D-TFTのしきい値をVtとする場合、VS2-Vt以下とする。かつ、容量素子Cの容量値は、D-TFTに関するチャネル容量と、オーバーラップ容量などの寄生容量との和の3倍以上とする。

20

【0221】

本実施形態のタイミングチャートを図17に示し、以下にその動作を示す。

【0222】

まず、第一の走査線SL1の電圧信号SV1をHレベル、第二の走査線SL2の電圧信号SV2をLレベル、第三の走査線SL3の電圧信号SV3をHレベル、第一の電源線VSを電圧VS2とする。この期間（以下、リセット期間）では、TFT1、TFT3がONに、TFT2がOFFに、TFT5がONになる。本期間において、D-TFTのソース端子電圧は、第二の電源線Vrの電圧Vrefとなる。

【0223】

引き続き、第一の走査線SL1の電圧信号SV1をHレベル、第二の走査線SL2の電圧信号SV2をLレベル、第三の走査線SL3の電圧信号SV3をLレベル、第一の電源線VSを電圧VS2とする。この期間（以下、電圧書き込み期間）では、TFT1、TFT3がONに、TFT2がOFF、TFT5がOFFとなる。本期間において、第一の電源線VSの電圧VS2がOLEDの駆動電圧以下のため、OLEDに電流が流れず、D-TFTのソース端子電圧はVS2-Vtとなる。また、容量素子Cの他端（D-TFTのソース端子と接続されていない一端）の電圧は、データ線DLの電圧VDとなる。この結果、容量素子Cの両端には、電圧差VD-VS2+Vtが保持される。

30

【0224】

本実施形態では、リセット期間と電圧書き込み期間を加えた期間が、OLEDに供給する電流を設定する電流設定期間となる。

40

【0225】

この後、第一の走査線SL1のSV1をLレベル、第二の走査線SL2のSV2をHレベル、第三の走査線SL3のSV3をLレベル、第一の電源線VSを電圧VS1とする。この期間（以下、発光期間）では、TFT1、TFT3がOFF、TFT2がON、TFT5がOFFとなる。本期間において、D-TFTのゲート端子-ソース端子の電圧差は、D-TFTのソース端子の電圧が変動しても、チャージポンプ効果により、VD-VS2+Vtが保持される。

【0226】

つまり、本実施形態では、駆動用トランジスタの電流設定期間におけるドレイン端子の

50

電圧 (V_{S2}) とデータ線から供給される制御電圧 (V_D) とから決定される電圧が、 $V_D - V_{S2}$ である。

【0227】

よって、駆動用トランジスタのゲート端子とソース端子との電圧差 ($V_g - V_s$) は、次の通りである。すなわち、この電圧差は、駆動用トランジスタの電流設定期間におけるドレイン端子の電圧とデータ線から供給される制御電圧とから決定される電圧と、駆動用トランジスタのしきい値電圧 (V_t) とを加えた電圧であり、 $V_g - V_s = V_D - V_{S2} + V_t$ となる。ここで、 V_g は D - TFT のゲート端子電圧、 V_s は D - TFT のソース端子電圧である。

【0228】

第一の電源線 V_S の電圧 V_{S1} が十分高く、D - TFT が飽和領域で動作するように電圧を設定する。

【0229】

この時、D - TFT は、次の式で表される電流 I_D を OLED に与える。

【0230】

$$I_D = 0.5 \times \beta \times (V_g - V_s - V_t)^2 = 0.5 \times \beta \times (V_D - V_{S2})^2$$

また、 β は、D - TFT の電流能力を示すパラメータであり、D - TFT の移動度、ゲート容量、サイズに依存する。

【0231】

これによると、電流 I_D は、データ線 DL の制御電圧 V_D でコントロールでき、OLED は、その電流 - 輝度特性に従い、与えられた電流 I_D に相当する明るさで発光する。

【0232】

有機 EL ディスプレイの表示動作では、例えば、上記動作を同一行の画素に対し同時に行い、それを全行に対し順次行うことで、1 画面分の表示を行う。1 画面分の表示期間は、フレームと呼ばれる。このフレームを、例えば、1 / 60 秒ごとに繰り返し、表示を書き換えることで、画像を表示する。

【0233】

本実施形態は、リセット期間を設けることで、ノイズ等の影響により、D - TFT のソース端子の電圧が、第一の電源線 V_S の電圧よりも高くなった場合でも、正常に動作することができる。また、本実施形態は、第一の実施形態と同様の効果が得られる。さらに、第二の実施と同様な動作を実現することも可能である。さらに、第六の実施形態と同様に、電源線 V_S の電圧 V_{S2} が低いため、第一の実施形態に比べデータ線 DL の制御電圧 V_D の電圧が低くても、同じ電流を流すことが可能となる。これにより、データ線 DL の制御電圧 V_D を印加するための回路や、表示装置全体の消費電力を抑えることができる。

【0234】

第五の実施形態から第八の実施形態において、画素内の駆動回路は、電流設定期間において、容量素子 C が、D - TFT のゲート端子 - ソース端子間に、D - TFT のしきい値電圧と OLED に供給する電流を設定する電圧との和を保持する。従って、D - TFT のしきい値電圧に依存することなく、OLED に供給する電流を設定することができる。

【0235】

また、駆動回路内に容量素子 C は 1 つであるため、容量比精度の問題は生じない。

【0236】

また、容量素子の容量値が寄生容量の 3 倍以上と十分大きいと、寄生容量による影響が小さく、精度よく OLED に電流を供給することができる。

【0237】

以上説明したように、本実施形態によれば、OLED に供給する電流の設定を電圧により行うため、負荷の大きい大型、高精細の発光表示デバイスに適用可能である。

【0238】

また、本実施形態によれば、駆動回路を n 型 TFT のみで構成し、OLED のアノードを駆動回路側に設け、下から、アノード電極、有機材料発光層、カソード電極という順に

10

20

30

40

50

積層する構成が可能である。

【 0 2 3 9 】

また、本実施形態によれば、 n 型TFETとして、キャリア密度が $10^{18}(\text{cm}^{-3})$ 以下、かつ電界効果移動度が $1(\text{cm}^2/\text{Vs})$ 以上である金属酸化物アモルファス半導体膜をチャネル層とした n 型TFETを用いる。これにより、 $a\text{-Si}$ や、OS-TFETで構成した場合よりも、消費電力が少なく、室温形成が可能なTFETにより発光表示デバイスが作成できる。さらに、移動度が高いため、必要なTFETサイズが小さくてすみ、高精細化が可能となる。

【 0 2 4 0 】

また、本実施形態によれば、アモルファス金属酸化物半導体層をチャネル層とした n 型TFETを用いる。これにより、アモルファス層であるため平坦性が高く、特性ばらつきの小さいTFETを形成できる。

【産業上の利用可能性】

【 0 2 4 1 】

本発明は、発光表示素子を用いた発光表示デバイスに利用できる。特に本発明は、有機EL素子と、有機EL素子に電流を供給するための駆動回路とで構成される画素をマトリックス状に備える発光表示デバイスに適用可能である。

【図面の簡単な説明】

【 0 2 4 2 】

【図 1】第一の実施形態に係る発光表示デバイスの構成を示す回路図である。

【図 2】第一の実施形態の動作を説明するタイミングチャートである。

【図 3】第二の実施形態の動作を説明するタイミングチャートである。

【図 4】第三の実施形態に係る発光表示デバイスの構成を示す回路図である。

【図 5】第三の実施形態の動作を説明するタイミングチャートである。

【図 6】第四の実施形態に係る発光表示デバイスの構成を示す回路図である。

【図 7】第四の実施形態の動作を説明するタイミングチャートである。

【図 8】画素の構成を示す図である。

【図 9】走査線が 1 種類の場合の有機EL表示装置の構成を示す図である。

【図 10】第五の実施形態に係る発光表示デバイスの構成を示す回路図である。

【図 11】第五の実施形態の動作を説明するタイミングチャートである。

【図 12】第五の実施形態の動作を説明する他のタイミングチャートである。

【図 13】第六の実施形態のタイミングチャートである。

【図 14】第七の実施形態に係る発光表示デバイスの動作を説明する構成を示す回路図である。

【図 15】第七の実施形態の動作を説明するタイミングチャートである。

【図 16】第八の実施形態に係る発光表示デバイスの構成を示す回路図である。

【図 17】第八の実施形態の動作を説明するタイミングチャートである。

【符号の説明】

【 0 2 4 3 】

10 画素
11 駆動回路
OLED 有機EL素子
D-TFET 駆動用トランジスタ (n 型駆動TFET)
TFET1からTFET5 第一から第五のスイッチ素子 (n 型スイッチングTFET)
VS 電源線 (第一の電源線)
GND GND線
SL(n) (n 行目の) 走査線 (走査線が 1 種類の場合)
SL1 第一の走査線
SL2 第二の走査線
SL3 第三の走査線

10

20

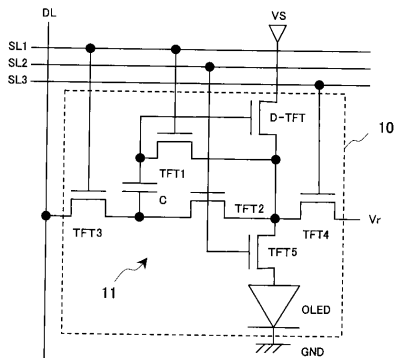
30

40

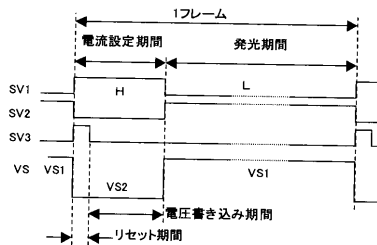
50

DL (n) (n 列目の) データ線
 C 容量素子
 Vr 参照電圧線
 Vr 第二の電源線 (第八の実施形態)

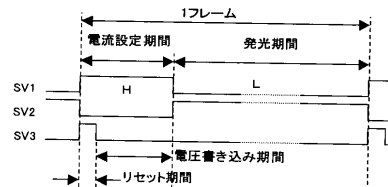
【図 1】



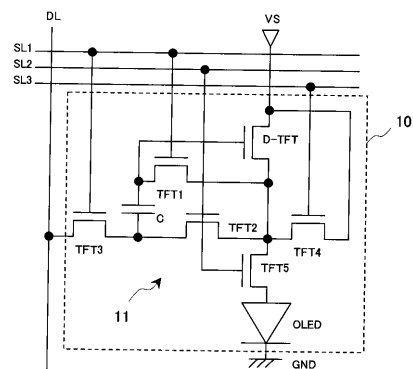
【図 2】



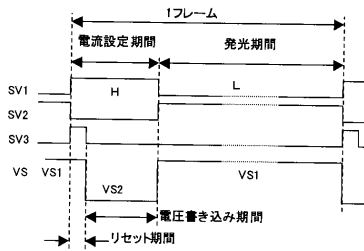
【図 3】



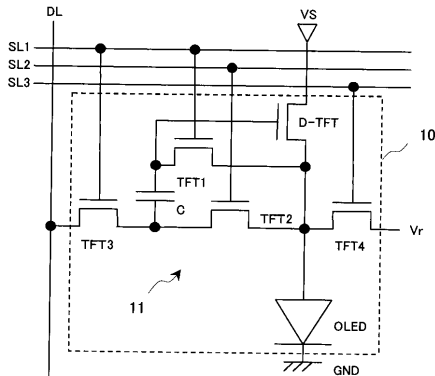
【図 4】



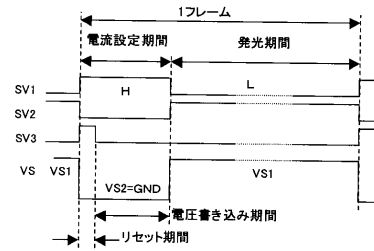
【図 5】



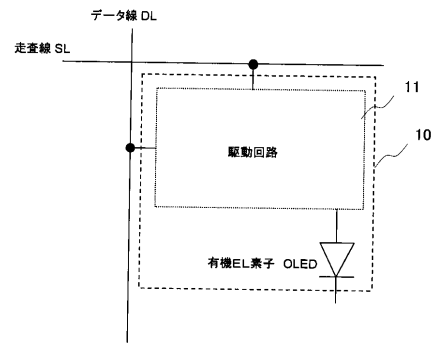
【図 6】



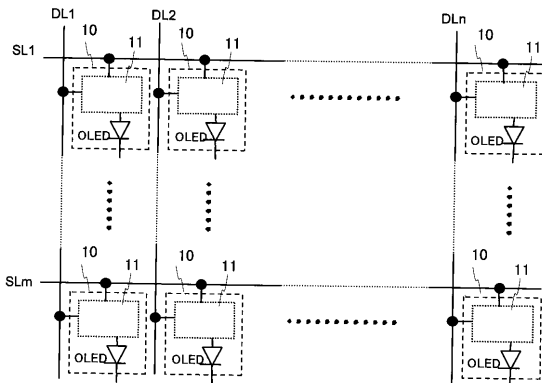
【図 7】



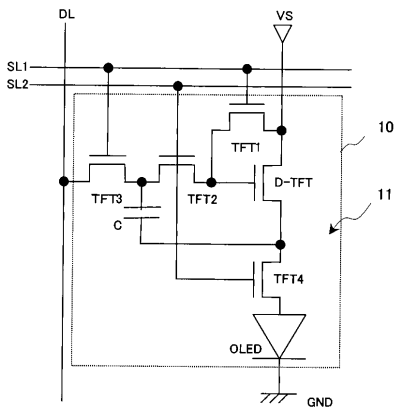
【図 8】



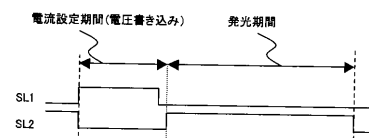
【図 9】



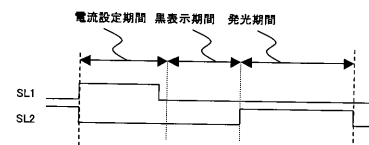
【図 10】



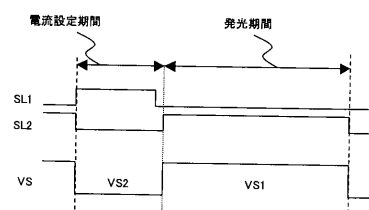
【図 11】



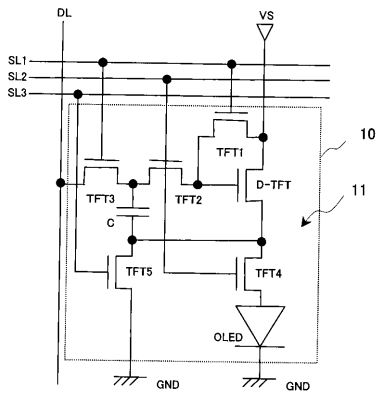
【図 12】



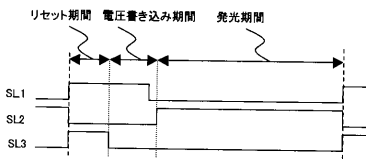
【図 13】



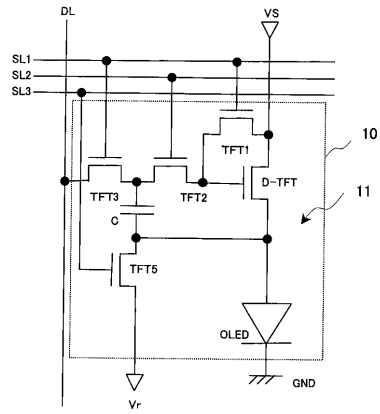
【図 14】



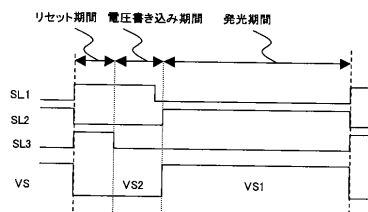
【図 15】



【図 16】



【図 17】



フロントページの続き

(51) Int. Cl.

F I

テーマコード (参考)

H 0 5 B 33/14

A

专利名称(译)	发光显示装置		
公开(公告)号	JP2008176287A	公开(公告)日	2008-07-31
申请号	JP2007292109	申请日	2007-11-09
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	安部勝美		
发明人	安部 勝美		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/0251 G09G2310/061 G09G2320/0233 G09G2320/0261 G09G2320/043		
FI分类号	G09G3/30.J G09G3/20.624.B G09G3/20.641.D G09G3/20.611.H G09G3/20.670.J H05B33/14.A G09G3/20.612.E G09G3/3241 G09G3/325 G09G3/3258 G09G3/3266 G09G3/3283 G09G3/3291		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC21 3K107/CC33 3K107/CC35 3K107/EE04 3K107/HH04 3K107/HH05 5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD29 5C080/EE29 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB22 5C380/AB23 5C380/AB25 5C380/AB46 5C380/AC04 5C380/BA01 5C380/BA05 5C380/BA08 5C380/BA12 5C380/BA13 5C380/BA19 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BC20 5C380/BD02 5C380/BD09 5C380/BD10 5C380/BE05 5C380/CA12 5C380/CA13 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB20 5C380/CB31 5C380/CC04 5C380/CC06 5C380/CC07 5C380/CC13 5C380/CC14 5C380/CC18 5C380/CC19 5C380/CC26 5C380/CC27 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC41 5C380/CC57 5C380/CC61 5C380/CC63 5C380/CC64 5C380/CD014 5C380/CD015 5C380/CD016 5C380/CE04 5C380/CE20 5C380/DA01 5C380/DA02 5C380/DA06 5C380/DA42 5C380/DA47 5C380/HA02 5C380/HA03 5C380/HA05 5C380/HA08 5C380/HA12		
代理人(译)	永井道雄		
优先权	2006342578 2006-12-20 JP		
其他公开文献	JP5665256B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种发光显示装置，其抑制驱动晶体管的特性变化的影响和由电力引起的特性偏移，并且包括用于控制提供给发光元件的电流的驱动电路。
 解决方案：发光显示装置包括多个像素10。像素10包括以基于所提供的电流确定的亮度发光的有机EL元件（OLED），以及用于向OLED提供电流的驱动电路11。来自数据线的控制电压。驱动电路11包括用于驱动OLED的驱动晶体管（D-TFT），电容器元件C和多个开关元件。D-TFT具有与OLED的阳极端子连接的源极端子。电容器元件C和开关元件操作使得当从驱动电路11向OLED提供电流时，D-TFT的栅极端子和源极端子之间的电压差是阈值电压的总和。在电流设定时段期间，驱动晶体管和由驱动晶体管的漏极端子的电压和控制电压确定的电压。
 Ž

