

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-52432

(P2007-52432A)

(43) 公開日 平成19年3月1日(2007.3.1)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/30 (2006.01)	G09G 3/30 J	3K107
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
H01L 51/50 (2006.01)	G09G 3/20 621E	
	G09G 3/20 624B	
	G09G 3/20 621A	
審査請求 有 請求項の数 41 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2006-221420 (P2006-221420)	(71) 出願人	590002817
(22) 出願日	平成18年8月15日 (2006.8.15)		三星エスディアイ株式会社
(31) 優先権主張番号	10-2005-0075428		大韓民国京畿道水原市靈通区▲しん▼洞5
(32) 優先日	平成17年8月17日 (2005.8.17)		75番地
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100095957
(31) 優先権主張番号	10-2005-0075429		弁理士 亀谷 美明
(32) 優先日	平成17年8月17日 (2005.8.17)	(74) 代理人	100096389
(33) 優先権主張国	韓国 (KR)		弁理士 金本 哲男
		(72) 発明者	鄭 費容
			大韓民国京畿道水原市靈通区▲シン▼洞5
			75番地 三星エスディアイ株式会社内
		Fターム(参考)	3K107 AA01 BB01 CC42 CC45 EE03
			HH00 HH04
			5C080 AA06 BB05 DD22 DD26 EE28
			FF11 JJ02 JJ03 JJ04

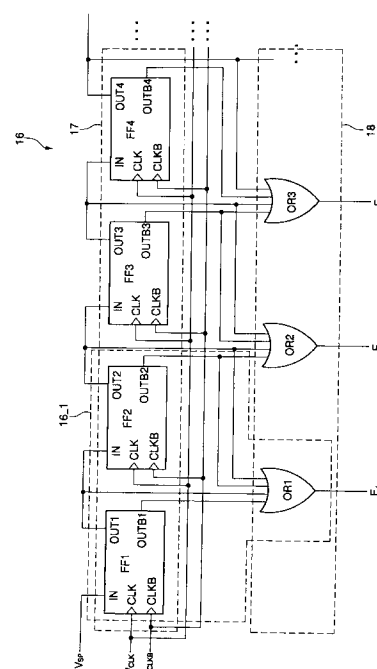
(54) 【発明の名称】 有機電界発光表示装置、発光制御駆動装置および論理和回路

(57) 【要約】

【課題】 E L表示パネルの内部にS O P型で設計される新しい形態の発光制御駆動装置とこれを備えた有機電界発光表示装置、および論理和回路を提供する。

【解決手段】 複数の画素を有する画素部12と、走査信号を印加する走査駆動部14と、データ信号を印加するデータ駆動部20と、発光制御信号を印加する発光制御駆動部16とを備え、発光制御駆動部16は、複数のフリップフロップを有するシフトレジスタと、シフトレジスタ内のそれぞれ隣接する2つのフリップフロップから、第1出力信号OUTnおよび反転された第1出力信号OUTBnと、第2出力信号OUTn+1および反転された第2出力信号OUTBn+1との合わせて4つの信号を入力されて能動負荷を制御し、論理和の演算により発光制御信号を出力する論理ゲートを複数有する論理演算部とから構成される有機電界発光表示装置が提供される。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

所定の映像を表示する複数の画素を有する画素部と；

前記複数の画素を順次を選択する走査信号を印加する走査駆動部と；

前記走査信号により選択された画素にデータ信号を印加するデータ駆動部と；

前記複数の画素の発光を制御する発光制御信号を印加する発光制御駆動部と；

を備え、

前記発光制御駆動部は、

開始パルスを入力され、クロック信号および反転されたクロック信号に同期して出力信号を生成するフリップフロップと、一段前のフリップフロップの前記出力信号を新たな入力とし、前記クロック信号および前記反転されたクロック信号に同期して新たな出力信号を生成する、複数のフリップフロップとを有するシフトレジスタと；

前記シフトレジスタ内のそれぞれ隣接する 2 つのフリップフロップから、第 1 出力信号および反転された第 1 出力信号と、第 2 出力信号および反転された第 2 出力信号との合わせて 4 つの信号が入力され、前記 4 つの信号を用いて能動負荷を制御し、前記第 1 出力信号および前記第 2 出力信号に対する論理和の演算により発光制御信号を出力する論理ゲートを複数有する論理演算部と；

から構成されることを特徴とする、有機電界発光表示装置。

【請求項 2】

前記複数のフリップフロップそれぞれは、

前記反転されたクロック信号の立ち下がりエッジで入力信号をサンプリングする第 1 トランジスタと；

前記第 1 トランジスタの出力信号を反転するための第 1 インバータと；

前記クロック信号の立ち下がりエッジで前記第 1 インバータの出力信号をサンプリングする第 2 トランジスタと；

前記第 2 トランジスタの出力信号を反転する第 2 インバータと；

を含むことを特徴とする、請求項 1 に記載の有機電界発光表示装置。

【請求項 3】

前記それぞれの隣接するフリップフロップは、前記第 2 トランジスタの出力信号と前記第 2 インバータの出力信号とを前記論理ゲートに印加することを特徴とする、請求項 2 に記載の有機電界発光表示装置。

【請求項 4】

前記第 1 インバータおよび第 2 インバータは、

正の電源電圧が印加される端子と出力端子との間に連結され、前記フリップフロップの第 1 トランジスタ、または第 2 トランジスタを介して伝達される信号に基づいてオン / オフ動作を行う第 3 トランジスタと；

負の電源電圧が印加される端子と前記出力端子との間に連結され、前記第 3 トランジスタのオン / オフに基づいて出力電流量を制御する第 4 トランジスタと；

を含むことを特徴とする、請求項 3 に記載の有機電界発光表示装置。

【請求項 5】

前記第 1 インバータおよび第 2 インバータは、前記第 4 トランジスタのゲート端子とドレイン端子との間に連結され、前記第 4 トランジスタのゲート電圧を制御するダイオード連結した第 5 トランジスタをさらに含むことを特徴とする、請求項 4 に記載の有機電界発光表示装置。

【請求項 6】

前記第 3 トランジスタのオン抵抗は、前記第 4 トランジスタのオン抵抗より小さいことを特徴とする、請求項 5 に記載の有機電界発光表示装置。

【請求項 7】

前記第 1 インバータおよび第 2 インバータは、前記第 4 トランジスタのソース端子とゲート端子との間に連結され、前記第 5 トランジスタがオフとなった時、前記第 4 トランジ

10

20

30

40

50

スタのソース - ゲート間の電圧を維持するキャパシタをさらに含むことを特徴とする、請求項 6 に記載の有機電界発光表示装置。

【請求項 8】

前記第 1 ～ 第 5 トランジスタは、PMOS トランジスタであることを特徴とする、請求項 7 に記載の有機電界発光表示装置。

【請求項 9】

前記複数の論理ゲートそれぞれは、

第 1 電源電圧が印加される端子に連結され、前記隣接する 2 つのフリップフロップから出力される前記第 1 出力信号と前記第 2 出力信号とのレベル状態に基づいてオン / オフ動作を行う入力部と；

10

前記入力部と第 2 電源電圧が印加される端子との間に連結され、前記隣接する 2 つのフリップフロップから出力される 2 つの反転された出力信号のレベル状態に基づいて選択的にダイオード連結される第 6 トランジスタを有する第 1 能動負荷と；

前記第 1 電源電圧が印加される端子と発光制御線との間に連結され、前記入力部または前記第 1 能動負荷の出力信号レベル状態に基づいてオン / オフ動作を行う出力トランジスタと；

前記第 2 電源電圧が印加される端子と前記発光制御線との間に連結され、前記隣接する 2 つのフリップフロップから出力される 2 つの出力信号のレベル状態に基づいて選択的にダイオード連結される第 7 トランジスタを有する第 2 能動負荷と；

を含むことを特徴とする、請求項 1 に記載の有機電界発光表示装置。

20

【請求項 10】

前記入力部は、

前記第 1 電源電圧が印加される端子に連結され、前記第 1 出力信号のレベル状態に基づいてオン / オフ動作を行う第 8 トランジスタと；

前記第 8 トランジスタと直列に連結され、前記第 2 出力信号のレベル状態に基づいてオン / オフ動作を行う第 9 トランジスタと；

から構成されることを特徴とする、請求項 9 に記載の有機電界発光表示装置。

【請求項 11】

前記第 1 能動負荷は、

前記第 6 トランジスタのゲートとドレインとの間に連結され、前記反転された第 1 出力信号のレベル状態に基づいてオン / オフ動作を行う第 10 トランジスタと；

30

前記第 10 トランジスタと並列に連結され、前記反転された第 2 出力信号のレベル状態に基づいてオン / オフ動作を行う第 11 トランジスタと；

をさらに含み、

前記反転された第 1 出力信号および前記反転された第 2 出力信号が共にハイレベルの信号である場合、前記第 1 能動負荷に流れる電流は遮断されることを特徴とする、請求項 10 に記載の有機電界発光表示装置。

【請求項 12】

前記第 2 能動負荷は、

前記第 7 トランジスタのゲートに連結され、前記第 1 出力信号のレベル状態に基づいてオン / オフ動作を行う第 12 トランジスタと；

40

前記第 12 トランジスタに直列連結され、前記第 2 出力信号のレベル状態に基づいてオン / オフ動作を行う第 13 トランジスタと；

をさらに含み、

前記第 1 出力信号と前記第 2 出力信号とのうち、少なくとも一方の信号のレベルがハイレベルである場合、前記第 2 能動負荷に流れる電流は遮断されることを特徴とする、請求項 11 に記載の有機電界発光表示装置。

【請求項 13】

前記複数の論理ゲートそれぞれは、

前記第 6 トランジスタのソース端子に連結され、前記第 1 出力信号のレベル状態に基づ

50

いてオン／オフ動作を行う第１４トランジスタと；

前記第１４トランジスタと直列に連結され、前記第２出力信号のレベル状態に基づいてオン／オフ動作を行う第１５トランジスタと；

を有するスイッチング部をさらに含み、

前記第１出力信号および前記第２出力信号がローレベルである場合、前記第６トランジスタをオフさせて、前記第１能動負荷に流れる電流を遮断することを特徴とする、請求項１２に記載の有機電界発光表示装置。

【請求項１４】

前記複数の論理ゲートそれぞれは、

前記第６トランジスタのソース端子とゲート端子との間に連結され、前記第６トランジスタのソース－ゲート間の電圧を維持する第１キャパシタと； 10

前記第７トランジスタのソース端子とゲート端子との間に連結され、前記第７トランジスタのソース－ゲート間の電圧を維持する第２キャパシタと；

をさらに含むことを特徴とする、請求項１３に記載の有機電界発光表示装置。

【請求項１５】

前記複数の論理ゲートそれぞれは、前記第２キャパシタの両端に連結され、前記入力部または前記第１能動負荷の出力信号のレベル状態に基づいてオン／オフ動作を行う第１６トランジスタをさらに含むことを特徴とする、請求項１４に記載の有機電界発光表示装置。

【請求項１６】

前記第６～第１６トランジスタは、ＰＭＯＳトランジスタであることを特徴とする、請求項１５に記載の有機電界発光表示装置。 20

【請求項１７】

前記画素部、前記走査駆動部、前記データ駆動部および前記発光制御駆動部は、１つの基板上に形成されることを特徴とする、請求項１に記載の有機電界発光表示装置。

【請求項１８】

前記有機電界発光表示装置は、複数の有機電界発光表示装置がタイル形態で結合して１つの映像を表示することを特徴とする、請求項１に記載の有機電界発光表示装置。

【請求項１９】

開始パルスを入力され、クロック信号および反転されたクロック信号に同期する第１出力信号を生成する第１フリップフロップと； 30

前記第１フリップフロップの出力信号が入力され、前記クロック信号および前記反転されたクロック信号に同期する第２出力信号を生成する第２フリップフロップと；

前記第１出力信号および反転された第１出力信号、並びに前記第２出力信号および反転された第２出力信号が入力され、前記第１フリップフロップと前記第２フリップフロップから出力された４つの信号を用いて能動負荷を制御し、前記第１出力信号と前記第２出力信号との論理和の演算により発光制御信号を出力する論理ゲートと；

を含むことを特徴とする発光制御駆動装置。

【請求項２０】

前記複数のフリップフロップそれぞれは、 40

前記反転されたクロック信号の立ち下がりエッジで入力信号をサンプリングする第１トランジスタと；

前記第１トランジスタの出力信号を反転するための第１インバータと；

前記クロック信号の立ち下がりエッジで前記第１インバータの出力信号をサンプリングする第２トランジスタと；

前記第２トランジスタの出力信号を反転する第２インバータと；

を含むことを特徴とする、請求項１９に記載の発光制御駆動装置。

【請求項２１】

前記第１インバータおよび第２インバータは、

正の電源電圧が印加される端子と出力端子との間に連結され、前記フリップフロップの 50

第 1 トランジスタ、または第 2 トランジスタを介して伝達される信号に基づいてオン / オフ動作を行う第 3 トランジスタと；

負の電源電圧が印加される端子と前記出力端子との間に連結され、前記第 3 トランジスタのオン / オフに基づいて出力電流量を制御する第 4 トランジスタと；

を含むことを特徴とする、請求項 20 に記載の発光制御駆動装置。

【請求項 22】

前記第 1 インバータおよび第 2 インバータは、前記第 4 トランジスタのゲート端子とドレイン端子との間に連結され、前記第 4 トランジスタのゲート電圧を制御するダイオード連結した第 5 トランジスタをさらに含むことを特徴とする、請求項 21 に記載の発光制御駆動装置。

10

【請求項 23】

前記第 3 トランジスタのオン抵抗は、前記第 4 トランジスタのオン抵抗より小さいことを特徴とする、請求項 22 に記載の発光制御駆動装置。

【請求項 24】

前記第 1 インバータおよび第 2 インバータは、前記第 4 トランジスタのソース端子とゲート端子との間に連結され、前記第 5 トランジスタがオフとなった時、前記第 4 トランジスタのソース - ゲート間の電圧を維持するキャパシタをさらに含むことを特徴とする、請求項 23 に記載の発光制御駆動装置。

【請求項 25】

前記第 1 ~ 第 5 トランジスタは、PMOS トランジスタであることを特徴とする、請求項 24 に記載の発光制御駆動装置。

20

【請求項 26】

前記複数の論理ゲートそれぞれは、

第 1 電源電圧が印加される端子に連結され、前記第 1 出力信号および前記第 2 出力信号のレベル状態に基づいてオン / オフ動作を行う入力部と；

前記入力部と第 2 電源電圧が印加される端子との間に連結され、前記反転された第 1 出力信号または前記反転された第 2 出力信号のレベル状態に基づいて選択的にダイオード連結される第 6 トランジスタを有する第 1 能動負荷と；

前記第 1 電源電圧が印加される端子と発光制御線との間に連結され、前記入力部または前記第 1 能動負荷の出力信号のレベル状態に基づいてオン / オフ動作を行う出力トランジスタと；

30

前記第 2 電源電圧が印加される端子と前記発光制御線との間に連結され、前記第 1 出力信号および前記第 2 出力信号のレベル状態に基づいて選択的にダイオード連結される第 7 トランジスタを有する第 2 能動負荷と；

を含むことを特徴とする、請求項 19 に記載の発光制御駆動装置。

【請求項 27】

前記入力部は、

前記第 1 電源電圧が印加される端子に連結され、前記第 1 出力信号のレベル状態に基づいてオン / オフ動作を行う第 8 トランジスタと；

前記第 8 トランジスタと直列に連結され、前記第 2 出力信号のレベル状態に基づいてオン / オフ動作を行う第 9 トランジスタと；

40

から構成されることを特徴とする、請求項 26 に記載の発光制御駆動装置。

【請求項 28】

前記第 1 能動負荷は、

前記第 6 トランジスタのゲートとドレインとの間に連結され、前記反転された第 1 出力信号のレベル状態に基づいてオン / オフ動作を行う第 10 トランジスタと；

前記第 10 トランジスタと並列に連結され、前記反転された第 2 出力信号のレベル状態に基づいてオン / オフ動作を行う第 11 トランジスタと；

をさらに含み、

前記反転された第 1 出力信号および前記反転された第 2 出力信号が共にハイレベルの信

50

号である場合、前記第 1 能動負荷に流れる電流は遮断されることを特徴とする、請求項 27 に記載の発光制御駆動装置。

【請求項 29】

前記第 2 能動負荷は、

前記第 7 トランジスタのゲートに連結され、前記第 1 出力信号のレベル状態に基づいてオン / オフ動作を行う第 1 2 トランジスタと；

前記第 1 2 トランジスタに直列連結され、前記第 2 出力信号のレベル状態に基づいてオン / オフ動作を行う第 1 3 トランジスタと；

をさらに含み、

前記第 1 出力信号と前記第 2 出力信号とのうち、少なくとも一方の信号のレベルがハイレベルである場合、前記第 2 能動負荷に流れる電流は遮断されることを特徴とする、請求項 28 に記載の発光制御駆動装置。 10

【請求項 30】

前記複数の論理ゲートそれぞれは、

前記第 6 トランジスタのソース端子に連結され、前記第 1 出力信号のレベル状態に基づいてオン / オフ動作を行う第 1 4 トランジスタと；

前記第 1 4 トランジスタに直列連結され、前記第 2 出力信号のレベル状態に基づいてオン / オフ動作を行う第 1 5 トランジスタと；

を有するスイッチング部をさらに含み、

前記第 1 出力信号および前記第 2 出力信号がローレベルである場合、前記第 6 トランジスタをオフさせて、前記第 1 能動負荷に流れる電流を遮断することを特徴とする請求項 29 に記載の発光制御駆動装置。 20

【請求項 31】

前記複数の論理ゲートそれぞれは、

前記第 6 トランジスタのソース端子とゲート端子との間に連結され、前記第 6 トランジスタのソース - ゲート間の電圧を維持する第 1 キャパシタと；

前記第 2 トランジスタのソース端子とゲート端子との間に連結され、前記第 7 トランジスタのソース - ゲート間の電圧を維持する第 2 キャパシタと；

をさらに含むことを特徴とする、請求項 30 に記載の発光制御駆動装置。

【請求項 32】 30

前記複数の論理ゲートそれぞれは、前記第 2 キャパシタの両端に連結され、前記入力部または前記第 1 能動負荷の出力信号のレベル状態に基づいてオン / オフ動作を行う第 1 6 トランジスタをさらに含むことを特徴とする請求項 31 に記載の発光制御駆動装置。

【請求項 33】

前記第 6 ~ 第 1 6 トランジスタは、PMOS トランジスタであることを特徴とする、請求項 32 に記載の発光制御駆動装置。

【請求項 34】

第 1 電源電圧が印加される端子に連結され、第 1 入力信号および第 2 入力信号のレベル状態に基づいてオン / オフ動作を行う入力部と；

前記入力部と第 2 電源電圧が印加される端子との間に連結され、反転された第 1 入力信号または反転された第 2 入力信号のレベル状態に基づいて選択的にダイオード連結される第 6 トランジスタを有する第 1 能動負荷と； 40

前記第 1 電源電圧が印加される端子と発光制御線との間に連結され、前記入力部または前記第 1 能動負荷の出力信号レベル状態に基づいてオン / オフ動作を行う出力トランジスタと；

前記第 2 電源電圧が印加される端子と前記発光制御線との間に連結され、前記第 1 入力信号および前記第 2 入力信号のレベル状態に基づいて選択的にダイオード連結される第 7 トランジスタとを有する第 2 能動負荷と；

を含むことを特徴とする、論理和回路。

【請求項 35】

前記入力部は、

前記第 1 電源電圧が印加される端子に連結され、前記第 1 入力信号のレベル状態に基づいてオン/オフ動作を行う第 8 トランジスタと；

前記第 3 トランジスタと直列に連結され、前記第 2 入力信号のレベル状態に基づいてオン/オフ動作を行う第 9 トランジスタと；

から構成されることを特徴とする、請求項 3 4 に記載の論理和回路。

【請求項 3 6】

前記第 1 能動負荷は、

前記第 6 トランジスタのゲートとドレインとの間に連結され、前記反転された第 1 入力信号のレベル状態に基づいてオン/オフ動作を行う第 10 トランジスタと；

10

前記第 10 トランジスタと並列に連結され、前記反転された第 2 入力信号のレベル状態に基づいてオン/オフ動作を行う第 11 トランジスタと；

をさらに含み、

前記反転された第 1 入力信号および前記反転された第 2 入力信号が共にハイレベルの信号である場合、前記第 1 能動負荷に流れる電流は遮断されることを特徴とする、請求項 3 5 に記載の論理和回路。

【請求項 3 7】

前記第 2 能動負荷は、

前記第 7 トランジスタのゲートに連結され、前記第 1 入力信号のレベル状態に基づいてオン/オフ動作を行う第 12 トランジスタと；

20

前記第 12 トランジスタに直列連結され、前記第 2 入力信号のレベル状態に基づいてオン/オフ動作を行う第 13 トランジスタと；

をさらに含み、

前記第 1 出力信号と前記第 2 出力信号とのうち、少なくとも一方の信号のレベルがハイレベルである場合、前記第 2 能動負荷に流れる電流は遮断されることを特徴とする、請求項 3 6 に記載の論理和回路。

【請求項 3 8】

前記複数の論理ゲートそれぞれは、

前記第 6 トランジスタのソース端子に連結され、前記第 1 入力信号のレベル状態に基づいてオン/オフ動作を行う第 14 トランジスタと；

30

前記第 14 トランジスタと直列に連結され、前記第 2 入力信号のレベル状態に基づいてオン/オフ動作を行う第 15 トランジスタとを有するスイッチング部と；

をさらに含み、

前記第 1 入力信号および前記第 2 入力信号がローレベルである時、前記第 6 トランジスタをオフさせて、前記第 1 能動負荷に流れる電流を遮断することを特徴とする、請求項 3 7 に記載の論理和回路。

【請求項 3 9】

前記複数の論理ゲートそれぞれは、

前記第 6 トランジスタのソース端子とゲート端子との間に連結され、前記第 6 トランジスタのソース - ゲート間の電圧を維持する第 1 キャパシタと；

40

前記第 7 トランジスタのソース端子とゲート端子との間に連結され、前記第 7 トランジスタのソース - ゲート間の電圧を維持する第 2 キャパシタと；

をさらに含むことを特徴とする、請求項 3 8 に記載の論理和回路。

【請求項 4 0】

前記複数の論理ゲートそれぞれは、

前記第 2 キャパシタの両端に連結され、前記入力部または前記第 1 能動負荷の出力信号のレベル状態に基づいてオン/オフ動作を行う第 16 トランジスタをさらに含むことを特徴とする、請求項 3 9 に記載の論理和回路。

【請求項 4 1】

前記第 1 ~ 第 11 トランジスタは、PMOS トランジスタであることを特徴とする、請

50

求項 40 に記載の論理和回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機電界発光表示装置、発光制御駆動装置および論理和回路に関し、より詳細には、画素の発光を制御する信号を発生する SOP (System On Panel) 形態の発光制御駆動装置、これを備えた有機電界発光表示装置、および論理和回路に関する。

【背景技術】

【0002】

平板表示装置は、陰極線管を用いた表示装置より重さや容積を低減することができるという長所があるため、研究開発が進んでいる。これにより、液晶表示装置 (LCD; Liquid Crystal Display)、電界放出表示装置 (FED; Field Emission Display)、プラズマディスプレイパネル (PDP; Plasma Display Panel) および有機電界発光表示装置 (Organic Electroluminescent Display Device; 以下、「有機 EL 表示装置」という) 等が開発され実用化されている。これらのうち PDP は、大型画面化が可能であるが、発光効率と輝度が低いため、消費電力が大きいという問題がある。また、LCD は、応答速度が遅く、バックライトにより発光するため、消費電力が大きいという問題がある。

【0003】

これらに対して、有機 EL 表示装置は、有機物質を用いて発光させるものであって、LCD に比べて視野角が広く、応答速度が速く、そして自発光素子によりコントラストが良好であり、視認性に優れている。また、バックライトが不要なので、消費電力が少なく、薄形化および軽量化が可能である。

【0004】

しかしながら、有機 EL 表示装置は、大型画面を構成する場合、製造プロセスの制約から、ガラス基板 1 枚から製造できる EL 表示パネルの大きさが制限される。また、大画面の場合、画面の一部に欠陥が発生した場合、収率の低下が回避できず、画面内の均一性の確保も困難となる。

【0005】

上記のような大型画面を構成しがたい有機 EL 表示装置についての解決方法の 1 つとして開発された技術が、タイルリング (Tiling) 技術であり、これは、複数の小型の EL 表示パネルを接合させて、1 つの大型のパネルを形成する方法である。

【0006】

各小型の EL 表示パネルは、従来の EL 表示パネルと同様に所定の映像を表示する複数の画素よりなる。上記複数の画素を活性化するために、走査駆動部は、走査信号を印加し、データ駆動部は、走査信号が印加された画素にデータ信号を印加する。また、上記データ信号の正確なプログラミングと発光タイムを制御するために、発光制御駆動部から各画素に発光制御信号を印加する。

【0007】

また、小型の EL 表示パネルを駆動するための多様な信号を印加する走査駆動部、データ駆動部および発光制御駆動部は、多様な方式で各小型の EL 表示パネルと電氣的に連結される。

【0008】

例えば、各小型の EL 表示パネルに接着され電氣的に連結されているテープキャリアパッケージ (Tape Carrier Package; TCP) にチップ等の形態で装着することができる。また、各小型の EL 表示パネルに接着され電氣的に連結されている可撓性印刷回路 (Flexible Printed Circuit; FPC)、またはフィルム (film) 等にチップ等の形態で装着することができる。これを COF (C

10

20

30

40

50

hip On Flexible board、またはChip On Film)方式という。これとは異なって、EL表示パネルのガラス基板上に直接チップ等の形態で装着したものは、COG(Chip On Glass)方式とよばれる。これらの方法は、各駆動部を別々に設計し、電氣的に連結するので、費用が多くかかり、また、モジュールの簡素化に向かないという問題がある。

【0009】

したがって、近年、EL表示パネルの内部に画素部、走査／発光制御駆動部、および／またはデータ駆動部を設計し、1つのEL表示パネルにあらゆるシステムを構築する試みがなされている。これをSOP(System On Panel)という。

【0010】

タイルリング(Tileing)技術を用いた大型の有機EL表示装置である場合、複数の小型のパネルを接合するので、各小型のEL表示パネルをCOF型やCOG型等で製作するよりも、SOP型で製作する方が、各小型のEL表示パネルを接合しやすい。また、各駆動部が占める面積を低減することができ、各駆動部の集積回路を設計するに要する費用や時間を軽減することができる。

【0011】

しかし、SOP型の有機EL表示装置を開発するためには、データ駆動部または走査／発光制御駆動部における駆動周波数や電子移動度等のような、EL表示パネル内部の様々な事情や条件を考慮する必要がある。現行の技術水準では、データ駆動部は高周波数での駆動を必要とするため、データ駆動部をパネルの内部に設計することは、非常に困難である。

【0012】

したがって、データ駆動部は、CMOS技術を用いた集積回路の形態で外部から連結され、走査駆動部または／および発光制御駆動部は、EL表示パネルの内部に形成される。それゆえ、SOP型の有機EL表示装置を実現するために、走査駆動部および発光制御駆動部が、EL表示パネルの内部で最適な駆動を行うことが可能な、簡易な回路構成が必要とされている。

【0013】

【特許文献1】特開2004 - 第054058号公報

【特許文献2】特開2004 - 第070300号公報

【特許文献3】大韓民国特許第0381063号

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明の目的は、EL表示パネルの内部にSOP型で設計され、画素の発光を制御するための発光制御信号を生成する新しい形態の発光制御駆動装置とこれを備えた有機電界発光表示装置、および論理和回路を提供することにある。

【課題を解決するための手段】

【0015】

上記目的を達成するために、本発明のある観点によれば、所定の映像を表示する複数の画素を有する画素部と、上記複数の画素を順次を選択する走査信号を印加する走査駆動部と、上記走査信号により選択された画素にデータ信号を印加するデータ駆動部と、上記複数の画素の発光を制御する発光制御信号を印加する発光制御駆動部とを備え、上記発光制御駆動部は、開始パルスを入力され、クロック信号および反転されたクロック信号に同期して出力信号を生成するフリップフロップと、一段前のフリップフロップの上記出力信号を新たな入力とし、上記クロック信号および上記反転されたクロック信号に同期して新たな出力信号を生成する、複数のフリップフロップとを有するシフトレジスタと、上記シフトレジスタ内のそれぞれ隣接する2つのフリップフロップから、第1出力信号および反転された第1出力信号と、第2出力信号および反転された第2出力信号との合わせて4つの信号が入力され、上記4つの信号を用いて能動負荷を制御し、上記第1出力信号および上

10

20

30

40

50

記第 2 出力信号に対する論理和の演算により発光制御信号を出力する論理ゲートを複数有する論理演算部とから構成される有機電界発光表示装置が提供される。

【 0 0 1 6 】

また、上記複数のフリップフロップそれぞれは、上記反転されたクロック信号の立ち下がりエッジで入力信号をサンプリングする第 1 トランジスタと、上記第 1 トランジスタの出力信号を反転するための第 1 インバータと、上記クロック信号の立ち下がりエッジで上記第 1 インバータの出力信号をサンプリングする第 2 トランジスタと、上記第 2 トランジスタの出力信号を反転する第 2 インバータとを含むとしてもよい。

【 0 0 1 7 】

また、上記それぞれの隣接するフリップフロップは、上記第 2 トランジスタの出力信号と上記第 2 インバータの出力信号とを上記論理ゲートに印加するとしてもよい。 10

【 0 0 1 8 】

また、上記第 1 インバータおよび第 2 インバータは、正の電源電圧が印加される端子と出力端子との間に連結され、上記フリップフロップの第 1 トランジスタ、または第 2 トランジスタを介して伝達される信号に基づいてオン / オフ動作を行う第 3 トランジスタと、負の電源電圧が印加される端子と上記出力端子との間に連結され、上記第 3 トランジスタのオン / オフに基づいて出力電流量を制御する第 4 トランジスタとを含むとしてもよい。

【 0 0 1 9 】

また、上記第 1 インバータおよび第 2 インバータは、上記第 4 トランジスタのゲート端子とドレイン端子との間に連結され、上記第 4 トランジスタのゲート電圧を制御するダイオード連結した第 5 トランジスタをさらに含むとしてもよい。 20

【 0 0 2 0 】

また、上記第 3 トランジスタのオン抵抗は、上記第 4 トランジスタのオン抵抗より小さいとしてもよい。

【 0 0 2 1 】

また、上記第 1 インバータおよび第 2 インバータは、上記第 4 トランジスタのソース端子とゲート端子との間に連結され、上記第 5 トランジスタがオフとなった時、上記第 4 トランジスタのソース - ゲート間の電圧を維持するキャパシタをさらに含むとしてもよい。

【 0 0 2 2 】

また、上記第 1 ~ 第 5 トランジスタは、PMOS トランジスタであるとしてもよい。 30

【 0 0 2 3 】

また、上記複数の論理ゲートそれぞれは、第 1 電源電圧が印加される端子に連結され、上記隣接する 2 つのフリップフロップから出力される上記第 1 出力信号と上記第 2 出力信号とのレベル状態に基づいてオン / オフ動作を行う入力部と、上記入力部と第 2 電源電圧が印加される端子との間に連結され、上記隣接する 2 つのフリップフロップから出力される 2 つの反転された出力信号のレベル状態に基づいて選択的にダイオード連結される第 6 トランジスタを有する第 1 能動負荷と、上記第 1 電源電圧が印加される端子と発光制御線との間に連結され、上記入力部または上記第 1 能動負荷の出力信号レベル状態に基づいてオン / オフ動作を行う出力トランジスタと、上記第 2 電源電圧が印加される端子と上記発光制御線との間に連結され、上記隣接する 2 つのフリップフロップから出力される 2 つの出力信号のレベル状態に基づいて選択的にダイオード連結される第 7 トランジスタを有する第 2 能動負荷とを含むとしてもよい。 40

【 0 0 2 4 】

また、上記入力部は、上記第 1 電源電圧が印加される端子に連結され、上記第 1 出力信号のレベル状態に基づいてオン / オフ動作を行う第 8 トランジスタと、上記第 8 トランジスタと直列に連結され、上記第 2 出力信号のレベル状態に基づいてオン / オフ動作を行う第 9 トランジスタとから構成されるとしてもよい。

【 0 0 2 5 】

また、上記第 1 能動負荷は、上記第 6 トランジスタのゲートとドレインとの間に連結され、上記反転された第 1 出力信号のレベル状態に基づいてオン / オフ動作を行う第 10 ト 50

ランジスタと、上記第 10 トランジスタと並列に連結され、上記反転された第 2 出力信号のレベル状態に基づいてオン/オフ動作を行う第 11 トランジスタとをさらに含み、上記反転された第 1 出力信号および上記反転された第 2 出力信号が共にハイレベルの信号である場合、上記第 1 能動負荷に流れる電流は遮断されるとしてもよい。

【0026】

また、上記第 2 能動負荷は、上記第 7 トランジスタのゲートに連結され、上記第 1 出力信号のレベル状態に基づいてオン/オフ動作を行う第 12 トランジスタと、上記第 12 トランジスタに直列連結され、上記第 2 出力信号のレベル状態に基づいてオン/オフ動作を行う第 13 トランジスタとをさらに含み、上記第 1 出力信号と上記第 2 出力信号とのうち、少なくとも一方の信号のレベルがハイレベルである場合、上記第 2 能動負荷に流れる電流は遮断されるとしてもよい。

10

【0027】

また、上記複数の論理ゲートそれぞれは、上記第 6 トランジスタのソース端子に連結され、上記第 1 出力信号のレベル状態に基づいてオン/オフ動作を行う第 14 トランジスタと、上記第 14 トランジスタと直列に連結され、上記第 2 出力信号のレベル状態に基づいてオン/オフ動作を行う第 15 トランジスタとを有するスイッチング部をさらに含み、上記第 1 出力信号および上記第 2 出力信号がローレベルである場合、上記第 6 トランジスタをオフさせて、上記第 1 能動負荷に流れる電流を遮断するとしてもよい。

【0028】

また、上記複数の論理ゲートそれぞれは、上記第 6 トランジスタのソース端子とゲート端子との間に連結され、上記第 6 トランジスタのソース - ゲート間の電圧を維持する第 1 キャパシタと、上記第 7 トランジスタのソース端子とゲート端子との間に連結され、上記第 7 トランジスタのソース - ゲート間の電圧を維持する第 2 キャパシタとをさらに含むとしてもよい。

20

【0029】

また、上記複数の論理ゲートそれぞれは、上記第 2 キャパシタの両端に連結され、上記入力部または上記第 1 能動負荷の出力信号のレベル状態に基づいてオン/オフ動作を行う第 16 トランジスタをさらに含むとしてもよい。

【0030】

また、上記第 6 ~ 第 16 トランジスタは、PMOS トランジスタであるとしてもよい。

30

【0031】

また、上記画素部、上記走査駆動部、上記データ駆動部および上記発光制御駆動部は、1つの基板上に形成されるとしてもよい。

【0032】

また、上記有機電界発光表示装置は、複数の有機電界発光表示装置がタイル形態で結合して1つの映像を表示するとしてもよい。

【0033】

また、上記目的を達成するために、本発明の別の観点によれば、開始パルスを入力され、クロック信号および反転されたクロック信号に同期する第 1 出力信号を生成する第 1 フリップフロップと、上記第 1 フリップフロップの出力信号が入力され、上記クロック信号および上記反転されたクロック信号に同期する第 2 出力信号を生成する第 2 フリップフロップと、上記第 1 出力信号および反転された第 1 出力信号、並びに上記第 2 出力信号および反転された第 2 出力信号が入力され、上記第 1 フリップフロップと上記第 2 フリップフロップから出力された 4 つの信号を用いて能動負荷を制御し、上記第 1 出力信号と上記第 2 出力信号との論理和の演算により発光制御信号を出力する論理ゲートとを含む発光制御駆動装置が提供される。

40

【0034】

また、上記複数のフリップフロップそれぞれは、上記反転されたクロック信号の立ち下がりエッジで入力信号をサンプリングする第 1 トランジスタと、上記第 1 トランジスタの出力信号を反転するための第 1 インバータと、上記クロック信号の立ち下がりエッジで上

50

記第 1 インバータの出力信号をサンプリングする第 2 トランジスタと、上記第 2 トランジスタの出力信号を反転する第 2 インバータとを含むとしてもよい。

【0035】

また、上記第 1 インバータおよび第 2 インバータは、正の電源電圧が印加される端子と出力端子との間に連結され、上記フリップフロップの第 1 トランジスタ、または第 2 トランジスタを介して伝達される信号に基づいてオン/オフ動作を行う第 3 トランジスタと、負の電源電圧が印加される端子と上記出力端子との間に連結され、上記第 3 トランジスタのオン/オフに基づいて出力電流量を制御する第 4 トランジスタとを含むとしてもよい。

【0036】

また、上記第 1 インバータおよび第 2 インバータは、上記第 4 トランジスタのゲート端子とドレイン端子との間に連結され、上記第 4 トランジスタのゲート電圧を制御するダイオード連結した第 5 トランジスタをさらに含むとしてもよい。

10

【0037】

また、上記第 3 トランジスタのオン抵抗は、上記第 4 トランジスタのオン抵抗より小さいとしてもよい。

【0038】

また、上記第 1 インバータおよび第 2 インバータは、上記第 4 トランジスタのソース端子とゲート端子との間に連結され、上記第 5 トランジスタがオフとなった時、上記第 4 トランジスタのソース - ゲート間の電圧を維持するキャパシタをさらに含むとしてもよい。

【0039】

20

また、上記第 1 ~ 第 5 トランジスタは、PMOS トランジスタであるとしてもよい。

【0040】

また、上記複数の論理ゲートそれぞれは、第 1 電源電圧が印加される端子に連結され、上記第 1 出力信号および上記第 2 出力信号のレベル状態に基づいてオン/オフ動作を行う入力部と、上記入力部と第 2 電源電圧が印加される端子との間に連結され、上記反転された第 1 出力信号または上記反転された第 2 出力信号のレベル状態に基づいて選択的にダイオード連結される第 6 トランジスタを有する第 1 能動負荷と、上記第 1 電源電圧が印加される端子と発光制御線との間に連結され、上記入力部または上記第 1 能動負荷の出力信号のレベル状態に基づいてオン/オフ動作を行う出力トランジスタと、上記第 2 電源電圧が印加される端子と上記発光制御線との間に連結され、上記第 1 出力信号および上記第 2 出力信号のレベル状態に基づいて選択的にダイオード連結される第 7 トランジスタを有する第 2 能動負荷とを含むとしてもよい。

30

【0041】

また、上記入力部は、上記第 1 電源電圧が印加される端子に連結され、上記第 1 出力信号のレベル状態に基づいてオン/オフ動作を行う第 8 トランジスタと、上記第 8 トランジスタと直列に連結され、上記第 2 出力信号のレベル状態に基づいてオン/オフ動作を行う第 9 トランジスタとから構成されるとしてもよい。

【0042】

また、上記第 1 能動負荷は、上記第 6 トランジスタのゲートとドレインとの間に連結され、上記反転された第 1 出力信号のレベル状態に基づいてオン/オフ動作を行う第 10 トランジスタと、上記第 10 トランジスタと並列に連結され、上記反転された第 2 出力信号のレベル状態に基づいてオン/オフ動作を行う第 11 トランジスタとをさらに含み、上記反転された第 1 出力信号および上記反転された第 2 出力信号が共にハイレベルの信号である場合、上記第 1 能動負荷に流れる電流は遮断されるとしてもよい。

40

【0043】

また、上記第 2 能動負荷は、上記第 7 トランジスタのゲートに連結され、上記第 1 出力信号のレベル状態に基づいてオン/オフ動作を行う第 12 トランジスタと、上記第 12 トランジスタに直列連結され、上記第 2 出力信号のレベル状態に基づいてオン/オフ動作を行う第 13 トランジスタとをさらに含み、上記第 1 出力信号と上記第 2 出力信号とのうち、少なくとも一方の信号のレベルがハイレベルである場合、上記第 2 能動負荷に流れる電

50

流は遮断されるとしてもよい。

【0044】

また、上記複数の論理ゲートそれぞれは、上記第6トランジスタのソース端子に連結され、上記第1出力信号のレベル状態に基づいてオン/オフ動作を行う第14トランジスタと、上記第14トランジスタに直列連結され、上記第2出力信号のレベル状態に基づいてオン/オフ動作を行う第15トランジスタとを有するスイッチング部をさらに含み、上記第1出力信号および上記第2出力信号がローレベルである場合、上記第6トランジスタをオフさせて、上記第1能動負荷に流れる電流を遮断するとしてもよい。

【0045】

また、上記複数の論理ゲートそれぞれは、上記第6トランジスタのソース端子とゲート端子との間に連結され、上記第6トランジスタのソース-ゲート間の電圧を維持する第1キャパシタと、上記第2トランジスタのソース端子とゲート端子との間に連結され、上記第7トランジスタのソース-ゲート間の電圧を維持する第2キャパシタとをさらに含むとしてもよい。

【0046】

また、上記複数の論理ゲートそれぞれは、上記第2キャパシタの両端に連結され、上記入力部または上記第1能動負荷の出力信号のレベル状態に基づいてオン/オフ動作を行う第16トランジスタをさらに含むとしてもよい。

【0047】

また、上記第6～第16トランジスタは、PMOSトランジスタであるとしてもよい。

【0048】

また、上記目的を達成するために、本発明のさらに別の観点によれば、第1電源電圧が印加される端子に連結され、第1入力信号および第2入力信号のレベル状態に基づいてオン/オフ動作を行う入力部と、上記入力部と第2電源電圧が印加される端子との間に連結され、反転された第1入力信号または反転された第2入力信号のレベル状態に基づいて選択的にダイオード連結される第6トランジスタを有する第1能動負荷と、上記第1電源電圧が印加される端子と発光制御線との間に連結され、上記入力部または上記第1能動負荷の出力信号レベル状態に基づいてオン/オフ動作を行う出力トランジスタと、上記第2電源電圧が印加される端子と上記発光制御線との間に連結され、上記第1入力信号および上記第2入力信号のレベル状態に基づいて選択的にダイオード連結される第7トランジスタとを有する第2能動負荷とを含む論理回路が提供される。

【0049】

また、上記入力部は、上記第1電源電圧が印加される端子に連結され、上記第1入力信号のレベル状態に基づいてオン/オフ動作を行う第8トランジスタと、上記第3トランジスタと直列に連結され、上記第2入力信号のレベル状態に基づいてオン/オフ動作を行う第9トランジスタとから構成されるとしてもよい。

【0050】

また、上記第1能動負荷は、上記第6トランジスタのゲートとドレインとの間に連結され、上記反転された第1入力信号のレベル状態に基づいてオン/オフ動作を行う第10トランジスタと、上記第10トランジスタと並列に連結され、上記反転された第2入力信号のレベル状態に基づいてオン/オフ動作を行う第11トランジスタとをさらに含み、上記反転された第1入力信号および上記反転された第2入力信号が共にハイレベルの信号である場合、上記第1能動負荷に流れる電流は遮断されるとしてもよい。

【0051】

また、上記第2能動負荷は、上記第7トランジスタのゲートに連結され、上記第1入力信号のレベル状態に基づいてオン/オフ動作を行う第12トランジスタと、上記第12トランジスタに直列連結され、上記第2入力信号のレベル状態に基づいてオン/オフ動作を行う第13トランジスタとをさらに含み、上記第1出力信号と上記第2出力信号とのうち、少なくとも一方の信号のレベルがハイレベルである場合、上記第2能動負荷に流れる電流は遮断されるとしてもよい。

【 0 0 5 2 】

また、上記複数の論理ゲートそれぞれは、上記第 6 トランジスタのソース端子に連結され、上記第 1 入力信号のレベル状態に基づいてオン/オフ動作を行う第 1 4 トランジスタと、上記第 1 4 トランジスタと直列に連結され、上記第 2 入力信号のレベル状態に基づいてオン/オフ動作を行う第 1 5 トランジスタとを有するスイッチング部とをさらに含み、上記第 1 入力信号および上記第 2 入力信号がローレベルである時、上記第 6 トランジスタをオフさせて、上記第 1 能動負荷に流れる電流を遮断するとしてもよい。

【 0 0 5 3 】

また、上記複数の論理ゲートそれぞれは、上記第 6 トランジスタのソース端子とゲート端子との間に連結され、上記第 6 トランジスタのソース - ゲート間の電圧を維持する第 1

10

【 0 0 5 4 】

また、上記複数の論理ゲートそれぞれは、上記第 2 キャパシタの両端に連結され、上記入力部または上記第 1 能動負荷の出力信号のレベル状態に基づいてオン/オフ動作を行う第 1 6 トランジスタをさらに含むとしてもよい。

【 0 0 5 5 】

また、上記第 1 ~ 第 1 1 トランジスタは、PMOS トランジスタであるとしてもよい。

【 発明の効果 】

20

【 0 0 5 6 】

本発明によれば、パネルの内部に直接PMOS トランジスタで構成される複数のフリップフロップと複数の論理ゲートを形成することによって、SOPを具現することが容易であるという利点がある。

【 0 0 5 7 】

また、本発明では、隣接するフリップフロップの 4 つの出力を論理ゲートの入力として使用することによって、追加的な信号を必要としない。すなわち、フリップフロップの出力を利用することによって、消費電力を低減することができる。

【 0 0 5 8 】

さらに、本発明では、4 入力論理ゲートを使用することによって、入力信号がローである時に発生する静電流を遮断することができ、漏洩電流による電力消費を減少させることができる。

30

【 0 0 5 9 】

したがって、本発明は、SOP用に最適の発光制御駆動部を提供し、本発明に係る発光制御駆動部を用いることにより、消費電力を最小化することが可能な有機EL表示装置を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 6 0 】

以下に添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書および図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

40

【 0 0 6 1 】

また、以下に示す実施の形態についての説明において、添付図面に示されたトランジスタは、課題を解決するための手段に記載された、第 1 トランジスタとしてのスイッチングトランジスタ M 6、以下同様に、第 2 トランジスタとしてのスイッチングトランジスタ M 7、第 3 トランジスタとしてのトランジスタ M 8、第 4 トランジスタとしてのトランジスタ M 9、第 5 トランジスタとしてのトランジスタ M 1 0、第 6 トランジスタとしてのトランジスタ M 1 3、第 7 トランジスタとしてのトランジスタ M 1 7、第 8 トランジスタとしてのトランジスタ M 1 1、第 9 トランジスタとしてのトランジスタ M 1 2、第 1 0 トランジスタとしてのトランジスタ M 1 5 _ 1、第 1 1 トランジスタとしてのトランジスタ M 1

50

5 __ 2、第 1 2 トランジスタとしてのトランジスタ M 1 6 __ 1、第 1 3 トランジスタとしてのトランジスタ M 1 6 __ 2、第 1 4 トランジスタとしてのトランジスタ M 1 4 __ 1、第 1 5 トランジスタとしてのトランジスタ M 1 4 __ 2、第 1 6 トランジスタとしてのトランジスタ M 1 9、出力トランジスタとしての出力トランジスタ M 1 8、とする。

【 0 0 6 2 】

図 1 は、本発明の実施形態に係るタイルリング技術を用いた大型の有機 E L 表示装置を示すブロック図である。

【 0 0 6 3 】

図 1 を参照すると、本発明の実施形態に係るタイルリング技術を用いた大型の有機 E L 表示装置は、複数の小型の有機 E L 表示装置 1 0 0 が接合されて構成される。図 1 の場合、行 (r o w) に 4 つの小型の有機 E L 表示装置 1 0 0 が接合され、これが 2 列 (c o l u m n) で構成されるが、設計者は、必要に応じて多様な大きさで接合することができる。

10

【 0 0 6 4 】

各小型の有機 E L 表示装置 1 0 0 は、映像を表示することのできる E L 表示パネル 1 0 と、E L 表示パネル 1 0 に映像データ信号を供給するデータ駆動部 2 0 とから構成される。

【 0 0 6 5 】

それぞれの E L 表示パネル 1 0 は、基本的に同じ構造を有し、各エッジ面を接着剤で接着し、1 つに組合わさった E L 表示パネルを形成する。接着剤には、紫外線硬化樹脂や熱硬化樹脂、例えば、エポキシ樹脂等が使用される。

20

【 0 0 6 6 】

各 E L 表示パネル 1 0 は、従来の有機 E L 表示装置に使われる E L 表示パネルと同一の製造工程により生産されることが出来る。したがって、同一の製造工程により生産された同じ複数の E L 表示パネルを取り付けて、1 つの大型の E L 表示パネルが形成される。

【 0 0 6 7 】

このような E L 表示パネルに形成される走査駆動部、発光制御駆動部および複数の画素の薄膜トランジスタは、高速の応答速度および均一性を具現するために、薄膜トランジスタのチャンネルとしてポリシリコンを有する。この際、ポリシリコンは、非晶質シリコン層をガラス基板上に形成された後、低温ポリシリコン (L o w T e m p e r a t u r e P o l y S i l i c o n ; L T P S) 工程を経て、結晶化される。

30

【 0 0 6 8 】

このような L T P S 工程を経て形成されたポリシリコンにより、複数のトランジスタが形成され、複数のトランジスタを用いて E L 表示パネルの内部にレッド、グリーン、ブルーのサブ画素から構成される画素部と、上記各画素を選択し、発光を制御するための信号を生成する走査駆動部および発光制御駆動部が形成される。ここで、E L 表示パネル 1 0 については後述する。

【 0 0 6 9 】

各小型の有機 E L 表示装置 1 0 0 それぞれのデータ駆動部 2 0 は、C M O S 形成技術を用いた外装型集積回路 I C として設計され、それぞれが E L 表示パネル 1 0 に電氣的と連結される。1 つの E L 表示パネル 1 0 とデータ駆動部 2 0 間との電氣的な連結は、可撓性フィルム上に印刷された金属パターンによりなされる。すなわち、データ駆動部 2 0 の出力端子は、金属パターンの一端に電氣的に連結され、E L 表示パネル 1 0 上に設けられたデータ線は、金属パターンの他端に電氣的に連結される。これをテープキャリアパッケージ (T a p e C a r r i e r P a c k a g e ; T C P) 方式という。それぞれのデータ駆動部 2 0 は、可撓性フィルム上に設けられた複数の導電性線を介してデータ信号を E L 表示パネル 1 0 の画素部に供給する。

40

【 0 0 7 0 】

図 2 は、図 1 に示す本発明の実施形態に係る小型の有機 E L 表示装置 1 0 0 を詳細に示すブロック図である。

50

【0071】

図2を参照すると、小型の有機EL表示装置100は、EL表示パネル10と、データ駆動部20とから構成される。

【0072】

また、EL表示パネル10は、画素部12、走査駆動部14および発光制御駆動部16から構成される。

【0073】

画素部12は、複数のデータ線D1~Dm(mは自然数)、複数の走査線S1~Sn(nは自然数)、複数の発光制御線E1~En、およびこれらの線が交差する領域に形成された複数の画素P11~Pnmを備える。

10

【0074】

複数のデータ線D1~Dmは、データ駆動部20と電氣的に連結され、また図2における垂直方向に延長されて各画素にそれぞれデータ信号を伝達する。

【0075】

また、複数の走査線S1~Snと複数の発光制御線E1~Enは、従来の有機EL表示装置とは異なって、データ線D1~Dmと同様の方向に延長されるが、図2における水平方向に配置された各画素に同一の走査および発光制御信号を伝達するために、各走査線S1~Snおよび発光制御線E1~Enごとにコンタクトホールを形成する。したがって、コンタクトホールを介して接続される金属配線を図2における水平方向に延長し、図2における水平方向の画素には、走査信号および発光制御信号が伝達される。

20

【0076】

各画素P11~Pnmは、レッド、グリーン、ブルーの3つのサブ画素が反復的に行と列とに配列される。各レッド、グリーン、ブルーのサブ画素は、実際光を発光する有機発光層の有機物質が異なるだけで、配線のレイアウトや駆動回路部の回路連結関係はいずれも同一である。したがって、各画素は、印加されるデータ信号に該当する輝度をもってレッド、グリーンおよびブルーの光を発光し、これら3色の組合せで1つのカラーを表現する。各画素の回路構成については、図3および図4を用いて説明する。

【0077】

図3は、図2に示す画素部の複数の画素のうち代表的な画素を示す回路図である。

【0078】

30

図3を参照すると、画素回路18は、画素駆動部19と、有機EL素子OLEDとから構成される。

【0079】

画素駆動部19は、データ線Dm、走査線Sn-1、走査線Sn、発光制御線En、電圧VDDが印加される第1電源電圧線、および電圧Vsusが印加される第2電源電圧線に連結されている。したがって、データ線Dmからのデータ信号Vdata信号に相当する駆動電流を有機EL素子OLEDに供給する。

【0080】

有機EL素子OLEDは、アノード電極、カソード電極および有機発光層から構成される。アノード電極は、画素駆動部19に連結され、カソード電極は、電圧VSSが印加される基準電源電圧線に連結される。したがって、有機EL素子OLEDは、画素駆動部19から供給される駆動電流を印加され、その電流量に該当する発光輝度で発光する。

40

【0081】

画素駆動部19は、5つのトランジスタM1~M5と、2つのキャパシタCst、Cvthとから構成される。以下、画素駆動部19について詳細に説明する。

【0082】

スイッチングトランジスタM4は、ソース端子にデータ線Dmが連結され、ゲート端子に走査線Snが連結され、走査線Snを介して伝達される走査信号によりオンとなり、データ線Dmから印加されるデータ信号Vdataを伝達する。

【0083】

50

駆動トランジスタM1は、ソース端子に電圧VDDが印加される第1電源電圧線が連結され、ゲート端子に印加される電圧に該当する駆動電流 I_{OLED} を生成する。

【0084】

スレシヨルド電圧（閾値電圧）補償トランジスタM2は、駆動トランジスタM1のゲート端子とドレイン端子との間に連結され、走査線 $S_n - 1$ に連結したゲート端子に印加される走査信号によりオンとなり、駆動トランジスタM1のスレシヨルド電圧を補償する。

【0085】

キャパシタ C_{vth} は、スイッチングトランジスタM4のドレイン端子と駆動トランジスタM1のゲート端子との間に連結され、駆動トランジスタM1のスレシヨルド電圧 V_{th} に該当する電圧を保持する。

10

【0086】

キャパシタ C_{st} は、電圧VDDが印加される第1電源電圧線とキャパシタの一方の端子との間に連結され、データ線 D_m に伝達されるデータ電圧 V_{data} を保持する。

【0087】

負の電源電圧印加トランジスタM3は、ソース端子が電圧 V_{sus} が印加される第2電源電圧線に連結され、ドレイン端子がキャパシタ C_{vth} およびキャパシタ C_{st} との連結地点に連結される。そして、走査線 $S_n - 1$ から伝達される走査信号（以下、走査線 $S_n - 1$ から印加される走査信号を「以前走査信号」という。）がゲート端子に印加されることによりオンとなり、第2電源電圧線に印加される電圧 V_{sus} をキャパシタ C_{vth} とキャパシタ C_{st} との連結地点に印加する。

20

【0088】

発光制御トランジスタM5は、駆動トランジスタM1のドレイン端子と有機EL素子OLEDのアノード電極との間に連結され、ゲート端子に印加される発光制御信号 E_n の制御によってオン/オフ動作を行い、駆動トランジスタM1から供給される駆動電流を有機EL素子OLEDに供給するか、または遮断する役割を果たす。

【0089】

次に、画素回路18の動作をタイミング図を用いて説明する。

【0090】

図4は、図3に示す画素回路の動作を説明するためのタイミング図である。

【0091】

図3および図4を参照すると、まず、画素回路18にローレベルの以前走査信号が印加され、走査線 S_n からハイレベルの走査信号（以下、走査線 S_n から印加される走査信号を「現在走査信号」という）と発光制御線 E_n から制御信号（以下、発光制御線 E_n から印加される制御信号を「発光制御信号」という）が印加されると、スレシヨルド電圧補償トランジスタM2と負の電源電圧印加トランジスタM3がオンとなり、残りのトランジスタM4、M5はオフとなる。したがって、駆動トランジスタM1は、ダイオードのような役割を果たし（以下、トランジスタが、ダイオードのような役割を果たす様に連結されることを「ダイオード連結」という）、第1キャパシタ C_{vth} の一方の電極Bに電圧 $V_{DD} - V_{th} [V]$ が印加される。また、負の電源電圧印加トランジスタM3がオンとなり、第1キャパシタ C_{vth} の他方の電極Aに電圧 $V_{sus} [V]$ が印加される。したがって、第1キャパシタ C_{vth} には、 $V_{sus} - V_{DD} + V_{th} [V]$ の電圧が保持される。ここで、上記電圧VDDは、第1電源電圧線から印加される電圧である。

30

40

【0092】

次に、画素回路18にローレベルの現在走査信号が印加され、ハイレベルの以前走査信号と発光制御信号が印加されると、スイッチングトランジスタM4だけがオンとなる。この時、データ線 D_m からのデータ電圧 V_{data} が、スイッチングトランジスタM4を介して第1キャパシタ C_{vth} の他方の電極Aに印加される。したがって、第1キャパシタ C_{vth} の他方の電極Aは、一定の電圧差 V （ $V = V_{sus} - V_{data}$ ）分の電圧変動が生じ、これにより、第1キャパシタ C_{vth} の一方の電極Bもその分の電圧変動が生じる。したがって、第1キャパシタの一方の電極Bおよび駆動トランジスタM1のゲー

50

ト端子に印加される電圧は、 $VDD - V_{th} - V = VDD - V_{th} - V_{sus} + V_{data}$ [V] である。

【0093】

最後に、画素回路18にハイレベルの以前走査信号および現在走査信号が印加され、ローレベルの発光制御信号が印加されると、発光制御トランジスタM5だけがオンとなる。この時、駆動トランジスタM1から出力される駆動電流 I_{OLED} は、次の数式1で表される。

【0094】

【数1】

$$\begin{aligned} I_{OLED} &= k(V_{gs_{M1}} - V_{th})^2 \\ &= k\{VDD - (VDD - V_{th} - V_{sus} + V_{data}) - V_{th}\}^2 \\ &= k(V_{data} - V_{sus})^2 \end{aligned}$$

・・・ (数式1)

10

【0095】

ここで、 $V_{gs_{M1}}$ は、駆動トランジスタM1のソース・ゲート間の電圧であり、 V_{th} は、駆動トランジスタM1のスレショルド電圧、 k は定数である。

【0096】

数式1に示すように、図3に示す画素回路18は、スレショルド電圧 V_{th} の補償と第1電源電圧 VDD による $IR - drop$ (電圧降下)を補償することができる。

【0097】

さらに図2を参照すると、走査駆動部14は、データ駆動部20と画素部12との間に形成される。これは、複数のEL表示パネル10が接合されて、1つの大型パネルが形成されるので、各走査駆動部14は、データ駆動部20と同じ側(これを片軸駆動という)に形成されなければならない。このような走査駆動部14は、複数の走査線 $S_1 \sim S_n$ に連結され、画素部12に順次に走査信号を印加して、各画素 $P_{11} \sim P_{nm}$ を順次に選択する。

【0098】

発光制御駆動部16は、走査駆動部14と画素部12との間に形成され、複数の発光制御線 $E_1 \sim E_n$ に連結され、画素部12に順次に発光制御信号を印加して、各画素 $P_{11} \sim P_{nm}$ の発光時間を制御する。

【0099】

データ駆動部20は、前述したように、可撓性フィルム上に設けられた複数の導電性線を介してデータ信号をEL表示パネル10の画素部12に供給する。

【0100】

上記のような本発明の実施形態に係る小型の有機EL表示装置100は、EL表示パネル10と、データ駆動部20とから構成される。また、EL表示パネル10は、画素部12と、走査駆動部14と、発光制御駆動部16とから構成される。以下、発光制御駆動部について好ましい実施形態を参照して詳細に説明する。

【0101】

図5は、本発明の実施形態に係る有機EL表示装置の発光制御駆動部を示すブロック図である。

【0102】

図5を参照すると、発光制御駆動部16は、複数のフリップフロップ FF_1 、 FF_2 、 FF_3 、 FF_4 、...が連結され、入力信号を1クロック周期だけシフトさせて信号を出力するシフトレジスタ17と、シフトレジスタ17の隣接するフリップフロップにおける4つの出力信号が印加され、論理和の演算により発光制御信号を生成する複数の論理ゲート OR_1 、 OR_2 、 OR_3 、...よりなる論理演算部18とから構成される。

20

30

40

50

【0103】

シフトレジスタ17は、複数のフリップフロップFF1、FF2、FF3、FF4、...から構成されている。第1フリップフロップFF1は、開始パルス V_{sp} 、クロック信号 V_{CLK} および反転されたクロック信号 V_{CLKB} を入力され、クロック信号 V_{CLK} の立ち下がりエッジで開始パルス V_{sp} をサンプリングしてクロック1周期の間維持し、出力信号OUT1および反転された出力信号OUTB1を出力する。

【0104】

第2フリップフロップFF2は、第1フリップフロップFF1の出力信号OUT1とクロック信号 V_{CLK} 、および反転されたクロック信号 V_{CLKB} を入力され、クロック信号 V_{CLK} の1周期の間にシフトされ、次の立ち下がりエッジで入力信号をサンプリングしてクロック(CLK)1周期の間維持し、出力信号OUT2および反転された出力信号OUTB2を出力する。

10

【0105】

以下、第3フリップフロップFF3、第4フリップフロップFF4、...は、第1フリップフロップFF1、第2フリップフロップFF2と同様の動作を繰り返して、シフトされた信号を出力する。各フリップフロップは、基本的に同じ構成からなっており、これについては、図面を参照して後述する。

【0106】

論理演算部18は、複数の論理ゲートOR1、OR2、OR3、...から構成され、各論理ゲートごとに発光制御線に連結され、発光制御信号を各画素に印加する。

20

【0107】

第1論理ゲートOR1は、第1フリップフロップFF1の2つの出力信号OUT1、OUTB1と、第2フリップフロップFF2の2つの出力信号OUT2、OUTB2とを入力信号として印加される。第1論理ゲートOR1は、入力された4つの入力信号OUT1、OUTB1、OUT2、OUTB2に対して論理和の演算を行う。本発明の実施形態に係る第1論理ゲートOR1は、一般的な論理ゲートとは異なり、第1フリップフロップFF1および第2フリップフロップFF2の出力信号OUT1、OUT2がローレベルの信号であり、かつ第1フリップフロップFF1および第2フリップフロップFF2の反転された出力信号OUTB1、OUTB2がハイレベルの信号である時にだけ、ローレベルの発光制御信号E1を出力し、それ以外のレベルの組み合わせでは、ハイレベルの発光制御信号E1を出力する。

30

【0108】

次に、第2論理ゲートOR2は、第2フリップフロップFF2の2つの出力信号OUT2、OUTB2と第3フリップフロップFF3の2つの出力信号OUT3、OUTB3を入力信号として印加され、第1論理ゲートOR1と同じ論理和の演算を行い、第2発光制御信号E2を出力する。

【0109】

第3論理ゲートOR3～第n論理ゲートORnも、第1論理ゲートOR1および第2論理ゲートOR2と同様に、4つの入力信号に対して論理和の演算を行い、各々の発光制御信号E3～Enを出力する。各論理ゲートは、基本的に同じ構成からなっており、これについては、図面を参照して後述する。

40

【0110】

前述したように、本発明の実施形態に係る発光制御駆動部16は、シフトレジスタ17と論理演算部18とから構成され、シフトレジスタ17の隣接する2つのフリップフロップFF1、FF2と論理演算部18の1つの論理ゲートOR1との連結関係を基本発光制御駆動回路16_1として設定して、発光制御信号E1～Enを生成する。前述した図5の発光制御駆動部の動作原理は、図9に示すタイミング図を参照して後述する。

【0111】

図6は、図5に示す発光制御駆動部のシフトレジスタを構成する代表的なフリップフロップFF1を示す回路図である。

50

【 0 1 1 2 】

図 6 を参照すると、フリップフロップ F F 1 は、2 つのスイッチングトランジスタ M 6、M 7 と、2 つのインバータ I N V 1、I N V 2 とから構成される。具体的には、フリップフロップ F F 1 は、反転されたクロック信号 C L K B によって制御され、反転されたクロック信号 C L K B の立ち下がりエッジで入力信号 I N をサンプリングするトランジスタ M 6 と、トランジスタ M 6 の出力信号を反転する第 1 インバータ I N V 1 と、クロック信号 C L K の立ち下がりエッジで第 1 インバータ I N V 1 の出力信号をサンプリングするトランジスタ M 7 と、トランジスタ M 7 の出力信号を反転する第 2 インバータ I N V 2 とから構成される。ここで、トランジスタ M 6、M 7 は、P M O S トランジスタである。

【 0 1 1 3 】

したがって、入力信号 I N がトランジスタ M 6 に印加され、反転されたクロック信号 C L K B が立ち下がりエッジに変換される時、トランジスタ M 6 は、入力信号 I N をサンプリングし、第 1 インバータ I N V 1 に伝達する。クロック信号 C L K が立ち下がりエッジに変換される時、トランジスタ M 7 は、オンとなり、第 1 インバータ I N V 1 は、サンプリングされた信号を反転させて出力する。トランジスタ M 7 から伝達された第 1 インバータ I N V 1 の出力信号 O U T B は、第 2 インバータ I N V 2 でさらに反転されて出力 O U T される。

【 0 1 1 4 】

前述のように、本発明の実施形態に係るフリップフロップ F F 1 は、入力信号 I N、クロック信号 C L K および反転されたクロック信号 C L K B を用いて所望する大きさの出力信号を生成することができる。第 2 インバータ I N V 2 の入力信号 O U T B と出力信号 O U T は、前述した論理ゲート O R 1 の 2 入力信号となる。また、第 2 インバータ I N V 2 の出力信号 O U T は、次のフリップフロップ F F 2 の入力信号となり、入力信号を 1 クロック周期だけシフトして出力させて、論理ゲート O R 1 の 2 入力信号として印加する。したがって、4 入力論理ゲートの入力信号 O U T 1、O U T B 1、O U T 2、O U T B 2 において、入力信号 O U T B 1 または O U T B 2 は、追加の信号無しに各フリップフロップ F F 1、F F 2 の第 2 インバータ I N V 2 の入力端に印加される信号を取り出して使用される。したがって、追加の信号を必要とせず、論理ゲートの入力信号をフリップフロップから全て印加することによって、消費電力を低減することができる。

【 0 1 1 5 】

次に、フリップフロップ F F 1 に使われる第 1 インバータ I N V 1 および第 2 インバータ I N V 2 について説明する。

【 0 1 1 6 】

図 7 は、図 6 に示すフリップフロップのインバータの構造を詳細に示す回路図である。

【 0 1 1 7 】

第 1 インバータ I N V 1 および第 2 インバータ I N V 2 は、同じ構造を有するインバータであるから、説明の便宜上、第 1 インバータ I N V 1 のみについて説明する。

【 0 1 1 8 】

図 7 を参照すると、インバータ I N V 1 は、3 つの P M O S トランジスタ M 8、M 9、M 10 よりなる。

【 0 1 1 9 】

トランジスタ M 8 は、ソース端子が第 1 電源電圧 V D D が印加される端子に連結され、ゲート端子がフリップフロップ F F 1 のトランジスタ M 6 の出力端子に連結され、ドレイン端子が、出力端 o u t に連結される。出力端 o u t は、フリップフロップ F F 1 のトランジスタ M 7 の入力端子に連結される。したがって、トランジスタ M 8 は、トランジスタ M 6 から伝達された入力信号 i n の制御によってオン / オフ動作を行い、第 1 電源電圧 V D D を出力端 o u t に出力したり、遮断する。ここで、第 1 電源電圧 V D D は、正の電源電圧であり、例えば 5 [V] の電圧が供給される。

【 0 1 2 0 】

トランジスタ M 9 は、トランジスタ M 8 のドレイン端子と出力端 o u t にソース端子が

10

20

30

40

50

連結され、第2電源電圧 V_{SS} にドレイン端子が連結され、ゲート端子に印加される電圧によって能動負荷としての役割を果たす。

【0121】

また、トランジスタ M_{10} は、トランジスタ M_9 のゲート端子とドレイン端子との間に連結され、ゲート端子とドレイン端子が連結される。そしてトランジスタ M_{10} は、ダイオードのような役割を果たし、トランジスタ M_9 のゲート電圧を制御する。ここで、第2電源電圧 V_{SS} は、負の電源電圧であり、例えば $-7[V]$ の電圧が供給される。したがって、トランジスタ M_9 は、能動負荷であり、ソース端子に印加される電圧とゲート端子に印加される電圧との差によって常にオン状態にあるようになる。ここで、トランジスタ M_9 のチャンネル長さ($Length$) L_9 は、トランジスタ M_8 のチャンネル長さ L_8 より大きくし、トランジスタ M_9 のチャンネル幅($Width$) W_9 は、トランジスタ M_8 のチャンネル幅 W_8 より小さいことが好ましい。すなわち、これは、トランジスタ M_8 がオンとなった時、トランジスタ M_9 のオン抵抗がトランジスタ M_8 のオン抵抗より非常に大きくなるようにするためである。

10

【0122】

また、インバータ INV_1 は、トランジスタ M_9 のソース端子とゲート端子との間に連結され、トランジスタ M_{10} がオフとなった時、トランジスタ M_9 のソース-ゲート間の電圧 V_{gs_M9} を維持するキャパシタ C_{st} をさらに含むことができる。

【0123】

次に、上記のような構成を有するインバータ INV_1 の動作原理について説明する。

20

【0124】

まず、ローレベル $7[V]$ の入力信号 in がトランジスタ M_8 のゲート端子に印加されると、トランジスタ M_8 は、オンとなり、トランジスタ M_9 、 M_{10} もオンとなる。しかしながら、トランジスタ M_9 は、トランジスタ M_8 よりオン抵抗が大きくなり、実質的に出力端 out の電圧は、第1電源電圧 V_{DD} 、すなわちハイレベルの電圧、例えば $5[V]$ が出力される。

【0125】

次に、ハイレベル $5[V]$ の入力信号 in がトランジスタ M_8 のゲート端子に印加されると、トランジスタ M_8 は、オフとなり、既にトランジスタ M_9 、 M_{10} は、オンとなっている状態である。したがって、出力端 out の電圧は、以前に出力されたハイレベルの電圧 $5[V]$ からだんだんローレベルに遷移され、この際、トランジスタ M_{10} は、オフとなり、トランジスタ M_9 のゲート端子は、フローティングされる。したがって、トランジスタ M_9 のソース-ゲート電圧 V_{gs_M9} は、一定電圧を維持するようになり、ソース端子に連結した出力端子 out は、第2電源電圧 V_{SS} の電圧、すなわちローレベルの電圧(例えば、 $-7[V]$)だけ低下するようになる。この際、トランジスタ M_9 のゲート電圧も、出力端 out の電圧が変換されることによって、 $-7[V]$ から $-15[V]$ 程度までに下降する。

30

【0126】

前述したように、本発明の実施形態に係るフリップフロップは、クロック信号 CLK および反転されたクロック信号 $CLKB$ の状態変化によってサンプリングされる入力信号の制御により所望する大きさの出力信号を出力することができ、これにより、シフトレジスタ17の隣接するフリップフロップ FF_1 、 FF_2 の4つの出力信号 OUT_1 、 $OUTB_1$ 、 OUT_2 、 $OUTB_2$ を後述する論理ゲート OR_1 の入力端に印加する。

40

【0127】

次に、シフトレジスタ17の隣接するフリップフロップ FF_1 、 FF_2 の4つの出力信号 OUT_1 、 $OUTB_1$ 、 OUT_2 、 $OUTB_2$ が印加される論理ゲート OR_1 について詳細に説明する。

【0128】

図8は、図5に示す発光制御駆動部の論理演算部を構成する複数の論理ゲートのうち代表的な論理ゲートを詳細に示す回路図である。

50

【 0 1 2 9 】

図 8 を参照すると、本発明の実施形態に係る論理ゲートは、2つの入力信号 $I N 1$ 、 $I N 2$ によってオン/オフ動作を行う入力部 3 1 と、入力部 3 1 に連結され、2つの反転された入力信号 $I N B 1$ 、 $I N B 2$ によって選択的にダイオード連結されるトランジスタ $M 1 3$ を有する第 1 能動負荷 3 2 と、入力部 3 1 の出力を受信し、受信されるレベルによってオン/オフ動作を行う出力トランジスタ $M 1 8$ と、出力トランジスタ $M 1 8$ に連結され、2つの入力信号 $I N 1$ 、 $I N 2$ によって選択的にダイオード連結されるトランジスタ $M 1 7$ とを有する第 2 能動負荷 3 3 とを含む。

【 0 1 3 0 】

また、論理ゲートは、2つの入力信号 $I N 1$ 、 $I N 2$ によってオン/オフ動作を行い、2つの入力信号 $I N 1$ 、 $I N 2$ がローである時、第 1 能動負荷 3 2 に流れる電流を遮断するスイッチング部 3 4 と、トランジスタ $M 1 3$ のソースとゲート間の電圧を維持する第 1 キャパシタ $C 1$ と、トランジスタ $M 1 7$ のソースとゲート間の電圧を維持する第 2 キャパシタ $C 2$ とをさらに含む。

10

【 0 1 3 1 】

さらに、本発明の実施形態に係る論理ゲートは、第 2 キャパシタ $C 2$ の両端に連結され、入力部 3 1 の出力信号によってオン/オフ動作を行い、出力信号がローである時、第 2 能動負荷 3 3 に流れる電流を遮断するトランジスタ $M 1 9$ をさらに含む。

【 0 1 3 2 】

ここで、入力信号 $I N 1$ は、フリップフロップ $F F 1$ の出力信号 $O U T 1$ であり、反転された入力信号 $I N B 1$ は、フリップフロップ $F F 1$ の反転された出力信号 $O U T B 1$ である。また、入力信号 $I N 2$ は、フリップフロップ $F F 2$ の出力信号 $O U T 2$ であり、反転された入力信号 $I N B 2$ は、フリップフロップ $F F 2$ の反転された出力信号 $O U T B 2$ である。

20

【 0 1 3 3 】

詳細に説明すると、入力部 3 1 は、第 1 電源電圧としての正の電源電圧 $V p o s$ が印加される端子に連結され、入力信号 $I N 1$ のレベルによってオン/オフ動作を行うトランジスタ $M 1 1$ と、トランジスタ $M 1 1$ に連結され、入力信号 $I N 2$ のレベルによってオン/オフ動作を行うトランジスタ $M 1 2$ とから構成される。したがって、入力部 3 1 は、2つの入力信号 $I N 1$ 、 $I N 2$ が共にローレベルである時にだけ、オンとなり、正の電源電圧 $V p o s$ を出力し、それ以外のレベルでは、オフとなる。

30

【 0 1 3 4 】

第 1 能動負荷 3 2 は、トランジスタ $M 1 2$ と第 2 電源電圧としての負の電源電圧 $V n e g$ が印加される端子との間に連結され、反転された 2つの入力信号 $I N B 1$ 、 $I N B 2$ のレベル状態によってダイオード連結されるトランジスタ $M 1 3$ と、トランジスタ $M 1 3$ のゲートとドレインとの間に連結され、反転された 2つの入力信号 $I N B 1$ 、 $I N B 2$ のレベル状態によってそれぞれオン/オフ動作を行う 2つのトランジスタ $M 1 5 _ 1$ 、 $M 1 5 _ 2$ とから構成される。したがって、反転された 2つの入力信号 $I N B 1$ 、 $I N B 2$ のレベル状態が共にハイレベルである時を除いて、トランジスタ $M 1 3$ は、ダイオード連結され、負の電源電圧 $V n e g$ とスレシヨルド電圧 $V t h_{M 1 3}$ との和に該当する電圧を入力部 3 1 の出力端に印加する。

40

【 0 1 3 5 】

出力トランジスタ $M 1 8$ は、正の電源電圧 $V p o s$ が印加される端子と発光制御線 $E 1$ との間に連結され、入力部 3 1 と第 1 能動負荷 3 2 の出力端にゲート端子が連結されてゲート端子に印加される電圧によってオン/オフ動作を行う。したがって、ゲート端子に印加される電圧がローレベルである時、トランジスタ $M 1 8$ は、オンとなり、正の電源電圧 $V p o s$ を発光制御線 $E 1$ に伝達する。

【 0 1 3 6 】

第 2 能動負荷 3 3 は、トランジスタ $M 1 8$ と負の電源電圧 $V n e g$ が印加される端子との間に連結され、2つの入力信号 $I N 1$ 、 $I N 2$ のレベル状態によってダイオード連結さ

50

れるトランジスタM17と、トランジスタM17のゲートとドレインとの間に連結され、2つの入力信号IN1、IN2のレベル状態によってそれぞれオン/オフ動作を行う2つのトランジスタM16_1、M16_2とから構成される。したがって、2つの入力信号IN1、IN2のレベル状態が共にローレベルである時だけ、トランジスタM17は、ダイオード連結され、負の電源電圧Vnegとスレシヨルド電圧Vth_{M17}との和に該当する電圧を発光制御線E1に印加する。

【0137】

また、スイッチング部34は、第1能動負荷32のトランジスタM13のソースとゲートとの間に連結され、2つの入力信号IN1、IN2によってそれぞれオン/オフ動作を行う2つのトランジスタM14_1、M14_2が直列に連結されている。スイッチング部34は、2つの入力信号IN1、IN2が共にローレベルである時、トランジスタM13のソースとゲート間の電圧差Vgs_{M13}を0[V]とし、トランジスタM13に流れる電流を遮断する。したがって、入力部31がオンとなる時、第1能動負荷32を介して流れる静電流(Static Current)を遮断することができる。

10

【0138】

さらに、トランジスタM19は、第2能動負荷33のトランジスタM17のソースとゲートとの間に連結され、第1入力部31の出力信号によってオン/オフ動作を行う。したがって、トランジスタM19は、第1入力部31の出力信号がローレベルである時、トランジスタM17のソースとゲート間の電圧差Vgs_{M17}を0[V]とし、トランジスタM17に流れる電流を遮断する。したがって、トランジスタM18がオンとなる時、第2

20

【0139】

ここで、本発明の実施形態に係る論理ゲートを構成する全てのトランジスタは、いずれもPMOSTランジスタで構成される。ただし、本発明の実施形態に係る論理ゲートをNMOSTランジスタで構成することは、当業者が容易に変更し得る程度のものであり、本発明の等価範囲に属するものと理解すべきである。すなわち、本発明の実施形態に係る論理ゲートを構成するPMOSTランジスタを、NMOSTランジスタに変え、正の電源電圧と負の電源電圧を取り換えれば、NMOSTランジスタよりなる論理ゲートが設計できる。

【0140】

次に、本発明の実施形態に係る論理ゲートが、2つの入力信号IN1、IN2および2つの反転された入力信号INB1、INB2のレベル状態によってどのような発光制御信号E1を出力するかを説明する。

30

【0141】

まず、2つの入力信号IN1、IN2が共にローレベルの信号であり、かつ反転された2つの入力信号INB1、INB2が共にハイレベルの信号である時、入力部31の2つのトランジスタM11、M12は、共にオンとなり、スイッチング部34の2つのトランジスタM14_1、M14_2も共にオンとなる。また、第2能動負荷33の2つのトランジスタM16_1、M16_2も共にオンとなる。ただし、第1能動負荷32の2つのトランジスタM15_1、M15_2は、共にオフとなる。

40

【0142】

したがって、正の電源電圧Vposは、入力部31を通じて出力トランジスタM18およびトランジスタM19のゲート端子に印加される。この際、スイッチング部34は、オンとなり、第1能動負荷32のトランジスタM13のソース-ゲート電圧Vgs_{M13}を0[V]とする。したがって、トランジスタM13は、オフとなり、能動負荷32では、静電流が流れない。一方、正の電源電圧Vposをゲート端子に印加された出力トランジスタM18およびトランジスタM19は、オフとなり、第2能動負荷33のダイオード連結されるトランジスタM17によって、発光制御線E1からは、負の電源電圧Vnegとスレシヨルド電圧Vth_{M17}との和に相当するローレベルの発光制御信号が出力される。

50

【0143】

次に、入力信号 $IN1$ がハイレベルであり、かつ入力信号 $IN2$ がローレベルであるか、または、入力信号 $IN1$ がローレベルであり、かつ入力信号 $IN2$ がハイレベルである場合、すなわち、入力信号 $IN1$ と $IN2$ との信号レベルが互いに異なる場合、本発明の実施形態に係る論理ゲートの状態は、次の通りである。

【0144】

入力部 31 の 2 つのトランジスタ $M11$ 、 $M12$ のうちいずれか 1 つのトランジスタ $M11$ またはトランジスタ $M12$ は、オフとなり、スイッチング部 34 の 2 つのトランジスタ $M14_1$ 、 $M14_2$ のうちいずれか 1 つのトランジスタ $M14_1$ またはトランジスタ $M14_2$ も、オフとなる。また、第 2 能動負荷 33 の 2 つのトランジスタ $M16_1$ 、 $M16_2$ のうちいずれか 1 つのトランジスタ $M16_1$ またはトランジスタ $M16_2$ もオフとなる。ただし、第 1 能動負荷 32 の並列に連結された 2 つのトランジスタ $M15_1$ 、 $M15_2$ のうちいずれか 1 つのトランジスタ $M15_1$ またはトランジスタ $M15_2$ は、オンとなる。

【0145】

したがって、入力部 31 とスイッチング部 34 は、オフとなり、第 1 能動負荷 32 のトランジスタ $M13$ は、ダイオード連結され、出力トランジスタ $M18$ のゲート端子の電圧は、負の電源電圧 V_{neg} とスレショルド電圧 $V_{th_{M13}}$ との和だけローレベルに下降するようになる。ローレベルの電圧を印加された出力トランジスタ $M18$ は、オンとなり、正の電源電圧 V_{pos} を発光制御線 $E1$ に出力する。この際、トランジスタ $M19$ は、オンとなり、第 2 能動負荷 33 のトランジスタ $M17$ のソース - ゲート電圧 $V_{gs_{M17}}$ を 0 [V] とする。したがって、トランジスタ $M17$ は、オフとなり、能動負荷 33 では、静電流が流れない。つまり、発光制御線 $E1$ には、正の電源電圧 V_{pos} のみが出力、すなわちハイレベルの信号が出力される。

【0146】

また、2 つの入力信号 $IN1$ 、 $IN2$ が共にハイレベルである場合は、入力信号 $IN1$ と $IN2$ との信号レベルが互いに異なる場合と同様に、発光制御信号 $E1$ として、ハイレベルの信号が出力されることが分かる。

【0147】

上記のように、本発明の実施形態に係る論理演算部 18 を構成する論理ゲートは、追加の信号を必要とせず、シフトレジスタ 17 の隣接するフリップフロップ $FF1$ 、 $FF2$ から出力される 4 つの信号 $OUT1$ 、 $OUTB1$ 、 $OUT2$ 、 $OUTB2$ が印加され、これら 4 つの信号を用いて論理ゲートの能動負荷を制御し、論理和の演算を行い、所望する形態の発光制御信号 $E1$ を生成することができる。この時、2 つの入力信号 $IN1$ 、 $IN2$ がローレベルである場合、論理ゲートの能動負荷 32、33 を介して流れる静電流を遮断することができ、入力部 31 の出力信号がローレベルである場合、第 2 能動負荷 33 を介して流れる静電流を遮断することができる。

【0148】

図 9 は、本発明の実施形態に係る発光制御駆動部の動作を示す各信号のタイミング図である。

【0149】

図 9 を参照すると、複数のフリップフロップ $FF1 \sim FF_{n+1}$ で構成されるシフトレジスタは、クロック信号 CLK および反転されたクロック信号 $CLKB$ を共通に印加され、一段前のフリップフロップの出力信号を、フリップフロップの入力信号として印加される。ただし、第 1 フリップフロップ $FF1$ は、開始パルス V_{sp} が入力信号として印加される。

【0150】

まず、開始パルス V_{sp} が第 1 フリップフロップ $FF1$ の入力として印加されると、クロック信号 CLK の立ち上がりエッジで、第 1 フリップフロップ $FF1$ は、ハイレベルの出力信号 $OUT1$ およびローレベルの反転された出力信号 $OUTB1$ をクロック 1 周期の

10

20

30

40

50

間に出力する。

【0151】

次に、第1フリップフロップFF1の出力信号OUT1が第2フリップフロップFF2の入力として印加されると、クロック信号CLKの2番目の立ち下がりエッジで、第2フリップフロップFF2は、ハイレベルの出力信号OUT2およびローレベルの反転された出力信号OUTB2をクロック1周期の間に出力する。

【0152】

上記のような動作を繰り返して、最後に第1フリップフロップFFnの出力信号OUTnが、第n+1フリップフロップFFn+1の入力として印加されると、クロック信号CLKのn+1番目の立ち下がりエッジで、第n+1フリップフロップFFn+1は、ハイレベルの出力信号OUTn+1およびローレベルの反転された出力信号OUTBn+1をクロック1周期の間に出力する。

10

【0153】

上記のような動作により、本発明の実施形態に係るシフトレジスタは、クロック1周期毎にシフトされる2つの信号OUT、OUTBを出力する。

【0154】

また、複数の論理ゲートOR1~ORnで構成される論理演算部18は、フリップフロップFF1~FFn+1の出力信号を印加され、論理和の演算を行い、発光制御信号を出力する。

【0155】

まず、第1論理ゲートOR1は、第1フリップフロップFF1の2つの出力信号OUT1、OUTB1と、第2フリップフロップFF2の2つの出力信号OUT2、OUTB2を入力として印加される。したがって、第1出力信号OUT1と第2出力信号OUT2がローレベルであり、かつ反転された第1出力信号OUTB1および反転された第2出力信号OUTB2がハイレベルである場合にだけ、第1論理ゲートOR1は、ローレベルの発光制御信号E1を出力し、それ以外のレベル状態では、ハイレベルの発光制御信号E1を出力する。

20

【0156】

次に、第2論理ゲートOR2は、第2フリップフロップFF2の2つの出力信号OUT2、OUTB2と、第3フリップフロップFF3の2つの出力信号OUT3、OUTB3を入力として印加される。したがって、第2出力信号OUT2と第3出力信号OUT3がローレベルであり、かつ反転された第2出力信号OUTB2および反転された第3出力信号OUTB3がハイレベルである場合にだけ、第2論理ゲートOR2は、ローレベルの発光制御信号E2を出力し、それ以外のレベル状態では、ハイレベルの発光制御信号E2を出力する。第2発光制御信号E2は、第1発光制御信号E1よりクロック1周期だけシフトされ出力される。

30

【0157】

上記のような動作を繰り返して、最後に第n論理ゲートORnは、第nフリップフロップFFnの2つの出力信号OUTn、OUTBnと、第n+1フリップフロップFFn+1の2つの出力信号OUTn+1、OUTBn+1を入力として印加される。したがって、第n出力信号OUTnと第n+1出力信号OUTn+1がローレベルであり、かつ反転された第n出力信号OUTBnおよび反転された第n+1出力信号OUTBn+1がハイレベルである場合にだけ、第n論理ゲートORnは、ローレベルの発光制御信号Enを出力し、それ以外のレベル状態では、ハイレベルの発光制御信号Enを出力する。

40

【0158】

以上のような本発明の実施形態に係る有機EL表示装置の発光制御駆動部16は、パネルの内部に直接PMOSTランジスタで構成される複数のフリップフロップと、複数の論理ゲートを形成することによって、SOP(System On Panel)を具現することが容易であるという利点がある。

【0159】

50

また、本発明の実施形態に係る有機ＥＬ表示装置の発光制御駆動部１６は、シフトレジスタ１７の隣接するフリップフロップの４つの出力を論理ゲートの入力として使用することによって、追加的な信号を必要としない。すなわち、フリップフロップの出力を利用することによって、消費電力を低減することができる。

【０１６０】

さらに、本発明の実施形態に係る有機ＥＬ表示装置の発光制御駆動部１６は、４入力論理ゲートを使用することによって、入力信号がローである場合（すなわち反転された入力信号がハイレベルの場合）に発生する静電流を遮断することができ、漏洩電流による電力消費を減少することができる。

【０１６１】

以上、添付図面を参照しながら本発明の好適な実施形態について説明したが、本発明は係る例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【０１６２】

例えば、本発明の実施形態における論理ゲートをはじめとする各構成要素に係るトランジスタを、ＰＭＯＳトランジスタではなく、ＮＭＯＳトランジスタで構成することは、当業者が容易に変更し得る程度のことであり、本発明の等価範囲に属するものと理解すべきである。

【図面の簡単な説明】

【０１６３】

【図１】本発明の実施形態に係るタイルリング技術を用いた有機電界発光表示装置を示すブロック図である。

【図２】図１における代表的な小型の有機電界発光表示装置を詳細に示すブロック図である。

【図３】図２における画素部が含む複数の画素のうち、代表的な画素を示す回路図である。

【図４】図３における画素回路の動作を表すタイミング図である。

【図５】本発明の実施形態に係る有機ＥＬ表示装置の発光制御駆動部を示すブロック図である。

【図６】図５における発光制御駆動部のシフトレジスタを構成する代表的なフリップフロップを示す回路図である。

【図７】図６におけるフリップフロップのインバータ構造を詳細に示す回路図である。

【図８】図５における発光制御駆動部の論理演算部を構成する複数の論理ゲートのうち、代表的な論理ゲートを詳細に示す回路図である。

【図９】本発明の実施形態に係る発光制御駆動部の動作を示すタイミング図である。

【符号の説明】

【０１６４】

１０	ＥＬ表示パネル
１２	画素部
１４	走査駆動部
１６	発光制御駆動部
１７	シフトレジスタ
１８	論理演算部
２０	データ駆動部
Ｃ１	第１キャパシタ
Ｃ２	第２キャパシタ
ＩＮＶ１	第１インバータ
ＩＮＶ２	第２インバータ
Ｍ６	第１トランジスタ

10

20

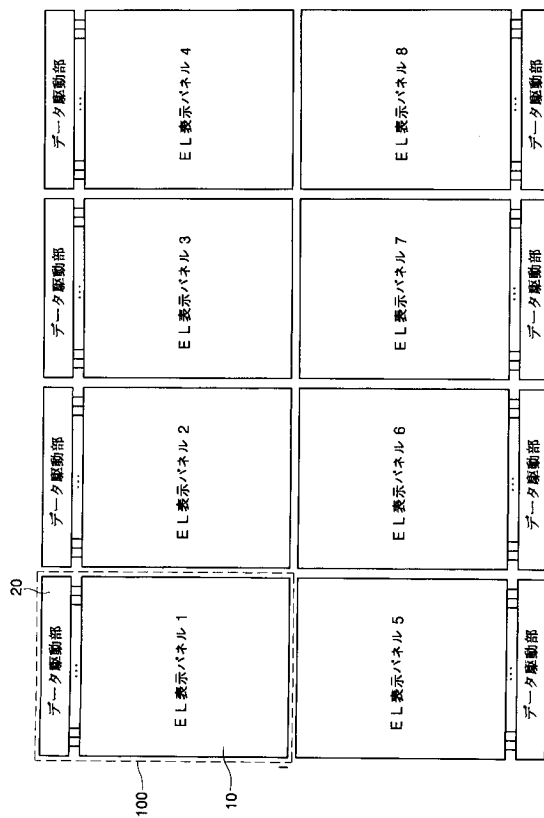
30

40

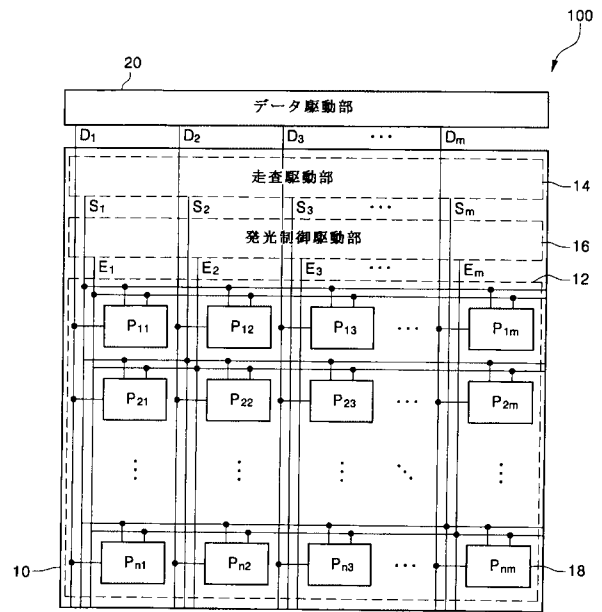
50

M 7	第 2 トランジスタ	
M 8	第 3 トランジスタ	
M 9	第 4 トランジスタ	
M 1 0	第 5 トランジスタ	
M 1 3	第 6 トランジスタ	
M 1 7	第 7 トランジスタ	
M 1 1	第 8 トランジスタ	
M 1 2	第 9 トランジスタ	
M 1 5 _ 1	第 1 0 トランジスタ	
M 1 5 _ 2	第 1 1 トランジスタ	10
M 1 6 _ 1	第 1 2 トランジスタ	
M 1 6 _ 2	第 1 3 トランジスタ	
M 1 4 _ 1	第 1 4 トランジスタ	
M 1 4 _ 2	第 1 5 トランジスタ	
M 1 9	第 1 6 トランジスタ	
M 1 8	出力トランジスタ	
O R n	論理ゲート	
O U T n	第 1 出力信号	
O U T B n	反転された第 1 出力信号	
O U T n + 1	第 2 出力信号	20
O U T B n + 1	反転された第 2 出力信号	
V _{S P}	開始パルス	
V _{C L K} 、C L K	クロック信号	
V _{C L K B} 、C L K B	反転されたクロック信号	
V D D	第 1 電源電圧	
V S S	第 2 電源電圧	
V _{p o s}	正の電源電圧	
V _{n e g}	負の電源電圧	

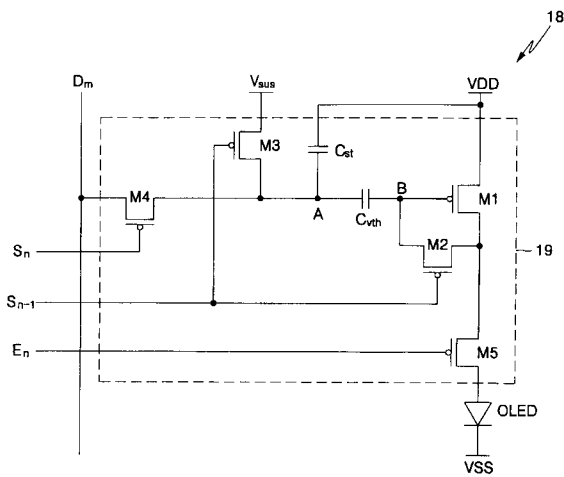
【図 1】



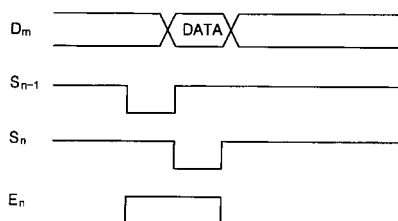
【図 2】



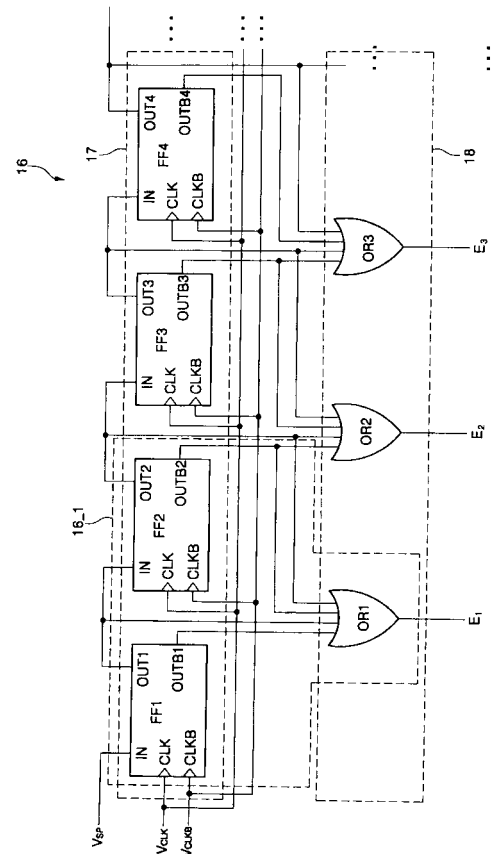
【図 3】



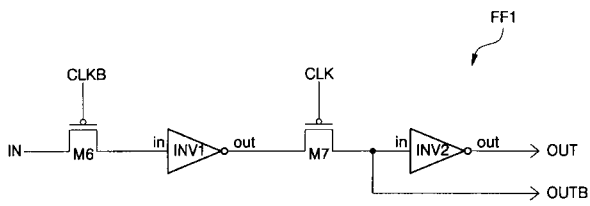
【図 4】



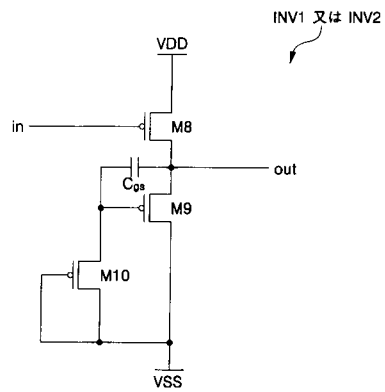
【図 5】



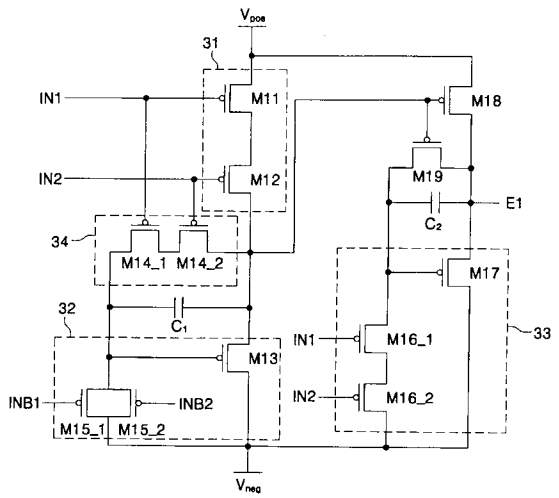
【図 6】



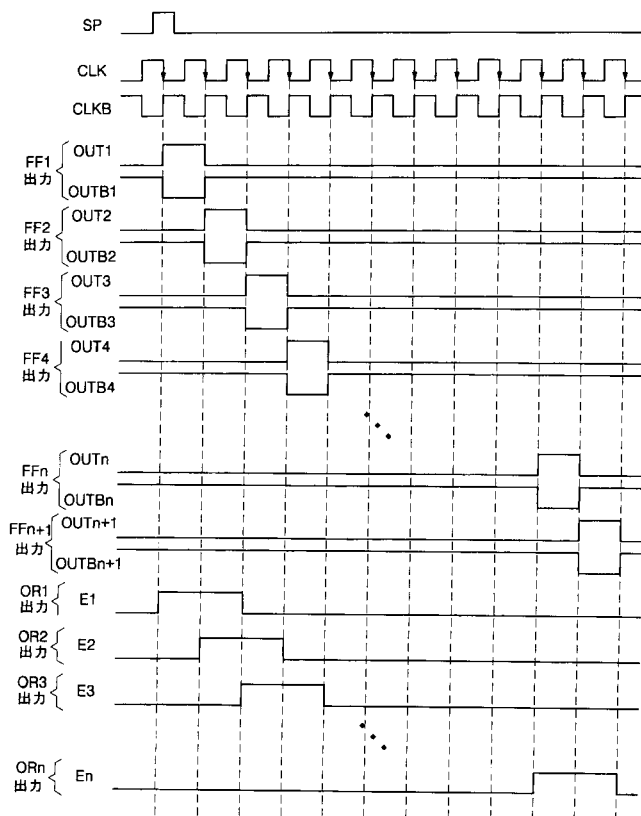
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 H

H 0 5 B 33/14 A

G 0 9 G 3/20 6 8 0 G

专利名称(译)	有机电致发光显示装置，发光控制驱动装置和OR电路		
公开(公告)号	JP2007052432A	公开(公告)日	2007-03-01
申请号	JP2006221420	申请日	2006-08-15
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	鄭寶容		
发明人	鄭 寶容		
IPC分类号	G09G3/30 G09G3/20 H01L51/50		
CPC分类号	G09G3/3233 G09G3/3266 G09G2300/0408 G09G2300/0417 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0221 G09G2310/0262 G09G2330/021 G11C19/00 G11C19/184		
FI分类号	G09G3/30.J G09G3/20.611.A G09G3/20.621.E G09G3/20.624.B G09G3/20.621.A G09G3/20.623.H H05B33/14.A G09G3/20.680.G G09G3/20.624.Z G09G3/3266 G09G3/3275 G09G3/3291 G11C19/00 G11C19/00.J		
F-TERM分类号	3K107/AA01 3K107/BB01 3K107/CC42 3K107/CC45 3K107/EE03 3K107/HH00 3K107/HH04 5C080/AA06 5C080/BB05 5C080/DD22 5C080/DD26 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5B074/AA10 5B074/CA01 5C380/AA01 5C380/AB18 5C380/AB24 5C380/AB34 5C380/AB40 5C380/AC05 5C380/BA01 5C380/BA11 5C380/BA28 5C380/BA38 5C380/BA39 5C380/BB02 5C380/CA08 5C380/CA12 5C380/CA48 5C380/CB01 5C380/CB12 5C380/CB16 5C380/CB17 5C380/CB32 5C380/CB37 5C380/CC05 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC55 5C380/CC64 5C380/CD025 5C380/CF07 5C380/CF10 5C380/CF23 5C380/CF33 5C380/CF43 5C380/CF46 5C380/DA02 5C380/DA06 5C380/HA03 5C380/HA07		
优先权	1020050075428 2005-08-17 KR 1020050075429 2005-08-17 KR		
其他公开文献	JP4789746B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种在电致发光（EL）显示面板中被设计为面板上系统（SOP）类型的新型发射控制驱动器，并且提供一种有机电致发光显示装置和逻辑或电路。解决方案：有机发光显示（OLED）装置包括：具有多个像素的像素部分12；施加扫描信号的扫描驱动部14；施加数据信号的数据驱动部20；以及施加发射控制信号的发射控制驱动部分16。发射控制驱动部分16包括：具有多个触发器的移位寄存器；以及包括多个逻辑门的逻辑运算部分，其中每个逻辑门接收来自两个相邻的触发器的总共第一和第二输出信号OUT_n，OUT_n+1和第一和第二反相输出信号OUTB_n，OUTB_n+1的四个信号-移位寄存器中的触发器，控制有源负载，并通过逻辑或运算输出发射控制信号。Z

