

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-317696  
(P2006-317696A)

(43) 公開日 平成18年11月24日(2006.11.24)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	5C080
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 K	
	G09G 3/20 611A	
	G09G 3/20 611H	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 19 O L (全 29 頁) 最終頁に続く		

(21) 出願番号	特願2005-139898 (P2005-139898)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成17年5月12日 (2005.5.12)	(74) 代理人	100094053 弁理士 佐藤 隆久
		(72) 発明者	浅野 慎 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	湯本 昭 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	藤村 寛 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		Fターム(参考)	5C080 AA06 BB05 DD05 DD26 EE28 FF11 JJ01 JJ02 JJ03 JJ04

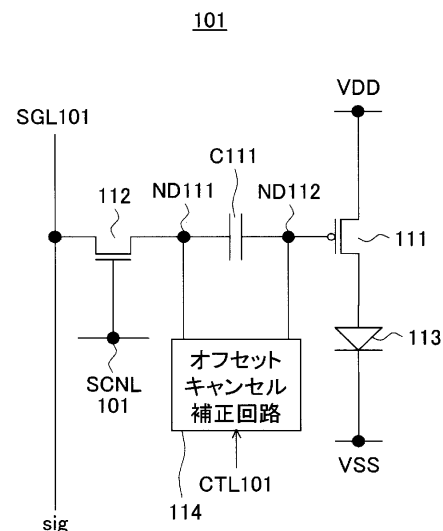
(54) 【発明の名称】 画素回路および表示装置、並びに画素回路の制御方法

(57) 【要約】

【課題】輝度均一性を維持したまま、低消費電力化が可能となり、また、高コントラストを実現し、より高画質な表示画像を実現できる画素回路、および表示装置を提供する。

【解決手段】画素回路101は、有機EL発光素子113を駆動するための制御期間として、C111の両端に、駆動トランジスタとしてのTFT111のしきい値電圧に依存する電圧を蓄電する補正期間と、走査線SCNL101により第1のスイッチとしてのTFT112をオンして、データ信号を信号線SGL101から画素回路101へと書き込む書込期間と、書きこまれたデータ信号を画素回路に保持して光学素子113を駆動する駆動期間とをもって駆動制御可能で、補正期間と書込期間と駆動期間を有するフレームと、補正期間が存在せず書込期間と駆動期間を有するフレームが存在するように駆動制御される。

【選択図】 図7



## 【特許請求の範囲】

## 【請求項 1】

流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、  
少なくとも輝度情報に応じたデータ信号が供給される信号線と、  
少なくとも第 1 の制御線と、

第 1 端子と第 2 端子間で電流供給ラインを形成し、制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記駆動トランジスタの制御端子と電氣的に結合可能なノードと、

上記信号線と上記ノードとの間に接続され、上記第 1 の制御線によって導通制御される第 1 のスイッチと、を有し、

1 フレームの期間に、画素の駆動トランジスタの特性ばらつきを補正するための補正期間と、

上記第 1 の制御線により上記第 1 のスイッチを駆動して、データ信号を信号線から上記ノードへと書き込む書込期間と、

書きこまれたデータ信号を保持して、電気光学素子を駆動する駆動期間と、を設定して駆動制御可能で、補正期間と書込期間と駆動期間を有する期間と、補正期間が存在せず書込期間と駆動期間を有する期間が存在するように駆動制御される

画素回路。

## 【請求項 2】

上記ノードと上記駆動トランジスタの制御端子との間に結合容量が接続され、

上記補正期間には、上記結合容量の両端に、上記駆動トランジスタのしきい値電圧に依存する電圧を蓄電する

請求項 1 記載の画素回路。

## 【請求項 3】

上記補正期間は複数フレームごとに 1 回存在する

請求項 1 記載の画素回路。

## 【請求項 4】

上記補正期間は複数フィールドごとに 1 回存在する

請求項 1 記載の画素回路。

## 【請求項 5】

上記補正期間の有無は複数の行単位で制御される

請求項 1 記載の画素回路。

## 【請求項 6】

上記補正期間の有無は奇数走査線および偶数走査線単位で制御される

請求項 1 記載の画素回路。

## 【請求項 7】

上記補正期間の有無は複数の列単位で制御される

請求項 1 記載の画素回路。

## 【請求項 8】

上記補正期間の有無は奇数信号線および偶数信号線単位で制御される

請求項 1 記載の画素回路。

## 【請求項 9】

上記補正期間の有無は隣接する画素単位で制御される

請求項 1 記載の画素回路。

## 【請求項 10】

マトリクス状に複数配列された画素回路と、

上記画素回路のマトリクス配列に対して列毎に配線され、少なくとも輝度情報に応じたデータ信号が供給される信号線と、

上記画素回路のマトリクス配列に対して行毎に配線された少なくとも第 1 の制御線と、  
駆動部と、を有し、

10

20

30

40

50

上記画素回路は、

流れる電流によって輝度に変化する電気光学素子と、  
少なくとも輝度情報に応じたデータ信号が供給される信号線と、  
少なくとも第1の制御線と、

第1端子と第2端子間で電流供給ラインを形成し、制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記駆動トランジスタの制御端子と電氣的に結合可能なノードと、

上記信号線と上記ノードとの間に接続され、上記第1の制御線によって導通制御される第1のスイッチと、を含み、

上記駆動部は、1フレームの期間に、画素の駆動トランジスタの特性ばらつきを補正するための補正期間と、上記第1の制御線により上記第1のスイッチを駆動して、データ信号を信号線から上記ノードへと書き込む書込期間と、書きこまれたデータ信号を保持して、電気光学素子を駆動する駆動期間と、を設定して駆動制御可能で、補正期間と書込期間と駆動期間を有する期間と、補正期間が存在せず書込期間と駆動期間を有する期間が存在するように駆動制御する

10

表示装置。

【請求項11】

上記ノードと上記駆動トランジスタの制御端子との間に結合容量が接続され、

上記補正期間には、上記結合容量の両端に、上記駆動トランジスタのしきい値電圧に依存する電圧を蓄電する

20

請求項10記載の表示装置。

【請求項12】

流れる電流によって輝度に変化する電気光学素子と、  
少なくとも輝度情報に応じたデータ信号が供給される信号線と、  
少なくとも第1の制御線と、

第1端子と第2端子間で電流供給ラインを形成し、制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、

上記駆動トランジスタの制御端子と電氣的に結合可能なノードと、

上記信号線と上記ノードとの間に接続され、上記第1の制御線によって導通制御される第1のスイッチと、を有する画素回路の制御方法であって、

30

1フレームの期間に、画素の駆動トランジスタの特性ばらつきを補正するための補正期間と、

上記第1の制御線により上記第1のスイッチを駆動して、データ信号を信号線から上記ノードへと書き込む書込期間と、

書きこまれたデータ信号を保持して、電気光学素子を駆動する駆動期間と、を有し、

補正期間と書込期間と駆動期間を有する期間と、補正期間が存在せず書込期間と駆動期間を有する期間が存在するように駆動制御する

画素回路の制御方法。

【請求項13】

上記補正期間は複数フレームごとに1回存在する

40

請求項12記載の画素回路の制御方法。

【請求項14】

上記補正期間は複数フィールドごとに1回存在する

請求項12記載の画素回路の制御方法。

【請求項15】

上記補正期間は複数の行単位で補正期間の有無を制御する

請求項12記載の画素回路の制御方法。

【請求項16】

上記補正期間は奇数走査線および偶数走査線単位で補正期間の有無を制御する

請求項12記載の画素回路の制御方法。

50

## 【請求項 17】

上記補正期間は複数の列単位で補正期間の有無を制御する

請求項 12 記載の画素回路の制御方法。

## 【請求項 18】

上記補正期間は奇数信号線および偶数信号線単位で補正期間の有無を制御する

請求項 12 記載の画素回路の制御方法。

## 【請求項 19】

上記補正期間は隣接する画素単位で補正期間の有無を制御する

請求項 12 記載の画素回路の制御方法。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、有機 EL (Electroluminescence) ディスプレイ、LCD (液晶表示装置) などのアクティブマトリクス表示装置を含む、信号線によって輝度が制御される電気光学素子を有する画素回路、並びにこの画素回路がマトリクス状に配列された表示装置、並びに画素回路の制御方法に関するものである。

## 【背景技術】

## 【0002】

アクティブマトリクス型表示装置において、画素の表示素子として、液晶セルや有機 EL 素子等の電気光学素子が用いられる。

そのうち、有機 EL 素子は有機材料からなる層、すなわち有機層を電極で挟み込んだ構造を有している。

この有機 EL 素子では、当該素子に電圧を印加することにより、陰極から電子が、陽極から正孔が有機層に注入され、その結果電子・正孔が再結合し、発光が生じる。この有機 EL 素子は以下のような特長を持っている。

## 【0003】

(1) 10V 以下の低電圧駆動で、数 100 ~ 数 10000 cd/m<sup>2</sup> の輝度が得られることから低消費電力化が可能である。

(2) 自発光素子であることから画像のコントラストが高く、応答速度も速いことから視認性が良く、動画表示にも適している。

(3) シンプルな構造を持つ全固体型素子であり、素子の高信頼性化、薄型化が可能である。

## 【0004】

これらの特長を持つ有機 EL 素子を画素の表示素子として用いた有機 EL 表示装置 (以下、有機 EL ディスプレイと記す) は、次世代のフラットパネルディスプレイとして有望視されている。

## 【0005】

ところで、有機 EL ディスプレイの駆動方式として、単純マトリクス方式とアクティブマトリクス方式とが挙げられる。これらの方式のうち、アクティブマトリクス方式には、以下のような特長がある。

## 【0006】

(1) 各画素における有機 EL 素子の発光を 1 フレーム期間に亘って保持できるアクティブマトリクス方式は、有機 EL ディスプレイの高精細化・高輝度化に適している。

(2) 基板 (パネル) 上に、薄膜トランジスタを用いた周辺回路を作製することが可能であるため、パネル外部とのインターフェイスの簡素化、パネルの高機能化が可能である。

## 【0007】

このアクティブマトリクス型有機 EL ディスプレイでは、アクティブ素子であるトランジスタには、ポリシリコンを活性層としたポリシリコン薄膜トランジスタ (Thin Film Transistor ; TFT) を用いるのが一般的である。

50

その理由は、ポリシリコンTFTは駆動能力が高く、画素サイズを小さく設計できることによって高精細化に有利だからである。

【0008】

ところで、ポリシリコンTFTは上述したような特長を持つ反面、特性のばらつきが大きいことも広く知られている。

したがって、ポリシリコンTFTを用いる場合、その特性ばらつきを抑えること、また回路的にTFTの特性ばらつきを補償することは、ポリシリコンTFTを用いたアクティブマトリクス型有機ELディスプレイにおける大きな課題である。これは、次のような理由による。

【0009】

すなわち、画素の表示素子として液晶セルを用いた液晶ディスプレイでは、各画素の輝度データを電圧値によって制御する構成が採られるのに対して、有機ELディスプレイでは、各画素の輝度データを電流値によって制御する構成が採られるからである。

【0010】

ここで、アクティブマトリクス型有機ELディスプレイの概要について説明する。

図1は、一般的なアクティブマトリクス型有機ELディスプレイの構成の概略を示す図であり、図2は、アクティブマトリクス型有機ELディスプレイの画素回路の構成例を示す回路図である(たとえば、特許文献1、2参照)。

【0011】

アクティブマトリクス型有機ELディスプレイ1は、 $m \times n$ 個の画素回路10がマトリクス状に配列され、これら画素回路10のマトリクス配列に対してデータドライバ(DRV)2によって駆動される $n$ 列分の信号線 $SGL1 \sim SGLn$ が画素列毎に、スキャンドライバ(SRV)3によって駆動される $m$ 行分の走査線 $SCNL1 \sim SCNLm$ が画素行毎にそれぞれ配線されている。

【0012】

また、画素回路10は、図2に示すように、 $p$ チャネルTFT11、 $n$ チャネルTFT12、およびキャパシタC11、および有機EL素子(OLED)からなる発光素子13を有する。

各画素回路10のTFT11は、ソースが電源電位線VCCに、ゲートがTFT12のドレインにそれぞれ接続されている。有機EL発光素子13は、アノードがTFT11のドレインに、カソードが基準電位(たとえば、グランド電位)GNDにそれぞれ接続されている。

各画素回路10のTFT12は、ソースが対応する列の信号線 $SGL1 \sim SGLn$ に、ゲートが対応する行の走査線 $SCNL1 \sim SCNLm$ にそれぞれ接続されている。

キャパシタC11は、一端が電源電位線VCCに、他端がTFT12のドレインにそれぞれ接続されている。

【0013】

なお、有機EL素子は多くの場合整流性があるため、OLED(Organic Light Emitting Diode)と呼ばれることがあり、図2その他では発光素子としてダイオードの記号を用いているが、以下の説明においてはOLEDに必ずしも整流性を要求するものではない。

【0014】

このような構成を有する画素回路10において、輝度データの書き込みを行う画素では、当該画素を含む画素行がスキャンドライバ3によって走査線SCNLを介して選択されることで、その行の画素のTFT12がオンする。

このとき、輝度データはデータドライバ2から信号線SGLを介して電圧で供給され、TFT12を通してデータ電圧を保持するキャパシタC11に書き込まれる。

キャパシタC11に書き込まれた輝度データは、1フィールド期間に亘って保持される。この保持されたデータ電圧は、TFT11のゲートに印加される。

これにより、TFT11は、保持データに従って有機EL発光素子13を電流で駆動する。このとき、有機EL発光素子13の階調表現は、キャパシタC11によって保持され

10

20

30

40

50

る T F T 1 1 のゲート・ソース間電圧  $V_{data} (< 0)$  を変調することによって行われる。

【0015】

一般に、有機 E L 素子の輝度  $L_{oled}$  は、当該素子に流れる電流  $I_{oled}$  に比例する。したがって、有機 E L 発光素子 1 3 の輝度  $L_{oled}$  と電流  $I_{oled}$  との間には次式 ( 1 ) が成り立つ。

【0016】

( 数 1 )

$$L_{oled} \quad I_{oled} = k ( V_{data} - V_{th} )^2 \quad \dots ( 1 )$$

【0017】

式 ( 1 ) において、 $k = 1 / 2 \cdot \mu \cdot C_{ox} \cdot W / L$  である。ここで、 $\mu$  は T F T 1 1 のキャリアの移動度、 $C_{ox}$  は T F T 1 1 の単位面積当たりのゲート容量、 $W$  は T F T 1 1 のゲート幅、 $L$  は T F T 1 1 のゲート長である。

したがって、T F T 1 1 の移動度  $\mu$ 、しきい値電圧  $V_{th} (< 0)$  のばらつきが、直接的に、有機 E L 発光素子 1 3 の輝度ばらつきに影響を与えることがわかる。

【0018】

この場合、たとえば異なる画素に対して同じ電位  $V_{data}$  を書き込んでも、画素によって T F T 1 1 のしきい値  $V_{th}$  がばらつく結果、発光素子 ( O L E D ) 1 3 に流れる電流  $I_{oled}$  は画素毎に大きくばらついて全く所望の値からはずれ結果となり、ディスプレイとして高い画質を期待することはできない。

【0019】

この問題を改善するため多数の画素回路が提案されているが、代表例を図 3 に示す ( たとえば特許文献 3、または特許文献 4 参照 ) 。

【0020】

図 3 の画素回路 2 0 は、p チャネル T F T 2 1、n チャネル T F T 2 2 ~ 2 4、キャパシタ  $C_{21}$ 、 $C_{22}$ 、発光素子である有機 E L 発光素子 2 5 を有する。また、図 3 において、S G L は信号線を、S C N L は走査線を、A Z L はオートゼロ線を、D R V L は駆動線をそれぞれ示している。

この画素回路 2 0 の動作について、図 4 に示すタイミングチャートを参照しながら以下に説明する。

【0021】

図 4 ( A )、( B ) に示すように、駆動線 D R V L、オートゼロ線 A Z L をハイレベルとし、T F T 2 2 および T F T 2 3 を導通状態とする。このとき T F T 2 1 はダイオード接続された状態で発光素子 ( O L E D ) 2 5 と接続されるため、T F T 2 1 に電流が流れる。

【0022】

次に、図 4 ( A ) に示すように、駆動線 D R V L をローレベルとし、T F T 2 2 を非導通とする。このとき走査線 S C N L は、図 4 ( C ) に示すように、ハイレベルで T F T 2 4 が導通状態とされ、信号線 S G L には、図 4 ( D ) に示すように、基準電位  $V_{ref}$  が与えられる。T F T 2 1 に流れる電流が遮断されるため、図 4 ( E ) に示すように T F T 2 1 のゲート電位  $V_g$  は上昇するが、その電位が  $V_{DD} - |V_{th}|$  まで上昇した時点で T F T 2 1 は非導通状態となって電位が安定する。この動作を以後、「オートゼロ動作」と称することがある。

【0023】

図 4 ( B )、( D ) に示すように、オートゼロ線 A Z L をローレベルとして T F T 2 3 を非導通状態とし、信号線 S G L の電位を  $V_{ref}$  から  $V_{data}$  だけ低い電位とする。この信号線電位の変化は、図 4 ( E ) に示すように、キャパシタ  $C_{21}$  を介して T F T 2 1 のゲート電位を  $V_g$  だけ低下させる。

【0024】

図 4 ( A )、( C ) に示すように、走査線 S C N L をローレベルとして T F T 2 4 を非導通状態とし、駆動線 D R V L をハイレベルとして T F T 2 2 を導通状態とすると、T F

10

20

30

40

50

T 2 1 および発光素子 (OLED) 2 5 に電流が流れ、発光素子 2 5 が発光を開始する。

【0025】

寄生容量が無視できるとすれば、 $V_g$  および T F T 2 1 のゲート電位  $V_g$  はそれぞれ次のようになる。

【0026】

(数2)

$$V_g = V_{data} \times C_1 / (C_1 + C_2) \quad \dots (2)$$

【0027】

(数3)

$$V_g = V_{cc} - |V_{th}| - V_{data} \times C_1 / (C_1 + C_2) \quad \dots (3)$$

10

【0028】

ここで、 $C_1$  はキャパシタ C 2 1 の容量値、 $C_2$  はキャパシタ C 2 2 の容量値をそれぞれ示している。

【0029】

一方、発光時に発光素子 (OLED) 2 5 に流れる電流を  $I_{oled}$  とすると、これは発光素子 2 5 と直列に接続される T F T 2 1 によって電流値が制御される。T F T 2 1 が飽和領域で動作すると仮定すれば、良く知られた M O S トランジスタの式および上記 (3) 式を用いて次の関係を得る。

【0030】

(数4)

$$\begin{aligned} I_{oled} &= \mu C_{ox} W / L / 2 (V_{cc} - V_g - |V_{th}|)^2 \\ &= \mu C_{ox} W / L / 2 (V_{data} \times C_1 / (C_1 + C_2))^2 \end{aligned} \quad \dots (4)$$

20

【0031】

ここで、 $\mu$  はキャリアの移動度、 $C_{ox}$  は単位面積当たりのゲート容量、 $W$  はゲート幅、 $L$  はゲート長をそれぞれ示している。

【0032】

(4) 式によれば、 $I_{oled}$  は T F T 2 1 のしきい値  $V_{th}$  によらず、外部から与えられる  $V_{data}$  によって制御される。言い換えれば、図3の画素回路20を用いれば、画素毎にばらつくしきい値  $V_{th}$  の影響を受けず、電流の均一性、ひいては輝度の均一性が比較

30

【特許文献1】USP5,684,365

【特許文献2】特開平8-234683号公報

【特許文献3】USP6,229,506

【特許文献4】特表2002-514320号公報のFIG.3

【発明の開示】

【発明が解決しようとする課題】

【0033】

上述したように、有機ELディスプレイの画素ごとの輝度ばらつきを低減する方法として、有機EL素子を駆動する電流を決定する駆動トランジスタの特性ばらつきを補正する画素回路が提案されている。

40

【0034】

これらは、図5に示すように、1フレーム内に、駆動トランジスタの特性ばらつきを補正する補正期間と、データ信号を信号線から画素回路へと書き込む書込期間と、書きこまれたデータ信号を画素回路に保持して電気光学素子を駆動する駆動期間とを、もつのが一般的である。

【0035】

このように、提案されている画素回路においては、1フレームごとに必ず補正期間を設けて輝度の均一性を保持しているものの、補正期間も電荷の充放電を行うことから、電力消費量が黙視することができない状況となっている。

50

また、補正回路方式によっては、補正期間に有機EL素子の発光を伴うものが存在するが、これらの回路では補正期間がコントラスト低下の原因となっていた。

【0036】

本発明は、輝度均一性を維持したまま、低消費電力化が可能となり、また、高コントラストを実現し、より高画質な表示画像を実現できる画素回路および表示装置、並びに画素回路の制御方法を提供することにある。

【課題を解決するための手段】

【0037】

上記目的を達成するため、本発明の第1の観点は、流れる電流によって輝度が変化する電気光学素子を駆動する画素回路であって、少なくとも輝度情報に応じたデータ信号が供給される信号線と、少なくとも第1の制御線と、第1端子と第2端子間で電流供給ラインを形成し、制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記駆動トランジスタの制御端子と電氣的に結合可能なノードと、上記信号線と上記ノードとの間に接続され、上記第1の制御線によって導通制御される第1のスイッチと、を有し、1フレームの期間に、画素の駆動トランジスタの特性ばらつきを補正するための補正期間と、上記第1の制御線により上記第1のスイッチを駆動して、データ信号を信号線から上記ノードへと書き込む書込期間と、書きこまれたデータ信号を保持して、電気光学素子を駆動する駆動期間と、を設定して駆動制御可能で、補正期間と書込期間と駆動期間を有する期間と、補正期間が存在せず書込期間と駆動期間を有する期間が存在するように駆動制御される。

10

20

【0038】

好適には、上記ノードと上記駆動トランジスタの制御端子との間に結合容量が接続され、上記補正期間には、上記結合容量の両端に、上記駆動トランジスタのしきい値電圧に依存する電圧を蓄電する。

【0039】

本発明の第2の観点の表示装置は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、少なくとも輝度情報に応じたデータ信号が供給される信号線と、上記画素回路のマトリクス配列に対して行毎に配線された少なくとも第1の制御線と、駆動部と、を有し、上記画素回路は、流れる電流によって輝度が変化する電気光学素子と、少なくとも輝度情報に応じたデータ信号が供給される信号線と、少なくとも第1の制御線と、第1端子と第2端子間で電流供給ラインを形成し、制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記駆動トランジスタの制御端子と電氣的に結合可能なノードと、上記信号線と上記ノードとの間に接続され、上記第1の制御線によって導通制御される第1のスイッチと、を含み、上記駆動部は、1フレームの期間に、画素の駆動トランジスタの特性ばらつきを補正するための補正期間と、上記第1の制御線により上記第1のスイッチを駆動して、データ信号を信号線から上記ノードへと書き込む書込期間と、書きこまれたデータ信号を保持して、電気光学素子を駆動する駆動期間と、を設定して駆動制御可能で、補正期間と書込期間と駆動期間を有する期間と、補正期間が存在せず書込期間と駆動期間を有する期間が存在するように駆動制御する。

30

40

【0040】

本発明の第3の観点は、流れる電流によって輝度が変化する電気光学素子と、少なくとも輝度情報に応じたデータ信号が供給される信号線と、少なくとも第1の制御線と、第1端子と第2端子間で電流供給ラインを形成し、制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記駆動トランジスタの制御端子と電氣的に結合可能なノードと、上記信号線と上記ノードとの間に接続され、上記第1の制御線によって導通制御される第1のスイッチと、を有する画素回路の駆動方法であって、1フレームの期間に、画素の駆動トランジスタの特性ばらつきを補正するための補正期間と、上記第1の制御線により上記第1のスイッチを駆動して、データ信号を信号線から上記ノードへと書き込む書込期間と、書きこまれたデータ信号を保持して、電気光学素子を駆動

50

する駆動期間と、を有し、補正期間と書込期間と駆動期間を有する期間と、補正期間が存在せず書込期間と駆動期間を有する期間が存在するように駆動制御する。

【0041】

好適には、上記補正期間は複数フレームごとに1回存在する。

【0042】

好適には、上記補正期間は複数フィールドごとに1回存在する。

【0043】

好適には、上記補正期間の有無は複数の行単位で制御する。

【0044】

好適には、上記補正期間の有無は奇数走査線および偶数走査線単位で制御する。

10

【0045】

好適には、上記補正期間の有無は複数の列単位で制御する。

【0046】

好適には、上記補正期間の有無は奇数信号線および偶数信号線単位で制御する。

【0047】

好適には、上記補正期間は隣接する画素単位で補正期間の有無を制御する。

【0048】

本発明によれば、たとえば1フレームに、画素の駆動トランジスタの特性ばらつきを補正するための補正期間と、第1の制御線により第1のスイッチを駆動して、データ信号を信号線から上記ノードへと書き込む書込期間と、書きこまれたデータ信号を保持して、電気光学素子を駆動する駆動期間と、を有し、書込期間と駆動期間が1フレームに1回行われるのに対して、補正期間が2フレーム以上に対して1回行われる、すなわち、補正期間と書込期間と駆動期間を有するフレームと、補正期間が存在せず書込期間と駆動期間を有するフレームが存在する。

20

【発明の効果】

【0049】

本発明によれば、輝度均一性を維持したまま、低消費電力化が可能となる。また、高コントラストを実現し、より高画質な有機ELディスプレイ等の表示装置を実現できる。

【発明を実施するための最良の形態】

【0050】

以下、本発明の実施形態を図面に関連付けて説明する。

30

【0051】

< 第1実施形態 >

図6は、本第1の実施形態に係る画素回路を採用したアクティブマトリクス型有機ELディスプレイ（表示装置）の構成を示すブロック図である。

図7は、図6の有機ELディスプレイにおける画素回路の基本的な構成を示す回路図である。

【0052】

本有機ELディスプレイ100は、図6に示すように、画素回路101が $m \times n$ のマトリクス状に配列された画素アレイ部102、データドライバ（DDRV）103、スキャンドライバ（SDRV）104を有している。

40

そして、画素回路101のマトリクス配列に対してデータドライバ（DDRV）103によって駆動される $n$ 列分の信号線 $SGL101-1 \sim SGL101-n$ が画素列毎に、スキャンドライバ（SDRV）104によって選択的に駆動される $m$ 行分の第1の制御線としての走査線 $SNL101-1 \sim SNL101-m$ 、および第2の制御線としてのオフセットキャンセル用補正制御線 $CTL101-1 \sim CTL101-m$ が画素行毎にそれぞれ配線されている。

【0053】

次に、各画素回路101の具体的な構成について説明する。

【0054】

50

画素回路101は、図7に示すように、駆動トランジスタとしての1個のpチャンネルTFT111、第1のスイッチとしてのnチャンネルTFT112（書き込みトランジスタ）、有機EL発光素子113、結合容量としてのキャパシタC111、オフセットキャンセル補正回路114、およびノードND111、ND112を有している。

【0055】

図7の画素回路101において、TFT111のソースが第1の基準電位である電源電圧VDDの供給ラインに接続され、ドレインが発光素子113のアノードに接続され、発光素子113のカソードが第2の基準電位VSS（たとえば接地電位）に接続されている。

TFT111のゲート（制御端子）がノードND112に接続され、信号線SGL101とノードND111とにTFT112のソース、ドレインがそれぞれ接続されている。

ノードND111とノードND112との間に結合容量としてのキャパシタC111が接続されている。具体的には、キャパシタC111の第1電極がノードND111に接続され、第2電極がノードND112に接続されている。

【0056】

補正回路114は、スキャンドライバ104により駆動される制御線CTL101により補正機能の作動がオン、オフ制御される。

補正回路114は、補正機能がオンに制御された期間において、キャパシタC111の両端（第1電極端子と第2電極端子）に、駆動トランジスタとしてのTFT111のしきい値電圧に依存する電圧を蓄電して、オフセットをキャンセルするように補正処理を行う。

【0057】

このような構成を有する本実施形態の画素回路101は、電気光学素子である有機EL発光素子113を駆動するための制御期間として、C111の両端に、駆動トランジスタとしてのTFT111のしきい値電圧に依存する電圧を蓄電する補正期間と、第1の制御線としての走査線SCNL101により第1のスイッチとしてのTFT112をオンして、データ信号を信号線SGL101から画素回路101（のノードND111）へと書き込む書込期間と、書きこまれたデータ信号を画素回路に保持して、電気光学素子を駆動する駆動期間と、をもって駆動制御可能である。

【0058】

そして、本実施形態の画素回路101は、第1の駆動制御方法により、書込期間と駆動期間が1フレームに1回行われるのに対して、補正期間が2フレーム以上に対して1回行われる、すなわち、補正期間と書込期間と駆動期間を有するフレームと、補正期間が存在せず書込期間と駆動期間を有するフレームが存在するように、データドライバ103とスキャンドライバ104とにより駆動制御される。

【0059】

図8（A）～（C）は、第1の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機ELディスプレイ100の画素アレイ部102全体の第1の駆動制御方法を説明するための図である。

図9は、第1の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機ELディスプレイ100の画素アレイ部102全体の第1の駆動制御方法を示すタイミングチャートである。

【0060】

本第1の実施形態に係る第1の駆動制御方法においては、図8および図9に示すように、画素アレイ部102の全て（パネルの全て）の画素回路101が、補正期間と書込み期間と駆動期間とがあるフレームと、補正期間がなく書込み期間と駆動期間とがあるフレームを繰り返す。

【0061】

具体的には、図8（A）に示すように、第Lフレームの期間においては、画素アレイ部102の全ての画素回路101が制御線CTL101-1～CTL101-mにより所定

の補正期間だけ補正回路 1 1 4 の補正機能がオンとなるように制御される。これにより、画素アレイ部 1 0 2 の全ての画素回路 1 0 1 においてオフセットキャンセル補正が行われる。

次に、図 8 ( B ) に示すように、第 ( L + 1 ) フレームの期間においては、画素アレイ部 1 0 2 の全ての画素回路 1 0 1 が制御線 C T L 1 0 1 - 1 ~ C T L 1 0 1 - m により所定の補正期間であっても補正回路 1 1 4 の補正機能がオフとなるように制御される。これにより、画素アレイ部 1 0 2 の全ての画素回路 1 0 1 においてオフセットキャンセル補正が行われない。

次に、図 8 ( C ) に示すように、第 ( L + 2 ) フレームの期間においては、画素アレイ部 1 0 2 の全ての画素回路 1 0 1 が制御線 C T L 1 0 1 - 1 ~ C T L 1 0 1 - m により所定の補正期間だけ補正回路 1 1 4 の補正機能がオンとなるように制御される。これにより、画素アレイ部 1 0 2 の全ての画素回路 1 0 1 においてオフセットキャンセル補正が行われる。

以降、フレームごとに補正機能のオン、オフ制御が交互に行われる。

#### 【 0 0 6 2 】

以上のように、本第 1 の実施形態においては、1 つの画素に注目した場合、上記の補正期間を数フレーム ( 本実施形態においては 2 フレーム ) に 1 回しかおこなわない、すなわち、補正期間があるフレームと、補正期間がないフレームが存在するように、画素を駆動している。これによって、以下の効果が得られる。

補正期間も電荷の充放電をとまなうため電力を消費するが、補正期間を数フレームに 1 回とすることで、消費電力の低減が可能である。

また、補正回路方式によっては、補正期間に有機 EL 発光素子 1 1 3 の発光を伴うものが存在し、これらの回路では補正期間がコントラスト低下の原因となっていたが、本実施形態によれば、補正期間を数フレームに 1 回とすることで、コントラストの向上が可能である。

#### 【 0 0 6 3 】

なお、本実施形態においては、補正期間を数フレームに 1 回にするように構成したが、補正期間を数フィールドに 1 回にするように構成することも可能であり、この場合もコントラストの向上が可能である。

#### 【 0 0 6 4 】

< 第 2 の実施形態 >

図 1 0 は、本第 2 の実施形態に係る画素回路を採用したアクティブマトリクス型有機 EL ディスプレイ ( 表示装置 ) の構成を示すブロック図である。

図 1 1 ( A ) ~ ( C ) は、第 2 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイ 1 0 0 A の画素アレイ部 1 0 2 全体の第 2 の駆動制御方法を説明するための図である。

図 1 2 は、第 2 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイ 1 0 0 A の画素アレイ部 1 0 2 全体の第 2 の駆動制御方法を示すタイミングチャートである。

#### 【 0 0 6 5 】

本第 2 の実施形態における画素回路 1 0 1 の構成は第 1 の実施形態と同様である。

本第 2 の実施形態が上述した第 1 の実施形態と異なる点は、スキャンドライバ 1 0 4 A が、オフセットキャンセル補正を、フレームごとに画素アレイ部 1 0 2 の全画素単位で補正期間の有無を制御するのではなく、各フレームごとに、駆動する制御線 C T L 1 0 1 - 1 ~ C T L 1 0 1 - m を切り替えるようにしたことにある。

#### 【 0 0 6 6 】

具体的には、スキャンドライバ 1 0 4 A は、図 1 1 および図 1 2 に示すように、第 L フレームの期間において、奇数走査線 S C N L 1 0 1 - 1 , 1 0 1 - 3 、 . . . に接続される画素回路 1 0 1 が、補正期間と書込期間と駆動期間とをもつように、奇数制御線 C T L 1 0 1 - 1 , 1 0 1 - 3 . . . 、走査線 S C N L 1 0 1 - 1 ~ 1 0 1 - m を駆動し、そのフレ

10

20

30

40

50

ームにおいて、偶数走査線  $SCNL101-2, 101-4 \dots$  に接続される画素回路  $101$  が、補正期間をもちず書込期間と駆動期間とをもちように、偶数制御線  $CTL101-2, 101-4 \dots$ 、走査線  $SCNL101-1 \sim 101-m$  を駆動する。

次の第  $(L+1)$  フレームの期間において、スキンドライバ  $104A$  は、奇数走査線  $SCNL101-1, 101-3 \dots$  に接続される画素回路  $101$  が、補正期間をもちず書込期間と駆動期間とをもちように、奇数制御線  $CTL101-1, 101-3 \dots$ 、走査線  $SCNL101-1 \sim 101-m$  を駆動し、そのフレームにおいて、偶数走査線  $SCNL101-2, 101-4 \dots$  に接続される画素回路  $101$  が、補正期間と書込期間と駆動期間とをもちように、偶数制御線  $CTL101-2, 101-4 \dots$ 、走査線  $SCNL101-1 \sim 101-m$  を駆動する。

10

次に、第  $(L+2)$  フレームの期間において、奇数走査線  $SCNL101-1, 101-3, \dots$  に接続される画素回路  $101$  が、補正期間と書込期間と駆動期間とをもちように、奇数制御線  $CTL101-1, 101-3 \dots$ 、走査線  $SCNL101-1 \sim 101-m$  を駆動し、そのフレームにおいて、偶数走査線  $SCNL101-2, 101-4 \dots$  に接続される画素回路  $101$  が、補正期間をもちず書込期間と駆動期間とをもちように、偶数制御線  $CTL101-2, 101-4 \dots$ 、走査線  $SCNL101-1 \sim 101-m$  を駆動する。

#### 【0067】

本第2の実施形態によれば、上述した第1の実施形態の効果に加えて以下の効果を得ることができる。

20

第1の実施形態においては、パネル全体が補正期間を2フレームに1回しか持たないため、パネル全体が2フレーム毎の周期を持つため、フリッカの原因となる可能性がある。これに対して、本第2の実施形態によれば、走査線ごと(マトリクス配置の各行ごと)に補正期間のあり/なしを分割することで、上記のフリッカを防ぐことができる利点がある。

#### 【0068】

<第3の実施形態>

図13は、本第3の実施形態に係る画素回路を採用したアクティブマトリクス型有機ELディスプレイ(表示装置)の構成を示すブロック図である。

図14(A)~(C)は、第3の実施形態におけるオフセットキャンセル補正が行われる画素回路をもち有機ELディスプレイ100Bの画素アレイ部102全体の第3の駆動制御方法を説明するための図である。

30

図15は、第3の実施形態におけるオフセットキャンセル補正が行われる画素回路をもち有機ELディスプレイ100Bの画素アレイ部102全体の第3の駆動制御方法を示すタイミングチャートである。

#### 【0069】

本第3の実施形態における画素回路101の構成は第1および第2の実施形態と同様である。

本第3の実施形態が上述した第2の実施形態と異なる点は、走査線ごと、すなわちマトリクス配置の各行ごとに2本の補正回路114を制御するための第1の補正制御線  $CTL101-1 \sim 101-m$  と第2の補正制御線  $CTL102-1 \sim 102-m$  を配置し、スキンドライバ104Bにより、第1の補正制御線  $CTL101-1 \sim 101-m$  をマトリクス配置の各奇数列の画素回路101の補正回路114を制御し、第2の補正制御線  $CTL102-1 \sim 102-m$  をマトリクス配置の各偶数列の画素回路101の補正回路114を制御するようにしたことにある。

40

#### 【0070】

すなわち、本第3の実施形態においては、第2の実施形態のように、奇数走査線および偶数走査線単位で補正期間の有無を制御する方法にさらに追加して、図中の横方向に隣接する画素間でも、補正期間のあり/なしが異なるように駆動する。

#### 【0071】

50

具体的には、スキヤンドライバ104Bは、図14および図15に示すように、第Lフレームの期間において、奇数走査線SCNL101-1, 101-3、・・・および第1の補正制御線CTL101-1, 101-3、・・・に接続される画素回路101が、補正期間と書込期間と駆動期間とをもつように、第1の補正制御線CTL101-1, 101-3・・・、走査線SCNL101-1~101-mを駆動し、そのLフレームにおいて、奇数走査線SCNL101-1, 101-3、・・・および第2の補正制御線CTL102-1, 102-3、・・・に接続される画素回路101が、補正期間をもたず書込期間と駆動期間とをもつように、第2の補正制御線CTL102-1, 102-3・・・、走査線SCNL101-1~101-mを駆動する。

同様に、第Lフレーム期間において、偶数走査線SCNL101-2, 101-4、・・・および第1の補正制御線CTL101-2, 101-4、・・・に接続される画素回路101が、補正期間をもたず書込期間と駆動期間とをもつように、第1の補正制御線CTL101-2, 101-4・・・、走査線SCNL101-1~101-mを駆動し、そのLフレームにおいて、偶数走査線SCNL101-2, 101-4、・・・および第2の補正制御線CTL102-2, 102-4、・・・に接続される画素回路101が、補正期間と書込期間と駆動期間とをもつように、第2の補正制御線CTL102-2, 102-4・・・、走査線SCNL101-1~101-mを駆動する。

#### 【0072】

次の第(L+1)フレームにおいて、スキヤンドライバ104Bは、奇数走査線SCNL101-1, 101-3、・・・および第1の補正制御線CTL101-1, 101-3、・・・に接続される画素回路101が、補正期間をもたず書込期間と駆動期間とをもつように、第1の補正制御線CTL101-1, 101-3・・・、走査線SCNL101-1~101-mを駆動し、その(L+1)フレームにおいて、奇数走査線SCNL101-1, 101-3、・・・および第2の補正制御線CTL102-1, 102-3、・・・に接続される画素回路101が、補正期間と書込期間と駆動期間とをもつように、第2の補正制御線CTL102-1, 102-3・・・、走査線SCNL101-1~101-mを駆動する。

同様に、第(L+1)フレーム期間において、偶数走査線SCNL101-2, 101-4、・・・および第1の補正制御線CTL101-2, 101-4、・・・に接続される画素回路101が、補正期間と書込期間と駆動期間とをもつように、第1の補正制御線CTL101-2, 101-4・・・、走査線SCNL101-1~101-mを駆動し、その(L+1)フレームにおいて、偶数走査線SCNL101-2, 101-4、・・・および第2の補正制御線CTL102-2, 102-4、・・・に接続される画素回路101が、補正期間をもたず書込期間と駆動期間とをもつように、第2の補正制御線CTL102-2, 102-4・・・、走査線SCNL101-1~101-mを駆動する。

#### 【0073】

次の第(L+2)フレームにおいて、スキヤンドライバ104Bは、奇数走査線SCNL101-1, 101-3、・・・および第1の補正制御線CTL101-1, 101-3、・・・に接続される画素回路101が、補正期間と書込期間と駆動期間とをもつように、第1の補正制御線CTL101-1, 101-3・・・、走査線SCNL101-1~101-mを駆動し、その(L+2)フレームにおいて、奇数走査線SCNL101-1, 101-3、・・・および第2の補正制御線CTL102-1, 102-3、・・・に接続される画素回路101が、補正期間をもたず書込期間と駆動期間とをもつように、第2の補正制御線CTL102-1, 102-3・・・、走査線SCNL101-1~101-mを駆動する。

同様に、第(L+2)フレーム期間において、偶数走査線SCNL101-2, 101-4、・・・および第1の補正制御線CTL101-2, 101-4、・・・に接続される画素回路101が、補正期間をもたず書込期間と駆動期間とをもつように、第1の補正制御線CTL101-2, 101-4・・・、走査線SCNL101-1~101-mを駆動し、その(L+2)フレームにおいて、偶数走査線SCNL101-2, 101-4、・・・

および第 2 の補正制御線 C T L 1 0 2 - 2 , 1 0 2 - 4、・・・に接続される画素回路 1 0 1 が、補正期間と書込期間と駆動期間とをもつように、第 2 の補正制御線 C T L 1 0 2 - 2 , 1 0 2 - 4 ・・・、走査線 S C N L 1 0 1 - 1 ~ 1 0 1 - m を駆動する。

【 0 0 7 4 】

本第 3 の実施形態によれば、上述した第 1 および第 2 の実施形態の効果に加えて以下の効果を得ることができる。

すなわち、第 3 の実施形態によれば、第 2 の実施形態よりもさらにフリッカを低減することが可能である。

【 0 0 7 5 】

< 第 4 の実施形態 >

図 1 6 は、本第 4 の実施形態に係る画素回路を採用したアクティブマトリクス型有機 E L ディスプレイ ( 表示装置 ) の構成を示すブロック図である。

図 1 7 ( A ) ~ ( D ) は、第 4 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 E L ディスプレイ 1 0 0 C の画素アレイ部 1 0 2 全体の第 4 の駆動制御方法を説明するための図である。

図 1 8 は、第 4 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 E L ディスプレイ 1 0 0 C の画素アレイ部 1 0 2 全体の第 4 の駆動制御方法を示すタイミングチャートである。

【 0 0 7 6 】

本第 4 の実施形態における画素回路 1 0 1 の構成は第 1、第 2、および第 3 の実施形態と同様である。

本第 4 の実施形態が上述した第 2 の実施形態と異なる点は、奇数走査線と偶数走査線ごと、すなわちマトリクス配置の奇数行と偶数行で各フレームごとに交互に補正のあり/なしを制御する代わりに、3 あるいはそれ以上の複数の行単位で順番に補正をするように構成している点にある。

【 0 0 7 7 】

本第 4 の実施形態においては、図 1 7 および図 1 8 に示すように、3 フレームに 1 回だけ補正期間があるような駆動方法でも良い。また、4 フレーム以上ごとに 1 回だけ補正期間があるような駆動方法でも良い。

【 0 0 7 8 】

基本的な動作は、第 2 の実施形態の場合と同様であることから、ここではその詳細は省略する。

【 0 0 7 9 】

なお、以上説明した第 1 ~ 第 4 の駆動制御方法は、フリッカの影響、回路規模などをかんがみて、適切に選択すればよい。

【 0 0 8 0 】

以上の各実施形態における画素回路としては、図 7 に示すような基本的な回路を例に説明したが、図 3 の回路も含めて以下に示すような具体的な画素回路を適用可能であり、これらの画素回路を有する有機 E L ディスプレイに上述した第 1 ~ 第 4 の駆動制御方法等を適用可能である。

ただし、第 1、第 2、第 4 の駆動制御方法は、図 1 9 に示すような有機 E L ディスプレイ 1 0 0 D に適用可能であり、第 3 の駆動制御方法は、図 2 0 に示すような有機 E L ディスプレイ 1 0 0 E に適用可能である。

【 0 0 8 1 】

図 1 9 の構成と図 6、図 1 0、図 1 6 の構成と異なる点は、制御線 C T L 1 0 1 - 1 ~ C T L 1 0 1 - m の代わりにオートゼロ線 A Z L 1 0 1 - 1 ~ A Z L 1 0 1 - m を配置し、かつ駆動線 D R V L 1 0 1 - 1 ~ D R V L 1 0 1 - m を配置したことにある。

また、図 2 0 の構成と図 1 3 の構成と異なる点は、第 1 の補正制御線 C T L 1 0 1 - 1 ~ C T L 1 0 1 - m、第 2 の補正制御線 C T L 1 0 2 - 1 ~ C T L 1 0 2 - m の代わりにオートゼロ線 A Z L 1 0 1 - 1 ~ A Z L 1 0 1 - m、A Z L 1 0 2 - 1 ~ A Z L 1 0 2 -

10

20

30

40

50

mを配置し、かつ駆動線DRVL101-1~101-mを配置したことにある。

具体的な制御動作は第1~第4の実施形態で説明したと同様に行われる。

以下に、図19および図20の有機ELディスプレイ100D, 100Eに適用可能な駆動トランジスタの特性ばらつきを補正するための構成を有する複数の画素回路例を説明する。

#### 【0082】

図21は、図19および図20の有機ELディスプレイに適用可能な具体的な画素回路の第1の例を示す回路図である。

図22(A)~(D)は図21の画素回路の補正有り無しを含む基本的な動作のタイミングチャートである。図22(C)において実線が補正ありのときのタイミングを示し、破線が補正なしのときのタイミングを示している。

#### 【0083】

図21の画素回路120は、駆動トランジスタとしてのpチャンネルTFT121、第1のスイッチとしてのnチャンネルTFT122、第2のスイッチとしてのnチャンネルTFT123、第3のスイッチとしてのnチャンネルTFT124、第4のスイッチとしてのnチャンネルTFT125、キャパシタC121、発光素子である有機EL発光素子126、およびノードND121, ND122, ND123を有する。

また、図21において、SGL101は信号線を、SCNL101は走査線を、AZL101はオートゼロ線を、DRVL101は駆動線をそれぞれ示している。

#### 【0084】

TFT121のソースが第1の基準電位である電源電圧VDDの供給ラインに接続され、ドレインがノードND123に接続され、ゲートがノードND122に接続されている。そして、ノードND122とノードND123とに、TFT124のソース、ドレインが接続されている。

ノードND123と発光素子126のアノードにTFT123のソース、ドレインが接続され、発光素子126のカソードが第2の基準電位VSS(たとえば接地電位)に接続されている。

信号線SGL101とノードND121とにTFT122のソース、ドレインが接続されている。ノードND121とノードND122との間にキャパシタC121が接続されている。固定電位、たとえばプリチャージ電位vofsとノードND121とにTFT125のソース、ドレインが接続されている。

そして、TFT122のゲートが走査線SCNL101に接続され、TFT123のゲートが駆動線DRVL101に接続され、TFT124のゲートがオートゼロ線AZL101に接続されている。

#### 【0085】

この画素回路120の動作について、図22に示すタイミングチャートを参照しながら以下に説明する。

#### 【0086】

まず、補正処理を含む駆動制御を行う場合には、駆動線DRVL101、オートゼロ線AZL101をハイレベルとし、TFT123、TFT124、およびTFT125を導通状態とする。このときTFT121はダイオード接続された状態で発光素子(OLED)126と接続されるため、TFT121に定電流Irefが流れる。

また、TFT125を通して結合キャパシタC121の一端のノードND121にプリチャージ電位線VPC供給されている固定の基準電圧vofsが供給される。

そして、結合キャパシタC121の両端には、駆動トランジスタとしてのTFT121に電流Irefが流れたときのゲート-ソース間電位と同じ電圧が生じる。この電位Vrefは、駆動トランジスタとしてのTFT121のゲート側をプラス方向として、以下の式で表される。

#### 【0087】

(数5)

10

20

30

40

50

$$I_{ref} = (V_{ref} - V_{th})^2 \quad (5)$$

【0088】

ここで、 $\beta$  は駆動トランジスタの比例係数（駆動トランジスタの移動度）、 $V_{th}$  は駆動トランジスタのしきい値電圧である。すなわち、駆動トランジスタである T F T 1 2 1 のゲート - ソース間電位  $V_{ref}$  は、次のようになる。本実施形態では、 $I_{ref} = 0$  である。

【0089】

(数6)

$$V_{ref} = V_{th} + (I_{ref} / \beta)^{1/2} \quad (6)$$

【0090】

次に、駆動線 D R V L 1 0 1 をローレベルとし、T F T 1 2 3 を非導通とする。このとき走査線 S C N L 1 0 1 は、ハイレベルで T F T 1 2 2 が導通状態とされ、信号線 S G L 1 0 1 には、基準電位  $V_{ref}$  が与えられる。T F T 1 2 1 に流れる電流が遮断されるため、T F T 1 2 1 のゲート電位  $V_g$  は上昇するが、その電位が  $V_{cc} - |V_{th}|$  まで上昇した時点で T F T 1 2 1 は非導通状態となって電位が安定する。すなわち、オートゼロ動作が行われる。

【0091】

オートゼロ線 A Z L 1 0 1 をローレベルとして T F T 1 2 4 を非導通状態とし、信号線 S G L 1 0 1 を通して結合キャパシタ C 1 2 1 の他端側（ノード N D 1 2 2 側）に、データ電圧  $V_{data}$  が書き込まれる。よって、このときの駆動トランジスタのゲート - ソース電位は、 $V_{gs}$  は次のように表される。

【0092】

(数7)

$$\begin{aligned} V_{gs} &= V_{data} + V_{ref} - V_{source} \\ &= V_{data} + V_{th} + (I_{ref} / \beta)^{1/2} - V_{source} \end{aligned} \quad (7)$$

【0093】

したがって、駆動トランジスタに流れる電流  $I_{ds}$  は、次のようになる。

【0094】

(数8)

$$I_{ds} = \beta (V_{data} + (I_{ref} / \beta)^{1/2} - V_{source})^2 \quad (8)$$

【0095】

すなわち、駆動トランジスタに流れる電流  $I_{ds}$  は、しきい値電圧  $V_{th}$  に依存しない、すなわち、しきい値電圧補正が行われる。

【0096】

なお、発光素子 1 2 6 が発光を開始させるために、データ電圧を取り込んだ後、走査線 S C N L 1 0 1 をローレベルとして T F T 1 2 2 を非導通状態とし、駆動線 D R V L 1 0 1 をハイレベルとして T F T 1 2 3 を導通状態とする動作が行われる。

【0097】

また、補正処理を含まない駆動制御を行う場合には、図 2 2 ( C ) , ( D ) に示すように、駆動線 D R V L 1 0 1 をハイレベル、オートゼロ線 A Z L 1 0 1 をローレベルとし、T F T 1 2 3 を導通状態、T F T 1 2 4、および T F T 1 2 5 を非導通状態とする。このとき T F T 1 2 1 はダイオード接続された状態で発光素子 ( O L E D ) 1 2 6 と接続されるため、T F T 1 2 1 に定電流  $I_{ref}$  が流れる。

そして、このとき、ノード N D 1 2 1 のプリチャージは行われず、オフセットキャンセル補正（オートゼロ動作）は行われず、通常の手書き期間と駆動期間とにおいては発光素子 1 2 6 の発光制御が行われる。

【0098】

この画素回路 1 2 0 を適用した有機 E L ディスプレイ 1 0 0 D、1 0 0 E によれば、上述した第 1 ~ 第 4 の実施形態と同様の効果を得ることができる。

また、補正処理を含まない駆動制御を行う場合には、走査線 S C N L 1 0 1 により T F

10

20

30

40

50

T 1 2 2 をオンするタイミングを早めることも可能であり、これにより、駆動制御動作の高速化を図ることができる。

【 0 0 9 9 】

なお、図 2 1 の画素回路 1 2 0 は一例であって、本発明はこれに限定されるものではない。たとえば、上述したように、T F T 1 2 2 ~ T F T 1 2 5 は単なるスイッチであるから、これらのすべて乃至一部を p チャンネル T F T、あるいはその他のスイッチ素子で構成することも可能なことは明らかである。

【 0 1 0 0 】

図 2 3 は、図 1 9 および図 2 0 の有機 E L ディスプレイに適用可能な具体的な画素回路の第 2 の例を示す回路図である。

図 2 4 ( A ) ~ ( D ) は図 2 3 の画素回路の補正有り無しを含む基本的な動作のタイミングチャートである。図 2 4 ( C ) において実線が補正ありのときのタイミングを示し、破線が補正なしのときのタイミングを示している。

【 0 1 0 1 】

図 2 3 の画素回路 1 3 0 は、駆動トランジスタとしての p チャンネル T F T 1 3 1、第 1 のスイッチとしての n チャンネル T F T 1 3 2、第 2 のスイッチとしての T F T 1 3 3、第 3 のスイッチとしての T F T 1 3 4、第 4 のスイッチとしての T F T 1 3 5、キャパシタ C 1 3 1、有機 E L 素子 O L E D ( 電気光学素子 ) からなる発光素子 1 3 6、およびノード N D 1 3 1 ~ N D 1 3 3 を有する。

また、図 2 3 において、S G L 1 0 1 は信号線を、S C N L 1 0 1 は走査線を、A Z L 1 0 1 はオートゼロ線を、D R V L 1 0 1 は駆動線をそれぞれ示している。

【 0 1 0 2 】

駆動トランジスタとして T F T 1 3 1 のソースがノード N D 1 3 3 ( T F T 1 3 3 のソース、T F T 1 3 4 のドレインとの接続点 ) に接続され、ドレインが有機 E L 発光素子 1 3 6 のアノード側に接続され、発光素子 1 3 6 のカソードが第 2 の基準電位 ( たとえば接地電位 ) に接続されている。

T F T 1 3 3 のソースがノード N D 1 3 3 ( T F T 1 3 1 のソース ) に接続され、ドレインが第 1 の基準電位としての電源電圧 V D D の供給ラインに接続され、ゲートが駆動線 D R V L 1 0 1 に接続されている。

T F T 1 3 4 のドレインがノード N D 1 3 3 ( T F T 1 3 1 のソース ) に接続され、ソースがノード N D 1 3 1 ( T F T 1 3 2 のソース ) に接続され、ゲートがオートゼロ線 A Z L 1 0 1 に接続されている。

キャパシタ C 1 3 1 の第 1 電極がノード N D 1 3 1 に接続され、第 2 電極がノード N D 1 3 2 に接続されている。

T F T 1 3 2 のソースがノード N D 1 3 1 に接続され、ドレインが信号線 S G L 1 0 1 に接続され、ゲートが第 1 行目に配線された走査線 S C N L 1 0 1 に接続されている。

T F T 1 3 5 のソースがノード N D 1 3 2 ( T F T 1 3 1 のゲート ) に接続され、ドレインがプリチャージ電位  $v_{ofs}$  に接続されている。

【 0 1 0 3 】

次に、画素回路 1 3 0 の動作について、図 2 4 に示すタイミングチャートを参照しながら説明する。

【 0 1 0 4 】

ステップ S T 1 1 :

まず、補正処理を含む駆動制御を行う場合には、図 2 4 ( D ) , ( C ) に示すように、駆動線 D R V L 1 0 1、オートゼロ線 A Z L 1 0 1 をハイレベルとし、T F T 1 3 3、T F T 1 3 4、T F T 1 3 5 を導通状態とする。

このとき、T F T 1 3 1 のゲートは、T F T 1 3 5 によってプリチャージ電位  $V_{pc}$  となり、キャパシタ C 1 3 1 の入力側電位  $V_{C131}$  は、T F T 1 3 3、T F T 1 3 4 が導通状態にあるため電源電位 V D D またはその付近まで上昇する。

【 0 1 0 5 】

10

20

30

40

50

ステップ S T 1 2 :

図 2 4 ( D ) に示すように、駆動線 D R V L 1 0 1 をローレベルとし、 T F T 1 3 2 を非導通状態とする。 T F T 1 3 1 に流れる電流が遮断されるため、 T F T 1 3 1 のドレイン電位は下降するが、その電位が  $V_{pc} + |V_{th}|$  まで下降した時点で T F T 1 3 1 は非導通状態となって電位が安定する。

このとき、キャパシタ C 1 3 1 の入力側電位  $V_{C131}$  は、 T F T 1 3 4 が導通状態にあるため、やはり  $V_{pc} + |V_{th}|$  である。ここで  $|V_{th}|$  は、 T F T 1 3 1 のしきい値の絶対値である。

【 0 1 0 6 】

ステップ S T 1 3 :

図 2 4 ( C ) に示すように、オートゼロ線 A Z L 1 0 1 をローレベルとして T F T 1 3 4 および T F T 1 3 5 を非導通状態とする。キャパシタ C 1 3 1 の入力側ノードの電位  $V_{C131}$  は  $V_{pc} + |V_{th}|$  であり、 T F T 1 3 1 のゲート電位  $V_{g131}$  は  $V_{pc}$  である。すなわち、キャパシタ C 1 3 1 の端子間の電位差は  $|V_{th}|$  となる。

【 0 1 0 7 】

ステップ S T 1 4 :

図 2 4 ( B ) , ( A ) に示すように、走査線 S C N L 1 0 1 をハイレベルとして T F T 1 3 2 を導通状態とし、信号線 S G L 1 0 1 から輝度データに応じた電位  $V_{data}$  をキャパシタ C 1 3 1 の入力側ノード N D 1 3 1 に与える。

キャパシタ C 1 3 1 端子間の電位差は  $|V_{th}|$  のまま保持されるので、 T F T 1 3 1 のゲート電位  $V_{g131}$  は、  $V_{data} - |V_{th}|$  となる。

【 0 1 0 8 】

ステップ S T 1 5 :

図 2 4 ( B ) , ( D ) に示すように、走査線 S C N L 1 0 1 をローレベルとして T F T 1 3 2 を非導通状態とし、駆動線 D R V L 1 0 1 をハイレベルとして T F T 1 3 3 を導通状態とすると、 T F T 1 3 1 および発光素子 ( O L E D ) 1 3 6 に電流が流れ、 O L E D が発光を開始する。

【 0 1 0 9 】

なお、上記のステップ S T 1 1 および S T 1 2 の動作においては、  $V_{pc} + |V_{th}| < V_{DD}$  となるように  $V_{pc}$  の値を設定する必要があるが、これを満たす限り  $V_{pc}$  の値は任意である。

【 0 1 1 0 】

上記動作を行った後に発光素子 ( O L E D ) 1 3 6 に流れる電流  $I_{oled}$  を計算すると、 T F T 1 3 1 が飽和領域で動作していれば、次のようになる。

【 0 1 1 1 】

( 数 9 )

$$\begin{aligned} I_{oled} &= \mu C_{ox} W / L / 2 ( V_{gs} - V_{th} )^2 \\ &= \mu C_{ox} W / L / 2 ( V_{cc} - V_g - |V_{th}| )^2 \\ &= \mu C_{ox} W / L / 2 ( V_{cc} - V_{data} + |V_{th}| - |V_{th}| )^2 \\ &= \mu C_{ox} W / L / 2 ( V_{cc} - V_{data} )^2 \end{aligned}$$

... ( 9 )

【 0 1 1 2 】

ここで、  $\mu$  はキャリアの移動度、  $C_{ox}$  は単位面積当たりのゲート容量、  $W$  はゲート幅、  $L$  はゲート長をそれぞれ示している。

( 9 ) 式によれば、電流  $I_{oled}$  は T F T 1 3 1 のしきい値  $V_{th}$  に依存せず (  $V_{th}$  によらず ) 、外部から与えられる  $V_{data}$  によって制御される。

言い換えれば、図 2 3 の画素回路 1 3 0 を用いれば、画素毎にばらつく  $V_{th}$  の影響を受けず、電流の均一性、ひいては輝度の均一性が比較的高い表示装置を実現することができる。

【 0 1 1 3 】

10

20

30

40

50

また、TFT131がリニア領域で動作している場合においても、発光素子(OLED)136に流れる電流 $I_{oled}$ は次のようになり、やはり $V_{th}$ に依存しない。

【0114】

(数10)

$$\begin{aligned}
 I_{oled} &= \mu C_o \times W / L \{ (V_{gs} - V_{th}) V_{ds} - V_{ds}^2 / 2 \} \\
 &= \mu C_o \times W / L \{ (V_{cc} - V_g - |V_{th}|) (V_{cc} - V_d) - (V_{cc} - V_d)^2 / 2 \} \\
 &= \mu C_o \times W / L \{ (V_{cc} - V_{data} + |V_{th}| - |V_{th}|) (V_{cc} - V_d) - (V_{cc} - V_d)^2 / 2 \} \\
 &= \mu C_o \times W / L \{ (V_{cc} - V_{data}) (V_{cc} - V_d) - (V_{cc} - V_d)^2 / 2 \} \quad \dots (10)
 \end{aligned}$$

【0115】

ここで、 $V_d$ はTFT131のドレイン電位を示している。

【0116】

また、補正処理を含まない駆動制御を行う場合には、図24(C)、(D)に示すように、駆動線 $DRV_{L101}$ をハイレベル、オートゼロ線 $AZ_{L101}$ をローレベルとし、TFT133を導通状態、TFT134、およびTFT135を非導通状態とする。このときTFT131はダイオード接続された状態で発光素子(OLED)136と接続されるため、TFT131に定電流 $I_{ref}$ が流れる。

そして、このとき、ノード $ND_{131}$ のプリチャージは行われず、オフセットキャンセル補正(オートゼロ動作)は行われず、通常の見込期間と駆動期間とにおいては発光素子136の発光制御が行われる。

【0117】

以上のように、図23の画素回路130によれば、しきい値 $V_{th}$ のばらつきの影響をキャンセルできるという点において、図2の回路より優れる。

図3の回路に対しては、次の点において、より優れている。

第1に、図3の回路においては、外部から駆動するデータ振幅 $V_{data}$ に対し、駆動トランジスタのゲート振幅 $V_g$ は(2)式に従って減少するという問題があったが、本発明においてデータ振幅はゲート振幅とほぼ等しく、したがってより小さな信号線振幅で画素回路を駆動することができる。

これによって、より低消費電力、低ノイズの駆動が可能となる。

第2に、図3の回路で問題となるオートゼロ線とTFTのゲートとの容量結合については、図23の画素回路130において、TFT134はTFT131のゲートとは直接接続されていないため、その影響が少ない。

一方、TFT135はTFT131のゲートと接続されているが、TFT135のソースは一定電位 $V_{pc}$ に接続されているため、オートゼロ動作終了時においてそのゲート電位が変化しても、TFT131のゲート電位はほぼ $V_{pc}$ の電位に保たれる。

このように、図23の画素回路130においては、オートゼロ線 $AZ_{L101}$ とTFT131のゲートとの結合の影響が小さく、その結果図3の画素回路より正確に $V_{th}$ ばらつきの補正が行われる。

すなわち、図23の画素回路によれば、トランジスタのしきい値のばらつきによらず、正確に画素回路の発光素子に所望の値の電流を供給し、その結果として輝度均一性の高い、高品位な画像を表示することが可能な有機EL用画素回路を実現できる。その結果、従来の類似回路より高精度なしきい値補正が可能となる。

【0118】

この画素回路130を適用した有機ELディスプレイ100D、100Eによれば、上述した第1～第4の実施形態と同様の効果を得ることができる。

また、補正処理を含まない駆動制御を行う場合には、走査線 $SC_{NL101}$ によりTFT132をオンするタイミングを早めることも可能であり、これにより、駆動制御動作の高速化を図ることができる。

10

20

30

40

50

## 【0119】

なお、図23の画素回路130は一例であって、本発明はこれに限定されるものではない。たとえば、上述したように、TFT132~TFT135は単なるスイッチであるから、これらのすべて乃至一部をpチャンネルTFT、あるいはその他のスイッチ素子で構成することも可能なことは明らかである。

## 【0120】

図25は、図19および図20の有機ELディスプレイに適用可能な具体的な画素回路の第3の例を示す回路図である。

図26(A)~(D)は図25の画素回路の補正有り無しを含む基本的な動作のタイミングチャートである。図26(C)において実線が補正ありのときのタイミングを示し、破線が補正なしのときのタイミングを示している。

10

## 【0121】

図25の画素回路130Aが図23の画素回路130と異なる点は、駆動トランジスタをpチャンネルTFT131の代わりにnチャンネルTFT131Aにより構成し、TFT131Aのソースを発光素子136のアノードに接続して、その接続点をノードND133とし、TFT131Aのゲートとソース間(ノードND132とND133間)にTFT134のソース、ドレインを接続して、いわゆるソースフォロワ構成としたことにある。

## 【0122】

その他の構成は図23の回路と同様であり、基本的な動作は、図24と図26のタイミングチャートからも明らかのように、同様であることからここではその説明を省略する。

20

## 【0123】

この画素回路130Aを適用した有機ELディスプレイ100D、100Eによれば、上述した第1~第4の実施形態と同様の効果を得ることができる。

また、補正処理を含まない駆動制御を行う場合には、走査線SCNL101によりTFT132をオンするタイミングを早めることも可能であり、これにより、駆動制御動作の高速化を図ることができる。

## 【0124】

図27は、図19および図20の有機ELディスプレイに適用可能な具体的な画素回路の第4の例を示す回路図である。

図28(A)~(D)は図27の画素回路の補正有り無しを含む基本的な動作のタイミングチャートである。図28(C)において実線が補正ありのときのタイミングを示し、破線が補正なしのときのタイミングを示している。

30

## 【0125】

図27の画素回路130Bが図23の画素回路130と異なる点は、駆動トランジスタをpチャンネルTFT131の代わりにnチャンネルTFT131Bにより構成し、かつノードND134とノードND132との間にキャパシタC132を接続して、いわゆるブートストラップ構成としたことにある。

## 【0126】

その他の構成は図23の回路と同様であり、基本的な動作は、図24と図28のタイミングチャートからも明らかのように、同様であることからここではその説明を省略する。

40

## 【0127】

この画素回路130Bを適用した有機ELディスプレイ100D、100Eによれば、上述した第1~第4の実施形態と同様の効果を得ることができる。

また、補正処理を含まない駆動制御を行う場合には、走査線SCNL101によりTFT132をオンするタイミングを早めることも可能であり、これにより、駆動制御動作の高速化を図ることができる。

## 【図面の簡単な説明】

## 【0128】

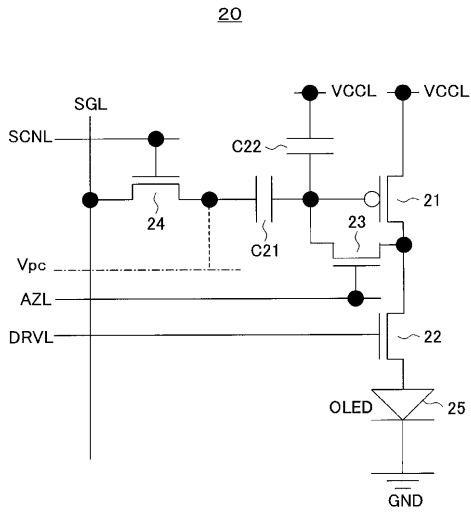
【図1】一般的なアクティブマトリクス型有機ELディスプレイ(表示装置)を示すブロック図である。

50

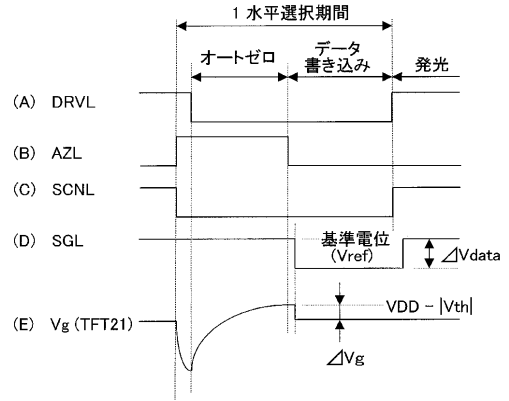
- 【図 2】従来の画素回路の第 1 の構成例を示す回路図である。
- 【図 3】従来の画素回路の第 2 の構成例を示す回路図である。
- 【図 4】図 3 の回路の駆動方法を説明するためのタイミングチャートである。
- 【図 5】オフセットキャンセルのタイミング例を示す図である。
- 【図 6】本第 1 の実施形態に係る画素回路を採用したアクティブマトリクス型有機 EL ディスプレイ（表示装置）の構成を示すブロック図である。
- 【図 7】図 6 の有機 EL ディスプレイにおける画素回路の基本的な構成を示す回路図である。
- 【図 8】第 1 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイの画素アレイ部全体の第 1 の駆動制御方法を説明するための図である 10
- 【図 9】第 1 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイの画素アレイ部全体の第 1 の駆動制御方法を示すタイミングチャートである。
- 【図 10】本第 2 の実施形態に係る画素回路を採用したアクティブマトリクス型有機 EL ディスプレイ（表示装置）の構成を示すブロック図である。
- 【図 11】第 2 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイの画素アレイ部全体の第 2 の駆動制御方法を説明するための図である。
- 【図 12】第 2 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイの画素アレイ部全体の第 2 の駆動制御方法を示すタイミングチャートである。 20
- 【図 13】本第 3 の実施形態に係る画素回路を採用したアクティブマトリクス型有機 EL ディスプレイ（表示装置）の構成を示すブロック図である。
- 【図 14】第 3 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイの画素アレイ部全体の第 3 の駆動制御方法を説明するための図である。
- 【図 15】第 3 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイの画素アレイ部全体の第 3 の駆動制御方法を示すタイミングチャートである。 30
- 【図 16】本第 4 の実施形態に係る画素回路を採用したアクティブマトリクス型有機 EL ディスプレイ（表示装置）の構成を示すブロック図である。
- 【図 17】第 4 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイの画素アレイ部全体の第 4 の駆動制御方法を説明するための図である。
- 【図 18】第 4 の実施形態におけるオフセットキャンセル補正が行われる画素回路をもつ有機 EL ディスプレイの画素アレイ部全体の第 4 の駆動制御方法を示すタイミングチャートである。
- 【図 19】本実施形態の第 1、第 2、第 4 の駆動制御方法を採用する有機 EL ディスプレイの具体例を示すブロック図である。 40
- 【図 20】本実施形態の第 3 の駆動制御方法を採用する有機 EL ディスプレイの具体例を示すブロック図である。
- 【図 21】図 19 および図 20 の有機 EL ディスプレイに適用可能な具体的な画素回路の第 1 の例を示す回路図である。
- 【図 22】図 21 の画素回路の補正有り無しを含む基本的な動作のタイミングチャートである。
- 【図 23】図 19 および図 20 の有機 EL ディスプレイに適用可能な具体的な画素回路の第 2 の例を示す回路図である。
- 【図 24】図 23 の画素回路の補正有り無しを含む基本的な動作のタイミングチャートである。 50



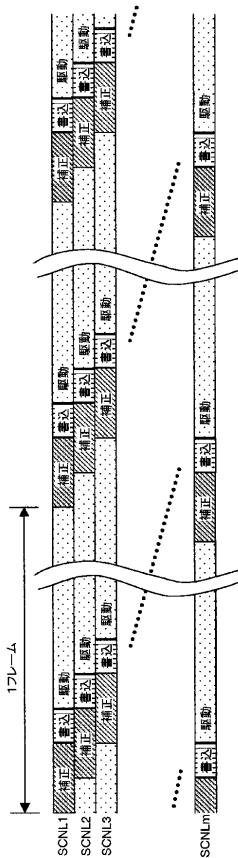
【 図 3 】



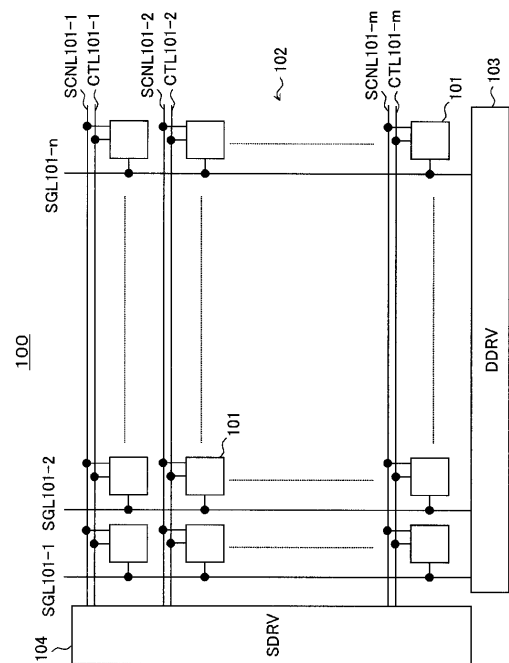
【 図 4 】



【 図 5 】

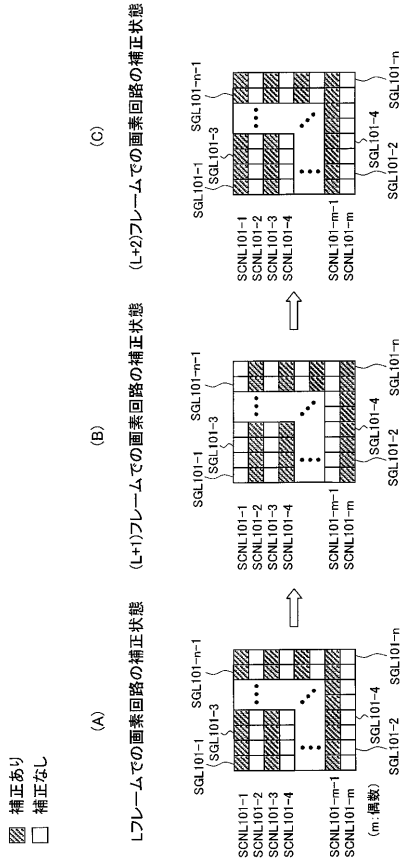


【 図 6 】

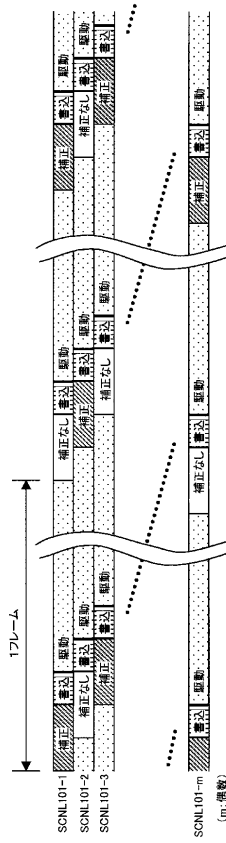




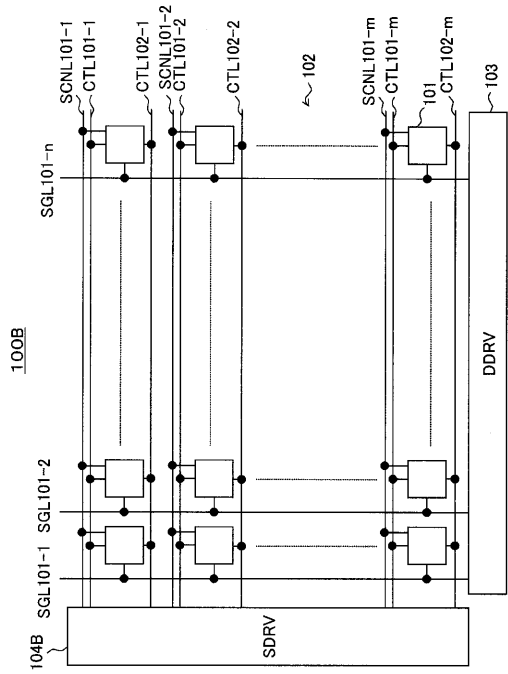
【 図 1 1 】



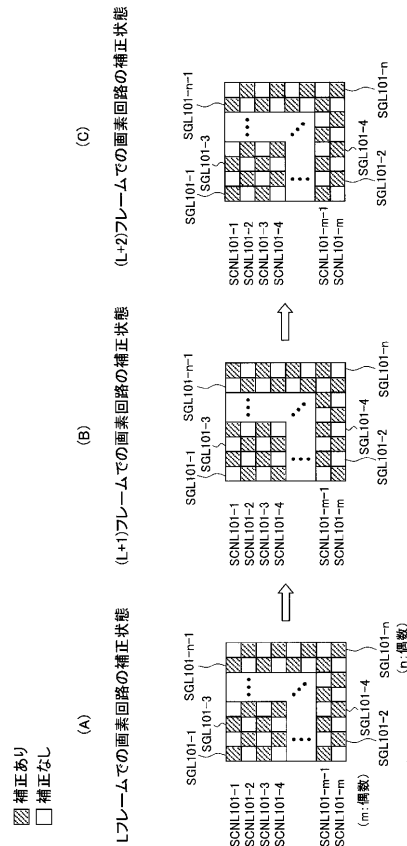
【 図 1 2 】



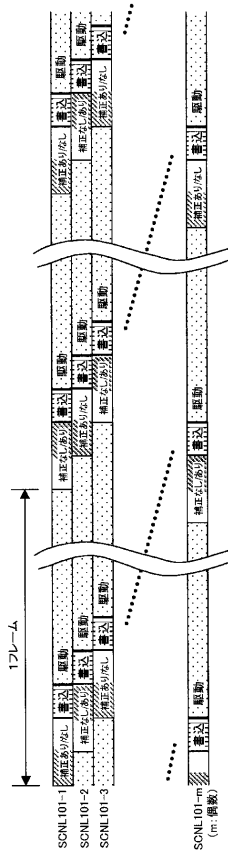
【 図 1 3 】



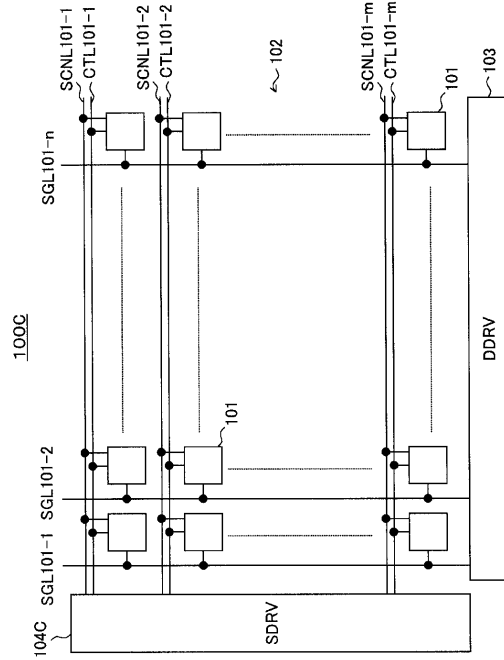
【 図 1 4 】



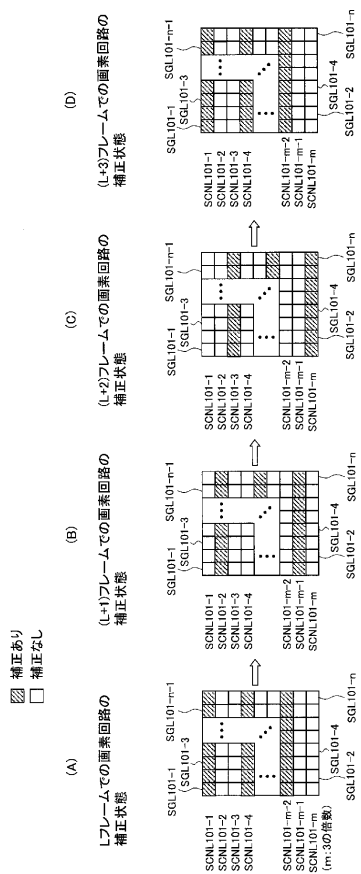
【図 15】



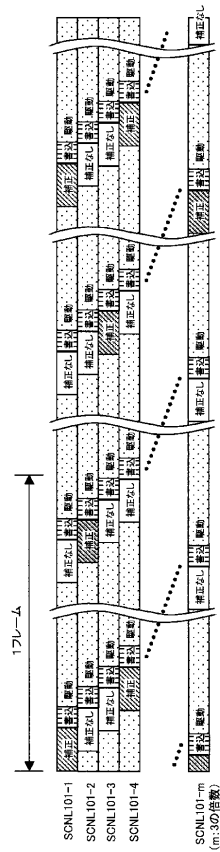
【図 16】



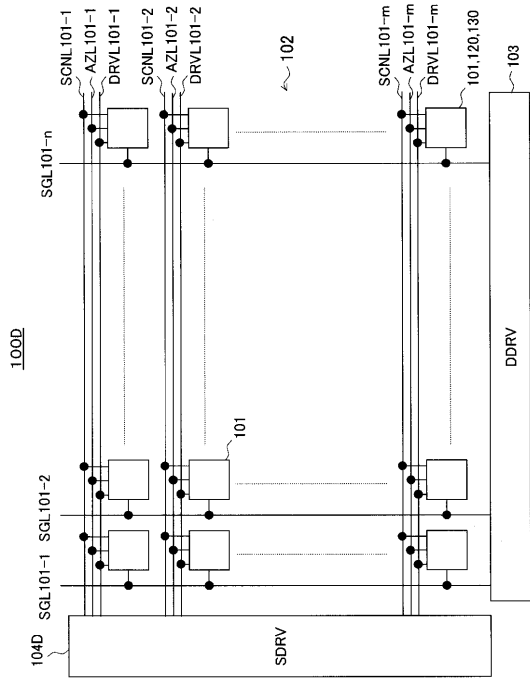
【図 17】



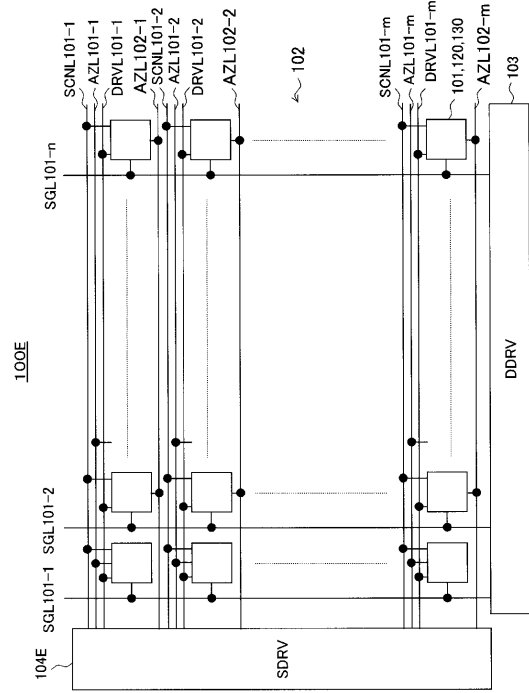
【図 18】



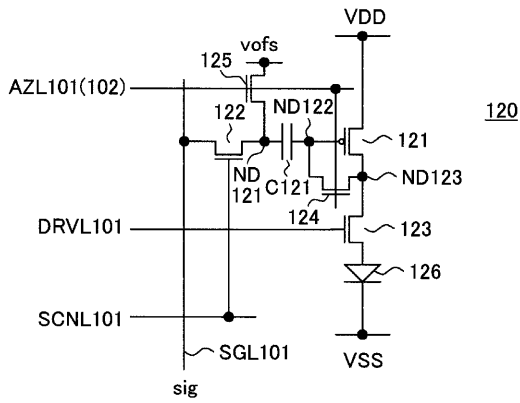
【 図 1 9 】



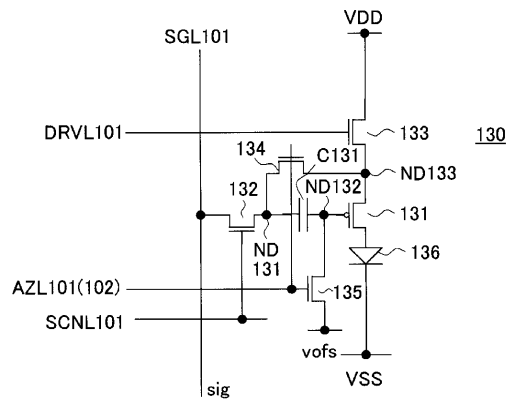
【 図 2 0 】



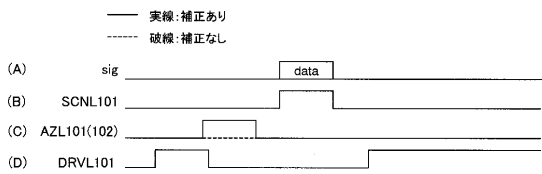
【 図 2 1 】



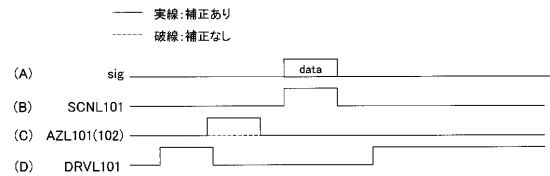
【 図 2 3 】



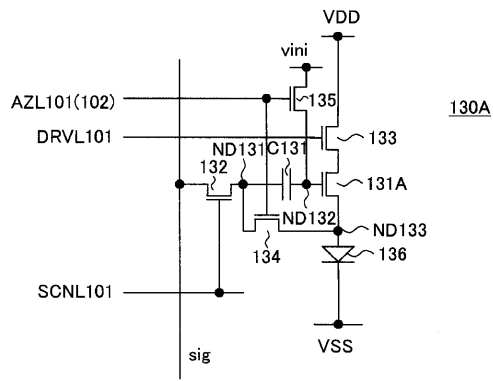
【 図 2 2 】



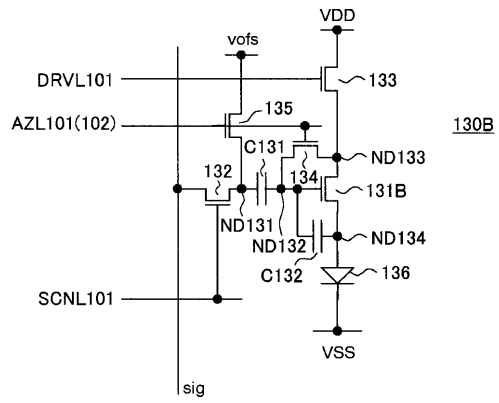
【 図 2 4 】



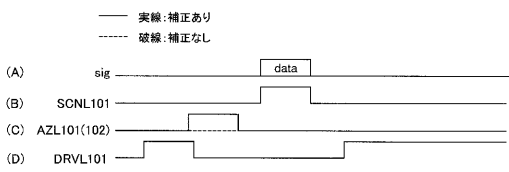
【 図 2 5 】



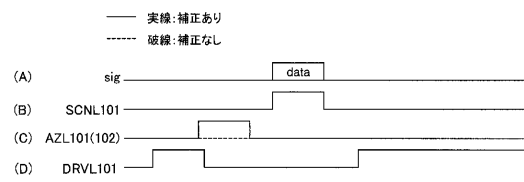
【 図 2 7 】



【 図 2 6 】



【 図 2 8 】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 4 1 D
G 0 9 G	3/20	6 4 2 E

专利名称(译)	像素电路和显示装置，以及控制像素电路的方法		
公开(公告)号	<a href="#">JP2006317696A</a>	公开(公告)日	2006-11-24
申请号	JP2005139898	申请日	2005-05-12
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	浅野慎 湯本昭 藤村寛		
发明人	浅野 慎 湯本 昭 藤村 寛		
IPC分类号	G09G3/30 G09G3/20		
CPC分类号	G09G3/3233 G09G2300/0417 G09G2300/0819 G09G2300/0842 G09G2300/0852 G09G2300/0861 G09G2310/0262 G09G2320/043		
FI分类号	G09G3/30.J G09G3/30.K G09G3/20.611.A G09G3/20.611.H G09G3/20.642.A G09G3/20.641.P G09G3/20.624.B G09G3/20.621.A G09G3/20.641.D G09G3/20.642.E G09G3/20.611.E G09G3/20.621.K G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291		
F-TERM分类号	5C080/AA06 5C080/BB05 5C080/DD05 5C080/DD26 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB23 5C380/BA01 5C380/BA38 5C380/BA39 5C380/BB02 5C380/BB09 5C380/BB23 5C380/CA12 5C380/CA45 5C380/CB01 5C380/CB16 5C380/CB17 5C380/CB25 5C380/CB31 5C380/CC02 5C380/CC04 5C380/CC07 5C380/CC26 5C380/CC30 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC64 5C380/CD012 5C380/CD015 5C380/CD024 5C380/CD025 5C380/DA06 5C380/DA32 5C380/DA33 5C380/DA35 5C380/DA47		
代理人(译)	佐藤隆久		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供像素电路和显示装置，其可以在保持亮度均匀性的同时实现低功耗，并且可以实现高对比度和具有高图像质量的显示图像。ZOLUTION：可以在控制周期中控制和驱动像素电路101以驱动有机电致发光（EL）发光元件113，该周期包括校正周期以将电容器C111中的电荷累积到C111的两个端子之间的电压。取决于作为驱动晶体管的TFT 111的阈值电压，通过扫描线SCNL 101将作为第一开关的TFT 112导通以将来自信号线SGL 101的数据信号写入像素电路101的写入时段，以及在像素电路中保持写入的数据信号以驱动光学元件113的驱动周期。驱动和控制电路以允许存在具有校正周期，写入周期和驱动周期的帧以及存在帧具有写入时段和驱动时段但没有校正时段。Z

