

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-222068

(P2005-222068A)

(43) 公開日 平成17年8月18日(2005.8.18)

(51) Int. Cl.⁷

G09F 9/30

H05B 33/10

H05B 33/14

F I

G09F 9/30 338

H05B 33/10

H05B 33/14 A

テーマコード(参考)

3K007

5C094

審査請求有 請求項の数 18 O L (全 13 頁)

(21) 出願番号 特願2005-30920(P2005-30920)
 (22) 出願日 平成17年2月7日(2005.2.7)
 (31) 優先権主張番号 2004-008494
 (32) 優先日 平成16年2月9日(2004.2.9)
 (33) 優先権主張国 韓国(KR)

(71) 出願人 590002817
 三星エスディアイ株式会社
 大韓民国京畿道水原市靈通区▲しん▼洞5
 75番地
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 李 憲貞
 大韓民国京畿道水原市靈通区新洞575番
 地 三星エスディアイ株式会社内
 最終頁に続く

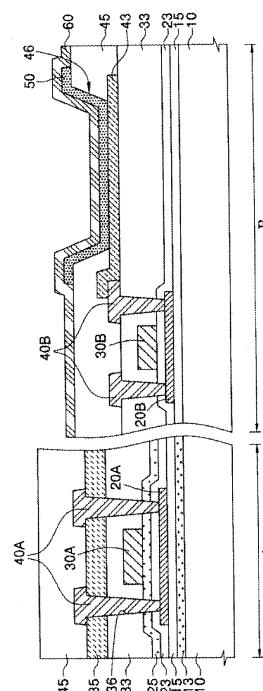
(54) 【発明の名称】有機電界発光表示装置及びその製造方法

(57) 【要約】

【課題】本発明は、回路TFTと画素TFTそれぞれの電気的特性が最適化された有機電界発光表示装置を提供する。

【解決手段】有機電界発光表示装置及びその製造方法を提供する。有機電界発光表示装置は回路領域及び画素領域を具備する基板と；基板の回路領域及び画素領域上にそれぞれ位置して、半導体層、ゲート電極及び一対のソース/ドレイン電極を具備する少なくとも一つの回路TFT及び少なくとも一つの画素TFTと；画素TFTのソース/ドレイン電極と電気的に連結された画素電極；及びソース/ドレイン電極と基板間に位置して、全画素領域でオープンされた少なくとも一層のシリコン窒化膜を含む。

【選択図】図1D



【特許請求の範囲】

【請求項 1】

回路領域及び画素領域を具備する基板と；

前記基板の回路領域及び画素領域上にそれぞれ位置して、半導体層、ゲート電極及び一対のソース/ドレイン電極を具備する少なくとも一つの回路 T F T 及び少なくとも一つの画素 T F T と；

前記画素 T F T のソース/ドレイン電極と電氣的に連結された画素電極；及び

前記ソース/ドレイン電極と前記基板間に位置して、前記全画素領域でオープンされた少なくとも一層のシリコン窒化膜を含むことを特徴とする有機電界発光表示装置。

【請求項 2】

前記ソース/ドレイン電極と前記基板間に位置する少なくとも一層のシリコン酸化膜をさらに含むことを特徴とする請求項 1 に記載の有機電界発光表示装置。

10

【請求項 3】

前記シリコン窒化膜は S i N x または S i O N を含むことを特徴とする請求項 1 に記載の有機電界発光表示装置。

【請求項 4】

前記シリコン窒化膜は前記基板と前記回路 T F T の半導体層間に位置するバッファース窒化膜であることを特徴とする請求項 1 に記載の有機電界発光表示装置。

【請求項 5】

前記基板と前記バッファース窒化膜間または前記バッファース窒化膜と前記回路 T F T の半導体層間；及び前記基板と前記画素 T F T の半導体層間に位置するバッファースシリコン酸化膜をさらに含むことを特徴とする請求項 4 に記載の有機電界発光表示装置。

20

【請求項 6】

前記シリコン窒化膜は前記回路 T F T の半導体層と前記回路 T F T のゲート電極間に位置するゲート絶縁窒化膜であることを特徴とする請求項 1 に記載の有機電界発光表示装置。

【請求項 7】

前記回路 T F T の半導体層と前記ゲート絶縁窒化膜間または前記ゲート絶縁窒化膜と前記回路 T F T のゲート電極間；及び前記画素 T F T の半導体層と前記画素 T F T のゲート電極間に位置するゲート絶縁シリコン酸化膜をさらに含むことを特徴とする請求項 6 に記載の有機電界発光表示装置。

30

【請求項 8】

前記シリコン窒化膜は前記回路 T F T のゲート電極と前記回路 T F T のソース/ドレイン電極間に位置する層間窒化膜であることを特徴とする請求項 1 に記載の有機電界発光表示装置。

【請求項 9】

前記回路 T F T のゲート電極と前記層間窒化膜間または前記層間窒化膜と前記回路 T F T のソース/ドレイン電極間；及び前記画素 T F T のゲート電極と前記画素 T F T のソース/ドレイン電極間に位置する層間シリコン酸化膜をさらに含むことを特徴とする請求項 8 に記載の有機電界発光表示装置。

40

【請求項 10】

前記半導体層は多結晶シリコン膜であることを特徴とする請求項 1 に記載の有機電界発光表示装置。

【請求項 11】

前記画素電極は透明電極であることを特徴とする請求項 1 に記載の有機電界発光表示装置。

【請求項 12】

前記画素電極上に位置する発光層及び前記発光層上に位置する対向電極をさらに含むことを特徴とする請求項 1 に記載の有機電界発光表示装置。

【請求項 13】

50

回路領域及び画素領域を具備する基板を提供して；

前記基板の回路領域及び画素領域上に半導体層、ゲート電極及び一対のソース/ドレイン電極を具備する少なくとも一つの回路TFT及び少なくとも一つの画素TFTをそれぞれ形成して；

前記画素TFTのソース/ドレイン電極と電氣的に連結された画素電極を形成して；

前記ソース/ドレイン電極を形成する前に、前記基板上に前記全画素領域でオープンされた少なくとも一層のシリコン窒化膜を形成することを含むことを特徴とする有機電界発光表示装置の製造方法。

【請求項14】

前記ソース/ドレイン電極を形成する前に、前記基板上に少なくとも一層のシリコン酸化膜を形成することをさらに含むことを特徴とする請求項13に記載の有機電界発光表示装置の製造方法。

10

【請求項15】

前記シリコン窒化膜はSiNxまたはSiONを含むことを特徴とする請求項13に記載の有機電界発光素子の製造方法。

【請求項16】

前記シリコン窒化膜は前記半導体層を形成する前に前記基板上に形成するバッファ窒化膜であって、

前記バッファ窒化膜を形成する前または前記バッファ窒化膜を形成した後、前記基板全面にバッファシリコン酸化膜を形成することをさらに含むことを特徴とする請求項13に記載の有機電界発光素子の製造方法。

20

【請求項17】

前記シリコン窒化膜は前記ゲート電極を形成する前に前記半導体層上に形成するゲート絶縁窒化膜であって、

前記ゲート絶縁窒化膜を形成する前または前記ゲート絶縁窒化膜を形成した後、前記基板全面にゲート絶縁シリコン酸化膜を形成することをさらに含むことを特徴とする請求項13に記載の有機電界発光素子の製造方法。

【請求項18】

前記シリコン窒化膜は前記ソース/ドレイン電極を形成する前に前記ゲート電極上に形成する層間窒化膜であって、

30

前記層間窒化膜を形成することは前記ゲート電極上に層間シリコン酸化膜とシリコン窒化膜を順に形成して、ハーフトーンマスクを用いて前記シリコン窒化膜及び前記層間シリコン酸化膜内にソース/ドレインコンタクトホールを形成すると同時に形成することを特徴とする請求項13に記載の有機電界発光素子製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置及びその製造方法に係り、さらに詳細には有機電界発光表示装置及びその製造方法に関する。

【背景技術】

40

【0002】

有機電界発光表示装置はマトリクス状に配置したN×M個の単位画素(sub-pixel)を具備するが、前記N×M個の単位画素を駆動する方式によってパッシブマトリクス(passive matrix)方式とアクティブマトリクス(active matrix)方式に分けられる。

【0003】

前記アクティブマトリクス方式の有機電界発光表示装置の単位画素は画素電極と前記画素電極に電氣的信号を印加するための少なくとも一つの薄膜トランジスタを具備する。さらにひいては、前記アクティブマトリクス方式の有機電界発光表示装置は単位画素がマトリクス状に配置した画素部と前記画素部を制御するための回路を有する回路部を一

50

つの基板上に具備することができる。前記回路部は前記画素部の周辺部に位置して、前記画素部を制御するための回路は薄膜トランジスタで構成される。結論的にアクティブマトリックス方式の有機電界発光表示装置は画素部と回路部にそれぞれ薄膜トランジスタすなわち、画素TFTと回路TFTを具備することができる。

【0004】

このような薄膜トランジスタが日本公開特許特開平5-55582号に開示されたことがある。前記日本公開特許に開示された薄膜トランジスタは絶縁性基板上に位置する窒化ケイ素で形成された第1ブロッキング膜、前記第1ブロッキング膜上に位置する酸化ケイ素で形成された絶縁性被膜、前記絶縁性被膜上に位置する半導体層、前記半導体層上に位置するゲート電極、前記ゲート電極上に位置する窒化ケイ素で形成された第2ブロッキング膜、前記第2ブロッキング膜上に位置するPSGで形成された層間絶縁膜を具備する。しかし、このような薄膜トランジスタを回路TFTと画素TFTに共通で適用することは相異なる電気的特性を必要とする前記回路TFTと前記画素TFTの電気的特性を最適化させることを阻害することができる。

10

【特許文献1】特開平5-55582号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする技術的課題は前記従来技術の問題点を解決するためのことであって、回路TFTと画素TFTそれぞれの電気的特性が最適化された有機電界発光表示装置を提供することにある。

20

【課題を解決するための手段】

【0006】

前記技術的課題を達成するために本発明は有機電界発光表示装置を提供する。前記有機電界発光表示装置は回路領域及び画素領域を具備する基板と；前記基板の回路領域及び画素領域上にそれぞれ位置して、半導体層、ゲート電極及び一対のソース/ドレイン電極を具備する少なくとも一つの回路TFT及び少なくとも一つの画素TFTと；前記画素TFTのソース/ドレイン電極と電気的に連結された画素電極；及び前記ソース/ドレイン電極と前記基板間に位置して、前記全画素領域でオープンされた少なくとも一層のシリコン窒化膜を含む。

30

【0007】

前記有機電界発光表示装置は前記ソース/ドレイン電極と前記基板間に位置する少なくとも一層のシリコン酸化膜をさらに含むことができる。

【0008】

前記シリコン窒化膜はSiNxまたはSiONを含むことができる。

【0009】

前記シリコン窒化膜は前記基板と前記回路TFTの半導体層間に位置するバッファ窒化膜であることがある。さらにひいては、前記有機電界発光表示装置は前記基板と前記バッファ窒化膜間または前記バッファ窒化膜と前記回路TFTの半導体層間；及び前記基板と前記画素TFTの半導体層間に位置するバッファシリコン酸化膜をさらに含むことができる。

40

【0010】

前記シリコン窒化膜は前記回路TFTの半導体層と前記回路TFTのゲート電極間に位置するゲート絶縁窒化膜であることがある。さらにひいては、前記有機電界発光表示装置は前記回路TFTの半導体層と前記ゲート絶縁窒化膜間または前記ゲート絶縁窒化膜と前記回路TFTのゲート電極間；及び前記画素TFTの半導体層と前記画素TFTのゲート電極間に位置するゲート絶縁シリコン酸化膜をさらに含むことができる。

【0011】

前記シリコン窒化膜は前記回路TFTのゲート電極と前記回路TFTのソース/ドレイン電極間に位置する層間窒化膜であることがある。さらにひいては、前記有機電界発光表

50

示装置は前記回路TFTのゲート電極と前記層間窒化膜間または前記層間窒化膜と前記回路TFTのソース/ドレイン電極間；及び前記画素TFTのゲート電極と前記画素TFTのソース/ドレイン電極間に位置する層間シリコン酸化膜をさらに含むことができる。

【0012】

前記半導体層は多結晶シリコン膜であることが望ましい。また、前記画素電極は透明電極であることが望ましい。

【0013】

前記有機電界発光表示装置は前記画素電極上に位置する発光層及び前記発光層上に位置する対向電極をさらに含むことができる。

【0014】

前記技術的課題を達成するために本発明は有機電界発光表示装置の製造方法を提供する。前記製造方法は回路領域及び画素領域を具備する基板を提供して；前記基板の回路領域及び画素領域上に半導体層、ゲート電極及び一对のソース/ドレイン電極を具備する少なくとも一つの回路TFT及び少なくとも一つの画素TFTをそれぞれ形成して；前記画素TFTのソース/ドレイン電極と電氣的に連結された画素電極を形成して；前記ソース/ドレイン電極を形成する前に、前記基板上に前記全画素領域でオープンされた少なくとも一層のシリコン窒化膜を形成することを含む。

10

【0015】

前記製造方法は前記ソース/ドレイン電極を形成する前に、前記基板上に少なくとも一層のシリコン酸化膜を形成することをさらに含むことができる。

20

【0016】

前記シリコン窒化膜はSiNxまたはSiONを含むことができる。

【0017】

前記シリコン窒化膜は前記半導体層を形成する前に前記基板上に形成するバッファ窒化膜であることがある。この場合、前記製造方法は前記バッファ窒化膜を形成する前または前記バッファ窒化膜を形成した後、前記基板全面にバッファシリコン酸化膜を形成することをさらに含む。

【0018】

前記シリコン窒化膜は前記ゲート電極を形成する前に前記半導体層上に形成するゲート絶縁窒化膜であることがある。この場合、前記製造方法は前記ゲート絶縁窒化膜を形成する前または前記ゲート絶縁窒化膜を形成した後、前記基板全面にゲート絶縁シリコン酸化膜を形成することをさらに含むことができる。

30

【0019】

前記シリコン窒化膜は前記ソース/ドレイン電極を形成する前に前記ゲート電極上に形成する層間窒化膜であることがある。この場合、前記層間窒化膜を形成することは前記ゲート電極上に層間シリコン酸化膜とシリコン窒化膜を順に形成して、ハーフトーンマスクを用いて前記シリコン窒化膜及び前記層間シリコン酸化膜内にソース/ドレインコンタクトホールを形成すると同時に形成することが望ましい。

【発明の効果】

【0020】

上述したように本発明によると、全画素領域でオープンされたシリコン窒化膜を形成することによって、画素TFTと回路TFTの最適化された電氣的特性を得ることができるだけでなく、有機電界発光素子の輝度低下を防止することができる。

40

【発明を実施するための最良の形態】

【0021】

以下、本発明をさらに具体的に説明するために本発明による望ましい実施形態を添付した図面を参照してさらに詳細に説明する。しかし、本発明はここで説明される実施形態に限定されなくて他の形態に具体化されることができる。むしろここで紹介される実施形態は開示された内容が徹底して完全になることができるようにそして当業者に本発明の思想が十分に伝えられることができるようにするために提供されることである。図面において

50

、層が他の層または基板“上”にあると言及される場合にそれは他の層または基板上に直接形成されることができたりまたはそれら間に第3の層が介在することもできる。明細書全体にかけて同一な参照番号は同一な構成要素を示す。

【0022】

図1Dは本発明の実施形態による有機電界発光素子を説明するための断面図である。

【0023】

図1Dを参照すると、本発明の実施形態による有機電界発光素子は回路領域A及び画素領域Bを具備する基板10を含む。前記画素領域Bは単位画素がマトリックス状に配置する領域であって、前記回路領域Aは前記単位画素を電氣的に制御するための回路が位置する領域であって、図面には前記各領域の一部が図示された。

10

【0024】

前記基板の回路領域A上に回路薄膜トランジスタ(以下、回路TFTという)が位置する。前記回路薄膜トランジスタは半導体層20A、前記半導体層20Aと一部重なるゲート電極30A及び前記半導体層20Aの両端部に電氣的に接する一対のソース/ドレイン電極40Aを具備する。一方、前記基板の画素領域B上に画素薄膜トランジスタ(以下、画素TFTという)が位置する。前記画素薄膜トランジスタも半導体層20B、前記半導体層20Bと一部重なるゲート電極30B及び前記半導体層20Bの両端部に電氣的に接する一対のソース/ドレイン電極40Bを具備する。前記半導体層20A、20Bは非晶質シリコンに比べてキャリア移動度が高い多結晶シリコン膜であることが望ましい。

【0025】

前記画素TFTのソース/ドレイン電極40Bのうち一つに電氣的に接する画素電極43が位置する。前記画素電極43は前記基板10方向に光を放出することができる透明電極であることが望ましい。前記透明電極である画素電極43はアノードまたはカソードであることができる。前記アノードでありながら透明電極である画素電極43はITO膜またはIZO膜であることが望ましくて、前記カソードでありながら透明電極である画素電極43はMg、Ca、Al、Ag、Ba及びこれらの合金で構成された群から選択される一つの膜であるが光を透過させることができる程度に薄い厚さを有することが望ましい。

20

【0026】

前記画素電極43及び前記ソース/ドレイン電極40A、40B上に画素画定膜(pixel defining layer)45が位置する。前記画素画定膜45は前記画素電極43の表面一部を露出させる開口部46を具備して、前記開口部46内に露出した画素電極43は単位画素の発光領域を画定する。前記露出した画素電極43上に発光層50が位置して、前記発光層50上に対向電極60が位置する。前記発光層50は単位画素別にパターンニングできる。また、前記発光層50と前記画素電極43間または前記発光層50と前記対向電極60間にはそれぞれ電荷注入層(図示せず)及び/または電荷輸送層(図示せず)が位置することができる。前記対向電極60は透明電極または反射電極であることができ、前記画素電極43がアノードである場合カソードであって、前記画素電極43がカソードである場合アノードである。

30

前記ソース/ドレイン電極40A、40Bと前記基板10間には前記全画素領域Bでオープンされた少なくとも一層のシリコン窒化膜13、25、35が位置する。言い換えると、前記シリコン窒化膜13、25、35は前記画素領域Bには位置しないし、前記回路領域Aには位置する。前記シリコン窒化膜はSiNxまたはSiONを含む膜であることができる。このようなシリコン窒化膜は水素を豊富に含有している膜であって、前記水素は前記シリコン窒化膜に隣接した多結晶半導体層の結晶粒子境界に存在するダングリング結合(dangling bond)のような欠陥を治癒することができる。これで、薄膜トランジスタの電氣的特性例えば、キャリア移動度とS-ファクター(s-factor)を変化させることができる。さらに詳細には前記シリコン窒化膜13、25、35が位置する回路領域Aの回路TFTは高いキャリア移動度及び小さいS-ファクター値を示して、前記回路TFTで構成する回路は迅速なデータ伝達速度を有することができて、また前記回路TFTはスイッチング動作を良好に具現することができる。反面、前記シリコ

40

50

ン窒化膜 13、25、35 が位置しない画素領域 B の画素 T F T は前記回路 T F T に比べて低いキャリア移動度及び大きい S - ファクター値を示す。前記大きい S - ファクター値を示す画素 T F T は階調を容易に表示することができ、低いキャリア移動度は画素 T F T の特性上大きい問題にならない。結果的に、前記全画素領域 B でオープンされた少なくとも一層のシリコン窒化膜 13、25、35 を形成することによって、画素 T F T と回路 T F T の最適化された電気的特性を具現することができる。

【0027】

一方、シリコン窒化膜は光透過率が低い特性を持っている。したがって、前記画素領域 B にはシリコン窒化膜が位置しないようにすることで、前記発光層 46 から前記基板 10 に放出される光の損失を防止して有機電界発光素子の輝度を向上させることができる。

10

【0028】

前記シリコン窒化膜は前記基板 10 と前記回路 T F T の半導体層 20 A 間に位置するバッファ窒化膜 13 であることがある。これに加えて、前記基板 10 と前記バッファ窒化膜 13 間にバッファシリコン酸化膜 15 が位置することができる。望ましくは前記バッファシリコン酸化膜 15 は図面に示したように前記バッファ窒化膜 13 と前記回路 T F T の半導体層 20 A 間に位置する。その理由はシリコン酸化膜はシリコン窒化膜に比べて半導体層と付着 (a d h e s i o n) 特性が良好であるためだ。また、前記バッファシリコン酸化膜 15 は前記基板 10 と前記画素 T F T の半導体層 20 B 間にも位置する。前記バッファ窒化膜 13 及び前記バッファシリコン酸化膜 15 は前記基板から流出される不純物により前記半導体層 20 A、20 B が劣化されることを防止する役割をする

20

【0029】

前記シリコン窒化膜は前記回路 T F T の半導体層 20 A と前記回路 T F T のゲート電極 30 A 間に位置するゲート絶縁窒化膜 25 であることがある。これに加えて、前記回路 T F T の半導体層 20 A と前記ゲート絶縁窒化膜 25 間または前記ゲート絶縁窒化膜 25 と前記回路 T F T のゲート電極 30 A 間にゲート絶縁シリコン酸化膜 23 が位置することができる。また、前記ゲート絶縁シリコン酸化膜 23 は前記画素 T F T の半導体層 20 B と前記画素 T F T のゲート電極 30 B 間にも位置する。

【0030】

また、前記シリコン窒化膜は前記回路 T F T のゲート電極 30 A と前記回路 T F T のソース/ドレイン電極 40 A 間に位置する層間窒化膜 35 であることがある。これに加えて、前記回路 T F T のゲート電極 30 A と前記層間窒化膜 35 間または前記層間窒化膜 35 と前記回路 T F T のソース/ドレイン電極 40 A 間に層間シリコン酸化膜 33 が位置することができる。前記層間シリコン酸化膜 33 は前記画素 T F T のゲート電極 30 B と前記画素 T F T のソース/ドレイン電極 40 B 間にも位置する。望ましくは前記層間シリコン酸化膜 33 は回路 T F T のゲート電極 30 A と前記層間窒化膜 35 間に位置する。

30

【0031】

図 1 A ないし図 1 D は本発明の実施形態による有機電界発光素子の製造方法を説明するための断面図である。

【0032】

図 1 A を参照すると、回路領域 A 及び画素領域 B を具備する基板 10 を提供する。前記基板 10 上にシリコン窒化膜を形成して、これをパターニングして前記全画素領域 B でオープンされたバッファ窒化膜 13 を形成する。前記バッファ窒化膜 13 を形成する前に前記基板全面にバッファシリコン酸化膜 15 を形成することができる。望ましくは前記バッファ窒化膜 13 を形成した後、前記基板全面にバッファシリコン酸化膜 15 を形成する。前記バッファシリコン酸化膜 15 は前記回路領域 A 及び前記画素領域 B 上に位置する。

40

【0033】

前記回路領域 A 及び前記画素領域 B のバッファシリコン酸化膜 15 上に半導体層 20 A、20 B をそれぞれ形成する。前記半導体層 20 A、20 B は多結晶シリコン半導体層

50

で形成することが望ましい。前記多結晶シリコン半導体層 20 A、20 B を形成することは前記バッファーシリコン酸化膜 15 上に非晶質シリコン膜を形成して、これを結晶化した後パターニングすることによって遂行するが、前記結晶化方法には固相結晶化 (solid phase crystallization; SPC) 法、エキシマレーザーアニーリング (excimer laser annealing; ELA) 法、連続側面固相化 (sequential lateral solidification; SLS) 法、金属誘導結晶化法 (metal induced crystallization; 以下MICという)、金属誘導側面結晶化法 (metal induced lateral crystallization; 以下MILCという) 等がある。

【0034】

前記半導体層 20 A、20 B 上にシリコン窒化膜を形成した後、これをパターニングして前記全画素領域 B でオープンされたゲート絶縁窒化膜 25 を形成する。前記ゲート絶縁窒化膜 25 を形成する前または前記ゲート絶縁窒化膜 25 を形成した後、前記基板全面にゲート絶縁シリコン酸化膜 23 を形成することができる。前記ゲート絶縁シリコン酸化膜 23 は前記回路領域 A 及び前記画素領域 B 上に位置する。

【0035】

前記回路領域 A 及び前記画素領域 B のゲート絶縁シリコン酸化膜 23 上に前記半導体層 20 A、20 B と一部重なるゲート電極 30 A、30 B をそれぞれ形成する。

【0036】

図 1 B を参照すると、前記ゲート電極 30 A、30 B 上に層間シリコン酸化膜 33 とシリコン窒化膜 34 を順に形成して、前記シリコン窒化膜 34 上にハーフトーンマスクを用いてフォトレジストパターン 99 を形成する。前記フォトレジストパターン 99 は前記回路領域 A でのパターン高さが前記画素領域 B でのパターン高さに比べて高く、ソース/ドレインコンタクトホールが形成される領域がオープンされている。

【0037】

図 1 C を参照すると、前記フォトレジストパターン 99 をマスクにして前記シリコン窒化膜 34、前記層間シリコン酸化膜 33、前記ゲート絶縁窒化膜 25 及び前記ゲート絶縁シリコン酸化膜 23 をエッチングすることによって、前記半導体層 20 A、20 B の両端部を露出させるソース/ドレインコンタクトホール 36 を形成する。これと同時に前記回路領域 A に比べてパターン高さが低い前記画素領域 B のフォトレジストはエッチングされて、またその下部のシリコン窒化膜 34 もエッチングされて、前記全画素領域 B でオープンされた層間窒化膜 35 が形成される。

【0038】

これとは異なり、前記シリコン窒化膜 34 を前記ゲート電極 30 A、30 B 上に積層して、これをパターニングして前記全画素領域 B でオープンされた層間窒化膜 35 を形成した後、前記層間窒化膜 35 上に前記層間シリコン酸化膜 33 を形成することも可能である。この場合、前記ソース/ドレインコンタクトホール 36 は前記層間シリコン酸化膜 33 を形成した後形成する。

【0039】

前記バッファー窒化膜 13、前記ゲート絶縁窒化膜 25 及び前記層間窒化膜 35 のうちから少なくとも一つのシリコン窒化膜を形成して、残りは形成しない場合がある。例えば、前記バッファー窒化膜 13 だけを形成することができ (図 2 を参照)、前記ゲート絶縁窒化膜 25 だけを形成することができ (図 3 を参照)、前記層間窒化膜 35 だけを形成することができる (図 4 を参照)。前記シリコン窒化膜は SiNx または SiON を用いて形成する。

【0040】

図 1 D を参照すると、前記ソース/ドレインコンタクトホール 36 を具備する基板全面にソース/ドレイン電極物質を積層してこれをパターニングして、前記回路領域 A と前記画素領域 B 上にそれぞれソース/ドレイン電極 40 A、40 B を形成する。前記回路領域 A に形成された前記半導体層 20 A、前記ゲート電極 30 A 及び前記一对のソース/ドレ

10

20

30

40

50

イン電極 40A は回路 T F T を形成して、前記画素領域 B に形成された前記半導体層 20 B、前記ゲート電極 30B 及び前記一对のソース/ドレイン電極 40B は画素 T F T を形成する。

【0041】

続いて、前記画素 T F T のソース/ドレイン電極 40B のうちいずれか一つに接する画素電極 43 を形成する。前記画素電極 43 を形成することはシャドーマスクを用いて画素電極物質を真空蒸着することで形成することができる。前記画素電極 43 は透明電極で形成することが望ましい。前記透明電極である画素電極 43 を形成することにおいて、前記画素電極物質は I T O または I Z O であることがある。この場合、前記画素電極 43 はアノードである。これとは違って、前記透明電極である画素電極 43 を形成することにおいて、前記画素電極物質は M g、C a、A l、A g、B a 及びこれらの合金で構成された群から選択される一つであることができ、光を透過させることができる程度に薄い厚さに形成する。この場合、前記画素電極 43 はカソードである。

10

【0042】

前記画素電極 43 及び前記ソース/ドレイン電極 40A、40B 上に画素画定膜 (p i x e l d e f i n i n g l a y e r) 45 を形成する。前記画素画定膜 45 内に前記画素電極 43 の表面一部を露出させる開口部 46 を形成する。前記開口部 46 内に露出した画素電極 43 は単位画素の発光領域を画定する。前記露出した画素電極 43 上に発光層 50 を形成して、前記発光層 50 上に対向電極 60 を形成する。前記発光層 50 は単位画素別にパターンニングして形成することができる。また、前記発光層 50 と前記画素電極 43 間または前記発光層 50 と前記対向電極 60 間にはそれぞれ電荷注入層 (図示せず) 及び/または電荷輸送層 (図示せず) を形成することができる。前記対向電極 60 は透明電極または反射電極で形成することができ、前記画素電極 43 がアノードである場合カソードで形成して、前記画素電極 43 がカソードである場合アノードで形成する。

20

【0043】

図 5A は本発明の実施形態によって製造された画素 T F T と回路 T F T のキャリア移動度を見せてくれるグラフであって、図 5B は本発明の実施形態によって製造された画素 T F T と回路 T F T の S - ファクター値を見せてくれるグラフである。

【0044】

図 5A 及び図 5B を参照すると、回路 T F T のキャリア移動度は画素 T F T のキャリア移動度に比べて優秀であって、小さい S - ファクター値を有する。したがって、前記回路 T F T で構成する回路は迅速なデータ伝達速度を有することができて、また前記回路 T F T スイッチング動作を良好に具現することができる。反面、前記画素 T F T は階調を容易に表示することができる。結果的に、回路 T F T と画素 T F T の電気的特性を最適化することができる。

30

【0045】

図 6 はシリコン窒化膜の厚さによる輝度の変化を示したグラフである。

【0046】

図 6 を参照すると、シリコン窒化膜の厚さが増加するほど輝度は低下することが分かる。したがって、シリコン窒化膜を画素領域全体にかけてオープンさせることによって、有機電界発光素子の輝度低下を防止することができる。

40

【図面の簡単な説明】

【0047】

【図 1A】本発明の実施形態による有機電界発光素子及びその製造方法を説明するための断面図である。

【図 1B】本発明の実施形態による有機電界発光素子及びその製造方法を説明するための断面図である。

【図 1C】本発明の実施形態による有機電界発光素子及びその製造方法を説明するための断面図である。

【図 1D】本発明の実施形態による有機電界発光素子及びその製造方法を説明するための

50

断面図である。

【図 2】本発明の実施形態による有機電界発光素子を説明するための断面図である。

【図 3】本発明の実施形態による有機電界発光素子を説明するための断面図である。

【図 4】本発明の実施形態による有機電界発光素子を説明するための断面図である。

【図 5 A】本発明の実施形態によって製造された画素 TFT と回路 TFT のキャリア移動度を見せてくれるグラフである。

【図 5 B】本発明の実施形態によって製造された画素 TFT と回路 TFT の S - ファクター値を見せてくれるグラフである。

【図 6】シリコン窒化膜の厚さによる輝度の変化を示したグラフである。

【符号の説明】

【 0 0 4 8 】

10 : 基板

13、25、34 : シリコン窒化膜

20A、20B : 半導体層

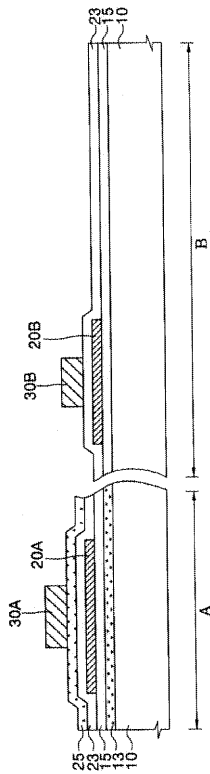
30A、30B : ゲート電極

40A、40B : ソース/ドレイン電極

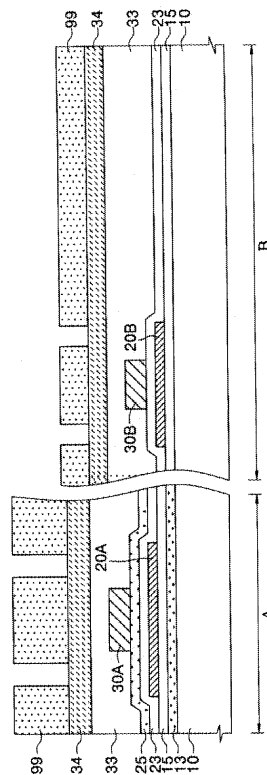
43 : 画素電極

10

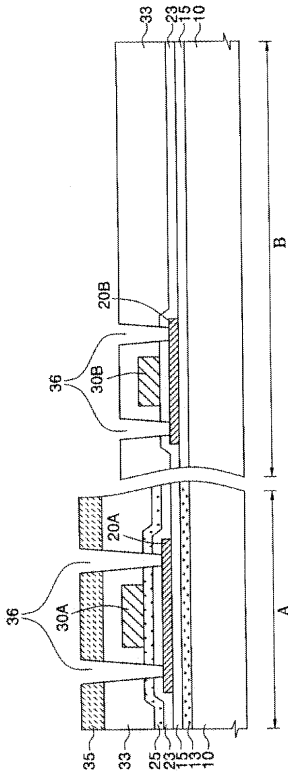
【図 1 A】



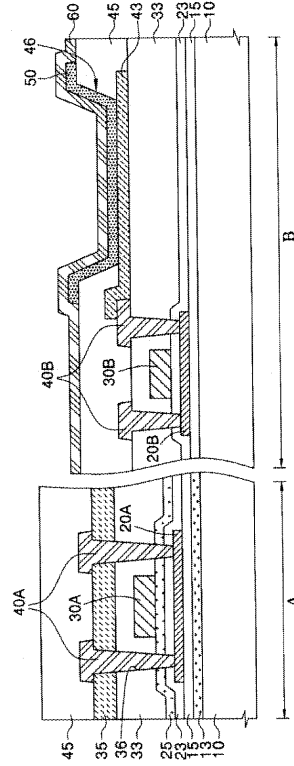
【図 1 B】



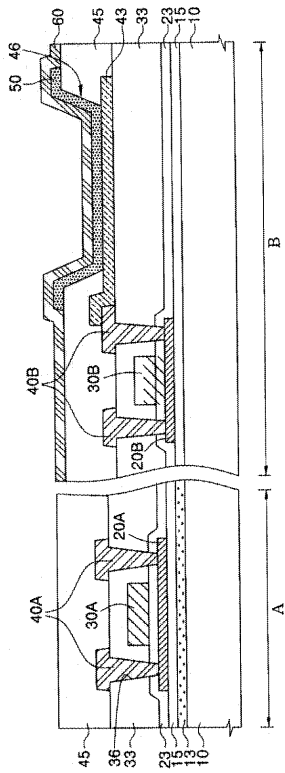
【 図 1 C 】



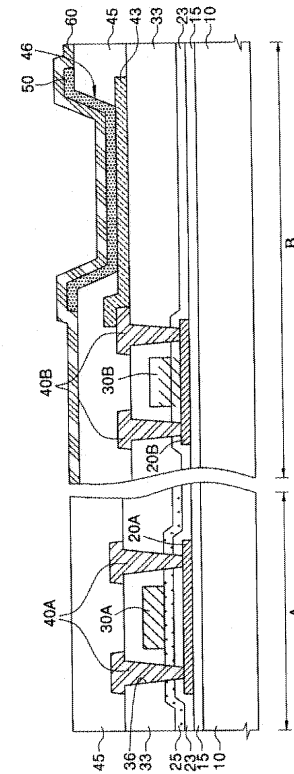
【 図 1 D 】



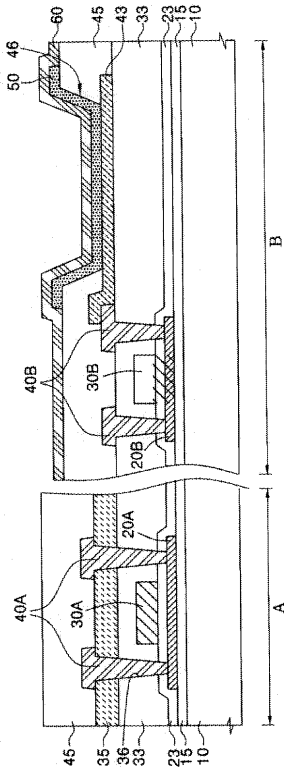
【 図 2 】



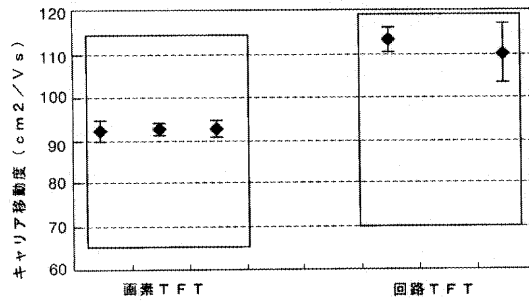
【 図 3 】



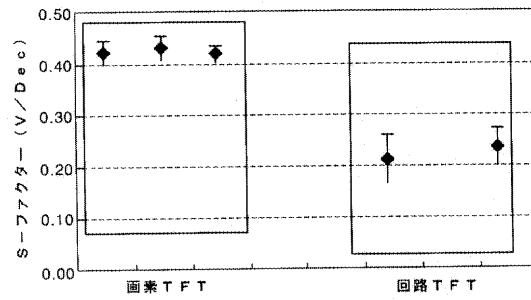
【 図 4 】



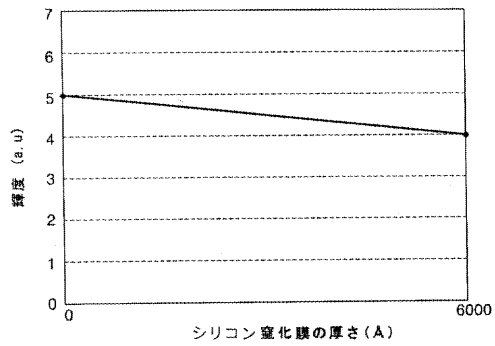
【 図 5 A 】



【 図 5 B 】



【 図 6 】



フロントページの続き

(72)発明者 朴 商一

大韓民国京畿道水原市靈通區新洞5 7 5 番地 三星エスディアイ株式会社内

Fターム(参考) 3K007 AB05 AB18 BA06 DB03 FA00 GA00

5C094 AA21 AA31 BA03 BA27 DA13 DA15 EA04 FB01

专利名称(译)	有机电致发光显示装置及其制造方法		
公开(公告)号	JP2005222068A	公开(公告)日	2005-08-18
申请号	JP2005030920	申请日	2005-02-07
[标]申请(专利权)人(译)	三星斯笛爱股份有限公司		
申请(专利权)人(译)	三星エスディアイ株式会社		
[标]发明人	李憲貞 朴商一		
发明人	李憲貞 朴商一		
IPC分类号	H05B33/10 G09F9/30 H01L21/314 H01L21/318 H01L21/77 H01L27/32 H01L29/786 H01L51/50 H05B33/00 H05B33/14		
CPC分类号	H01L51/50 G09G2300/0426 G09G2320/0233 H01L21/3144 H01L21/3185 H01L27/1248 H01L27/3244 H01L29/78603 H01L51/5253		
FI分类号	G09F9/30.338 H05B33/10 H05B33/14.A		
F-TERM分类号	3K007/AB05 3K007/AB18 3K007/BA06 3K007/DB03 3K007/FA00 3K007/GA00 5C094/AA21 5C094 /AA31 5C094/BA03 5C094/BA27 5C094/DA13 5C094/DA15 5C094/EA04 5C094/FB01 3K107/AA01 3K107/BB01 3K107/CC11 3K107/EE04 3K107/EE59		
代理人(译)	渡边 隆 村山彦		
优先权	1020040008494 2004-02-09 KR		
外部链接	Espacenet		

摘要(译)

提供一种有机电致发光显示装置，其中优化了电路TFT和像素TFT中的每一个的电特性。提供一种有机发光显示装置及其制造方法。一种有机电致发光显示装置，包括具有电路区域和像素区域的基板；位于电路区域和基板的像素区域的至少一个电路，半导体层，栅电极和一对源/漏电极TFT和至少一个像素TFT；像素电极，电连接到像素TFT的源/漏电极；像素电极，设置在源/漏电极和基板之间，并具有至少一层硅包括氮化膜。背景技术

