

【特許請求の範囲】

【請求項 1】薄膜トランジスタと、
前記薄膜トランジスタを駆動する金属配線と、
前記薄膜トランジスタと連結される画素電極及び前記画素電極上に形成された発光層を備える基板と、
前記画素電極と実質的に重ならない前記基板上の領域に形成されたブラックマトリックスと、
を含むアクティブマトリックス型有機電界発光表示装置。

【請求項 2】前記ブラックマトリックスは前記薄膜トランジスタ及び / または前記金属配線と重なる位置に形成されている、請求項 1 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 3】前記ブラックマトリックス上に形成された熱拡散防止層をさらに備える、請求項 2 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 4】前記ブラックマトリックスは金属酸化膜及び前記金属酸化膜上に積層された金属膜から形成されている、請求項 1 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 5】前記金属酸化膜は、クロム酸化膜、ニッケル酸化膜及び鉄酸化膜からなる群から選択されるいずれか 1 つから形成され、
前記金属膜は、クロム、ニッケル及び鉄からなる群から選択されるいずれか 1 つから形成されている、
請求項 4 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 6】基板と、
画素電極領域と実質的に重ならない前記基板上の領域に形成されたブラックマトリックスと、
前記ブラックマトリックス上に形成され、アクティブパターン、ゲート電極及びソース / ドレイン電極を含む薄膜トランジスタと、
前記薄膜トランジスタ、ブラックマトリックス及び基板上に形成された保護膜と、
前記保護膜上に前記薄膜トランジスタと連結されるように形成された画素電極と、
前記画素電極に連結された発光層と、
を含むアクティブマトリックス型有機電界発光表示装置。

【請求項 7】前記ブラックマトリックスと前記薄膜トランジスタとの間に形成された熱拡散防止層をさらに備える、
請求項 6 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 8】前記薄膜トランジスタのアクティブパターンは、前記ブラックマトリックスのエッジから 1 μm 以上離れた領域に形成されている、請求項 6 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 9】画素電極領域と実質的に重ならない基板上

の領域にブラックマトリックスを形成する段階と、
前記ブラックマトリックス上にアクティブパターン、ゲート電極及びソース / ドレイン電極を含む薄膜トランジスタを形成する段階と、
前記薄膜トランジスタ、ブラックマトリックス及び基板上に保護膜を形成する段階と、
前記保護膜上に前記薄膜トランジスタと連結される画素電極を形成する段階と、
前記画素電極上に発光層を形成する段階と、
を含むアクティブマトリックス型有機電界発光表示装置の製造方法。

【請求項 10】前記薄膜トランジスタを形成する段階前に、前記ブラックマトリックスを覆う熱拡散防止層を形成する段階をさらに含む、請求項 9 に記載のアクティブマトリックス型有機電界発光表示装置の製造方法。

【請求項 11】前記ブラックマトリックス及び前記基板上にアクティブ層を蒸着する段階と、
ブラックマトリックスを通じた熱損失を補償することができる程度のエネルギーにより前記アクティブ層を結晶化させる段階と、
前記アクティブ層をパターニングして前記ブラックマトリックスのエッジから 1 μm 以上離れた領域にアクティブパターンを形成する段階と、
を含む方法により、前記薄膜トランジスタのアクティブパターンを形成する、請求項 9 に記載のアクティブマトリックス型有機電界発光表示装置の製造方法。

【請求項 12】前記ブラックマトリックスを金属酸化膜及び前記金属酸化膜上に積層された金属膜で形成する、
請求項 9 に記載のアクティブマトリックス型有機電界発光表示装置の製造方法。

【請求項 13】前記金属酸化膜は、クロム酸化膜、ニッケル酸化膜及び鉄酸化膜からなる群から選択されるいずれか 1 つから形成され、
前記金属膜は、クロム、ニッケル及び鉄からなる群から選択されるいずれか 1 つから形成されている、
請求項 12 に記載のアクティブマトリックス型有機電界発光表示装置の製造方法。

【請求項 14】薄膜トランジスタと、
前記薄膜トランジスタを駆動する金属配線と、
前記薄膜トランジスタと連結される画素電極及び前記画素電極上に形成された発光層を備える基板と、
前記画素電極が形成された部分と実質的に重ならない前記基板上の領域に形成された、低反射率を実現する物質からなるパターンと、
を含むアクティブマトリックス型有機電界発光表示装置。

【請求項 15】前記パターンはブラックマトリックスである、請求項 14 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 16】前記パターンは 5 % 未満の反射率を有す

る、請求項 14 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 17】前記パターンは金属酸化膜及び前記金属酸化膜上に積層された金属膜から形成される、請求項 16 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 18】基板と、
画素電極領域と実質的に重ならない前記基板上の領域に形成された低反射率を実現する物質からなるパターンと、
前記パターン上に形成され、アクティブパターン、ゲート電極及びソース/ドレーン電極を含む薄膜トランジスタと、
前記薄膜トランジスタ、前記パターン及び基板上に形成された保護膜と、
前記保護膜上に前記薄膜トランジスタと連結されるように形成された画素電極と、
前記画素電極上に形成された発光層とを含むことを特徴とするアクティブマトリックス型有機電界発光表示装置。

【請求項 19】前記パターンは 5 % 未満の反射率を有する、請求項 18 に記載のアクティブマトリックス型有機電界発光表示装置。

【請求項 20】画素電極領域と実質的に重ならない基板上の領域に、低反射率を実現する物質からなるパターンを形成する段階と、
前記パターン上にアクティブパターン、ゲート電極及びソース/ドレーン電極を含む薄膜トランジスタを形成する段階と、
前記薄膜トランジスタ、前記パターン及び基板上に保護膜を形成する段階と、
前記保護膜上に前記薄膜トランジスタと連結される画素電極を形成する段階と、
前記画素電極上に発光層を形成する段階と、
を含むアクティブマトリックス型有機電界発光表示装置の製造方法。

【請求項 21】前記パターンの反射率が 5 % 未満となる物質で前記パターンを形成する、請求項 20 に記載のアクティブマトリックス型有機電界発光表示装置の製造方法。

【請求項 22】金属酸化膜及び前記金属酸化膜上に積層された金属膜で前記パターンを形成する、請求項 21 に記載のアクティブマトリックス型有機電界発光表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリックス型有機電界発光 (active matrix organic electroluminescent; AMOEL または active matrix o

rganic light emitting diode; AMOLED) 表示装置及びその製造方法に関するものであり、より詳細には、表示画面部での反射光を減少させて高いコントラストが得られるアクティブマトリックス型有機電界発光表示装置及びその製造方法に関するものである。

【0002】

【従来の技術】最近、情報化社会において、電子表示装置の役割はますます大事になり、各種電子表示装置が多様な産業分野に広範囲に使用されている。このような電子表示装置分野は発展を重ねて、多様化した情報化社会の要求に適合する新しい機能の電子表示装置が続けて開発されている。

【0003】一般的に電子装置というものは多様な情報などを視覚を通じて人間に伝達する装置をいう。即ち、電子表示装置とは各種電子機器から出力される電氣的な情報信号を人間の視覚により認識可能である光情報信号へ変換する電子装置であり、人間と電子機器を連結する架橋的な役割を担当する装置と言える。

【0004】このような電子表示装置において、光情報信号が発光現象によって表示される場合には発光型表示装置 (emissive display) と言う。また、反射、散乱、干渉現象などの光変調で表示される場合には受光型表示装置 (non-emissive display) と言う。能動型表示装置とも言われる前記発光型表示装置としては、陰極線管 (CRT)、プラズマディスプレイパネル (PDP)、発光ダイオード (LED) 表示装置及びエレクトロルミネセント (electroluminescent: EL) 表示装置などを挙げることができる。受動型表示装置である前記受光型表示装置としては、液晶表示装置 (LCD 又は electrochemical display: ECD) 及び電気泳動表示装置 (electrophoretic image display: EPID) などを挙げることができる。

【0005】テレビやコンピュータ用モニターなどのような画像表示装置に使用され一番長い歴史を有する表示装置である陰極線管 (CRT) は、表示品質及び経済性などの面で一番高い占有率を有しているが、大きい重量、大きい容積及び高い消費電力などの問題点を有している。

【0006】しかし、半導体技術の急速な進歩によって各種電子装置の固体化、低電圧及び低電力化と共に電子機器の小型及び軽量化に従って新しい環境に適合する電子表示装置、即ち薄くて軽くかつ低い駆動電圧及び低い消費電力の特性を備えた平板型表示装置に対する要求が急激に増大している。

【0007】このような平板表示装置の一つとして、エレクトロルミネセント (EL) 素子を用いた EL 表示装置 (別名 LED 表示装置) が注目されている。EL 素子

は使用する材質により、無機 E L 素子と有機 E L 素子に分けられる。

【0008】一般に、無機 E L 素子とは、発光部に高い電界を印加して電子を高い電界中で加速し、発光中心に衝突させ、これにより発光中心を励起することにより発光する素子をいう。

【0009】有機 E L 素子とは、カソード電極とアノード電極から各々電子と正孔とを発光部内に注入させ、注入された電子と正孔が結合して励起子を生成し、この励起子が励起状態から基底状態に低下する時発光する素子 10 をいう。

【0010】前記のような動作原理により無機 E L 素子は 100 ~ 200 V の高い駆動電圧を必要とする。一方、有機 E L 素子は 5 ~ 20 V 程度の低い電圧で駆動することができるという長所があるために、これに対する研究がさらに活発に進行されている。また、有機 E L 素子は広い視野角、高速応答性、高コントラストなど優れた特徴を有している。

【0011】有機 E L 表示装置はアクティブマトリックス型表示装置とパッシブマトリックス型表示装置の両方 20 に適用することができる。アクティブマトリックス型有機 E L (AMOLED) 表示装置は薄膜トランジスタのようなスイッチング素子により、複数個の画素に対応する有機 E L 素子を互いに独立的に駆動させる表示装置である。

【0012】図 1 は、従来のアクティブマトリックス型有機 E L 表示装置の断面図である。

【0013】図 1 に示すように、ガラス、石英、サファイアのような絶縁基板 10 上にシリコン酸化物からなる遮断膜 12 が形成される。前記遮断膜 12 は省略するこ 30 とができるが、後続の非晶質シリコン膜の結晶化の間に、前記絶縁基板 10 内の各種不純物がシリコン膜に浸透することを防止するために使用することが望ましい。

【0014】前記遮断膜 12 上にはアクティブパターン 14、ゲート絶縁膜 16、ゲート電極 18、層間絶縁膜 20 及びソース/ドレイン電極 26、28 からなった薄膜トランジスタ 30 が形成される。

【0015】前記薄膜トランジスタ 30 を含む絶縁基板 10 の全面に保護膜 32 が形成される。前記保護膜 32 上にはビアホール 34 を通じて前記ソース/ドレイン電 40 極 26、28 のうちの一つ、例えば、ドレイン電極 28 と連結される画素電極 36 が形成される。インジウムテリウムオキシド (ITO) 又はインジウムジンクオキシド (IZO) のような透明導電膜からなった画素電極 36 は有機 E L 素子 50 のアノード電極となる。

【0016】前記画素電極 36 を含む保護膜 32 上には、画素電極 36 の一部分を露出させる開口部 42 を有する有機絶縁膜 40 が形成される。前記開口部 42 上には、発光層 44 が形成され、その上に背面発光のための金属電極 46 が有機 E L 素子 50 のカソード電極として 50

形成される。

【0017】上述した従来の有機 E L 表示装置によると、有機 E L 素子 50 で発生した光が、その下部の薄膜トランジスタ 30 が形成された基板 10 を通じて外部に放出される。従って、薄膜トランジスタ 30 が形成された基板 10 が表示画面側に配置されるので、表示画面に入射される外部の自然光が薄膜トランジスタ 30、前記薄膜トランジスタ 30 を駆動するための金属配線及び有機 E L 素子 50 の金属電極 46 から反射され、使用者が眩しさを感じる。また、オフ状態でも反射光が存在してブラックを具現することが困難になる。

【0018】このような問題を解決するために、円偏光板を付着する方法が提案されている。しかしこの場合、前記円偏光板自体が発光層から放出された光の一部を遮断することにより、輝度が 60 % 程度減少される問題が発生する。また、有機 E L 素子のカソード電極を低反射膜に形成する方法が提案されている。この場合、発光された光の 50 % 程度のみが外部に放出されるために、光損失が発生するだけでなく、薄膜トランジスタと金属配線から反射される光が依然存在することになる。

【0019】このように、アクティブマトリックス型有機 E L 表示装置は開口率が低く、金属配線の数が多くて非発光面積の大部分を金属配線が占めるので、高いコントラストを得るためには、薄膜トランジスタ及び金属配線からの反射光を減少させなければならない。

【0020】

【発明が解決しようとする課題】本発明の目的は、非発光面積での反射光を減少させ、高コントラストを得ることができるアクティブマトリックス型有機 E L 表示装置を提供することにある。

【0021】本発明の他の目的は、非発光面積での反射光を減少させ、高いコントラストを得ることができるアクティブマトリックス型有機 E L 表示装置の製造方法を提供することにある。

【0022】

【発明の解決するための手段】上述した目的を達成するための本発明は、薄膜トランジスタと、前記薄膜トランジスタを駆動する金属配線と、前記薄膜トランジスタと連結される前記画素電極及び前記画素電極上に形成された有機電界発光層（以下、単に発光層）を備える基板と、前記画素電極と実質的に重ならない前記基板上的領域に形成されたブラックマトリックスとを含むアクティブマトリックス型有機電界発光表示装置を提供する。

【0023】上述した他の目的を達成するための本発明は、基板と、前記基板上的画素電極領域と実質的に重ならない基板上的領域に形成されたブラックマトリックスと、前記ブラックマトリックス上に形成され、アクティブパターン、ゲート電極及びソース/ドレイン電極を含む薄膜トランジスタと、前記薄膜トランジスタ、ブラックマトリックス及び基板上に形成された保護膜と、前記

保護膜上に前記薄膜トランジスタと連結されるように形成された画素電極と、前記画素電極に連結された発光層とを備える。

【0024】上述した他の目的を達成するための本発明は、薄膜トランジスタと、前記薄膜トランジスタを駆動する金属配線と、前記薄膜トランジスタと連結される画素電極及び前記画素電極上に形成された発光層を備える基板と、前記画素電極と実質的に重ならない前記基板上の領域に形成された低反射率の物質からなるパターンとを含む。

【0025】また、上述した他の目的を達成するための本発明は、基板と、画素電極領域と実質的に重ならない前記基板上の領域に形成された低反射率の物質からなるパターンと、前記低反射率を実現する物質からなるパターン上に形成され、アクティブパターン、ゲート電極及びソース/ドレイン電極を含む薄膜トランジスタと、前記薄膜トランジスタ、前記パターン及び基板上に形成された保護膜と、前記保護膜上に前記薄膜トランジスタと連結されるように形成された画素電極と、前記画素電極上に形成された発光層とを備える。

【0026】また、上述した他の目的を達成するための本発明は、画素電極領域と実質的に重ならない前記基板上の領域にブラックマトリックスを形成する段階と、前記ブラックマトリックス上にアクティブパターン、ゲート電極及びソース/ドレイン電極を含む薄膜トランジスタを形成する段階と、前記薄膜トランジスタ、ブラックマトリックス及び基板上に保護膜を形成する段階と、前記保護膜上に薄膜トランジスタと連結される画素電極を形成する段階と、前記画素電極上に発光層を形成する段階とを備える。

【0027】また、上述した他の目的を達成するための本発明は、画素電極領域と実質的に重ならない前記基板上の領域に低反射率を実現する物質からなるパターンを形成する段階と、前記パターン及び前記基板上にアクティブパターン、ゲート電極及びソース/ドレイン電極を含む薄膜トランジスタを形成する段階と、前記薄膜トランジスタ、前記パターン及び基板上に保護膜を形成する段階と、前記保護膜上に前記薄膜トランジスタと連結される画素電極を形成する段階と、前記画素電極上に発光層を形成する段階とを備える。

【0028】本発明によると、ブラックマトリックスのように反射率が低い物質からなるパターンを、画素電極領域と重ならないように基板上に形成して、画素電極以外の領域、即ち、非発光領域から外部光が反射されることを最少化することができる。従って、オフ状態でもブラックを表示し、コントラスト比を高めることができる。

【0029】

【発明の実施の形態】以下、図面を参照して本発明の望ましい一実施形態をより詳細に説明する。

【0030】図2は本発明によるアクティブマトリックス型の有機電界発光(EL/LED、以下ELという)表示装置の断面図である。

【0031】図2に示すように、ガラス、石英、サファイアのような絶縁基板100上の画素電極が形成される領域を除外した領域に低反射率の物質からなるパターン、望ましくはブラックマトリックス104が形成される。外部光の反射を防止するために5%未満の低い反射率を実現する物質、望ましくは3~4%の低い反射率を実現する物質で前記ブラックマトリックス104を形成すると、コントラスト比が高まり好適である。望ましくは、前記ブラックマトリックス104は、CrOx、NiOx又はFeOxのような金属酸化膜101及びCr、Ni又はFeのような金属膜102の積層構造で形成する。一般に、CrOx、NiOx又はFeOxのような金属酸化膜101は、約50%の光を透過し、残りの光を反射する特性を有する。従って、前記金属酸化膜101上に比較的反射率が高い金属膜102を積層すると、前記ブラックマトリックス104に入射される光が相殺干渉を起こし、反射率が5%未満に低下する。また、前記ブラックマトリックス104は5%未満の低い反射率を有する不透明な物質からなる単一層で形成することもできる。

【0032】前記ブラックマトリックス104を含む絶縁基板100の全面にはシリコン酸化物からなる熱拡散防止層106が形成される。前記熱拡散防止層106は薄膜トランジスタのアクティブ層を結晶化させる間に、前記ブラックマトリックス104の金属膜102へ熱が放出されることを防止する役割を有する。

【0033】前記熱拡散防止層106上には、アクティブパターン108、ゲート絶縁膜110、ゲート電極112、層間絶縁膜114及びソース/ドレイン電極120、122からなる薄膜トランジスタ125が形成される。前記ソース/ドレイン電極120、122は、層間絶縁膜114を貫通するコンタクトホール116、118を通じて各々、アクティブパターン108内のソース/ドレイン領域(図示せず)とコンタクトされる。望ましくは、前記アクティブパターン108は、均一な薄膜トランジスタ特性を得るために、ブラックマトリックス104のエッジから1μm以上離れた領域に形成する。

【0034】前記ソース/ドレイン電極120、122及び層間絶縁膜114上にはシリコン窒化物のような無機絶縁物質からなる保護膜126が形成される。保護膜126上にはピアホール128を通じてソース/ドレイン電極118と連結される画素電極130が形成される。ITO又はIZOのような透明導電膜からなる画素電極130は、有機EL素子140のアノード電極として用いられる。

【0035】保護膜126上には画素電極130の一部

分を露出させる開口部 134 を有する有機絶縁膜 132 が形成される。前記開口部 134 上には有機電界発光層（以下、単に発光層）136 が形成され、その上に背面発光のための金属電極 138 が有機 EL 素子 140 のカソード電極として形成される。

【0036】以下、上述した構造を有する本発明のアクティブマトリックス型有機 EL 表示装置の製造方法を説明する。ここでは、7 インチディスプレイを製造する場合を例に取り、説明する。

【0037】図 3 乃至図 7 は、図 2 に示したアクティブマトリックス型有機 EL 表示装置の製造方法を説明するための断面図である。

【0038】図 3 に示すように、ガラス、石英、サファイアのような絶縁基板 100 上に不透明絶縁物質、例えば、 CrOx 、 NiOx 又は FeOx のような金属酸化膜 101 を約 500 の厚さに蒸着した後、その上に反射率が高い Cr 、 Ni 又は Fe のような金属膜 102 を約 1000 の厚さに蒸着する。

【0039】続いて、フォトリソグラフィ工程により前記金属膜 102 及び金属酸化膜 101 をパターニングして絶縁基板 100 上の画素電極が形成される領域を除外した領域に低反射率を実現する物質からなるパターン、望ましくはブラックマトリックス 104 を形成する。

【0040】図 4 に示すように、前記ブラックマトリックス 104 を含む絶縁基板 100 の全面にシリコン酸化物をプラズマ - 励起化学気相蒸着 (Plasma-enhanced chemical vapor deposition; PECVD) 方法により約 2000 の厚さに蒸着して熱拡散防止層 106 を形成する。前記熱拡散防止層 106 は後続工程でアクティブ層を結晶化させる間に、ブラックマトリックス 104 の金属膜 102 に熱が放出されることを防止する役割を有する。

【0041】前記熱拡散防止層 106 上に非晶質シリコン膜を低圧化学気相蒸着 (low pressure CVD; LPCVD) 又は PECVD 方法により約 500 の厚さに蒸着してアクティブ層 107 を形成した後、レーザアニリングを実施して前記アクティブ層 107 を多結晶シリコンに結晶化させる。この時、前記ブラックマトリックス 104 を通じた熱損失を補償することができる程度の高エネルギー、例えば、 $440 \sim 450 \text{ mJ/cm}^2$ のエネルギーによりレーザアニリングを実施すると、同一の大きさのグレインを有する多結晶シリコン膜を得ることができる。

【0042】図 5 に示すように、フォトリソグラフィ工程により前記多結晶シリコンからなるアクティブ層 107 をパターニングして単位画素内の薄膜トランジスタ領域にアクティブパターン 108 を形成する。この時、前記多結晶シリコンからなるアクティブ層 107 は、ブラックマトリックス 104 のエッジ部近傍とその他の部分では、それぞれ相異なる大きさのグレインを有する。具

体的には、アクティブ層 107 は、ブラックマトリックス 104 のエッジ部から $1 \mu\text{m}$ 以上離れた領域では均一な大きさのグレインを有する。従って、ブラックマトリックス 104 のエッジから $1 \mu\text{m}$ 以上離れた領域にアクティブパターン 108 を形成すると、均一な薄膜トランジスタ特性を得ることができる。

【0043】続いて、前記アクティブパターン 108 及び熱拡散防止層 106 上にシリコン酸化物を PECVD 方法により 1000 ~ 2000 の厚さに蒸着してゲート絶縁膜 110 を形成する。前記ゲート絶縁膜 110 上にゲート膜として、例えば、アルミニウム - ネオジウム (AlNd) をスパッタリングにより約 3000 の厚さに蒸着した後、フォトリソグラフィ工程により前記ゲート膜をパターニングする。そうすると、第 1 方向に延びるゲートライン (図示せず) と前記ゲートラインから分岐した薄膜トランジスタのゲート電極 112 が形成される。

【0044】ここで、上述したゲート膜のパターニング工程時に使用されるフォトマスクを利用して不純物イオン注入を実施することにより、アクティブパターン 108 の両側表面に薄膜トランジスタのソース / ドレイン領域 (図示せず) を形成する。

【0045】次いで、前記ソース / ドレイン領域のドーピングされたイオンを活性化させ、シリコン層の損傷をキューリングするために、レーザアニリング又はファーンズアニリングを実施する。その後、図 6 に示すように、結果物の全面にシリコン窒化物を約 8000 の厚さに蒸着し、層間絶縁膜 114 を形成する。

【0046】続いて、フォトリソグラフィ工程により前記層間絶縁膜 114 をエッチングし、前記ソース / ドレイン領域を露出させるコンタクトホール 116、118 を形成する。前記コンタクトホール 116、118 及び層間絶縁膜 114 上にデータ膜として、例えば、モリタングステン (MoW) 又はアルミニウム - ネオジウム (AlNd) を約 3000 ~ 6000 の厚さに蒸着した後、フォトリソグラフィ工程により前記データ膜をパターニングする。そうすると、前記第 1 方向と直交する第 2 方向に延びるデータライン (図示せず) 及び直流信号ライン (Vdd)、また前記コンタクトホール 116、118 を通じてソース / ドレイン領域と各々コンタクトされるソース / ドレイン電極 120、122 が形成される。

【0047】上述した工程を通じて、アクティブパターン 108、ゲート絶縁膜 110、ゲート電極 112 及びソース / ドレイン電極 120、122 により構成された薄膜トランジスタ 125 が形成される。

【0048】図 7 に示すように、前記薄膜トランジスタ 125 を含む層間絶縁膜 114 上にシリコン窒化物を約 2000 ~ 3000 の厚さに蒸着し、保護膜 126 を形成する。続いて、フォトリソグラフィ工程により前

記保護膜 126 をエッチングしてソース/ドレイン電極 120、122 のうちの一つ、例えば、ドレイン電極 122 を露出させるピアホール 128 を形成する。

【0049】前記ピアホール 128 及び保護膜 126 上に ITO 又は IZO のような透明導電膜を蒸着し、これをフォトリソグラフィ工程によりパターニングすることにより、前記ピアホール 128 を通じて薄膜トランジスタ 125 のドレイン電極 122 と連結される画素電極 130 を形成する。前記画素電極 130 は有機 EL 素子 140 のアノード電極として用いられる。

【0050】続いて、図 2 に示したように、前記画素電極 130 及び保護膜 126 上に有機絶縁膜 132 を形成した後、露光及び現像工程で前記画素電極 130 の一部分を露出させる開口部 134 を形成する。

【0051】その後、前記開口部 134 上に正孔輸送層 (hole transfer layer; HTL) (図示せず)、発光層 136、電子輸送層 (electron transfer layer; ETL) (図示せず) を順に形成する。その後、結果物の全面に有機 EL 素子 140 のカソード電極として用いられる金属電極 138 を形成する。

【0052】図 8 は本発明の第 1 実施形態によるアクティブマトリックス型有機 EL 表示装置の平面図である。

【0053】図 8 に示すように、ゲートライン (g1)、データライン (d1) 及び電源供給線 (Vdd1) の三つの配線により限定された各々の画素領域毎に一つの薄膜トランジスタ (TFT)、一つのキャパシタ (図示せず) 及び有機 EL 素子を有する画素が配列される。前記電源供給線 (Vdd1) は全ての画素に同一の共通電圧 (Vdd) を印加して駆動用薄膜トランジスタ 30 を駆動するに必要である基準電圧を提供する。

【0054】このように、三つの配線により画素領域が限定されるアクティブマトリックス型有機 EL 表示装置において、画素電極 200 は全体パネル面積の 40% 程度を占める。従って、基板上の画素電極領域 200 を除外した全面、即ち薄膜トランジスタ (TFT) の下部及び三つの配線 (g1、d1、Vdd1) の下部にブラックマトリックス 300 のような低反射率の物質からなるパターンを形成すると、画素電極領域 200 以外の部分、即ち、非発光部分での外部光反射を最小化し、オフ状態でブラックを具現する。

【0055】図 9 は、本発明の第 2 実施形態によるアクティブマトリックス型有機 EL 表示装置の平面図である。

【0056】図 9 に示すように、二つのゲートライン (g1、g2)、データライン (d1) 及び電源供給線 (Vdd1) の四つの配線により限定された各々の画素領域毎に一つの薄膜トランジスタ (TFT)、一つ以上のキャパシタ (図示せず) 及び有機 EL 素子を含む画素が配列される。

*【0057】このように、四つの配線により画素領域が限定されるアクティブマトリックス型有機 EL 表示装置では、画素電極が占める面積がさらに減少され、画素電極領域 200 は全体パネル面積の 20% 程度となる。従って、基板上の画素電極領域 200 を除外した全面、即ち、薄膜トランジスタ (TFT) の下部及び四つの配線 (g1、g2、d1、Vdd1) の下部にブラックマトリックス 300 のような低反射率の物質からなるパターンを形成すると、画素電極領域 200 以外の部分、即ち、非発光部分での外部光反射を最小化し、オフ状態でブラックを具現することができる。

【0058】上述した実施形態では、薄膜トランジスタの下部及び金属配線の下部にブラックマトリックスを形成した場合を示したが、必要によって画素電極も低反射金属に形成して反射光を最小化することができる。しかし、この場合には、発光層から放出された光の 50% 以上を損失する問題がある。

【0059】以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できるであろう。

【0060】

【発明の効果】本発明によると、基板上の画素電極領域を除外した領域にブラックマトリックスのような反射率が低い物質からなるパターンを形成して画素電極以外の領域、即ち非発光領域から外部光が反射されることを最小化するので、高いコントラスト比を具現することができる。従って、開口率が低い場合にもオフ状態でブラックを十分に具現することができ、発光層から発光された光の損失を最小化することができる。

【0061】また、高価な偏光板を使用しないので、輝度増加と製造原価を節減することができる。

【図面の簡単な説明】

【図 1】 従来のアクティブマトリックス型有機 EL 表示装置の断面図である。

【図 2】 本発明によるアクティブマトリックス型有機 EL 表示装置の断面図である。

【図 3】 図 2 に示したアクティブマトリックス型有機 EL 表示装置の製造方法を説明するための断面図である。

【図 4】 図 2 に示したアクティブマトリックス型有機 EL 表示装置の製造方法を説明するための断面図である。

【図 5】 図 2 に示したアクティブマトリックス型有機 EL 表示装置の製造方法を説明するための断面図である。

【図 6】 図 2 に示したアクティブマトリックス型有機 EL 表示装置の製造方法を説明するための断面図である。

【符号の説明】

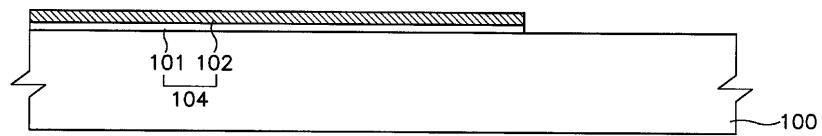
108 アクティブパターン

* 140 有機電界発光素子

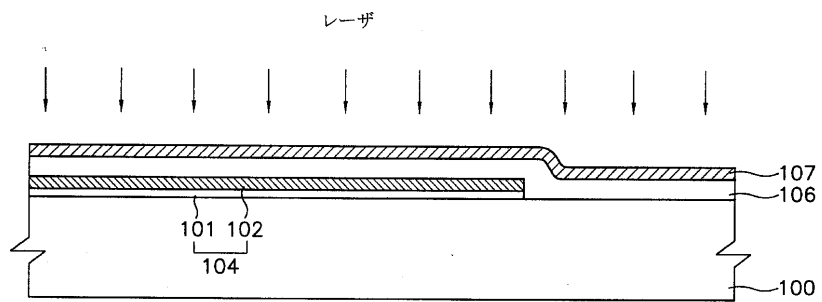
This cross-sectional view shows a semiconductor device with a trench isolation structure. The device includes a substrate (10) with a trench (14) filled with a material (18). A gate stack (20) is formed on the substrate, consisting of a gate oxide (12) and a gate layer (16). The gate stack is patterned to form a gate (26) and a gate spacer (28). A trench (30) is formed in the gate stack, and a trench isolation layer (32) is formed in the trench. A trench (34) is formed in the trench isolation layer, and a trench isolation layer (36) is formed in the trench. A trench (40) is formed in the trench isolation layer, and a trench isolation layer (42) is formed in the trench. A trench (44) is formed in the trench isolation layer, and a trench isolation layer (46) is formed in the trench. A trench (50) is formed in the trench isolation layer, and a trench isolation layer (52) is formed in the trench. The device is shown with a cross-section of a trench (14) and a trench (30) filled with a material (18). The device is shown with a cross-section of a trench (14) and a trench (30) filled with a material (18).

This cross-sectional view shows a semiconductor device with a substrate 100. A gate stack is formed on the substrate, consisting of a gate dielectric 106, a gate conductive layer 110, and a gate capping layer 114. The gate stack is patterned to form a gate 112. Source and drain regions 108 and 122 are formed in the substrate, with a channel region 110 between them. A gate spacer 116 is formed on the side of the gate 112. A source/drain spacer 128 is formed on the side of the source/drain regions. A protective layer 130 is formed on the top surface of the device. A contact pad 134 is formed on the top surface of the gate stack, and a contact pad 140 is formed on the top surface of the source/drain region. The device is shown in a cross-sectional view along a line 132.

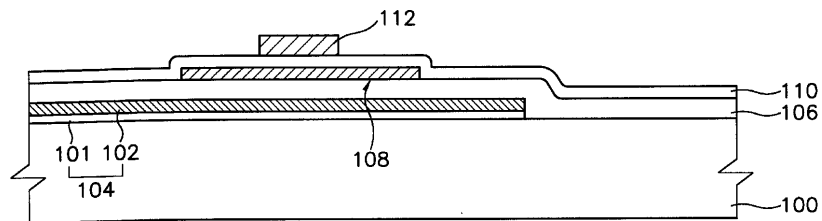
【図3】



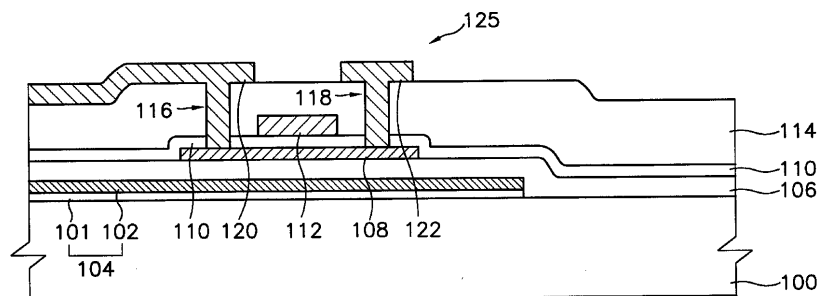
【図4】



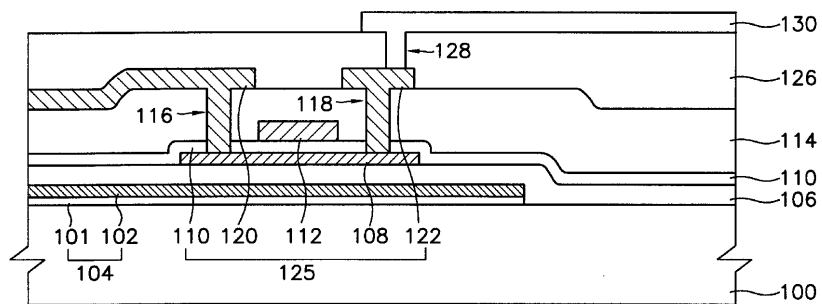
【図5】



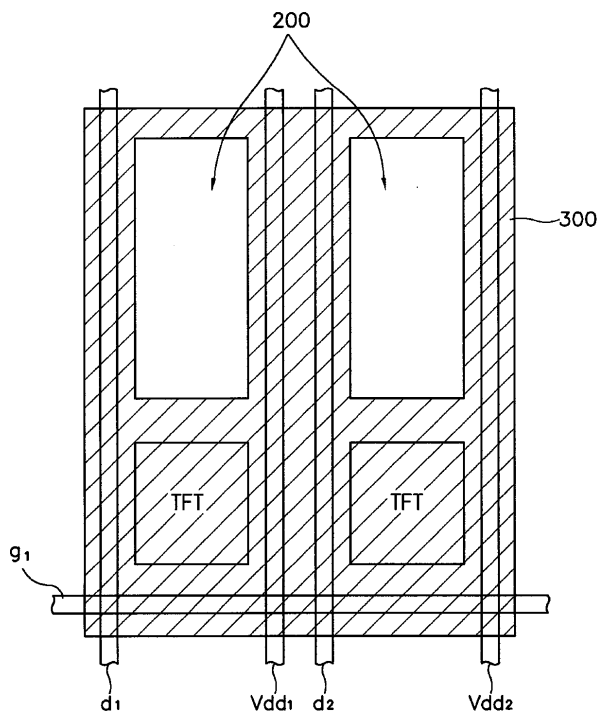
【図6】



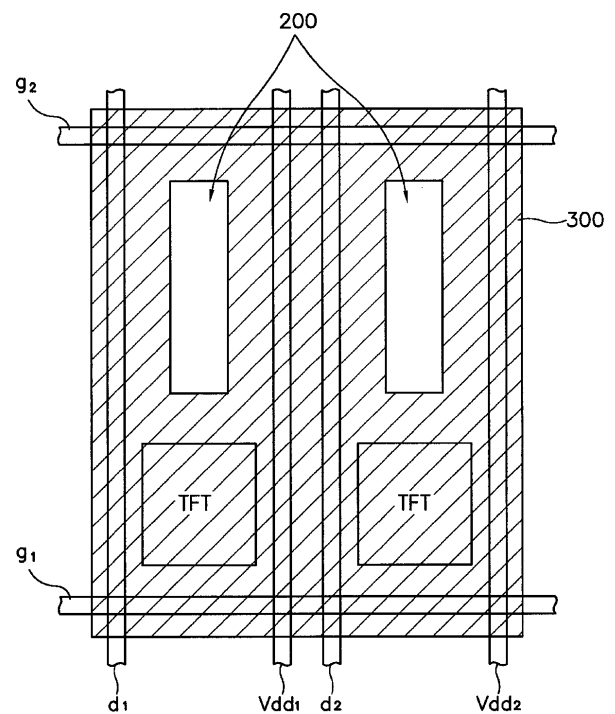
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.⁷

H 0 5 B 33/02
33/10

識別記号

F I

H 0 5 B 33/02
33/10

タームコード (参考)

F ターム(参考) 3K007 AB17 BA06 BB06 CA01 CA02
DB03 FA00
5C094 AA06 AA25 AA43 AA48 BA03
BA27 CA19 DA13 EA04 ED15
ED20 FA01 FA02 FB01 FB02
FB20 JA01 JA12

专利名称(译)	有源矩阵有机电致发光显示装置及其制造方法		
公开(公告)号	JP2003249370A	公开(公告)日	2003-09-05
申请号	JP2003039155	申请日	2003-02-18
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	崔凡洛 崔ジュン厚		
发明人	崔凡洛 崔 ▲ジュン ▼ 厚		
IPC分类号	H01L51/50 G09F9/30 H01L27/32 H01L51/52 H05B33/02 H05B33/10 H05B33/22 H05B33/14		
CPC分类号	H01L51/5284 H01L27/3244		
FI分类号	H05B33/14.A G09F9/30.338 G09F9/30.349.C G09F9/30.349.Z G09F9/30.365.Z H05B33/02 H05B33/10 G09F9/30.365 H01L27/32		
F-TERM分类号	3K007/AB17 3K007/BA06 3K007/BB06 3K007/CA01 3K007/CA02 3K007/DB03 3K007/FA00 5C094/AA06 5C094/AA25 5C094/AA43 5C094/AA48 5C094/BA03 5C094/BA27 5C094/CA19 5C094/DA13 5C094/EA04 5C094/ED15 5C094/ED20 5C094/FA01 5C094/FA02 5C094/FB01 5C094/FB02 5C094/FB20 5C094/JA01 5C094/JA12 3K107/AA01 3K107/BB01 3K107/CC05 3K107/CC32 3K107/DD39 3K107/DD90 3K107/EE03 3K107/EE27 3K107/FF06 3K107/FF15 3K107/GG04		
优先权	1020020009071 2002-02-20 KR		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种有源矩阵型有机EL显示器及其制造方法。薄膜晶体管（125），用于驱动薄膜晶体管（125）的金属布线，连接至该薄膜晶体管（125）的像素电极（130）以及形成在像素电极（130）上的发光层（136）与像素电极（130）不重叠。因此，形成了由具有低反射率的材料制成的图案104。通过使来自像素电极130以外的区域，即非发光区域的外部光的反射最小，可以实现高对比度。

