



## (12)发明专利申请

(10)申请公布号 CN 111462679 A

(43)申请公布日 2020.07.28

(21)申请号 202010298984.1

(22)申请日 2020.04.16

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 岳晗 刘冬妮

(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112

代理人 柴亮 姜春咸

(51)Int.Cl.

G09G 3/32(2016.01)

G09G 3/3233(2016.01)

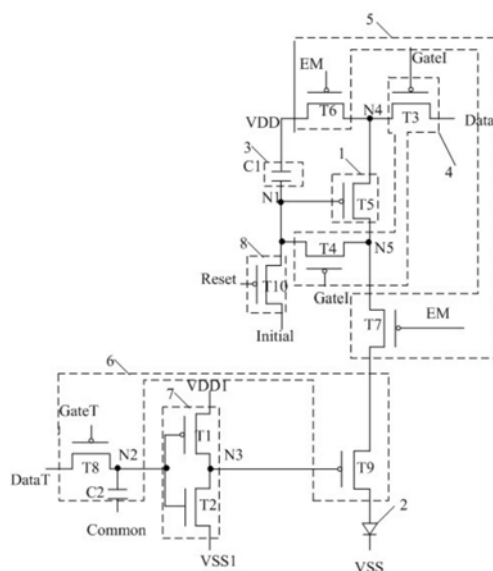
权利要求书2页 说明书7页 附图5页

### (54)发明名称

像素驱动电路及其驱动方法、显示面板

### (57)摘要

本发明提供一种像素驱动电路及其驱动方法、显示面板,属于显示技术领域,其可至少部分解决现有的有机发光二极管显示装置的像素驱动电路对发光时长的调节方式的调节精度低的问题。本发明的一种像素驱动电路,包括:驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、时长控制单元以及反相单元;写入补偿单元,用于通过存储单元的调节向驱动单元写入数据线端的数据信号以及补偿数据;电流控制单元,用于通过控制驱动单元而控制流过发光单元的电流大小;时长控制单元,用于根据第一数据线端和第一栅线端的信号控制发光单元的发光时长;反相单元,用于调节时长控制单元对发光单元的发光时长的控制。



1. 一种像素驱动电路,其特征在于,包括:驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、时长控制单元以及反相单元;

所述驱动单元,用于驱动所述发光单元进行发光;

所述存储单元的第一端连接第一电压端,其第二端连接第一节点;

所述写入补偿单元,用于通过所述存储单元的调节向所述驱动单元写入数据线端的数据信号以及补偿数据;

所述电流控制单元,用于通过控制所述驱动单元而控制流过所述发光单元的电流大小;

所述时长控制单元,用于根据第一数据线端和第一栅线端的信号控制所述发光单元的发光时长;

所述反相单元,用于调节所述时长控制单元对所述发光单元的发光时长的控制。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述反相单元包括:

第一晶体管,其栅极连接第二节点,第一极连接第二电压端,第二极连接第三节点;

第二晶体管,其栅极连接第二节点,第一极连接第三节点,第二极连接第三电压端,所述第一晶体管和所述第二晶体管中的一者为N型晶体管,另一者为P型晶体管。

3. 根据权利要求1所述的像素驱动电路,其特征在于,所述反相单元包括级联的至少两个反相子单元,每个所述反相子单元包括:第一晶体管和第二晶体管,所述第一晶体管的第一极连接第二电压端;所述第二晶体管的第一极连接所述第一晶体管的第二极,所述第二晶体管的第二极连接第三电压端,每个所述反相子单元中的第一晶体管和第二晶体管的栅极均连接前一所述反相子单元中的第一晶体管的第二极,第一个所述反相子单元中的第一晶体管和第二晶体管的栅极均连接第二节点,最后一个所述反相子单元中的第一晶体管的第二极连接第三节点。

4. 根据权利要求2或3所述的像素驱动电路,其特征在于,所述写入补偿单元包括:

第三晶体管,其栅极连接第二栅线端,第一极连接第四节点,第二极连接第二数据线端;

第四晶体管,其栅极连接第二栅线端,第一极连接第一节点,第二极连接第五节点。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述驱动单元包括:第五晶体管,其栅极连接第一节点,第一极连接第四节点,第二极连接第五节点。

6. 根据权利要求5所述的像素驱动电路,其特征在于,所述电流控制单元包括:

第六晶体管,其栅极连接信号端,第一极连接第一电压端,第二极连接第四节点;

第七晶体管,其栅极连接信号端,第一极连接第五节点。

7. 根据权利要求6所述的像素驱动电路,其特征在于,所述存储单元包括:第一电容,其第一极连接第一电压端,第二极连接第一节点。

8. 根据权利要求7所述的像素驱动电路,其特征在于,所述时长控制单元包括:

第八晶体管,其栅极连接第一栅线端,第一极连接第一数据线端,第一极连接第二节点;

第二电容,其第一极连接第三节点,第二极连接第四电压端;

第九晶体管,其栅极连接第三节点,第一极连接所述第七晶体管的第二极,第二极连接所述发光单元。

9. 根据权利要求8所述的像素驱动电路,其特征在于,还包括:重置单元,用于通过第五电压端和重置端的信号调节第一节点的电压,所述重置单元包括第十晶体管,其栅极连接重置端,第一极连接第一节点,第一极连接第五电压端。

10. 一种像素驱动方法,其特征在于,基于权利要求1至9任意一项所述的像素驱动电路,所述像素驱动方法包括:

在第一数据写入阶段中,所述写入补偿单元通过所述存储单元的调节向所述驱动单元写入第二数据线端的第二数据信号以及补偿数据;

在第二数据写入阶段中,所述时长控制单元根据第一栅线端的信号将第一数据线端的第一数据信号写入第二节点;

在显示阶段中,所述电流控制单元通过控制所述驱动单元而控制流过所述发光单元的电流大小;所述时长控制单元根据第一数据线端和第一栅线端的信号控制所述发光单元的发光时长,所述反相单元调节所述时长控制单元对所述发光单元的发光时长的控制。

11. 根据权利要求10所述的像素驱动方法,其特征在于,所述像素驱动电路为权利要求9所述的像素驱动电路,所述像素驱动方法具体包括:

重置阶段,向所述第五电压端输入重置信号,向所述重置端输入导通信号,向所述第一栅线端、第二栅线端、信号端输入关断信号;

第一数据写入阶段,向所述第二数据线端输入第二数据线号,向所述第二栅线端输入导通信号,向所述重置端、信号端、第一栅线端输入关断信号;

第二数据写入阶段,向所述第一数据线端输入第一数据线号,向所述第一栅线端输入导通信号,向所述重置端、信号端、第二栅线端输入关断信号;

显示阶段,向所述第一电压端输入显示信号,向第四电压端输入时长控制信号,向所述信号端输入导通信号,向所述重置端、第一栅线端、第二栅线端输入关断信号。

12. 一种显示面板,其特征在于,包括多个像素驱动电路,所述像素驱动电路为权利要求1至9中任意一项的像素驱动电路。

## 像素驱动电路及其驱动方法、显示面板

### 技术领域

[0001] 本发明属于显示技术领域，具体涉及一种像素驱动电路及其驱动方法、显示面板。

### 背景技术

[0002] 相对于有机发光二极管 (OLED) 显示装置而言，微型发光二极管显示装置，如 Micro-LED 显示装置，具有驱动电压低、寿命长、耐宽温等优势，因此，微型发光二极管显示装置得到越来越多的关注。

[0003] 现有技术的一种 Micro-LED 显示装置的像素驱动电路中，是通过控制驱动电流和显示元件的发光时长来控制显示元件的显示灰阶的。

[0004] 然而，由于发光时长控制单元中的晶体管的本身的性质，使得有上述方式实现的对发光时长的调节方式的调节精度低，不利于对发光时长准确地控制。

### 发明内容

[0005] 本发明至少部分解决现有的有机发光二极管显示装置的像素驱动电路对发光时长的调节方式的调节精度低的问题，提供一种对发光时长的调节方式的调节精度高的像素驱动电路。

[0006] 解决本发明技术问题所采用的技术方案是一种像素驱动电路，包括：驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、时长控制单元以及反相单元；

[0007] 所述驱动单元，用于驱动所述发光单元进行发光；

[0008] 所述存储单元的第一端连接第一电压端，其第二端连接第一节点；

[0009] 所述写入补偿单元，用于通过所述存储单元的调节向所述驱动单元写入数据线端的数据信号以及补偿数据；

[0010] 所述电流控制单元，用于通过控制所述驱动单元而控制流过所述发光单元的电流大小；

[0011] 所述时长控制单元，用于根据第一数据线端和第一栅线端的信号控制所述发光单元的发光时长；

[0012] 所述反相单元，用于调节所述时长控制单元对所述发光单元的发光时长的控制。

[0013] 进一步优选的是，所述反相单元包括：第一晶体管，其栅极连接第二节点，第一极连接第二电压端，第二极连接第三节点；第二晶体管，其栅极连接第二节点，第一极连接第三节点，第二极连接第三电压端，所述第一晶体管和所述第二晶体管中的一者为 N 型晶体管，另一者为 P 型晶体管。

[0014] 进一步优选的是，所述反相单元包括级联的至少两个反相子单元，每个所述反相子单元包括：第一晶体管和第二晶体管，所述第一晶体管的第一极连接第二电压端；所述第二晶体管的第一极连接所述第一晶体管的第二极，所述第二晶体管的第二极连接第三电压端，每个所述反相子单元中的第一晶体管和所述第二晶体管的栅极均连接前一所述反相子单元中的第一晶体管的第二极，第一个所述反相子单元中的第一晶体管和所述第二晶体管的栅极均

连接第二节点,最后一个所述反相子单元中的第一晶体管的第二极连接第三节点。

[0015] 进一步优选的是,所述写入补偿单元包括:第三晶体管,其栅极连接第二栅线端,第一极连接第四节点,第二极连接第二数据线端;第四晶体管,其栅极连接第二栅线端,第一极连接第一节点,第二极连接第五节点。

[0016] 进一步优选的是,所述驱动单元包括:第五晶体管,其栅极连接第一节点,第一极连接第四节点,第二极连接第五节点。

[0017] 进一步优选的是,所述电流控制单元包括:第六晶体管,其栅极连接信号端,第一极连接第一电压端,第二极连接第四节点;第七晶体管,其栅极连接信号端,第一极连接第五节点。

[0018] 进一步优选的是,所述存储单元包括:第一电容,其第一极连接第一电压端,第二极连接第一节点。

[0019] 进一步优选的是,所述时长控制单元包括:第八晶体管,其栅极连接第一栅线端,第一极连接第一数据线端,第一极连接第二节点;第二电容,其第一极连接第三节点,第二极连接第四电压端;第九晶体管,其栅极连接第三节点,第一极连接所述第七晶体管的第二极,第二极连接所述发光单元。

[0020] 进一步优选的是,该像素驱动电路还包括:重置单元,用于通过第五电压端和重置端的信号调节第一节点的电压,所述重置单元包括第十晶体管,其栅极连接重置端,第一极连接第一节点,第一极连接第五电压端。

[0021] 解决本发明技术问题所采用的技术方案是一种像素驱动方法,基于上述的像素驱动电路,所述像素驱动方法包括:

[0022] 在第一数据写入阶段中,所述写入补偿单元通过所述存储单元的调节向所述驱动单元写入第二数据线端的第二数据信号以及补偿数据;

[0023] 在第二数据写入阶段中,所述时长控制单元根据第一栅线端的信号将第一数据线端的第一数据信号写入第二节点;

[0024] 在显示阶段中,所述电流控制单元通过控制所述驱动单元而控制流过所述发光单元的电流大小;所述时长控制单元根据第一数据线端和第一栅线端的信号控制所述发光单元的发光时长,所述反相单元调节所述时长控制单元对所述发光单元的发光时长的控制。

[0025] 进一步优选的是,所述像素驱动方法具体包括:重置阶段,向所述第五电压端输入重置信号,向所述重置端输入导通信号,向所述第一栅线端、第二栅线端、信号端输入关断信号;第一数据写入阶段,向所述第二数据线端输入第二数据信号,向所述第二栅线端输入导通信号,向所述重置端、信号端、第一栅线端输入关断信号;第二数据写入阶段,向所述第一数据线端输入第一数据信号,向所述第一栅线端输入导通信号,向所述重置端、信号端、第二栅线端输入关断信号;显示阶段,向所述第一电压端输入显示信号,向第四电压端输入时长控制信号,向所述信号端输入导通信号,向所述重置端、第一栅线端、第二栅线端输入关断信号。

[0026] 解决本发明技术问题所采用的技术方案是一种显示面板,包括多个像素驱动电路,所述像素驱动电路为上述的像素驱动电路。

## 附图说明

[0027] 附图是用来提供对本发明的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本发明,但并不构成对本发明的限制。在附图中:

[0028] 图1a为现有的像素驱动电路的结构示意图;

[0029] 图1b为现有的像素驱动电路中第九晶体管延后关断的示意图;

[0030] 图2为本发明的实施例的一种像素驱动电路的结构示意图;

[0031] 图3为本发明的实施例的一种像素驱动电路的结构示意图;

[0032] 图4为本发明的实施例的一种像素驱动电路的结构示意图;

[0033] 图5为本发明的实施例的一种像素驱动电路的时序图;

[0034] 图6为本发明的实施例的一种像素驱动电路中第九晶体管正常关断的示意图;

[0035] 其中,附图标记为:1、驱动单元;2、发光单元;3、存储单元;4、写入补偿单元;5、电流控制单元;6、时长控制单元;7、反相单元;8、重置单元;GateT、第一栅线端;GateI、第二栅线端;DataT、第一数据线端;DataI、第二数据线端;EM、信号端;Reset、重置端;VDD、第一电压端;VDD1、第二电压端;VSS1、第三电压端;Common、第四电压端;Initial、第五电压端;VSS、第六电压端;T1、第一晶体管;T2、第二晶体管;T3、第三晶体管;T4、第四晶体管;T5、第五晶体管;T6、第六晶体管;T7、第七晶体管;T8、第八晶体管;T9、第九晶体管;T10、第十晶体管;N1、第一节点;N2、第二节点;N3、第三节点;N4、第四节点;N5、第五节点;C1、第一电容;C2、第二电容;t1、重置阶段;t2、第一数据写入阶段;t3、第二数据写入阶段;t4、显示阶段。

## 具体实施方式

[0036] 为使本领域技术人员更好地理解本发明的技术方案,下面结合附图和具体实施方式对本发明作进一步详细描述。

[0037] 以下将参照附图更详细地描述本发明。在各个附图中,相同的元件采用类似的附图标记来表示。为了清楚起见,附图中的各个部分没有按比例绘制。此外,在图中可能未示出某些公知的部分。

[0038] 在下文中描述了本发明的许多特定的细节,例如部件的结构、材料、尺寸、处理工艺和技术,以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样,可以不按照这些特定的细节来实现本发明。

[0039] 实施例1:

[0040] 如图1a至图6所示,本实施例提供一种像素驱动电路,包括:驱动单元1、发光单元2、存储单元3、写入补偿单元4、电流控制单元5、时长控制单元6以及反相单元7;

[0041] 驱动单元1,用于驱动发光单元2进行发光;

[0042] 存储单元3的第一端连接第一电压端VDD,其第二端连接第一节点N1;

[0043] 写入补偿单元4,用于通过存储单元3的调节向驱动单元1写入数据线端的数据信号以及补偿数据;

[0044] 电流控制单元5,用于通过控制驱动单元1而控制流过发光单元2的电流大小;

[0045] 时长控制单元6,用于根据第一数据线端DataT和第一栅线端GateT的信号控制发光单元2的发光时长;

[0046] 反相单元7,用于调节时长控制单元6对发光单元2的发光时长的控制。

[0047] 此外,本实施例中的发光单元2可以是现有技术中包括Micro-LED (Micro Light Emitting Diode,微发光二极管)或OLED (Organic Light Emitting Diode,有机发光二极管)在内的电流驱动的发光器件,在本实施例中是以Micro-LED为例进行的说明。

[0048] 本实施例的像素驱动电路中,通过设置反相单元7使得时长控制单元6能够更精确地控制发光单元2的发光时长,从而提高像素驱动电路的性能。

[0049] 具体的,如图2所示,一种情况为,反相单元7包括:第一晶体管T1,其栅极连接第二节点N2,第一极连接第二电压端VDD1,第二极连接第三节点N3;第二晶体管T2,其栅极连接第二节点N2,第一极连接第三节点N3,第二极连接第三电压端VSS1,第一晶体管T1和第二晶体管T2中的一者为N型晶体管,另一者为P型晶体管。

[0050] 如图3和图4所示,另一种情况为,反相单元7包括级联的至少两个反相子单元,每个反相子单元包括:第一晶体管T1和第二晶体管T2,第一晶体管T1的第一极连接第二电压端VDD1;第二晶体管T2的第一极连接第一晶体管T1的第二极,第二晶体管T2的第二极连接第三电压端VSS1,每个反相子单元中的第一晶体管T1和第二晶体管T2的栅极均连接前一反相子单元中的第一晶体管T1的第二极,第一个反相子单元中的第一晶体管T1和第二晶体管T2的栅极均连接第二节点N2,最后一个反相子单元中的第一晶体管T1的第二极连接第三节点。

[0051] 写入补偿单元4包括:第三晶体管T3,其栅极连接第二栅线端GateI,第一极连接第四节点N4,第二极连接第二数据线端DataI;第四晶体管T4,其栅极连接第二栅线端GateI,第一极连接第一节点N1,第二极连接第五节点N5。

[0052] 驱动单元1包括:第五晶体管T5,其栅极连接第一节点N1,第一极连接第四节点N4,第二极连接第五节点N5。

[0053] 电流控制单元5包括:第六晶体管T6,其栅极连接信号端EM,第一极连接第一电压端VDD,第二极连接第四节点N4;第七晶体管T7,其栅极连接信号端EM,第一极连接第五节点N5。

[0054] 存储单元3包括:第一电容C1,其第一极连接第一电压端VDD,第二极连接第一节点N1。

[0055] 时长控制单元6包括:第八晶体管T8,其栅极连接第一栅线端GateT,第一极连接第一数据线端DataT,第一极连接第二节点N2;第二电容C2,其第一极连接第三节点N3,第二极连接第四电压端Common;第九晶体管T9,其栅极连接第三节点N3,第一极连接第七晶体管T7的第二极,第二极连接发光单元2。

[0056] 本实施例的像素驱动电路还包括:重置单元8,用于通过第五电压端Initial和重置端Reset的信号调节第一节点N1的电压,重置单元8包括第十晶体管T10,其栅极连接重置端Reset,第一极连接第一节点N1,第一极连接第五电压端Initial。

[0057] 优选的,除第一晶体管T1和第二晶体管T2之外,所有晶体管均为N型晶体管;或者,所有晶体管均为P型晶体管。

[0058] 需要说明的是,现有技术中有一种像素驱动电路,如图1a和图1b所示,控制发光单元2的发光时长过程为:在第二电容C2的作用下,通过第四电压端Common的电压的变化,以改变第九晶体管T9的栅极的电压,从而控制第九晶体管T9的导通或者关断,进而控制发光单元2的发光时长。然而,由于晶体管的制作工艺导致晶体管转移特性曲线较为平缓,当向

第九晶体管T9的栅极输入关断电压时,第九晶体管T9不能及时关断而产生延后关断的现象(翘尾现象),这样就导致像素驱动电路对发光时长的调节方式的调节精度低的问题。

[0059] 实际上,如图1b所示,由于晶体管的非理想状态,在阈值电压 $V_{th}$ 附近,并非完全打开或关闭状态,这段电压处于无效状态,定义为 $\Delta V_{fail}$ 。时长控制单元6的精度必须大于 $\Delta V_{fail}$ 才能提高控制精度。

[0060] 而本实施例的像素驱动电路中,在第四电压端Common的电压升高或下降的过程中使第一晶体管T1和第二晶体管T2交替开启形成脉冲电压,可以避免第九晶体管T9不能及时关断而产生延后关断的现象(翘尾现象),即通过设置反相单元7使得时长控制单元6能够更精确地控制发光单元2的发光时长,从而提高像素驱动电路的性能。

[0061] 实施例2:

[0062] 如图1a至图6所示,本实施例提供一种像素驱动方法,基于实施例1的像素驱动电路,像素驱动方法包括:

[0063] 在第一数据写入阶段t2中,写入补偿单元4通过存储单元3的调节向驱动单元1写入第二数据线端DataI的第二数据信号以及补偿数据。

[0064] 在第二数据写入阶段t3中,时长控制单元6根据第一栅线端GateT的信号将第一数据线端DataT的第一数据信号写入第二节点N2。

[0065] 在显示阶段t4中,电流控制单元5通过控制驱动单元1而控制流过发光单元2的电流大小;时长控制单元6根据第一数据线端DataT和第一栅线端GateT的信号控制发光单元2的发光时长,反相单元7调节时长控制单元6对发光单元2的发光时长的控制。

[0066] 具体的,该方法中,第一电压端VDD用于提供工作电压,第六电压端VSS用于提供参考电压;该方法具体包括:

[0067] S11、重置阶段t1,向第五电压端Initial输入重置信号,向重置端Reset输入导通信号,向第一栅线端GateT、第二栅线端GateI、信号端EM输入关断信号。

[0068] 其中,导通信号是指加载在晶体管栅极上时可使晶体管导通的信号,而关断信号是指加载在晶体管栅极上时可使晶体管关断的信号。

[0069] 需要说的是,以下除第一晶体管T1和第二晶体管T2之外,以所有晶体管均是P型晶体管为例进行说明,故其中导通信号为低电平信号,关断信号为高电平信号。

[0070] 如图2至图5所示,在本阶段中,也就是说,向第一栅线端GateT输入高电平,使得第八晶体管T8关断;向第二栅线端GateI输入高电平,使得第三晶体管T3和第四晶体管T4关断;向信号端EM输入高电平,使得第六晶体管T6和第七晶体管T7关断。向重置端Reset输入低电平,第十晶体管T10导通,第五电压端Initial的重置信号写入第一节点N1,进而使得初始信号写入第一电容C1。

[0071] S12、第一数据写入阶段t2,向第二数据线端DataI输入第二数据信号,向第二栅线端GateI输入导通信号,向重置端Reset、信号端EM、第一栅线端GateT输入关断信号。

[0072] 如图2至图5所示,在本阶段中,也就是说,向重置端Reset输入高电平,使得第十晶体管T10关断;向第一栅线端GateT输入高电平,使得第八晶体管T8关断;向信号端EM输入高电平,使得第六晶体管T6和第七晶体管T7关断。向第二栅线端GateI输入低电平,第三晶体管T3和第四晶体管T4导通。由于第一电容C1的作用第五晶体管T5导通,这样当第三晶体管T3和第四晶体管T4导通,第二数据线端DataI的第二数据信号依次经过第三晶体管T3、第五



晶体管T5、第四晶体管T4写入第一节点N1,同时补偿数据也写入第一节点N1,即存储至第一电容C1中。

[0073] S13、第二数据写入阶段t3,向第一数据线端DataT输入第一数据线号,向第一栅线端GateT输入导通信号,向重置端Reset、信号端EM、第二栅线端GateI输入关断信号。

[0074] 如图2至图5所示,在本阶段中,也就是说,向重置端Reset输入高电平,使得第十晶体管T10关断;向第二栅线端GateI输入高电平,使得第三晶体管T3和第四晶体管T4关断;向信号端EM输入高电平,使得第六晶体管T6和第七晶体管T7关断。向第一栅线端GateT输入低电平,使得第八晶体管T8导通,第一数据线端DataT的第一数据信号经过第八晶体管T8写入第二节点N2,即存储至第二电容C2中。

[0075] S14、显示阶段t4,向第一电压端VDD输入显示信号,向第四电压端Common输入时长控制信号,向信号端EM输入导通信号,向重置端Reset、第一栅线端GateT、第二栅线端GateI输入关断信号。

[0076] 如图2至图5所示,在本阶段中,也就是说,向重置端Reset输入高电平,使得第十晶体管T10关断;向第一栅线端GateT输入高电平,使得第八晶体管T8关断;向第二栅线端GateI输入高电平,使得第三晶体管T3和第四晶体管T4关断。向信号端EM输入低电平,使得第六晶体管T6和地七晶体管导通。由于第一电容C1的作用第五晶体管T5保持导通。且由于第二电容C2的作用,使得反相单元7中的第一晶体管T1或者第二晶体管T2导通,以使第九晶体管T9导通。因此,第一电压端VDD的显示信号依次经过第六晶体管T6、第五晶体管T5、第七晶体管T7、第九晶体管T9最终写入至发光单元2,使得发光单元2正常发光。

[0077] 需要说明的是,在该阶段中,反相单元7通过读取第二电容C2中的第二数据信号,使得第一晶体管T1和第二晶体管T2交替开启形成脉冲电压,可以避免第九晶体管T9不能及时关断而产生延后关断的现象(翘尾现象),即通过设置反相单元7使得时长控制单元6能够更精确地控制发光单元2的发光时长,从而提高像素驱动电路的性能。

[0078] 实施例3:

[0079] 本实施例提供一种显示面板,包括多个像素驱动电路,该像素驱动电路为上述的像素驱动电路。

[0080] 具体的,该显示面板可为微发光二极管(Micro-LED)显示面板、有机发光二极管(OLED)显示面板、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0081] 应当说明的是,在本文中,诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来,而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0082] 依照本发明的实施例如上文所述,这些实施例并没有详尽叙述所有的细节,也不限制该发明仅为所述的具体实施例。显然,根据以上描述,可作很多的修改和变化。本说明书选取并具体描述这些实施例,是为了更好地解释本发明的原理和实际应用,从而使所属

技术领域技术人员能很好地利用本发明以及在本发明基础上的修改使用。本发明仅受权利要求书及其全部范围和等效物的限制。



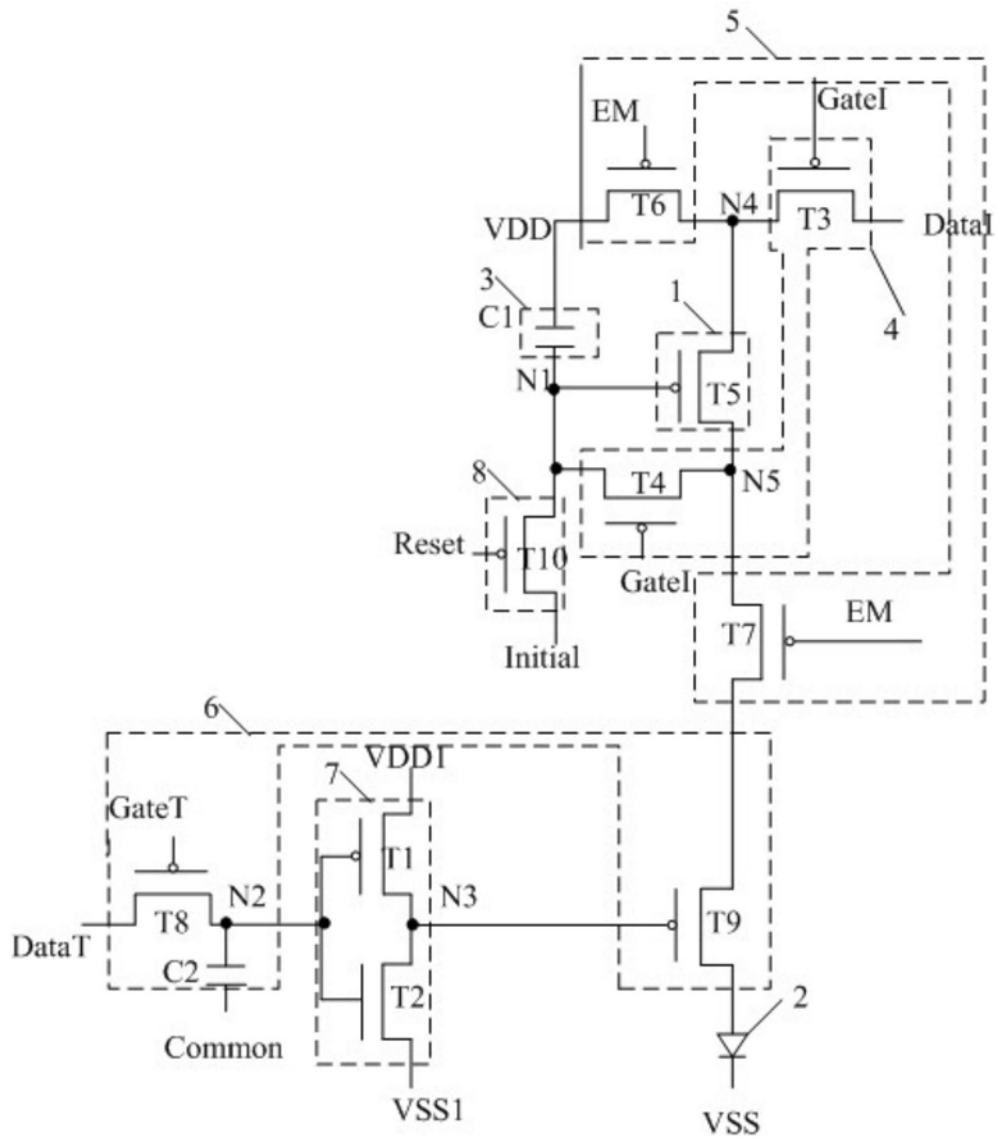


图2

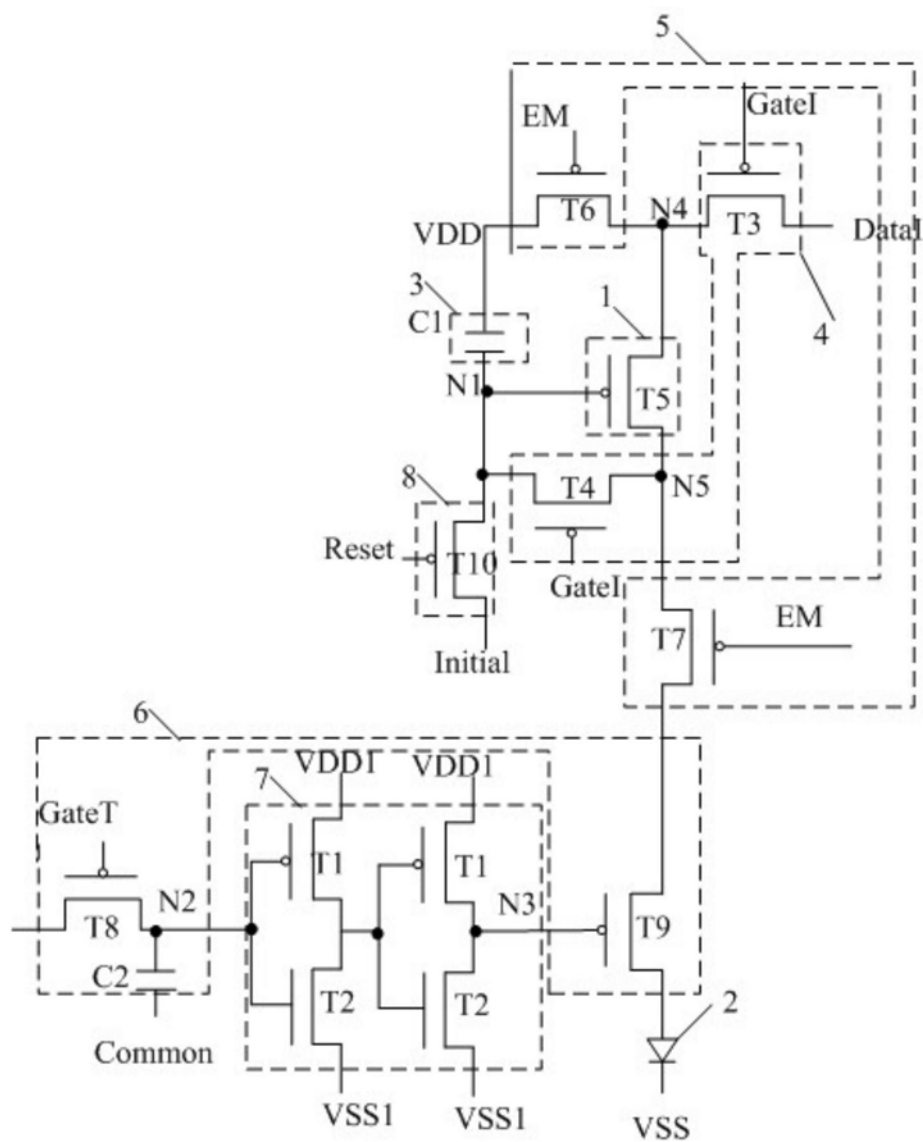


图3

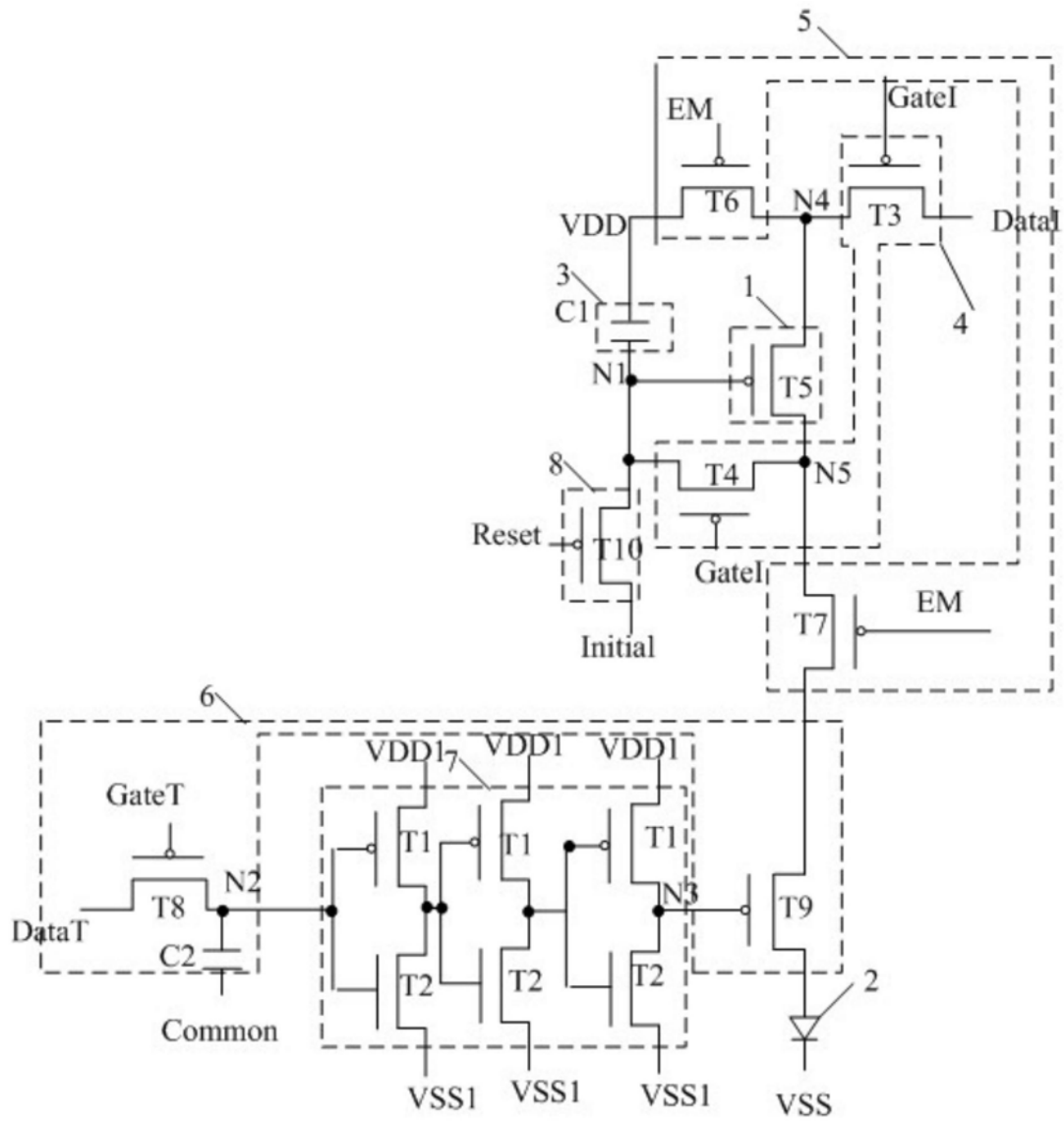


图4

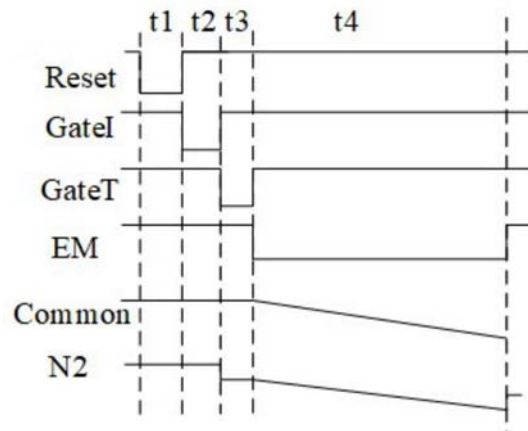


图5

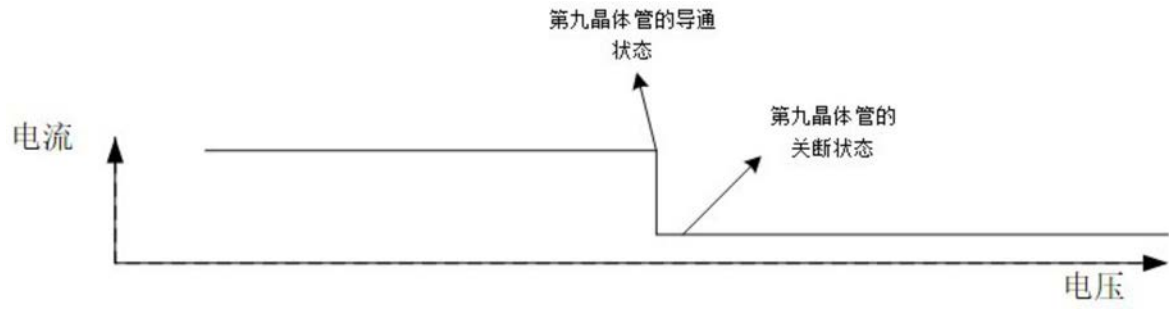


图6

专利名称(译)	像素驱动电路及其驱动方法、显示面板		
公开(公告)号	<a href="#">CN111462679A</a>	公开(公告)日	2020-07-28
申请号	CN202010298984.1	申请日	2020-04-16
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	岳晗 刘冬妮		
发明人	岳晗 刘冬妮		
IPC分类号	G09G3/32 G09G3/3233		
代理人(译)	柴亮		
外部链接	<a href="#">SIPO</a>		

#### 摘要(译)

本发明提供一种像素驱动电路及其驱动方法、显示面板，属于显示技术领域，其可至少部分解决现有的有机发光二极管显示装置的像素驱动电路对发光时长的调节方式的调节精度低的问题。本发明的一种像素驱动电路，包括：驱动单元、发光单元、存储单元、写入补偿单元、电流控制单元、时长控制单元以及反相单元；写入补偿单元，用于通过存储单元的调节向驱动单元写入数据线端的数据信号以及补偿数据；电流控制单元，用于通过控制驱动单元而控制流过发光单元的电流大小；时长控制单元，用于根据第一数据线端和第一栅线端的信号控制发光单元的发光时长；反相单元，用于调节时长控制单元对发光单元的发光时长的控制。

