



(12)发明专利申请

(10)申请公布号 CN 111445849 A

(43)申请公布日 2020.07.24

(21)申请号 202010364864.7

(22)申请日 2020.04.30

(71)申请人 京东方科技股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 王志冲 李付强 冯京 刘鹏

栾兴龙 袁广才

(74)专利代理机构 北京同达信恒知识产权代理

有限公司 11291

代理人 于本双

(51)Int.Cl.

G09G 3/3208(2016.01)

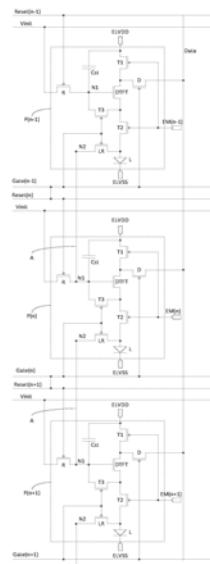
权利要求书2页 说明书7页 附图4页

(54)发明名称

一种阵列基板、电致发光显示面板及显示装置

(57)摘要

本发明公开了一种阵列基板、电致发光显示面板及显示装置，包括阵列排布的多个子像素，在一列子像素中，对于至少相邻的两个子像素，将上一行子像素的像素电路中阳极复位晶体管的第一端设置为与下一行子像素的像素电路中的驱动晶体管的栅极电连接，从而减少了阵列基板中的信号线，提高空间利用率。



1. 一种阵列基板，其特征在于，包括阵列排布的多个子像素；所述子像素包括像素电路和发光器件；

所述像素电路包括驱动晶体管和阳极复位晶体管；所述阳极复位晶体管的控制端与扫描信号端电连接，所述阳极复位晶体管的第二端与所述发光器件的阳极电连接；

在一列所述子像素中，对于至少相邻的两个子像素，上一行子像素中的阳极复位晶体管的第一端与下一行子像素中的驱动晶体管的栅极电连接。

2. 如权利要求1所述的阵列基板，其特征在于，在一列所述子像素中，对于每相邻的两个子像素，上一行子像素中的所述阳极复位晶体管的第一端与下一行子像素中的驱动晶体管的栅极电连接。

3. 如权利要求2所述的阵列基板，其特征在于，所述阵列基板还包括多条复位信号线、多条扫描信号线以及初始化信号线；其中，一行所述子像素对应一条所述扫描信号线和一条复位信号线；

所述阳极复位晶体管的控制端与所述扫描信号线电连接；

所述像素电路还包括复位晶体管，所述复位晶体管的第一端与所述初始化信号线电连接，所述复位晶体管的控制端与所述复位信号线电连接，所述复位晶体管的第二端与所述驱动晶体管的栅极电连接。

4. 如权利要求3所述的阵列基板，其特征在于，在一列所述子像素中，对于相邻的两个子像素，上一行子像素对应的扫描信号线与下一行子像素对应的复位信号线电连接。

5. 如权利要求3所述的阵列基板，其特征在于，所述阵列基板还包括多条数据信号线；所述像素电路还包括数据写入晶体管，所述数据写入晶体管的第一端与所述数据信号线电连接，所述数据写入晶体管的控制端与所述扫描信号线电连接，所述数据写入晶体管的第二端与所述驱动晶体管的第一极电连接；一列所述子像素对应电连接一条数据信号线。

6. 如权利要求5所述的阵列基板，其特征在于，还包括多个连接线；

上一行子像素中的所述阳极复位晶体管的第一端与下一行子像素中的驱动晶体管的栅极通过一个所述连接线电连接。

7. 如权利要求1-6任一项所述的阵列基板，其特征在于，所述像素电路还包括：第一开关晶体管、第二开关晶体管，第三开关晶体管以及存储电容；其中：

所述第一开关晶体管的第一端与第一电源端电连接，所述第一开关晶体管的控制端与发光控制信号端电连接，所述第一开关晶体管的第二端与所述驱动晶体管的第一极电连接；

所述第二开关晶体管的第一端与所述驱动晶体管的第二极电连接，所述第二开关晶体管的控制端与发光控制信号端电连接，所述第二开关晶体管的第二端与所述发光器件的阳极电连接；

所述第三开关晶体管的第一端与所述驱动晶体管的栅极电连接，所述第三开关晶体管的控制端与所述扫描信号线电连接，所述第三开关晶体管的第二端与所述驱动晶体管的第一极电连接；

所述存储电容的第一端与所述第一电源端电连接，所述存储电容的第二端与所述驱动晶体管的栅极电连接。

8. 如权利要求7所述的阵列基板，其特征在于，所有的晶体管均为P型晶体管；或者，所

有的晶体管均为N型晶体管。

9.一种电致发光显示面板，其特征在于，包括如权1-8任一项所述的阵列基板。

10.一种显示装置，其特征在于，包括如权9所述的电致发光显示面板。

一种阵列基板、电致发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种阵列基板、电致发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)面板具有可弯曲,对比度高,功耗低等特点,受到了广泛关注。其中,像素电路是OLED面板核心技术内容,具有重要研究意义。通常为了满足像素电路的复位以及像素发光均匀的需求,像素电路通常需要连接多条信号线。

发明内容

[0003] 本发明实施例提供一种阵列基板、电致发光显示面板及显示装置,可以减少阵列基板中的走线,提高空间利用率。

[0004] 因此,本发明实施例提供了一种阵列基板,包括阵列排布的多个子像素;所述子像素包括像素电路和发光器件;

[0005] 所述像素电路包括驱动晶体管和阳极复位晶体管;所述阳极复位晶体管的控制端与扫描信号端电连接,所述阳极复位晶体管的第二端与所述发光器件的阳极电连接;

[0006] 在一列所述子像素中,对于至少相邻的两个子像素,上一行子像素中的阳极复位晶体管的第一端与下一行子像素中的驱动晶体管的栅极电连接。

[0007] 可选地,在一列所述子像素中,对于每相邻的两个子像素,上一行子像素中的所述阳极复位晶体管的第一端与下一行子像素中的驱动晶体管的栅极电连接。

[0008] 可选地,所述阵列基板还包括多条复位信号线、多条扫描信号线以及初始化信号线;其中,一行所述子像素对应一条所述扫描信号线和一条复位信号线;

[0009] 所述阳极复位晶体管的控制端与所述扫描信号线电连接;

[0010] 所述像素电路还包括复位晶体管,所述复位晶体管的第一端与所述初始化信号线电连接,所述复位晶体管的控制端与所述复位信号线电连接,所述复位晶体管的第二端与所述驱动晶体管的栅极电连接。

[0011] 可选地,在一列所述子像素中,对于相邻的两个子像素,上一行子像素对应的扫描信号线与下一行子像素对应的复位信号线电连接。

[0012] 可选地,所述阵列基板还包括多条数据信号线;所述像素电路还包括数据写入晶体管,所述数据写入晶体管的第一端与所述数据信号线电连接,所述数据写入晶体管的控制端与所述扫描信号线电连接,所述数据写入晶体管的第二端与所述驱动晶体管的第一极电连接;一列所述子像素对应电连接一条数据信号线。

[0013] 可选地,还包括多个连接线;

[0014] 上一行子像素中的所述阳极复位晶体管的第一端与下一行子像素中的驱动晶体管的栅极通过一个所述连接线电连接。

[0015] 可选地，所述像素电路还包括：第一开关晶体管、第二开关晶体管，第三开关晶体管以及存储电容；其中：

[0016] 所述第一开关晶体管的第一端与第一电源端电连接，所述第一开关晶体管的控制端与发光控制信号端电连接，所述第一开关晶体管的第二端与所述驱动晶体管的第一极电连接；

[0017] 所述第二开关晶体管的第一端与所述驱动晶体管的第二极电连接，所述第二开关晶体管的控制端与发光控制信号端电连接，所述第二开关晶体管的第二端与所述发光器件的阳极电连接；

[0018] 所述第三开关晶体管的第一端与所述驱动晶体管的栅极电连接，所述第三开关晶体管的控制端与所述扫描信号线电连接，所述第三开关晶体管的第二端与所述驱动晶体管的第一极电连接；

[0019] 所述存储电容的第一端与所述第一电源端电连接，所述存储电容的第二端与所述驱动晶体管的栅极电连接。

[0020] 可选地，所有的晶体管均为P型晶体管；或者，所有的晶体管均为N型晶体管。

[0021] 基于同一发明构思，本发明实施例还提供了一种电致发光显示面板，包括上述任一种阵列基板。

[0022] 基于同一发明构思，本发明实施例还提供了一种显示装置，包括上述电致发光显示面板。

[0023] 本发明有益效果如下：

[0024] 本发明实施例提供的一种阵列基板、电致发光显示面板及显示装置，包括阵列分布的多个子像素，在一列子像素中，对于至少相邻的两个子像素，通过将上一行子像素的像素电路中阳极复位晶体管的第一端设置为与下一行子像素的像素电路中的驱动晶体管的栅极电连接，从而减少了阵列基板中的信号线，提高空间利用率。

附图说明

[0025] 图1为本发明实施例提供的一种阵列基板的结构示意图；

[0026] 图2为本发明实施例提供的一种像素电路的结构示意图；

[0027] 图3为本发明实施例提供的一种阵列基板的具体结构示意图；

[0028] 图4为本发明实施例提供的一种阵列基板的信号时序图。

具体实施方式

[0029] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。并且在不冲突的情况下，本发明中的实施例及实施例中的特征可以相互组合。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0030] 除非另外定义，本发明使用的术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本发明中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等

类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“电连接”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。

[0031] 需要注意的是，附图中各图形的尺寸和形状不反映真实比例，目的只是示意说明本发明内容。并且自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。

[0032] 本发明实施例提供的一种阵列基板，如图1-3所示，包括阵列排布的多个子像素P；子像素P包括像素电路100和发光器件L；

[0033] 像素电路100包括驱动晶体管DTFT和阳极复位晶体管LR；阳极复位晶体管LR的控制端与扫描信号端电连接，阳极复位晶体管LR的第二端与发光器件L的阳极电连接；

[0034] 在一列子像素P中，对于至少相邻的两个子像素P，上一行子像素P中的阳极复位晶体管LR的第一端N2与下一行子像素P中的驱动晶体管DTFT的栅极N1电连接。

[0035] 本发明实施例提供的阵列基板，在一列子像素P中相邻的两个子像素P，将上一行子像素P中的阳极复位晶体管LR的第一端N2设置为与下一行子像素P中的驱动晶体管DTFT的栅极N1电连接，则当对下一行子像素P的驱动晶体管DTFT的栅极N1进行复位时，同时也对上一行子像素P的发光器件L进行阳极复位，从而可以不需要额外设置一条信号线对发光器件L的阳极提供复位信号，减少了阵列基板中的信号线。

[0036] 示例性地，发光器件L可以包括有机发光二极管(Organic Light Emitting Diode,OLED)、量子点发光二极管(Quantum Dot Light Emitting Diodes,QLED)中的至少一种。

[0037] 在具体实施时，如图1-图3所示，阵列基板还可以包括多条复位信号线Reset、多条扫描信号线Gate、多条数据信号线Data以及多条初始化信号线Vinit；其中一行子像素P对应电连接一条扫描信号线Gate、一条复位信号线Reset和一条初始化信号线Vinit，一列子像素P对应电连接一条数据信号线Data，子像素P中阳极复位晶体管LR的控制端与对应的扫描信号线Gate电连接。

[0038] 在具体实施时，在本发明实施例中，一列子像素P中，可以仅对于一部分相邻的子像素P，将上一行子像素P中的阳极复位晶体管LR的第一端N2设置为与下一行子像素P中的驱动晶体管DTFT的栅极N1电连接。或者，可以对于一列子像素P中每相邻的两个子像素P，均将上一行子像素P中的阳极复位晶体管LR的第一端N2设置为与下一行子像素P中的驱动晶体管DTFT的栅极N1电连接。

[0039] 在具体实施时，在本发明实施例中，如图2与图3所示，像素电路100还可以包括复位晶体管R，复位晶体管R的第一端与初始化信号线Vinit电连接，复位晶体管R的控制端与对应的复位信号线Reset电连接，复位晶体管R的第二端与所述驱动晶体管DTFT的栅极N1电连接。当复位晶体管R在复位信号线Reset的信号控制下导通时，可以将初始化信号线Vinit的信号提供给对应的驱动晶体管DTFT的栅极N1，对驱动晶体管DTFT的栅极N1进行复位。并且将初始化信号线Vinit的信号提供给上一行子像素P中的阳极复位晶体管LR的第一端N2，以使在扫描信号线Gate的信号控制下导通的阳极复位晶体管LR将初始化信号线Vinit的信号提供给发光器件L的阳极，对发光器件L的阳极进行复位。

[0040] 在具体实施时，在本发明实施例中，如图2与图3所示，一行子像素P可以对应电连

接一条复位信号线Reset，一行子像素P中的复位晶体管R的控制端可以与复位信号线Reset电连接。在一列子像素P中，对于至少相邻的两个子像素P，上一行子像素P对应的扫描信号线Gate可以与下一行子像素P对应的复位信号线Reset电连接。则上一行子像素P的扫描信号线Gate的信号与下一行子像素P的复位信号线Reset的信号相同，可以使上一行子像素P中的阳极复位晶体管LR与下一行子像素P中的复位晶体管R同时导通。

[0041] 在具体实施时，在本发明实施例中，如图2与图3所示，像素电路100还可以包括数据写入晶体管D，数据写入晶体管D的第一端与数据信号线Data电连接，数据写入晶体管D的控制端与扫描信号线Gate电连接，数据写入晶体管D的第二端与驱动晶体管DTFT的第一极电连接；一列子像素对应电连接一条数据信号线。

[0042] 在具体实施时，在本发明实施例中，如图3所示，阵列基板中还可以包括多个连接线A；阳极复位晶体管LR的第一端N2与下一行子像素P中的驱动晶体管DTFT的栅极N1通过一个连接线A电连接。

[0043] 在具体实施时，连接线A的位置可以根据实际情况灵活设置，例如可以将各连接线A与晶体管的有源层同层设置并采用一次构图工艺制备，或者也可以将各连接线A与数据信号线Data同层设置并采用一次构图工艺制备，从而可以减少信号线的占用空间，提高阵列基板的空间利用率。当然，在实际应用中，各连接线A的位置可以不限于此，在此不作限定。

[0044] 在具体实施时，在本发明实施例中，如图2与图3所示，像素电路100还可以包括：第一开关晶体管T1、第二开关晶体管T2，第三开关晶体管T3以及存储电容Cst；其中：第一开关晶体管T1的第一端与第一电源端ELVDD电连接，第一开关晶体管T1的控制端与发光控制信号端EM电连接，第一开关晶体管T1的第二端与驱动晶体管DTFT的第一极电连接；第二开关晶体管T2的第一端与驱动晶体管DTFT的第二极电连接，第二开关晶体管T2的控制端与发光控制信号端EM电连接，第二开关晶体管T2的第二端与发光器件L的阳极电连接；第三开关晶体管T3的第一端与驱动晶体管DTFT的栅极N1电连接，第三开关晶体管T3的控制端与扫描信号线Gate电连接，第三开关晶体管T3的第二端与驱动晶体管DTFT的第一极电连接；存储电容Cst的第一端与第一电源端ELVDD电连接，存储电容Cst的第二端与驱动晶体管DTFT的栅极N1电连接。当然，对于像素电路中除驱动晶体管DTFT、阳极复位晶体管LR和复位晶体管R之外的其他必须的组成部分不限于本发明实施例提供的上述结构，也可以与现有技术中相同，在此不作限定。

[0045] 具体地，为了制作工艺统一，本发明实施例提供的阵列基板中，如图2与图3所示，所有晶体管可以均为P型晶体管。当然，所有晶体管也可以均为N型晶体管，在此不作限定。

[0046] 具体地，在本发明实施例提供的阵列基板中，P型晶体管在低电平信号作用下导通，在高电平信号作用下截止；N型晶体管在高电平信号作用下导通，在低电平信号作用下截止。

[0047] 具体地，在本发明实施例提供的阵列基板中，上述各晶体管可以是薄膜晶体管(TFT, Thin Film Transistor)，也可以是金属氧化物半导体场效应管(MOS, Metal Oxide Semiconductor)，在此不作限定。并且根据上述各晶体管的类型不同以及各晶体管的栅极的信号的不同，将各晶体管的控制端作为栅极，并可以将上述开关晶体管的第一端作为源极，第二端作为漏极，或者将开关晶体管的第一端作为漏极，第二端作为源极，在此不作具体区分。

[0048] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0049] 下面结合电路时序图对本发明实施例提供的阵列基板的工作过程作以描述。下述描述中以1表示高电平,0表示低电平。需要说明的是,1和0是逻辑电平,其仅是为了更好的解释本发明实施例的具体工作过程,而不是具体的电压值。

[0050] 下面以图3所示的阵列基板为例,结合图4所示的信号时序图对本发明实施例提供的上述阵列基板的工作过程作以描述。具体地,选取如图3所示的阵列基板中一列子像素中相邻的三个子像素P(n-1)、P(n)、P(n+1),其中,子像素P(n-1)所在的一行子像素对应电连接复位信号线Reset(n-1)、扫描信号线Gate(n-1)、发光控制信号线EM(n-1),子像素P(n)所在的一行子像素对应电连接复位信号线Reset(n)、扫描信号线Gate(n)、发光控制信号线EM(n),子像素P(n+1)所在的一行子像素对应电连接复位信号线Reset(n+1)、扫描信号线Gate(n+1)、发光控制信号线EM(n+1)。并选取如图4所示的信号时序图中的第一阶段t1、第二阶段t2、第三阶段t3、第四阶段t4、第五阶段t5五个阶段进行说明。

[0051] 在第一阶段t1,EM(n-1)=1,Reset(n-1)=0,Gate(n-1)=1,EM(n)=0,Reset(n)=1,Gate(n)=1,EM(n+1)=0,Reset(n+1)=1,Gate(n+1)=1。

[0052] 由于EM(n-1)=1,子像素P(n-1)中的第一开关晶体管T1和第二开关晶体管T2均截止,则子像素P(n-1)不发光。由于Gate(n-1)=1,子像素P(n-1)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均截止。由于Reset(n-1)=0,子像素P(n-1)中的复位晶体管R导通,将初始化信号线Vinit的信号提供给驱动晶体管DTFT的栅极N1,以对其复位。

[0053] 由于EM(n)=0=0、EM(n+1)=0,子像素P(n)、子像素P(n+1)中的第一开关晶体管T1和第二开关晶体管T2均导通。由于Reset(n)=1,子像素P(n)中的复位晶体管R截止。由于Reset(n+1)=1,子像素P(n+1)中的复位晶体管R截止。由于Gate(n)=1、Gate(n+1)=1,子像素P(n)、子像素P(n+1)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均截止。则子像素P(n)、子像素P(n+1)在其驱动晶体管DTFT的栅极N1的信号控制下发光。

[0054] 在第二阶段t2,EM(n-1)=1,Reset(n-1)=1,Gate(n-1)=0,EM(n)=1,Reset(n)=0,Gate(n)=1,EM(n+1)=0,Reset(n+1)=1,Gate(n+1)=1。

[0055] 由于EM(n-1)=1,子像素P(n-1)中的第一开关晶体管T1和第二开关晶体管T2均截止,则子像素P(n-1)不发光。由于Reset(n-1)=1,子像素P(n-1)中的复位晶体管R截止。由于Gate(n-1)=0,子像素P(n-1)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均导通,数据写入晶体管D将数据信号线Data的信号提供给驱动晶体管DTFT的第一极,第三开关晶体管T3将驱动晶体管DTFT的栅极N1和第二极导通,使驱动晶体管DTFT形成二极管结构并向驱动晶体管DTFT的第一极放电,以将数据信号线Data的信号和驱动晶体管的阈值电压写入驱动晶体管DTFT的栅极N1。

[0056] 由于EM(n)=1,子像素P(n)中的第一开关晶体管T1和第二开关晶体管T2均截止,则子像素P(n)不发光。由于Reset(n)=0,子像素P(n)中的复位晶体管R导通,导通的复位晶体管R将初始化信号线Vinit的信号提供给驱动晶体管DTFT的栅极N1,并且,将初始化信号线Vinit的信号提供给子像素P(n-1)中阳极复位晶体管LR的第一端N2。子像素P(n-1)中导通的阳极复位晶体管LR将初始化信号线Vinit的信号提供给发光器件L的阳极,以对发光器件L的阳极复位。由于Gate(n)=1,子像素P(n)中的数据写入晶体管D、第三开关晶体管T3和

阳极复位晶体管LR均截止。

[0057] 由于 $EM(n+1) = 0$, 子像素P(n+1)中的第一开关晶体管T1和第二开关晶体管T2均导通而发光。由于 $Reset(n+1) = 1$, 子像素P(n+1)中的复位晶体管R截止。由于 $Gate(n+1) = 1$, 子像素P(n+1)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均截止。

[0058] 在第三阶段t3, $EM(n-1) = 0$, $Reset(n-1) = 1$, $Gate(n-1) = 1$, $EM(n) = 1$, $Reset(n) = 1$, $Gate(n) = 0$, $EM(n+1) = 1$, $Reset(n-1) = 0$, $Gate(n+1) = 1$ 。

[0059] 由于 $EM(n-1) = 0$, 子像素P(n-1)中的第一开关晶体管T1和第二开关晶体管T2均导通, 由于 $Gate(n-1) = 1$, 子像素P(n-1)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均截止, 由于 $Reset(n-1) = 1$, 子像素P(n-1)中的复位晶体管R截止。则子像素P(n-1)在驱动晶体管DTFT的栅极N1的电压和源极电压控制下发光。

[0060] 由于 $EM(n) = 1$, 子像素P(n)中的第一开关晶体管T1和第二开关晶体管T2均截止, 则子像素P(n)不发光。由于 $Reset(n) = 1$, 子像素P(n)中的复位晶体管R截止。由于 $Gate(n) = 0$, 子像素P(n)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均导通, 数据写入晶体管D将数据信号线Data的信号提供给驱动晶体管DTFT的第一极, 第三开关晶体管T3将驱动晶体管DTFT的栅极N1和第二极导通, 使驱动晶体管DTFT形成二极管结构并向驱动晶体管DTFT的第一极放电, 以将数据信号线Data的信号和驱动晶体管的阈值电压写入驱动晶体管DTFT的栅极N1。

[0061] 由于 $EM(n+1) = 1$, 子像素P(n+1)中的第一开关晶体管T1和第二开关晶体管T2均截止, 则子像素P(n+1)不发光。由于 $Reset(n-1) = 0$, 子像素P(n+1)中的复位晶体管R导通, 导通的复位晶体管R将初始化信号线Vinit的信号提供给驱动晶体管DTFT的栅极N1, 并且, 将初始化信号线Vinit的信号提供给子像素P(n)中阳极复位晶体管LR的第一端N2。子像素P(n)中导通的阳极复位晶体管LR将初始化信号线Vinit的信号提供给发光器件L的阳极, 以对发光器件L的阳极复位。

[0062] 在第四阶段t4, $EM(n-1) = 0$, $Reset(n-1) = 1$, $Gate(n-1) = 1$, $EM(n) = 0$, $Reset(n) = 1$, $Gate(n) = 1$, $EM(n+1) = 1$, $Reset(n+1) = 1$, $Gate(n+1) = 0$ 。

[0063] 由于 $EM(n-1) = 0$, 子像素P(n-1)中的第一开关晶体管T1和第二开关晶体管T2均导通, 由于 $Gate(n-1) = 1$, 子像素P(n-1)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均截止, 由于 $Reset(n-1) = 1$, 子像素P(n-1)中的复位晶体管R截止。则子像素P(n-1)在驱动晶体管DTFT的栅极N1的电压和源极电压的控制下继续发光。

[0064] 由于 $EM(n) = 0$, 子像素P(n)中的第一开关晶体管T1和第二开关晶体管T2均导通, 由于 $Gate(n) = 1$, 子像素P(n)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均截止, 由于 $Reset(n) = 1$, 子像素P(n)中的复位晶体管R截止, 则子像素P(n)在驱动晶体管DTFT的栅极N1的电压和源极电压的控制下发光。

[0065] 由于 $EM(n+1) = 1$, 子像素P(n+1)中的第一开关晶体管T1和第二开关晶体管T2均截止, 则子像素P(n+1)不发光。由于 $Reset(n+1) = 1$, 子像素P(n+1)中的复位晶体管R截止。由于 $Gate(n+1) = 0$, 子像素P(n+1)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均导通, 数据写入晶体管D将数据信号线Data的信号提供给驱动晶体管DTFT的第一极, 第三开关晶体管T3将驱动晶体管DTFT的栅极N1和第二极导通, 使驱动晶体管DTFT形成二极管结构并向驱动晶体管DTFT的第一极放电, 以将数据信号线Data的信号和驱动晶体管的阈值电压写入驱动晶体管DTFT的栅极N1。

值电压写入驱动晶体管DTFT的栅极N1。

[0066] 在第五阶段t5,EM(n-1)=0,Reset(n-1)=1,Gate(n-1)=1,EM(n)=0,Reset(n)=1,Gate(n)=1,EM(n+1)=0,Reset(n+1)=1,Gate(n+1)=1。

[0067] 由于EM(n-1)=0、EM(n)=0,子像素P(n-1)、P(n)中的第一开关晶体管T1和第二开关晶体管T2均导通,由于Gate(n-1)=1、Gate(n)=1,子像素P(n-1)、P(n)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均截止,由于Reset(n-1)=1,子像素P(n-1)中的复位晶体管R截止,由于Reset(n)=1,子像素P(n)中的复位晶体管R截止。则子像素P(n-1)、P(n)在驱动晶体管DTFT的栅极N1的电压和源极电压的控制下继续发光。

[0068] 由于EM(n+1)=0,子像素P(n+1)中的第一开关晶体管T1和第二开关晶体管T2均导通,由于Gate(n+1)=1,子像素P(n+1)中的数据写入晶体管D、第三开关晶体管T3和阳极复位晶体管LR均截止,由于Reset(n+1)=1,子像素P(n+1)中的复位晶体管R截止,则子像素P(n+1)在驱动晶体管DTFT的栅极N1的电压和源极电压的控制下发光。

[0069] 基于同一发明构思,本发明实施例提供了一种电致发光显示面板,包括上述任一种阵列基板。该电致发光显示面板的实施可以参见上述阵列基板的实施例,重复之处不再赘述。

[0070] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述电致发光显示面板。该显示装置的实施可以参见上述电致发光显示面板的实施例,重复之处不再赘述。

[0071] 在具体实施时,显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0072] 本发明实施例提供的一种阵列基板、电致发光显示面板及显示装置,包括阵列分布的多个子像素,在一列子像素中,对于至少相邻的两个子像素,将上一行子像素的像素电路中阳极复位晶体管的第一端设置为与下一行子像素的像素电路中的驱动晶体管的栅极电连接,从而减少了阵列基板中的信号线,提高空间利用率。

[0073] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

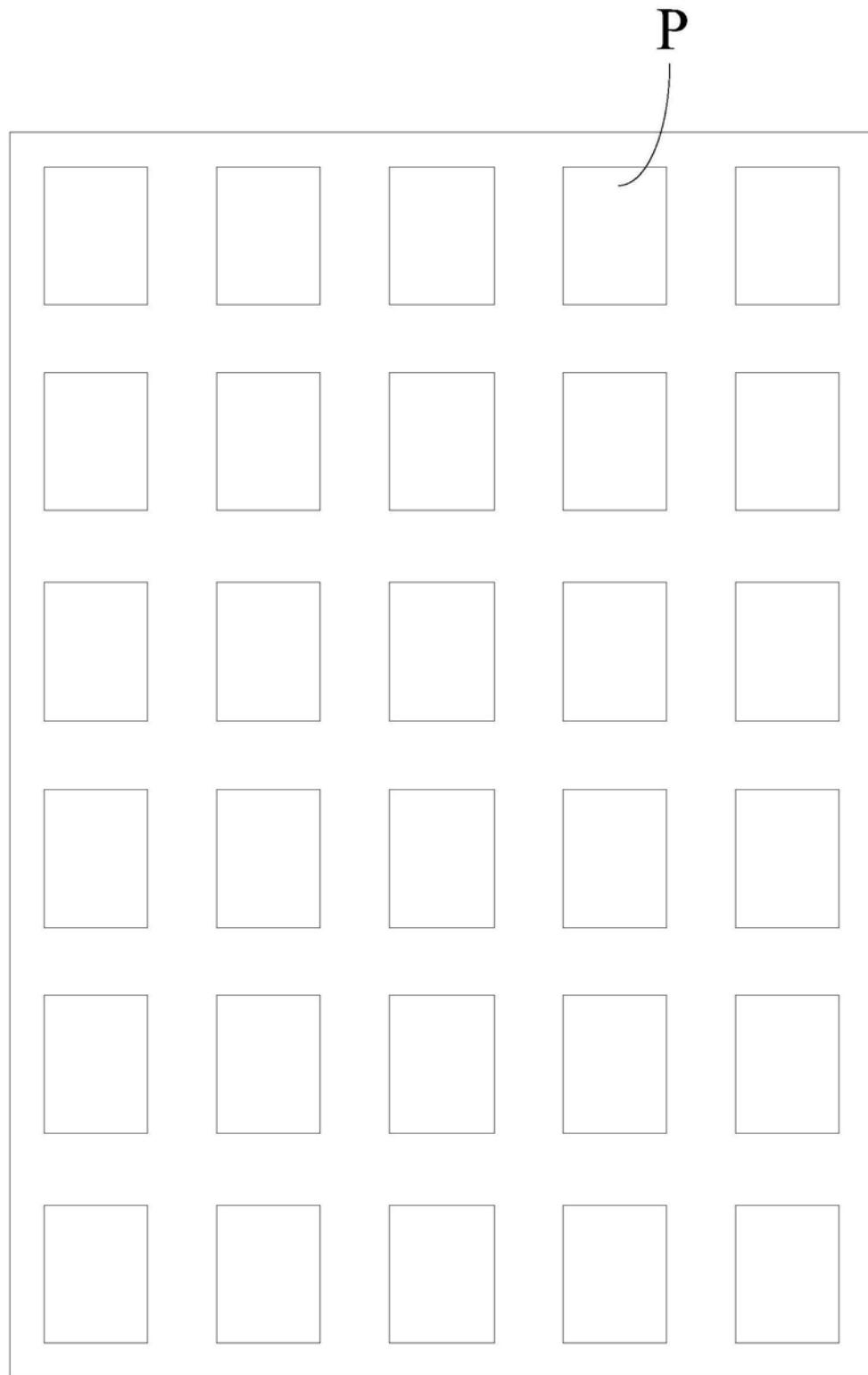


图1

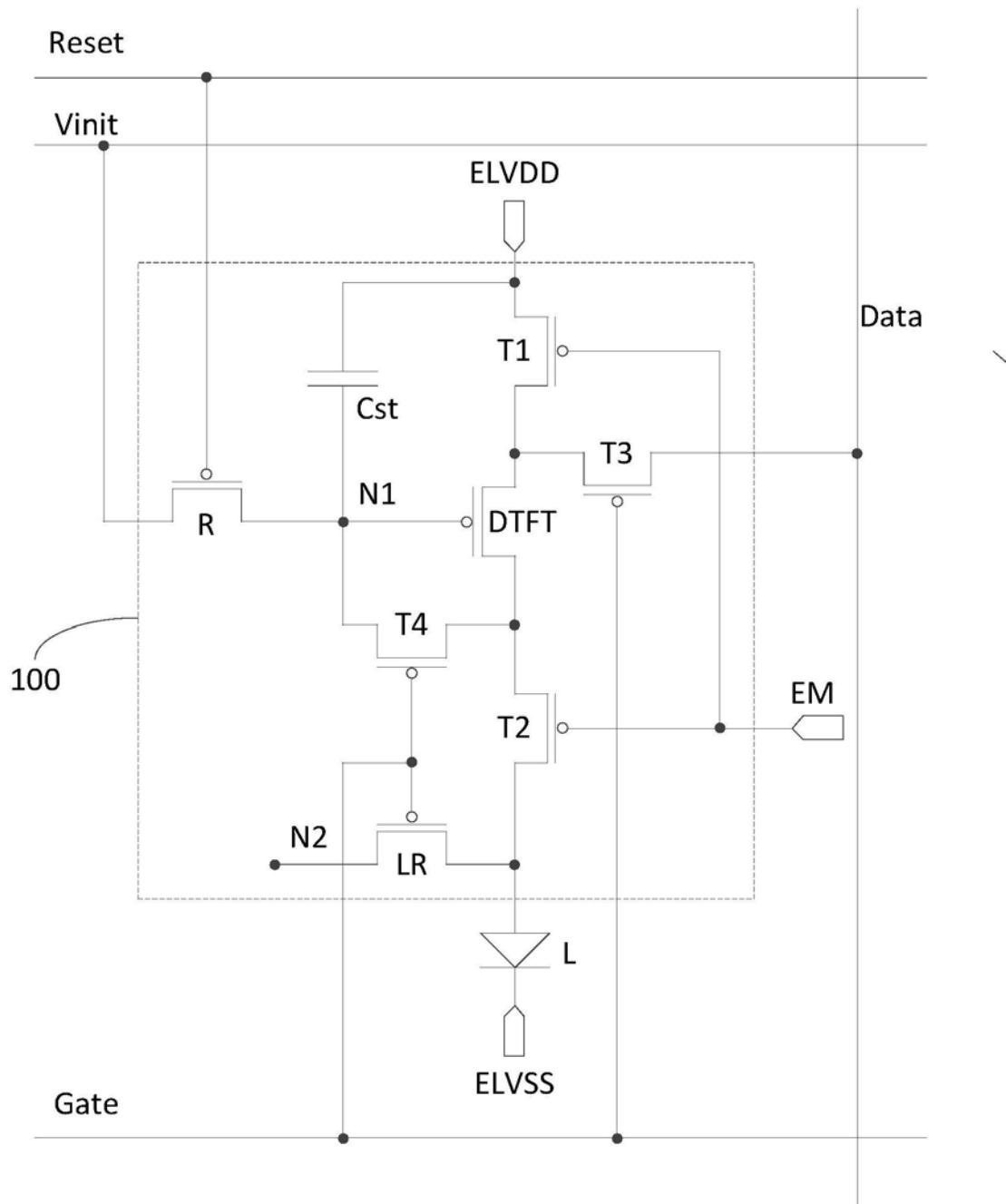


图2

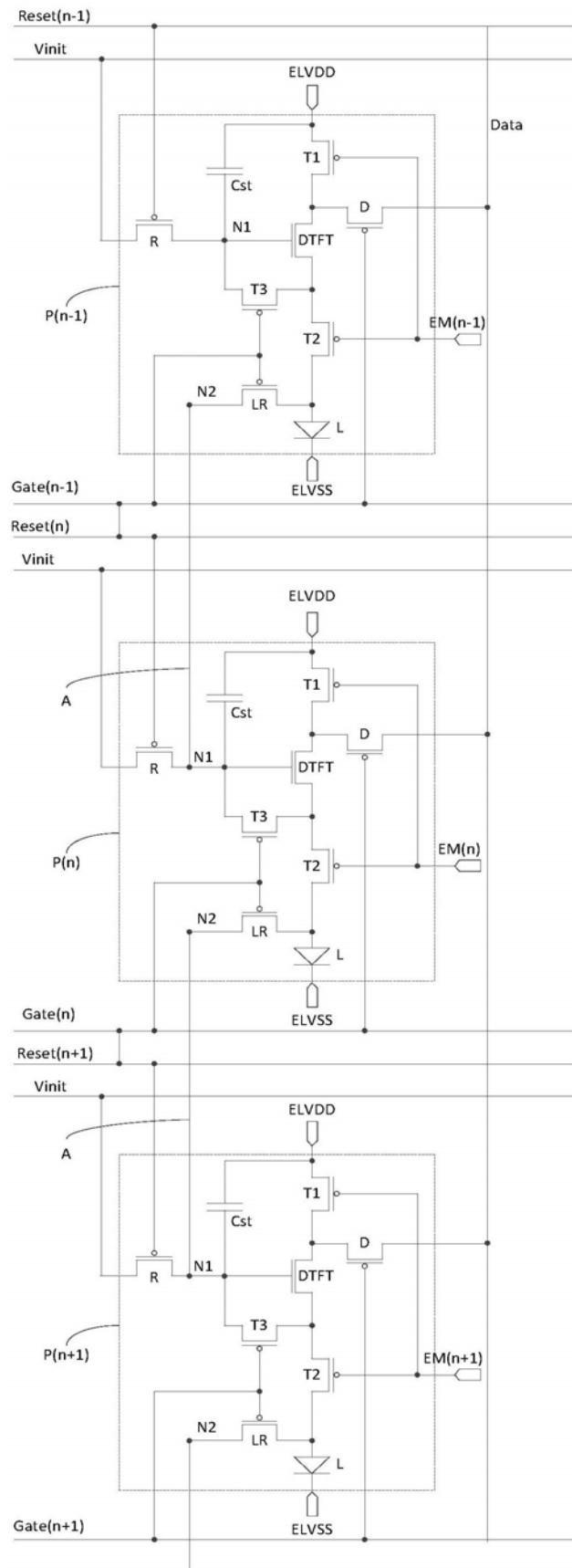


图3

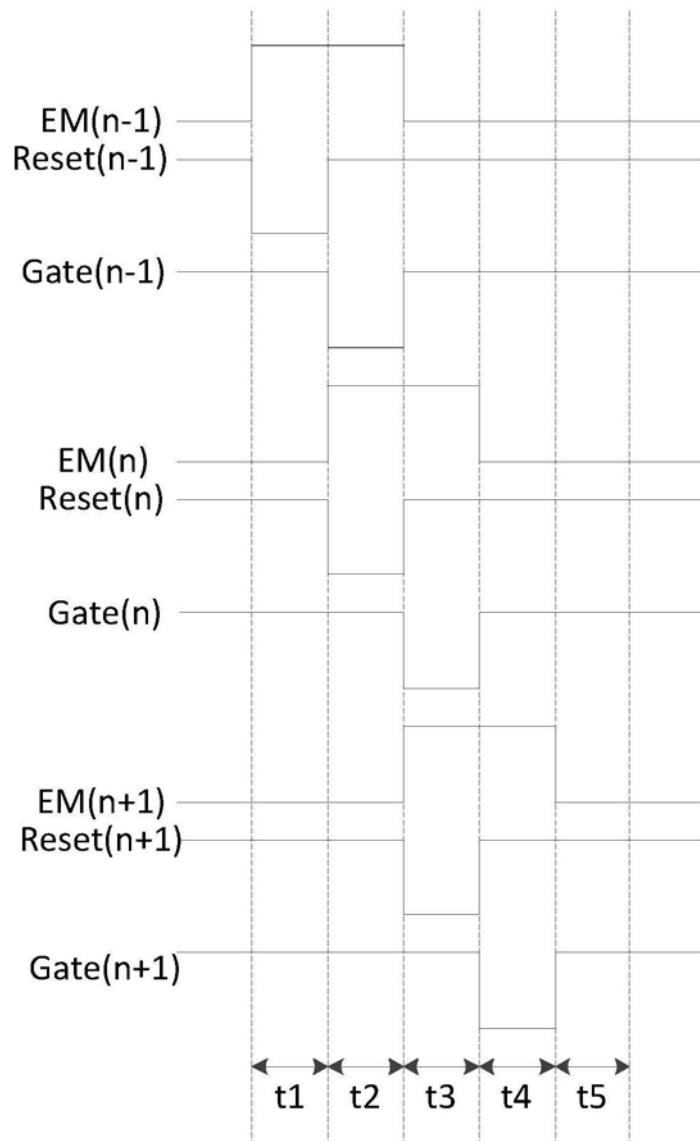


图4

专利名称(译)	一种阵列基板、电致发光显示面板及显示装置		
公开(公告)号	CN111445849A	公开(公告)日	2020-07-24
申请号	CN202010364864.7	申请日	2020-04-30
[标]申请(专利权)人(译)	京东方科技股份有限公司		
申请(专利权)人(译)	京东方科技股份有限公司		
当前申请(专利权)人(译)	京东方科技股份有限公司		
[标]发明人	王志冲 李付强 冯京 刘鹏 栾兴龙 袁广才		
发明人	王志冲 李付强 冯京 刘鹏 栾兴龙 袁广才		
IPC分类号	G09G3/3208		
外部链接	SIP0		

摘要(译)

本发明公开了一种阵列基板、电致发光显示面板及显示装置，包括阵列排布的多个子像素，在一列子像素中，对于至少相邻的两个子像素，将上一行子像素的像素电路中阳极复位晶体管的第一端设置为与下一行子像素的像素电路中的驱动晶体管的栅极电连接，从而减少了阵列基板中的信号线，提高空间利用率。

