



## (12)发明专利申请

(10)申请公布号 CN 111435712 A

(43)申请公布日 2020.07.21

(21)申请号 202010035241.5

(22)申请日 2020.01.14

(30)优先权数据

10-2019-0005325 2019.01.15 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72)发明人 尹甲洙 杨灿佑 崔峻焕

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 陈亚男 刘灿强

(51)Int.Cl.

H01L 51/52(2006.01)

H01L 51/56(2006.01)

H01L 27/32(2006.01)

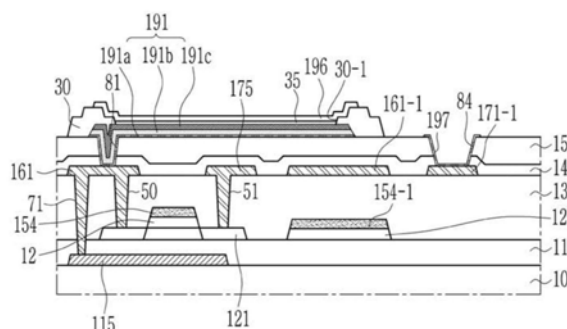
权利要求书2页 说明书19页 附图14页

### (54)发明名称

有机发光二极管显示装置及其制造方法

### (57)摘要

提供了一种有机发光二极管显示器及其制造方法。所述有机发光二极管显示器包括：基底，包括显示区域和垫区域；第一薄膜晶体管，设置在显示区域上；有机发光二极管，连接到第一薄膜晶体管；垫电极，设置在垫区域上；以及垫接触电极，设置在垫电极的上部上并电连接到垫电极。有机发光二极管包括阳极、有机发射层和阴极。阳极包括下层、中间层和上层。垫接触电极由阳极的下层的材料形成。



1. 一种有机发光二极管显示器,所述有机发光二极管显示器包括:  
基底,包括显示区域和垫区域;  
第一薄膜晶体管,设置在所述显示区域上;  
有机发光二极管,连接到所述第一薄膜晶体管;  
垫电极,设置在所述垫区域上;以及  
垫接触电极,设置在所述垫电极的上部上并电连接到所述垫电极,  
其中,所述有机发光二极管包括阳极、有机发射层和阴极,  
所述阳极包括下层、中间层和上层,并且  
所述垫接触电极由所述阳极的所述下层的材料形成。
2. 根据权利要求1所述的有机发光二极管显示器,  
其中,所述下层包含钛,  
所述中间层包含银,并且  
所述上层包含氧化铟锡或除了氧化铟锡之外的透明导电材料。
3. 根据权利要求2所述的有机发光二极管显示器,所述有机发光二极管显示器还包括:  
上绝缘层,设置在所述下层下方,  
其中,所述上绝缘层包括有机材料,  
所述下层与所述上绝缘层接触以增大对所述上绝缘层的粘合力并防止所述中间层的所述银朝着所述第一薄膜晶体管向下扩散,  
所述中间层向上反射从所述有机发射层发射的光,并且  
所述上层将空穴注入到所述有机发射层中。
4. 根据权利要求1所述的有机发光二极管显示器,  
其中,设置在所述显示区域上的所述第一薄膜晶体管是驱动晶体管,并且  
所述有机发光二极管显示器还包括:  
第二薄膜晶体管,设置在所述显示区域上以将数据电压传输到所述驱动晶体管的栅电极;  
第三薄膜晶体管,设置在所述显示区域上以使所述驱动晶体管的输出侧电极的电压初始化;  
数据线,所述数据电压传输到所述数据线,其中,所述垫电极是所述数据线进入所述垫区域中的延伸部分;  
驱动电压线,被构造为将驱动电压传输到所述驱动晶体管;  
驱动低电压线,被构造为将驱动低电压传输到所述阴极;以及  
初始化电压线,连接到所述第三薄膜晶体管。
5. 根据权利要求4所述的有机发光二极管显示器,所述有机发光二极管显示器还包括:  
金属层,设置在所述驱动晶体管的第一半导体层与所述基底之间;以及  
盖层,覆盖所述有机发光二极管以防止湿气或空气渗透到所述有机发光二极管中,  
其中,所述盖层包括彼此堆叠的第一无机层、有机层和第二无机层。
6. 根据权利要求4所述的有机发光二极管显示器,所述有机发光二极管显示器还包括:  
上基底,面对所述基底;  
阻光层,设置在所述上基底上并具有开口;以及

颜色转换层,设置在所述阻光层的所述开口中,

其中,所述颜色转换层将从所述有机发射层发射的光转换为三原色光中的一种。

7.一种有机发光二极管显示器的制造方法,所述制造方法包括以下步骤:

准备包括显示区域和垫区域的基底;

在所述基底上形成上绝缘层;

对所述上绝缘层执行预热处理;

在所述上绝缘层上形成包括下层的多个层;以及

分别在所述显示区域和所述垫区域中由所述多个层形成有机发光二极管的阳极和垫接触电极。

8.根据权利要求7所述的制造方法,

其中,在120°C的温度下执行所述预热处理持续1分钟至3分钟。

9.根据权利要求7所述的制造方法,

其中,所述下层包含钛,所述多个层还包括包含银的中间层和包含氧化铟锡或除了氧化铟锡之外的透明导电材料的上层。

10.根据权利要求7所述的制造方法,

其中,所述形成所述有机发光二极管的所述阳极和所述垫接触电极的步骤包括以下步骤:

将所述多个层图案化以分别在所述显示区域和所述垫区域中形成作为所述有机发光二极管的所述阳极的多个第一图案化层和作为初步垫接触电极的多个第二图案化层;以及

在所述垫区域中去除除了作为所述垫接触电极的图案化的所述下层之外的所述多个第二图案化层,

其中,所述多个层还包括中间层和上层,

其中,所述将所述多个层图案化的步骤包括:通过顺序地堆叠所述下层、所述中间层、所述上层和光致抗蚀剂并使所述光致抗蚀剂曝光来形成光致抗蚀剂图案;通过使用所述光致抗蚀剂图案作为掩模对所述中间层和所述上层进行湿蚀刻;以及对所述下层进行干蚀刻,

其中,所述去除所述多个第二图案化层的步骤包括:去除所述垫区域上的所述光致抗蚀剂图案;以及对所述垫区域上的所述上层和所述中间层进行湿蚀刻,并且

其中,通过使用半色调掩模形成所述光致抗蚀剂图案,使得所述垫区域上的所述光致抗蚀剂图案的厚度比所述显示区域上的所述光致抗蚀剂图案的厚度小。

## 有机发光二极管显示装置及其制造方法

[0001] 本申请要求于2019年1月15日在韩国知识产权局提交的第10-2019-0005325号韩国专利申请的优先权,该韩国专利申请的公开通过引用全部包含于此。

### 技术领域

[0002] 本发明涉及一种有机发光二极管显示器及其制造方法,更具体地,涉及一种包括三层结构的有机发光二极管显示器及其制造方法。

### 背景技术

[0003] 作为用于显示图像的显示装置,有机发光二极管(OLED)显示器已经受到了大量的关注。

[0004] 与液晶显示(LCD)装置不同,OLED显示器具有消除了光源的自发射特性,因此可以被制造得更薄且更轻。此外,OLED显示器具有诸如低功耗、高亮度、高响应速度等的高质量特性。

[0005] 然而,与液晶显示器相比,OLED显示器具有复杂的像素结构、使用更多的掩模且需要长的加工时间。

[0006] 在背景技术部分中公开的以上信息仅用于增强对发明的背景的理解,因此其可以包含不形成对本领域普通技术人员而言在该国已知的现有技术的信息。

### 发明内容

[0007] 本发明已经致力于提供一种可以通过使用更少的掩模来制造的有机发光二极管显示器及其制造方法。

[0008] 根据示例性实施例,一种有机发光二极管显示器包括:基底,包括显示区域和垫区域;第一薄膜晶体管,设置在显示区域上;有机发光二极管,连接到第一薄膜晶体管;垫电极,设置在垫区域上;以及垫接触电极,设置在垫电极的上部上并电连接到垫电极。有机发光二极管包括阳极、有机发射层和阴极。阳极包括下层、中间层和上层。垫接触电极由阳极的下层的材料形成。

[0009] 垫电极可以从连接到第一薄膜晶体管的信号线延伸。

[0010] 下层可以包含钛(Ti)。

[0011] 中间层可以包含银(Ag),并且上层可以包含氧化铟锡(ITO)或除了氧化铟锡之外的透明导电材料。

[0012] 有机发光二极管显示器还可以包括设置在下层下方的上绝缘层。上绝缘层可以包括有机材料。

[0013] 下层可以与上绝缘层接触以增大对上绝缘层的粘合力并防止中间层的银(Ag)朝着第一薄膜晶体管向下扩散。中间层可以向上反射从有机发射层发射的光,上层可以将空穴注入到有机发射层中。

[0014] 设置在显示区域上的第一薄膜晶体管可以是驱动晶体管。

[0015] 有机发光二极管显示器还可以包括：第二薄膜晶体管，设置在显示区域上以将数据电压传输到驱动晶体管的栅电极；第三薄膜晶体管，设置在显示区域上以使驱动晶体管的输出侧电极的电压初始化。

[0016] 有机发光二极管显示器还可以包括数据电压传输到其的数据线。垫电极可以是数据线进入垫区域中的延伸部分。

[0017] 有机发光二极管显示器还可以包括：驱动电压线，被构造为将驱动电压传输到驱动晶体管；驱动低电压线，被构造为将驱动低电压传输到阴极；以及初始化电压线，连接到第三薄膜晶体管。

[0018] 有机发光二极管显示器还可以包括设置在驱动晶体管的第一半导体层与基底之间的金属层。

[0019] 有机发光二极管显示器还可以包括覆盖有机发光二极管以防止湿气或空气渗透到有机发光二极管中的盖层。盖层可以包括彼此堆叠的第一无机层、有机层和第二无机层。

[0020] 有机发光二极管显示器还可以包括：上基底，面对基底；阻光层，设置在上基底上并具有开口；以及颜色转换层，设置在阻光层的开口中。颜色转换层可以将从有机发射层发射的光转换为三原色光中的一种。

[0021] 根据本发明构思的示例性实施例，一种有机发光二极管显示器的制造方法可以被提供为如下的步骤。准备包括显示区域和垫区域的基底。在基底上形成上绝缘层。对上绝缘层执行预热处理。在上绝缘层上形成包括下层的多个层。分别在显示区域和垫区域中由所述多个层形成有机发光二极管的阳极和垫接触电极。

[0022] 可以在120℃的温度下执行预热处理持续1分钟至3分钟。

[0023] 下层可以包含钛(Ti)。

[0024] 所述多个层还可以包括包含银(Ag)的中间层和包含氧化铟锡(ITO)或除了氧化铟锡之外的透明导电材料的上层。

[0025] 形成有机发光二极管的阳极和垫接触电极的步骤可以包括下述步骤：将所述多个层图案化以分别在显示区域和垫区域中形成作为有机发光二极管的阳极的多个第一图案化层和作为初步垫接触电极的多个第二图案化层；以及在垫区域中去除除了作为垫接触电极的图案化的下层之外的所述多个第二图案化层。

[0026] 所述多个层还包括中间层和上层。将所述多个层图案化的步骤可以包括：通过顺序地堆叠下层、中间层、上层和光致抗蚀剂并使光致抗蚀剂曝光来形成光致抗蚀剂图案；通过使用光致抗蚀剂图案作为掩模对中间层和上层进行湿蚀刻；以及对下层进行干蚀刻。去除所述多个第二图案化层的步骤可以包括：去除垫区域上的光致抗蚀剂图案；以及对垫区域上的上层和中间层进行湿蚀刻。

[0027] 可以通过使用半色调掩模形成光致抗蚀剂图案，使得垫区域上的光致抗蚀剂图案的厚度可以比显示区域上的光致抗蚀剂图案的厚度小。

[0028] 所述制造方法还可以在准备基底的步骤与形成上绝缘层的步骤之间包括：在基底上形成缓冲层；在缓冲层上形成半导体层；在半导体层上形成栅极绝缘层；在栅极绝缘层上形成栅极导电层；在栅极导电层上形成层间绝缘层；在层间绝缘层上形成数据导电层；以及在数据导电层上形成钝化层。

## 附图说明

- [0029] 图1示出了根据示例性实施例的有机发光二极管显示器的剖视图。
- [0030] 图2示出了根据示例性实施例的有机发光二极管显示器的制造顺序。
- [0031] 图3是示出根据本发明的示例性实施例的有机发光二极管显示器的制造工艺中的阳极制造工艺的细节图。
- [0032] 图4至图13是根据每个制造步骤而示出图1的有机发光二极管显示器的剖视图。
- [0033] 图14示出了根据示例性实施例的有机发光二极管显示器的一个像素的等效电路图。
- [0034] 图15示出了根据示例性实施例的施加到有机发光二极管显示器的一个像素的信号时序图。
- [0035] 图16示出了根据示例性实施例的有机发光二极管显示器的像素的布局图。
- [0036] 图17示出了沿图16的线XVII-XVII截取的剖视图。
- [0037] 图18示出了根据示例性实施例的垫区域的布局图。
- [0038] 图19示出了沿图18的线XIX-XIX截取的剖视图。
- [0039] 图20示出了根据示例性实施例的有机发光二极管显示器的剖视图。
- [0040] 图21至图23是示出取决于预热处理工艺的蚀刻效果的图。

## 具体实施方式

- [0041] 在下文中将参照附图更充分地描述本发明,在附图中示出了发明的示例性实施例。如本领域技术人员将认识到的,在均不脱离本发明的精神或范围的情况下,可以以各种不同的方式修改所描述的实施例。
- [0042] 为了清楚地描述本发明,省略了与描述无关的部分,并且在整个说明书中,同样的标号表示同样或相似的组成元件。
- [0043] 此外,由于为了更好理解和容易描述,任意地给出附图中示出的组成构件的尺寸和厚度,因此本发明不限于所示出的尺寸和厚度。在附图中,为了清楚,夸大了层、膜、面板、区域等的厚度。在附图中,为了更好理解和容易描述,夸大了一些层和区域的厚度。
- [0044] 将理解的是,当诸如层、膜、区域或基底的元件被称为“在”另一元件“上”时,该元件可以直接在所述另一元件上,或者也可以存在中间元件。相反,当元件被称为“直接在”另一元件“上”时,不存在中间元件。此外,词语“在……上方”或“在……上”意味着位于目标部分上或下方,而不必意味着基于重力方向而位于目标部分的上侧上。
- [0045] 此外,除非明确地描述为相反,词语“包括”将被理解为暗示包括所陈述的元件,但不排除任何其他元件。
- [0046] 此外,在说明书中,词组“在平面图中”意味着当从上方观察目标部分时,词组“在剖视图中”意味着当从侧面观看通过竖直切割目标部分所截取的剖面时。
- [0047] 在下文中,将参照图1描述根据示例性实施例的有机发光二极管显示器。
- [0048] 图1示出了根据示例性实施例的有机发光二极管显示器的剖视图。
- [0049] 根据本示例性实施例,有机发光二极管显示器包括基底10、金属层115、缓冲层11、第一半导体层121、栅极绝缘层12、栅极导电层154和154-1、层间绝缘层13、数据导电层161、161-1、175和171-1、钝化层14、上绝缘层15、阳极191、有机发射层35、阴极196、间隔壁30和

垫(pad,或称“焊盘”)接触电极197。在这里,阳极191、有机发射层35和阴极196一起构成一个有机发光二极管(OLED)。

[0050] 有机发光二极管和连接到其的薄膜晶体管形成在基底10上。基底10可以形成诸如玻璃的刚性基底。然而,本发明不限于此。根据另一示例性实施例,基底10可以由可为柔性的诸如塑料或聚酰亚胺(PI)的膜形成。

[0051] 金属层115形成在基底10上。金属层115可以由导电金属材料形成。用于金属层115的金属材料可以包括钛(Ti)、钼(Mo)、铜(Cu)等,并且可以形成为具有仅使用单一金属材料的单层结构或使用两种金属材料的双层结构。例如,可以通过将钛(Ti)形成下层并将铜(Cu)形成上层来获得双层结构。为了提高薄膜晶体的性能,金属层115形成在其中将形成薄膜晶体管的第一半导体层121的位置处,从而恒定地保持第一半导体层121的电压特性。

[0052] 基底10和金属层115覆盖有缓冲层11。缓冲层11可以由诸如氧化硅( $\text{SiO}_x$ )或氮化硅( $\text{SiN}_x$ )的无机绝缘层形成。

[0053] 第一半导体层121形成在缓冲层11上。第一半导体层121可以由氧化物半导体形成。为了便于描述,在本示例性实施例中假设第一半导体层121由氧化铟镓锌(IGZO)形成。第一半导体层121形成在其中将形成薄膜晶体管的位置处,并且包括沟道区、源区和漏区。

[0054] 第一半导体层121和缓冲层11被栅极绝缘层12覆盖。栅极绝缘层12可以形成包括例如氧化硅( $\text{SiO}_x$ )的无机绝缘层。根据另一示例性实施例,栅极绝缘层12可以包括氮化硅( $\text{SiN}_x$ )。本示例性实施例的栅极绝缘层12仅形成在其中设置有稍后将描述的栅极导电层154和154-1的区域中。然而,本发明不限于此。例如,栅极绝缘层12可以形成在基底10的整个区域上。

[0055] 栅极导电层154和154-1形成在栅极绝缘层12上。栅极导电层154和154-1分别包括栅电极154和用于存储电容器的第一电极154-1。栅电极154形成在与第一半导体层121的沟道区叠置的位置上。具有与栅电极154的形状相同的形状的栅极绝缘层12设置在栅电极154与第一半导体层121之间。具有与用于存储电容器的第一电极154-1的形状相同的形状的栅极绝缘层12也形成在第一电极154-1下方。根据另一示例性实施例,栅电极154和用于存储电容器的第一电极154-1可以彼此电连接。栅极导电层154和154-1可以由金属材料形成,在本实施例中,栅极导电层154和154-1形成具有包括包含钛(Ti)的下层和包含铜(Cu)的上层的双层结构。然而,本发明不限于此。根据另一示例性实施例,栅极导电层154和154-1可以由单层形成或者可以由各种金属材料形成。

[0056] 暴露的缓冲层11、具有暴露的侧面的栅极导电层154和154-1以及具有暴露的侧面的栅极绝缘层12覆盖有层间绝缘层13。层间绝缘层13可以由诸如氧化硅( $\text{SiO}_x$ )、氮化硅( $\text{SiN}_x$ )或氮氧化硅( $\text{SiON}$ )的无机绝缘层形成。层间绝缘层13可以由无机绝缘层形成,并且其可以厚地形成具有特定厚度或更大厚度。在无机绝缘层的情况下,层的设置在其下部处的台阶也提供在其上部处,但当厚地形成无机绝缘层时,可以在上部处较少地提供下部的台阶,从而用于减少台阶。在示例性实施例中,层间绝缘层13可以为其后续工艺提供平坦化的表面。

[0057] 用于使第一半导体层121的源区和漏区暴露的开口50和51分别形成在层间绝缘层13中。此外,暴露金属层115的开口71形成在层间绝缘层13和缓冲层11中。

[0058] 数据导电层161、161-1、175和171-1形成在层间绝缘层13上。数据导电层161、161-1、175和171-1包括输出侧电极161、输入侧电极175(在下文中也称为驱动电压线)、用于存储电容器的第二电极161-1和垫电极171-1。

[0059] 输出侧电极161通过开口50电连接到薄膜晶体管的第一半导体层121的漏区,并且通过另一开口71电连接到金属层115。也就是说,作为用于将薄膜晶体管的输出传输到另一元件的电极,漏电极(即,输出侧电极161)可以将薄膜晶体管的输出传输到金属层115。此外,漏电极可以将薄膜晶体管的输出电流传输到稍后将描述的阳极191。输入侧电极175通过开口51电连接到薄膜晶体管的第一半导体层121的源区。

[0060] 尽管未示出,但是输入侧电极175可以电连接到向其施加有驱动电压ELVDD的驱动电压线。结果,薄膜晶体管可以通过利用输入侧电极175与栅电极154之间的电压差来将输出电流传输到输出侧电极161。

[0061] 用于存储电容器的第二电极161-1形成在用于存储电容器的第一电极154-1上,并且与用于存储电容器的第一电极154-1和设置在它们之间的层间绝缘层13一起构成存储电容器。用于存储电容器的第二电极161-1可以连接到特定端子,并且在本示例性实施例中可以电连接到输出侧电极161。根据另一示例性实施例,用于存储电容器的第二电极161-1可以电连接到向其施加有驱动电压ELVDD的驱动电压线。

[0062] 垫电极171-1设置在数据线171(见图14)的端部上,并且设置在位于显示区域周围的垫区域中,而不设置在用于显示图像的显示区域中。传输到垫电极171-1的数据电压可以通过数据线171传输到每个像素PX(见图14)。

[0063] 数据导电层161、161-1、175和171-1可以由金属材料形成,在本示例性实施例中,它们形成具有包括包含钛(Ti)的下层和包含铜(Cu)的上层的双层结构。然而,本发明不限于此。在示例性实施例中,数据导电层161、161-1、175和171-1可以由单层形成或者可以由各种金属材料形成。

[0064] 钝化层14形成在数据导电层161、161-1、175和171-1以及暴露的层间绝缘层13上。钝化层14可以由诸如氮氧化硅(SiON)的无机绝缘层形成。本发明不限于此。在示例性实施例中,钝化层14可以由氧化硅(SiO<sub>x</sub>)或氮化硅(SiN<sub>x</sub>)形成。

[0065] 上绝缘层15形成在钝化层14上。在本示例性实施例中,上绝缘层15可以由诸如聚酰亚胺(PI)的有机绝缘体形成。本发明不限于此。根据另一示例性实施例,上绝缘层15可以由各种有机绝缘材料形成。

[0066] 钝化层14和上绝缘层15包括使输出侧电极161暴露的开口81和使位于垫区域中的垫电极171-1暴露的开口84。

[0067] 具有三层结构的阳极191和具有单层结构的垫接触电极197形成在上绝缘层15上。可以使用相同的工艺来形成阳极191和垫接触电极197,并且可以通过去除具有多个层的阳极191中的至少一层来形成垫接触电极197。例如,阳极191具有三层结构,垫接触电极197具有通过去除所述三层结构中的两层所形成的单层结构。例如,阳极191可以包括包含钛(Ti)的下层191a、包含银(Ag)的中间层191b和包含氧化铟锡(ITO)的上层191c,垫接触电极197可以由与阳极191的下层191a相同的层形成。在示例性实施例中,垫接触电极197和阳极191的下层191a可以是包括钛(Ti)的层。然而,本发明不限于此。在示例性实施例中,除了金属材料之外,阳极191的下层191a可以由包括透明导电材料(诸如ITO或氧化铟锌(IZO))的各



种导电材料形成。

[0068] 阳极191通过形成在钝化层14和上绝缘层15中的开口81电连接到输出侧电极161。结果,输出侧电极161的输出电流传输到作为有机发光二极管(OLED)的一个电极的阳极191。

[0069] 垫接触电极197通过形成在钝化层14和上绝缘层15中的开口84电连接到垫电极171-1。也就是说,从外部(数据驱动器)供应的数据电压传输到垫接触电极197,并通过垫电极171-1传输到数据线171。垫接触电极197可以形成为比垫电极171-1宽,以易于接收来自外部的电压。此外,垫接触电极197被暴露以与连接件(未示出)连接,并且在连接件连接到其的同时将被连接件覆盖。

[0070] 在本示例性实施例中,因为数据导电层161、161-1、175和171-1的多个层之中的上层可以包含铜(Cu),所以当其通过开口81和84电连接到垫接触电极197和阳极191时,它们的接触特性会是差的。在示例性实施例中,数据导电层161、161-1、175和171-1中的每者的上层的接触特性可以包括它们对垫接触电极197和阳极191中的每者的粘合力。为了克服这种差的接触特性,可以附加地形成用于改善接触特性的层。然而,根据本发明的示例性实施例,在不添加工艺的情况下,通过使阳极191的下层191a和垫接触电极197包含钛(Ti)来提高与铜(Cu)的接触特性,而不用形成附加层(例如,ITO层)。

[0071] 有机发射层35和间隔壁30形成在阳极191上。在本示例性实施例中,间隔壁30可以由诸如聚酰亚胺(PI)的有机材料形成。间隔壁30可以限定将形成有机发射层35的位置,并且可以沿着阳极191的外周形成。

[0072] 有机发射层35形成在由间隔壁30限定的开口30-1中。尽管有机发射层35在图1中被示出为单层,但是诸如电子注入层、电子传输层、空穴传输层或空穴注入层的辅助层也被包括在有机发射层35上方和/或下方。有机发射层35可以根据其类型而形成发射红光、绿光或蓝光。然而,在图20的示例性实施例中,还可以包括用于显示单独颜色的层,并且发射层可以被构造为显示一种颜色。换言之,通过有机发射层35发射的所有的光可以显示相同的颜色,但可以通过设置在每个像素PX中的稍后将描述的颜色转换层230来显示诸如红色、绿色和蓝色的光的三原色。

[0073] 阴极196作为透明导电层而形成在间隔壁30和有机发射层35上。也就是说,从有机发射层35发射的光通过阴极196传输到外部,使得光对用户的眼睛可见。这种结构被称为前向发射结构。

[0074] 阳极191、有机发射层35、间隔壁30和阴极196不形成在垫区域中,而是形成在显示区域中。

[0075] 尽管未示出,但是图20的盖层240形成在阴极196上以阻挡空气或湿气渗透到有机发射层35中。

[0076] 以上描述的薄膜晶体管可以是产生输出电流以控制有机发光二极管(OLED)的发射程度的驱动晶体管。

[0077] 有机发光二极管显示器被划分为显示区域和垫区域。垫区域表示设置有垫电极171-1的外围区域,并且显示区域表示除了垫区域之外的区域。根据另一示例性实施例,垫区域可以被包括在外围区域中,并且外围区域是围绕显示区域的区域。显示区域是其中形成包括有机发光二极管(OLED)的像素PX以显示图像的区域。

[0078] 在下文中,将参照图2至图15描述根据图1的示例性实施例的有机发光二极管显示器的制造方法。

[0079] 图2示出了根据示例性实施例的有机发光二极管显示器的制造顺序,图3是示出根据本发明的示例性实施例的有机发光二极管显示器的制造工艺中的阳极制造工艺的细节图,图4至图13是根据每个制造步骤而示出图1的有机发光二极管显示器的剖视图。

[0080] 首先,图2示出了从基底10至间隔壁30的制造工艺,并且图4至图13针对图2的每个步骤示出了在图1的示例性实施例中所完成的工艺。图3更详细地示出了图2的第十四步骤(Pad Anode)所划分为的若干步骤。

[0081] 在下文中,将参照与图2的各个步骤对应的图4至图13来描述图2的各个步骤,并且当描述第十四步骤(Pad Anode)时将描述图3的详细步骤。

[0082] 首先,在图2中,为了易于区分每个步骤,通过在方框中顺序地对步骤进行编号而将步骤分类,并且通过与步骤相关的层或部件的附图标记来表示位于方框外部的标号以识别所形成的层或部件。在图2中,通过M来表示使用掩模的工艺,并且在M之前的数字表示掩模的编号。

[0083] 图2的第一步骤(Glass substrate)代表准备基底10的步骤。在本示例性实施例中,将玻璃基底用作基底10。

[0084] 第二步骤(BML)代表在基底10上形成金属层115的步骤。在图2中,第二步骤中的“1M”表示通过使用第一掩模1M来形成金属层115。也就是说,在堆叠用于形成金属层115的材料之后,使用第一掩模1M将金属层115图案化。在这种情况下,在用于形成金属层115的材料上堆叠光致抗蚀剂,并且首先通过使用第一掩模1M对光致抗蚀剂进行曝光来形成光致抗蚀剂图案,然后根据光致抗蚀剂图案将用于形成金属层115的材料图案化以形成金属层115。除非另外描述,否则可以以与如上所述的方式相同的方式形成每个层。用于金属层115的金属材料可以为钛(Ti)、钼(Mo)、铜(Cu)等,并且可以被形成为具有仅使用单一金属材料的单层结构或使用两种金属材料的双层结构。例如,可以通过形成具有钛(Ti)的下层和具有铜(Cu)的上层来获得双层结构。

[0085] 图4中示出了在完成第一步骤(Glass substrate)和第二步骤(BML)之后的剖视图。

[0086] 第三步骤(Buffer)代表在基底10和金属层115上堆叠缓冲层11的步骤。在第三步骤(Buffer)中,不使用单独的掩模来形成图案。缓冲层11可以由诸如氧化硅( $\text{SiO}_x$ )或氮化硅( $\text{SiN}_x$ )的无机绝缘层形成。

[0087] 第四步骤(Active)代表通过使用第二掩模2M在缓冲层11上以特定图案形成第一半导体层121的步骤。第一半导体层121可以由氧化物半导体(例如,氧化铟镓锌(IGZO))形成。

[0088] 图5中示出了在完成第三步骤(Buffer)和第四步骤(Active)之后的剖视图。

[0089] 第五步骤(G.I.)代表在缓冲层11和第一半导体层121上堆叠栅极绝缘层12的步骤,并且不通过使用单独的掩模来形成图案。在这种情况下,与图1中不同,栅极绝缘层12完整地堆叠在缓冲层11和第一半导体层121上。栅极绝缘层12可以由诸如氧化硅( $\text{SiO}_x$ )的无机绝缘层形成。根据另一示例性实施例,栅极绝缘层12可以包括氮化硅( $\text{SiN}_x$ )。

[0090] 第六步骤(Gate)代表在栅极绝缘层12上堆叠用于栅极导电层154和154-1的材料

和通过使用第三掩模3M来形成栅极导电层154和154-1的步骤。在这种情况下,设置在栅极导电层154和154-1下方的栅极绝缘层12也一起被蚀刻,从而如图1中所示地仅在栅极导电层154和154-1下方设置栅极绝缘层12。将用于形成栅极导电层154和154-1的材料形成成为具有包括包含钛(Ti)的下层和包含铜(Cu)的上层的双层结构。

[0091] 图6和图7中示出了针对第五步骤(G.I.)和第六步骤(Gate)的剖视图。图6示出了第六步骤(Gate)中的初步栅极导电层154',图7示出了通过使用第三掩模3M对栅极绝缘层12和初步栅极导电层154'进行蚀刻而形成的栅极导电层154和154-1和栅极绝缘层12的图案。

[0092] 第七步骤(ILD)代表在不使用单独的掩模的情况下于栅极导电层154和154-1以及缓冲层11上堆叠层间绝缘层13的步骤。层间绝缘层13可以比其他的无机绝缘层厚。层间绝缘层13也可以由诸如氧化硅( $\text{SiO}_x$ )、氮化硅( $\text{SiN}_x$ )或氮氧化硅( $\text{SiON}$ )的无机绝缘层形成。

[0093] 第八步骤(ANL)代表对层间绝缘层13进行退火的步骤。

[0094] 第九步骤(CNT1+CNT2+Dry Etch)代表在层间绝缘层13和缓冲层11中形成开口50、51和71的步骤,具体地,使用第四掩模4M在层间绝缘层13中形成开口50和51并且一起使用第五掩模5M在缓冲层11中形成开口71。在这种情况下,可以使用第四掩模4M对层间绝缘层13执行干蚀刻以形成分别暴露第一半导体层121的漏区和源区的开口50和51。同时,可以通过经由第四掩模4M蚀刻层间绝缘层13并进一步通过经由第五掩模5M蚀刻缓冲层11以暴露金属层115来形成暴露金属层115的开口71。然而,根据掩模,可以通过使用第四掩模4M形成开口50和51而仅去除层间绝缘层13,并且可以通过使用第五掩模5M仅形成开口71而顺序地去除层间绝缘层13和缓冲层11。

[0095] 图8中示出了在完成第七步骤(ILD)、第八步骤(ANL)和第九步骤(CNT1+CNT2+Dry Etch)之后的剖视图。

[0096] 第十步骤(S/D)代表使用第六掩模6M形成数据导电层161、161-1、175和171-1的步骤,具体地,堆叠用于数据导电层161、161-1、175和171-1的材料,然后通过使用第六掩模6M将其图案化以形成数据导电层161、161-1、175和171-1。在这种情况下,通过开口50和51将数据导电层161、161-1、175和171-1中的输出侧电极161和输入侧电极175分别电连接到第一半导体层121的源区和漏区并且通过开口71将数据导电层161、161-1、175和171-1中的输出侧电极161电连接到金属层115。将用于数据导电层161、161-1、175和171-1的材料形成成为具有包括包含钛(Ti)的下层和包含铜(Cu)的上层的双层结构,诸如用于栅极导电层154和154-1的材料。

[0097] 图9中示出了在完成第十步骤(S/D)之后的剖视图。

[0098] 第十一步骤(PVX)代表在不使用掩模的情况下于数据导电层161、161-1、175和171-1以及层间绝缘层13上堆叠钝化层14的步骤。在本示例性实施例中,钝化层14可以由诸如氮氧化硅( $\text{SiON}$ )的无机绝缘层形成。

[0099] 第十二步骤(VIA)代表在钝化层14上堆叠上绝缘层15的步骤。在本示例性实施例中,上绝缘层15可以由诸如聚酰亚胺(PI)的有机绝缘体形成。

[0100] 在第十三步骤(CNT3)中,通过使用第七掩模7M对上绝缘层15和钝化层14进行蚀刻来形成开口81和84,从而暴露输出侧电极161和垫电极171-1。

[0101] 图10中示出了在完成第十一步骤(PVX)、第十二步骤(VIA)和第十三步骤(CNT3)之

后的剖视图。

[0102] 第十四步骤 (PadAnode) 代表如下步骤:顺序地堆叠三层(在下文中也称为阳极材料),然后通过使用第八掩模8M对所述三层进行蚀刻,以形成照原样具有所述三层的阳极191和具有单层的垫接触电极197。可以将半色调掩模用作第八掩模8M。在本示例性实施例中,将所述三层形成为包括包含钛(Ti)的下层191a、包含银(Ag)的中间层191b和包含氧化铟锡(ITO)的上层191c。图11和图12中示出了第十四步骤(PadAnode),稍后将参照图3分开地详细描述第十四步骤(Pad Anode)。

[0103] 第十五步骤(HPDL)代表通过使用第九掩模9M形成间隔壁30的步骤。在本示例性实施例中,间隔壁30可以由诸如聚酰亚胺(PI)的有机材料形成。图13中示出了在完成第十五步骤(HPDL)之后的剖视图。

[0104] 还可以包括在被间隔壁30暴露的阳极191上形成有机发射层35的步骤和形成覆盖间隔壁30和有机发射层35的阴极196的步骤。

[0105] 在下文中,将参照图3详细地描述第十四步骤(Pad Anode),并将与图11和图12一起顺序地描述图3中示出的第十四步骤的子步骤。

[0106] 如图3中所示,第十四步骤(PadAnode)包括第十四-1步骤(Anode Photo/Anode 1stWet Etch)、第十四-2步骤(TiDry Etch)、第十四-3步骤(PR Ashing)和第十四-4步骤(Anode 2ndWet Etch/PR strip)。此外,图3分开地示出了显示区域PXL和垫区域PAD。

[0107] 第十四-1步骤(Anode Photo/Anode 1st Wet Etch)代表如下的步骤:通过顺序地堆叠阳极材料层191'和光致抗蚀剂PR并使光致抗蚀剂PR曝光来形成光致抗蚀剂图案,然后通过第一湿蚀刻工艺对其进行蚀刻。在这里,阳极材料层191'包括具有用于形成下层191a的下层材料191a'、用于形成中间层191b的中间层材料191b'和用于形成上层191c的上层材料191c'的多个层。也就是说,在整个上绝缘层15上形成钛(Ti),然后在钛(Ti)上完整地形成银(Ag)。其后,在银(Ag)上完整地形成氧化铟锡(ITO)。将钛(Ti)形成为具有 $30\text{\AA}$ 或更大的厚度。参照图3,将包含钛(Ti)的下层材料191a'堆叠为具有 $100\text{\AA}$ 至 $500\text{\AA}$ 的厚度,将包含银(Ag)的中间层材料191b'堆叠为具有 $850\text{\AA}$ 的厚度,并且将包含氧化铟锡(ITO)的上层材料191c'堆叠为具有 $70\text{\AA}$ 的厚度。在这里,包含钛(Ti)的下层材料191a'可以改善与上绝缘层15的接触特性,并且可以防止中间层191b的银(Ag)向下扩散至例如晶体管。包含银(Ag)的中间层材料191b'可以用于向上反射从有机发射层35发射的光。包含氧化铟锡(ITO)的上层材料191c'也可以用作有机发射层35的空穴注入层。上层材料191c'可以包含除了ITO之外的透明导电材料。

[0108] 在图3的示例性实施例中,下层材料191a'可以包含钛(Ti),中间层材料191b'可以包含银(Ag),上层材料191c'可以包含氧化铟锡(ITO),但下层材料191a'、中间层材料191b'或上层材料191c'可以扩展并应用到包含钛(Ti)、银(Ag)或氧化铟锡(ITO)的材料。

[0109] 在上绝缘层15和钝化层14中分别形成用于使输出侧电极161和垫电极171-1暴露的开口81和84,使得阳极材料层191'也被形成在开口81和84中并连接到输出侧电极161和垫电极171-1。图11中示出了该状态的剖视图。

[0110] 堆叠阳极材料层191',然后在其上堆叠光致抗蚀剂PR。然后,通过使用第八掩模8M对光致抗蚀剂PR进行曝光并显影以形成光致抗蚀剂PR的图案。在这里,第八掩模8M是具有

透射区域、阻光区域和透反区域的半色调掩模,并且透反区域用于形成设置在垫区域PAD中的光致抗蚀剂PR的图案。换言之,通过第八掩模8M的透反区域曝光的光致抗蚀剂PR被形成成为中间厚度,而不完全去除光致抗蚀剂PR或者不具有最大厚度。

[0111] 接下来,将光致抗蚀剂PR的图案用作掩模以执行第一湿蚀刻(1st Wet Etch)。第一湿蚀刻(1st Wet Etch)中使用的蚀刻剂(即,阳极蚀刻剂)是可以蚀刻包含银(Ag)的中间层材料191b'和包含氧化铟锡(ITO)的上层材料191c'而不蚀刻包含钛(Ti)的下层材料191a'的蚀刻剂。结果,当执行第一湿蚀刻(1st Wet Etch)时,包含银(Ag)的中间层材料191b'和包含氧化铟锡(ITO)的上层材料191c'被蚀刻,而包含钛(Ti)的下层材料191a'完整地连接而不被蚀刻。阳极蚀刻剂可以包括磷酸、硝酸或乙酸。

[0112] 在第十四-2步骤(TiDry Etch)中,通过使用光致抗蚀剂PR的图案作为掩模而执行干蚀刻来对包含钛(Ti)的下层材料191a'进行蚀刻。在这种情况下,光致抗蚀剂PR的图案也被蚀刻为具有减小的厚度。同时,因为上绝缘层15设置在包含钛(Ti)的下层材料191a'下方,所以上绝缘层15也被部分地蚀刻。上绝缘层15可以是诸如聚酰亚胺(PI)的有机层,并且钛(Ti)可以被包含在将被干蚀刻的下层191a中,因此与上绝缘层15的有机层接触的钛(Ti)会被氧化而产生氧化钛( $TiO_x$ )。当产生氧化钛( $TiO_x$ )时,氧化钛( $TiO_x$ )会干扰干蚀刻。然而,在本示例性实施例中,为了防止产生氧化钛( $TiO_x$ ),在通过溅射于上绝缘层15上堆叠包含钛(Ti)的下层材料191a'之前执行预热处理(Pre-heat)。在这里,预热处理表示在沉积包含钛(Ti)的下层材料191a'之前对上绝缘层15进行热处理。预热处理为在80°C或更高的温度下将上绝缘层15热处理持续1分钟或更多。在示例性实施例中,可以在大约120°C的温度下执行预热处理大约1分钟至3分钟。在示例性实施例中,可以将多个层(即,阳极材料层191')图案化,以分别在显示区域PXL和垫区域PAD中形成作为有机发光二极管的阳极191的多个第一图案化层和作为初步垫接触电极197'的多个第二图案化层。

[0113] 将参照图21详细地描述通过预热处理来减少氧化钛( $TiO_x$ )的产生和预热处理条件的细节。

[0114] 第十四-3步骤(PR Ashing)是去除在第十四-2步骤(TiDry Etch)之后残留在垫区域PAD中的光致抗蚀剂PR的图案的工艺。在这种情况下,保留而不去除设置在显示区域PXL中的光致抗蚀剂PR的图案。

[0115] 其后,在第十四-4步骤(Anode 2nd Wet Etch/PR strip)中,通过使用保留在显示区域PXL中的光致抗蚀剂PR的图案作为掩模来执行第二湿蚀刻(2nd Wet Etch),然后执行剥离工艺以去除设置在显示区域PXL中的光致抗蚀剂PR的图案。在示例性实施例中,可以在垫区域PAD中去除除了作为垫接触电极197的图案化的下层之外的多个第二图案化层。

[0116] 首先,在第一湿蚀刻(1st Wet Etch)中使用的阳极蚀刻剂也被用在第二湿蚀刻(2nd Wet Etch)中。阳极蚀刻剂可以包括磷酸、硝酸或乙酸。通过第二湿蚀刻对形成在垫区域PAD中的包含银(Ag)的中间层材料191b'和包含氧化铟锡(ITO)的上层材料191c'进行蚀刻,并且保留而不蚀刻包含钛(Ti)的下层材料191a',使得垫接触电极197具有仅由包含钛(Ti)的下层191a形成的单层结构。

[0117] 其后,使用用于去除光致抗蚀剂PR的液体(PR剥离剂)来执行去除光致抗蚀剂PR的工艺(剥离工艺)。

[0118] 阳极191通过该工艺而具有三层结构,并且所述三层结构中的两层被去除以形成

具有单层结构的垫接触电极197。

[0119] 在前述中,已经聚焦于图1的剖面结构而描述了有机发光二极管显示器及其制造方法。在下文中,将参照图14至图19详细地描述一个像素PX的电路图、波形图、布局图等。

[0120] 具有如图1中示出的剖面结构的有机发光二极管显示器可以具有如图14中示出的像素电路图,并且具有图15的波形的信号可以被施加到图14的像素电路。

[0121] 图14示出了根据示例性实施例的有机发光二极管显示器的一个像素的等效电路图,图15示出了根据示例性实施例的施加到有机发光二极管显示器的一个像素的信号的时序图。

[0122] 参照图14,有机发光二极管显示器的像素PX包括连接到各种信号线151、152、171和173的多个晶体管T1、T2和T3、存储电容器Cst、附加电容器Ca以及有机发光二极管OLED。

[0123] 作为根据图14的示例性实施例的有机发光二极管显示器,示出了以高分辨率使用的有机发光二极管显示器,并且将对一个像素PX的结构进行如下描述。

[0124] 包括在一个像素PX中的晶体管T1、T2和T3包括用于将输出电流传输到有机发光二极管OLED的驱动晶体管T1、与扫描线151连接的第二晶体管T2(也称为开关晶体管)和与前一级扫描线152连接的第三晶体管T3(也称为初始化晶体管或感测晶体管)。根据另一示例性实施例,用于施加具有与前一级扫描线152的时序不同的时序的栅极导通电压的信号线可以连接到第三晶体管T3。

[0125] 扫描线151连接到栅极驱动器(未示出)以将扫描信号Sn传输到第二晶体管T2的栅电极。

[0126] 前一级扫描线152连接到栅极驱动器,并且将施加到设置在前一级处的像素PX的前一级扫描信号S(n-1)传输到第三晶体管T3的栅电极。

[0127] 数据线171是用于传输从数据驱动器(未示出)产生的数据电压Dm的布线,并且一条数据线171可以针对一个像素列而形成。一条数据线171和一条扫描线151用于选择一个像素PX并将数据电压Dm输入到对应的像素PX中。有机发光二极管OLED(也称为有机发光元件)以其发射的亮度根据供应到像素PX的数据电压Dm而改变。

[0128] 驱动电压ELVDD被施加到驱动晶体管T1的一个电极,并且驱动低电压ELVSS被施加到有机发光二极管OLED的一个电极。

[0129] 在下文中,将对晶体管进行描述。

[0130] 首先,驱动晶体管T1用于调节根据施加到其栅电极的数据电压Dm而输出的电流的大小,并且从驱动晶体管T1输出的驱动电流Id被施加到有机发光二极管OLED以根据数据电压Dm而调节有机发光二极管OLED的亮度。为了该目的,驱动晶体管T1的第一电极(输入侧电极)设置为接收驱动电压ELVDD,并且驱动晶体管T1的第二电极(输出侧电极)与有机发光二极管OLED的第一电极(在下文中称为阳极或像素电极)连接。此外,驱动晶体管T1的栅电极可以连接到第二晶体管T2的第二电极(输出侧电极)以接收数据电压Dm。

[0131] 驱动晶体管T1的栅电极连接到存储电容器Cst的第一电极。存储电容器Cst用于确保传输到驱动晶体管T1的栅电极的数据电压Dm保持持续一帧。因此,驱动晶体管T1的栅电极的电压根据存储在存储电容器Cst中的电压而改变,因此由驱动晶体管T1输出的驱动电流Id改变为被恒定地输出持续一帧。

[0132] 根据示例性实施例,驱动晶体管T1还包括位于设置有其沟道的半导体层下方的金

属层115。金属层115与驱动晶体管T1的沟道和栅电极叠置,以用于提高驱动晶体管T1的性能并保持栅电极的电压。由于金属层115与栅电极叠置,因此栅电极的电压被保持以对存储电容器Cst的作用进行补偿。在下文中,通过金属层115与驱动晶体管T1的栅电极之间的叠置而添加的电容器被称为叠置电容器(未示出)。金属层115电连接到驱动晶体管T1的第二电极(输出侧电极),因此也连接到有机发光二极管OLED的阳极。

[0133] 第二晶体管T2用于将数据电压Dm接收到像素PX中。第二晶体管T2的栅电极连接到扫描线151,第二晶体管T2的第一电极连接到数据线171,并且第二晶体管T2的第二电极(输出侧电极)连接到驱动晶体管T1的栅电极。当第二晶体管T2根据通过扫描线151传输的扫描信号Sn而导通时,通过数据线171传输的数据电压Dm被传输到驱动晶体管T1的栅电极以被存储在存储电容器Cst中。

[0134] 第三晶体管T3用于使驱动晶体管T1的第二电极(输出侧电极)、存储电容器Cst的第二电极和有机发光二极管OLED的阳极初始化。第三晶体管T3的栅电极连接到前一级扫描线152,并且第三晶体管T3的第一电极连接到初始化电压线173。第三晶体管T3的第二电极(输出侧电极)电连接到驱动晶体管T1的第二电极(输出侧电极),因此也连接到有机发光二极管OLED的阳极和金属层115。

[0135] 初始化电压线173不仅供应初始化电压Vint,而且被用于根据时段而感测与第三晶体管T3的第二电极连接的阳极的电压的布线,在这种情况下,初始化电压线173可以被称为感测线。结果,第三晶体管T3也可以被称为感测晶体管。

[0136] 现将描述第三晶体管T3的操作。当有机发光二极管OLED发射光时,阳极的电压被存储在存储电容器Cst的第二电极中。在这种情况下,数据电压Dm被存储在存储电容器Cst的第一电极中。在这种情况下,当栅极导通电压被施加到第三晶体管T3的栅电极时,初始化电压线173作为感测线操作,并且阳极的电压通过感测线传输到传感器(未示出)。在下文中,这也被称为感测(SS)时段。然后,初始化电压线173施加初始化电压Vint,以在栅极导通电压被施加到第三晶体管T3的栅电极的时段中的剩余时段期间将阳极的电压初始化。在下文中,这被称为初始化时段。

[0137] 当在感测(SS)时段中感测到的电压与在基于施加的数据电压Dm的确定中所期望的阳极电压不同时,可以对数据电压Dm进行校正并将其供应到像素PX。例如,可以改变驱动晶体管T1的特性,在这种情况下,可以通过感测特性的改变而根据改变后的特性适当地调节数据电压Dm,以使有机发光二极管OLED正常发光。

[0138] 存储电容器Cst的两个电极用于使数据电压Dm和有机发光二极管OLED的阳极电压(驱动晶体管T1的输出侧电极的电压)保持持续一帧。

[0139] 然而,近年来,在制造高分辨率的有机发光二极管显示器的同时,已经减小了像素PX所占据的区域。因此,减小了用于形成存储电容器Cst的区域,并且会无法确保可以保持持续一帧的存储电容。因此,还可以包括附加电容器。

[0140] 在图14的示例性实施例中,还包括附加电容器Ca,以确保足够的存储电容以使有机发光二极管OLED的阳极电压保持持续一帧。

[0141] 附加电容器Ca具有连接到有机发光二极管OLED的阳极的第一电极和向其施加有驱动电压ELVDD的第二电极,以保持有机发光二极管OLED的阳极电压。

[0142] 根据另一示例性实施例,通过金属层115与驱动晶体管T1的栅电极之间的叠置形

成了叠置电容器。

[0143] 将通过把图15的波形图应用于图14的像素PX的结构来描述根据示例性实施例的有机发光二极管显示器的一个像素PX的操作。

[0144] 在图15中,将由SCAN表示的信号施加到扫描线151,并且将由SENSING表示的信号施加到前一级扫描线152。

[0145] 在感测/初始化时段期间,通过前一级扫描线152将高电平的前一级扫描信号S(n-1)供应到像素PX。然后,接收到前一级扫描信号S(n-1)的第三晶体管T3导通。在这种情况下,通过初始化电压线173检查存储在有机发光二极管OLED的阳极中的电压(感测(SS)时段),然后将有机发光二极管OLED的阳极电压改变为初始化电压Vint以使有机发光二极管OLED的阳极初始化(初始化时段)。

[0146] 当设置在每个像素PX中的驱动晶体管T1由于工艺变化或驱动晶体管T1的特性在长时间段上改变而具有不同的阈值电压(Vth)时,这些在感测时间期间被感测到,从而使有机发光二极管OLED正常发光。

[0147] 然后,在数据写入时段期间,通过扫描线151将高电平的扫描信号Sn施加到像素PX。第二晶体管T2通过高电平的扫描信号Sn而导通。当第二晶体管T2导通时,数据电压Dm通过第二晶体管T2被输入到驱动晶体管T1的栅电极以被存储在存储电容器Cst的第一电极中。

[0148] 驱动晶体管T1的导通程度根据施加到其栅电极的数据电压Dm而被确定,驱动晶体管T1的输出根据其导通程度而被确定,并且驱动晶体管T1的输出被传输到有机发光二极管OLED的阳极。在这种情况下,有机发光二极管OLED的阳极电压被存储在叠置电容器或附加电容器Ca以及存储电容器Cst中并且保持持续一帧。

[0149] 在上文中,已经基于图14的电路图描述了像素结构。

[0150] 在下文中,将参照图16至图19描述如何根据示例性实施例来实现像素PX。

[0151] 图16和图17示出了显示区域的一个像素的布局图和剖视图,图18和图19示出了垫区域的布局图和剖视图。

[0152] 首先,将参照图16和图17描述显示区域中的一个像素PX的结构。

[0153] 图16示出了根据示例性实施例的有机发光二极管显示器的像素的布局图,图17示出了沿图16的线XVII-XVII截取的剖视图。

[0154] 参照图16和图17,在根据本发明的示例性实施例的有机发光二极管显示器中,金属层115、半导体层121、122和123、栅极导电层151、152、153、154、154-1、154-2、157、158和159、数据导电层171、173、175、176、161、161-1、162、166和167、阳极191、有机发射层35以及阴极196形成在基底10上,并且除非这些层通过开口连接,否则这些层利用位于它们之间的绝缘层彼此绝缘。

[0155] 基底10可以由玻璃基底或柔性基底(诸如塑料或聚酰亚胺(PI))形成。在柔性基底的情况下,与玻璃基底不同,可以形成附加的无机绝缘层。

[0156] 金属层115形成在基底10上。金属层115包括连接件和与驱动晶体管T1的沟道叠置的沟道叠置部分。金属层115的连接件连接到驱动晶体管T1的输出侧电极161,这稍后将被描述。因为驱动晶体管T1的输出侧电极161接收阳极191的电压,所以金属层115也接收阳极191的电压。金属层115和驱动晶体管T1的栅电极154可以构成叠置电容器。



[0157] 缓冲层11设置在基底10和金属层115上以覆盖基底10和金属层115。缓冲层11可以由导电金属材料形成。

[0158] 半导体层121、122和123形成在缓冲层11上。半导体层121、122和123分别包括驱动晶体管T1的沟道、第二晶体管T2的沟道和第三晶体管T3的沟道。根据本示例性实施例，半导体层121、122和123可以由氧化物半导体形成。作为驱动晶体管T1的半导体层的第一半导体层121包括沟道区以及设置在沟道区的相对侧处的源区和漏区。作为第二晶体管T2的半导体层的第二半导体层122包括沟道区以及设置在沟道区的相对侧处的源区和漏区，作为第三晶体管T3的半导体层的第三半导体层123包括沟道区以及设置在沟道区的相对侧处的源区和漏区。

[0159] 半导体层121、122和123中的每个的沟道区可以形成在四边形的中心处包括开口的两条线，或者可以仅形成连接源区和漏区的一条线。

[0160] 半导体层121、122和123中的每个的源区和漏区分别电连接到对应的晶体管的第一电极（输入侧电极）和第二电极（输出侧电极）。此外，源区和漏区延伸以通过开口电连接到其他层。

[0161] 在图16的示例性实施例中，第一半导体层121和第三半导体层123彼此连接。

[0162] 栅极绝缘层12设置在半导体层121、122和123以及缓冲层11上以覆盖半导体层121、122和123以及缓冲层11。栅极绝缘层12可以由无机绝缘材料形成。

[0163] 栅极导电层151、152、153、154、154-1、154-2、157、158和159设置在栅极绝缘层12上。栅极导电层151、152、153、154、154-1、154-2、157、158和159包括扫描线151、前一级扫描线152、初始化电压传输单元153、驱动晶体管T1的栅电极154、存储电容器Cst的第一电极154-1、第二晶体管T2的输出侧电极154-2、第二晶体管T2的栅电极157、第三晶体管T3的栅电极158和水平驱动电压线159。驱动晶体管T1的栅电极154连接到存储电容器Cst的第一电极154-1和第二晶体管T2的输出侧电极154-2。

[0164] 扫描线151在第一方向（水平方向）上延伸，并且前一级扫描线152也在第一方向（水平方向）上延伸。

[0165] 初始化电压传输单元153具有在第一方向上延伸的岛形状。初始化电压传输单元153是每预定数量的像素列所形成的用于将多个像素PX连接到初始化电压线173的结构。例如，初始化电压传输单元153在第一方向上通过相邻的像素PX延伸至将形成初始化电压线173的位置。在本示例性实施例中，一条初始化电压线173针对包括三个子像素PX1、PX2和PX3的每个像素PX而形成。

[0166] 水平驱动电压线159在第一方向（水平方向）上延伸并与在第二方向（竖直方向）上延伸的驱动电压线175相交。水平驱动电压线159设置于在行方向上相邻的像素PX之间，并且针对在列方向上相邻的子像素PX1、PX2和PX3中的每个而通过开口57电连接到驱动电压线175。

[0167] 驱动晶体管T1的栅电极154与其中设置有驱动晶体管T1的沟道的第一半导体层121叠置，与存储电容器Cst的第一电极154-1连接，并且也通过存储电容器Cst的第一电极154-1与第二晶体管T2的输出侧电极154-2连接。结果，通过第二晶体管T2传输到像素PX的数据电压Dm也通过开口43传输到存储电容器Cst的第一电极154-1和驱动晶体管T1的栅电极154。

[0168] 此外,存储电容器Cst的第一电极154-1和金属层115的延伸部彼此叠置以构成叠置电容器。

[0169] 图16示出了构成一个像素PX的三个子像素PX1、PX2和PX3,并且子像素PX1、PX2和PX3的驱动晶体管T1的栅电极154的延伸部被示出为具有各种尺寸。

[0170] 第二晶体管T2的栅电极157具有岛状结构,并且与第二晶体管T2的第二半导体层122叠置。第二晶体管T2的沟道形成在第二晶体管T2的第二半导体层122与栅电极157彼此叠置的位置处。第二晶体管T2的栅电极157通过第二栅电极连接件162电连接到当前级扫描线(也简称为扫描线)151。当前级扫描线151通过开口72连接到第二栅电极连接件162,第二栅电极连接件162通过开口46连接到第二晶体管T2的栅电极157。

[0171] 第三晶体管T3的栅电极158具有岛状结构并且与第三晶体管T3的第三半导体层123叠置。第三晶体管T3的沟道形成在第三半导体层123与栅电极158彼此叠置的位置处。栅电极158通过第三栅电极连接件167电连接到前一级扫描线152。前一级扫描线152通过开口77电连接到第三栅电极连接件167,第三栅电极连接件167通过开口54电连接到第三晶体管T3的栅电极158。

[0172] 层间绝缘层13设置在栅极导电层151、152、153、154、154-1、154-2、157、158和159以及栅极绝缘层12上以覆盖它们。层间绝缘层13可以由无机绝缘材料形成为厚的。

[0173] 数据导电层171、173、175、176、161、161-1、162、166和167设置在层间绝缘层13上。数据导电层171、173、175、176、161、161-1、162、166和167包括数据线171、初始化电压线173、驱动电压线175、驱动低电压线176、驱动晶体管T1的输出侧电极161、存储电容器Cst的第二电极161-1、第二栅电极连接件162、第三晶体管T3的第一电极(输入侧电极)166和第三栅电极连接件167。

[0174] 数据线171针对每个像素列形成,并且在与第一方向垂直的第二方向(竖直方向)上延伸。数据线171经由开口41连接到第二晶体管T2的第二半导体层122以将数据电压 $D_m$ 施加到第二晶体管T2。数据线171延伸至垫区域,并且具有延伸的宽度的垫电极171-1设置在垫区域中。垫电极171-1和数据线171可以一体地形成,将参照图18和图19描述垫电极171-1。

[0175] 初始化电压线173在第二方向上延伸以施加初始化电压 $V_{int}$ 。在本示例性实施例中,初始化电压线173不针对每个像素列形成,而是一条初始化电压线173针对包括三个子像素PX1、PX2和PX3的每个像素PX形成。初始化电压线173通过开口63连接到初始化电压传输单元153,并且初始化电压传输单元153通过开口79连接到第三晶体管T3的第一电极166。第三晶体管T3的第一电极166通过开口48连接到第三晶体管T3的第三半导体层123。结果,初始化电压 $V_{int}$ 施加到每个像素PX的第三晶体管T3的第一电极(输入侧电极)166。

[0176] 驱动电压线175和驱动低电压线176也在第二方向(竖直方向)上延伸。驱动电压线175设置在三个子像素PX1、PX2和PX3中的每个子像素中,但驱动低电压线176设置在包含三个子像素PX1、PX2和PX3的一个像素PX中。驱动电压线175传输驱动电压 $ELVDD$ ,并且通过两个开口51连接到驱动晶体管T1的第一半导体层121以将驱动电压 $ELVDD$ 传输到驱动晶体管T1的第一电极。与驱动低电压线176相比,驱动电压线175可以具有窄的宽度。驱动低电压线176可以在与设置在另一层中的布线叠置的区域中具有窄的宽度,在图16中,驱动低电压线176在与扫描线151叠置的部分处具有窄的宽度。具有宽的宽度的驱动低电压线176形成电

连接结构以将驱动低电压ELVSS传输到设置在其的上部分处的阴极196。例如,为了利用激光等形成接触并使所述接触电连接,需要一定水平的宽度。

[0177] 驱动晶体管T1的输出侧电极161通过开口50电连接到驱动晶体管T1的第一半导体层121,并且延伸至存储电容器Cst的第二电极161-1。其后,输出侧电极161再次延伸以通过开口81电连接到稍后将描述的阳极191。

[0178] 第二栅电极连接件162经由两个开口46和72将当前级扫描线151与第二晶体管T2的栅电极157电连接。

[0179] 第三晶体管T3的第一电极166通过开口48连接到第三半导体层123以用作输入侧电极,并且延伸以通过开口79电连接到初始化电压传输单元153。结果,初始化电压Vint直接传输到第三晶体管T3的第一电极166。

[0180] 第三栅电极连接件167经由两个开口54和77将前一级扫描线152与第三晶体管T3的栅电极158电连接。

[0181] 钝化层14设置在数据导电层171、173、175、176、161、161-1、162、166和167以及层间绝缘层13上。钝化层14可以由无机绝缘层形成。

[0182] 上绝缘层15设置在钝化层14上,上绝缘层15可以由有机层形成。阳极191和垫接触电极197形成在上绝缘层15上。垫接触电极197分开地示出在图18和图19中,并将参照图18和图19详细地描述垫接触电极197。

[0183] 阳极191将从驱动晶体管T1输出到有机发光二极管OLED的第一电极的电流传输到有机发射层35。阳极191通过开口81电连接到用于存储电容器Cst的第二电极161-1,用于存储电容器Cst的第二电极161-1连接到驱动晶体管T1的输出侧电极161,以将驱动晶体管T1的输出传输到阳极191。参照图17的剖视图,阳极191具有包括下层191a、中间层191b和上层191c的三层结构。相反,垫接触电极197形成为由与下层191a的材料相同的材料形成的单层(见图19)。

[0184] 参照图16,阳极191设置在像素PX的整个表面上方以与驱动晶体管T1、第二晶体管T2和第三晶体管T3叠置,并且驱动电压线175的侧部与阳极191的侧部彼此并排叠置。

[0185] 在这里,附加电容器Ca形成在阳极191与驱动电压线175彼此叠置的区域处。

[0186] 阳极191与驱动电压线175叠置而不与驱动低电压线176叠置。然而,根据另一示例性实施例,阳极191可以与驱动低电压线176叠置以构成附加电容器。

[0187] 具有开口30-1的间隔壁30设置在阳极191上,有机发射层35设置在间隔壁30的开口30-1中,并且形成了覆盖间隔壁30的阴极196和有机发射层35。尽管未示出,但是阴极196电连接到驱动低电压线176以接收驱动低电压ELVSS。

[0188] 在下文中,将参照图18和图19详细地描述垫区域的结构。

[0189] 图18示出了根据示例性实施例的垫区域的布局图,图19示出了沿图18的线XIX-XIX截取的剖视图。

[0190] 参照图18,垫电极171-1和通过开口84电连接到垫电极171-1的垫接触电极197形成在垫区域中。

[0191] 垫电极171-1表示数据线171的穿过显示区域而延伸至垫区域的延伸端部。垫电极171-1以与数据线171相同的方式被包括在数据导电层中。

[0192] 参照图19,垫电极171-1覆盖有钝化层14和上绝缘层15,并且暴露垫电极171-1的

一部分的开口84形成在钝化层14和上绝缘层15中。

[0193] 垫接触电极197形成在上绝缘层15上,并且通过开口84电连接到垫电极171-1。垫接触电极197可以具有比垫电极171-1的宽度宽的宽度。

[0194] 此外,如图19中所示,垫接触电极197具有与通过相同的工艺形成的阳极191的三层结构不同的单层结构。垫接触电极197可以由与阳极191的三层结构的下层191a的材料相同的材料形成。

[0195] 已经参照图18和图19描述了设置在数据线171的一个端部处的垫电极171-1。

[0196] 参照图1,因为栅极导电层154和154-1和数据导电层161、161-1、175和171-1具有相同的双层结构,所以设置在扫描线151的端部处的垫电极可以具有与图18和图19的结构相似的结构。然而,因为设置在扫描线151的端部处的垫电极设置在栅极导电层中而不在数据导电层中,所以不同之处在于所述垫电极设置在层间绝缘层13下方。电连接到设置在扫描线151的端部处的垫电极的垫接触电极具有如图18和图19中示出的单层结构,并且可以由与阳极191的下层191a的材料相同的材料形成。根据另一示例性实施例,附加连接件可以形成在数据导电层中以促进栅极导电层与垫接触电极之间的连接。

[0197] 在下文中,将参照图20描述包括颜色转换层的有机发光二极管显示器的剖面结构。

[0198] 图20示出了根据示例性实施例的有机发光二极管显示器的剖视图。

[0199] 如图20的剖视图中所示,除了图1的构成元件之外,有机发光二极管显示器还包括上基底10-1、粘合层250、阻光层220、颜色转换层230和被构造为覆盖有机发光二极管OLED的盖层240。

[0200] 如下将基于与图1的示例性实施例的不同来描述图20的示例性实施例。

[0201] 间隔壁30和阴极196覆盖有盖层240。盖层240可以包括无机层/有机层/无机层的三层,并且用于防止水或空气从外部渗透到有机发射层35中。设置有垫接触电极197的垫区域可以不被盖层240覆盖。

[0202] 同时,阻光层220和颜色转换层230设置在上基底10-1上。上基底10-1可以由与设置在其下部处的基底10的玻璃相同的玻璃形成。然而,根据另一示例性实施例,基底10和上基底10-1两者可以由柔性材料形成。

[0203] 颜色转换层230设置在通过其从有机发射层35发射的光透射到上基底10-1的下表面的区域中,并且阻光层220设置在颜色转换层230之间。例如,开口形成在阻光层220中,并且颜色转换层230设置在阻光层220的开口中。阻光层220可以延伸至垫区域以及显示区域。

[0204] 颜色转换层230用于通过调节从有机发射层35发射的特定颜色的光(例如,蓝光)的波长而将特定颜色的光转换为具有诸如红色和绿色的原色中的一种的光。通常,颜色转换层230可以包括量子点(QD)材料。在示例性实施例中,通过有机发射层35发射的所有的光显示相同的颜色,但光的诸如红色、绿色和蓝色的三原色可以通过设置在每个像素PX中的颜色转换层230来显示。

[0205] 同时,除了颜色转换层230之外,还可以包括滤色器层(未示出)以提高颜色纯度。当如上所述提高了颜色纯度时,有利于将每种原色显示得更清楚。然而,如果只通过颜色转换层230就确保了足够的颜色纯度,则可以不包括附加的滤色器层。

[0206] 根据另一示例性实施例,有机发射层35可以针对每个像素PX发射红光、绿光和蓝

光(三原色光)中的一种,并且颜色转换层230或滤色器层可以不被包括。

[0207] 参照图20,盖层240、颜色转换层230和阻光层220通过粘合层250进行附着。尽管图20示出了设置在垫区域和垫接触电极197上的粘合层250,但是垫接触电极197需要从驱动芯片或印刷电路板(PCB)接收信号,并因此可以连接到单独的信号线,同时粘合层250可以设置在其上以覆盖信号线。

[0208] 在下文中,将参照图21至图23描述用于通过预热处理消除由氧化钛( $\text{TiO}_x$ )导致的干蚀刻问题的工艺条件。

[0209] 图21至图23是示出取决于预热处理工艺的蚀刻效果的图。

[0210] 在当钛(Ti)被干蚀刻时的情况下,设置在钛下方的有机层也被干蚀刻,会产生氧化钛( $\text{TiO}_x$ ),从而在形成有氧化钛( $\text{TiO}_x$ )处使干蚀刻停止,因此一些区域不会被蚀刻。

[0211] 与仅存在钛(Ti)的情况相比,当氧化钛( $\text{TiO}_x$ )形成时,增大了片电阻( $R_s$ [单位: $\Omega/\text{square}$ ])。因此,参照图21至图23,基于片电阻 $R_s$ 估算了氧化钛( $\text{TiO}_x$ )的厚度。

[0212] 首先,图21示出了执行固化工艺两次、未执行处理(N/A)和执行预热处理(Pre-heat)多次的情况的片电阻 $R_s$ 的对比。在这里,固化工艺表示在 $230^\circ\text{C}$ 的高温下热处理持续一个小时的工艺。预热处理(Pre-heat)表示于堆叠钛(Ti)之前在相对低的温度下对作为设置在钛(Ti)下方的有机层的上绝缘层15进行热处理的工艺。在图21的情况下,在 $120^\circ\text{C}$ 下执行了预热处理(Pre-heat)。

[0213] 如图21所示,观察到的是,片电阻 $R_s$ 在执行了固化工艺两次的情况下比在未执行处理(N/A)的情况下减小得更多,但差异不明显。

[0214] 然而,观察到的是,即使执行预热处理(Pre-heat)持续在1分钟内的短时间,片电阻 $R_s$ 也显著地减小,并且当超过1分钟时,片电阻 $R_s$ 进一步减小为具有在一定范围内的值。片电阻 $R_s$ 的值为大约 $76\ \Omega/\text{square}$ 至 $77\ \Omega/\text{square}$ ,其中,氧化钛( $\text{TiO}_x$ )的预期厚度为 $42\text{\AA}$ 。

[0215] 参照图21,观察到的是,在大约1分钟至大约3分钟的预热处理(Pre-heat)中获得了片电阻 $R_s$ 的最佳效果。

[0216] 在图21中,通过将用于预热处理(Pre-heat)的温度固定为 $120^\circ\text{C}$ 并变化预热处理(Pre-heat)的时间来测量预热处理(Pre-heat)对片电阻 $R_s$ 的影响。

[0217] 在下文中,将参照图22描述通过使用用于预热处理(Pre-heat)的温度变化来进行比较的片电阻 $R_s$ 。在这种情况下,用于预热处理(Pre-heat)的时间为1分钟。

[0218] 在图22中,条形图示出了片电阻 $R_s$ 的值,并且其中的圆中示出的数值代表氧化钛( $\text{TiO}_x$ )的厚度。

[0219] 观察到的是,不管预热处理(Pre-heat)的温度如何,氧化钛( $\text{TiO}_x$ )的厚度都大幅地减小,并且在 $120^\circ\text{C}$ 下产生更少的氧化钛( $\text{TiO}_x$ )。

[0220] 基于图21和图22的测试结果,用于预热处理(Pre-heat)的温度可以在 $120^\circ\text{C}$ 附近,并且用于预热处理(Pre-heat)的时间可以为1分钟至3分钟。

[0221] 参照图23,对比了当无预热处理(Pre-heat)时和当适当地执行预热处理(Pre-heat)时的片电阻 $R_s$ 之间的差异,并且对比了当无预热处理(Pre-heat)时和当适当地执行预热处理(Pre-heat)时氧化钛( $\text{TiO}_x$ )的厚度之间的差异。在图23中,在 $120^\circ\text{C}$ 下执行预热处理(Pre-heat)持续3分钟。

[0222] 在无预热处理 (Pre-heat) 的情况下, 氧化钛 ( $\text{TiO}_x$ ) 的厚度为  $75\text{\AA}$  且片电阻  $R_s$  为  $78.7\ \Omega/\text{square}$ , 但当执行了预热处理 (Pre-heat) 时, 氧化钛 ( $\text{TiO}_x$ ) 的厚度为  $41\text{\AA}$  且片电阻  $R_s$  为  $74.5\ \Omega/\text{square}$ 。在无预热处理 (Pre-heat) 的情况下的氧化钛 ( $\text{TiO}_x$ ) 的厚度可以为在当执行了预热处理 (Pre-heat) 的情况下的氧化钛 ( $\text{TiO}_x$ ) 的厚度的将近两倍。换言之, 在不执行预热处理 (Pre-heat) 的情况下, 会不在干蚀刻期间在钛层的至少一部分中执行蚀刻。然而, 当适当地进行预热处理 (Pre-heat) 时, 氧化钛 ( $\text{TiO}_x$ ) 的厚度减小至大约一半, 使得即使对钛层进行干蚀刻, 也不发生所述问题。

[0223] 虽然已经结合当前被认为是实际的示例性实施例的内容描述了本发明, 但是将理解的是, 发明不限于公开的实施例, 而是相反, 意图覆盖包括在所附权利要求的精神和范围内的各种修改和等同布置。

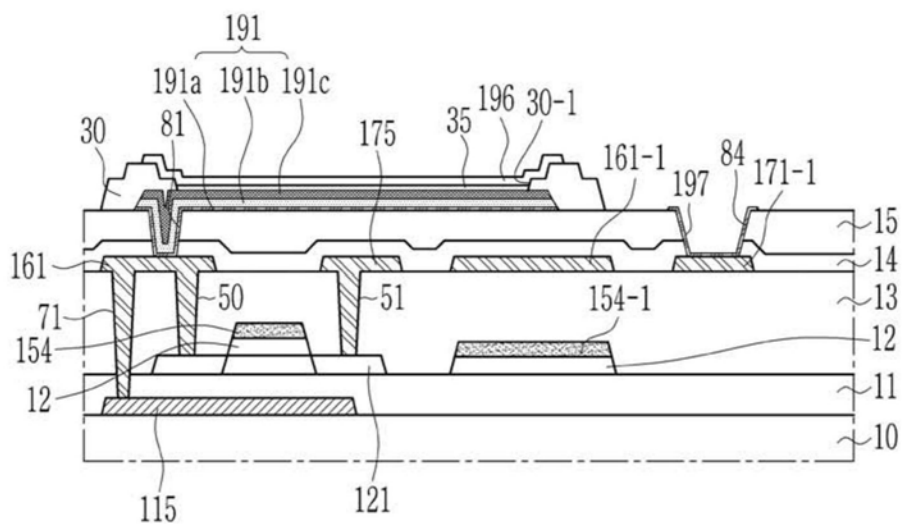


图1

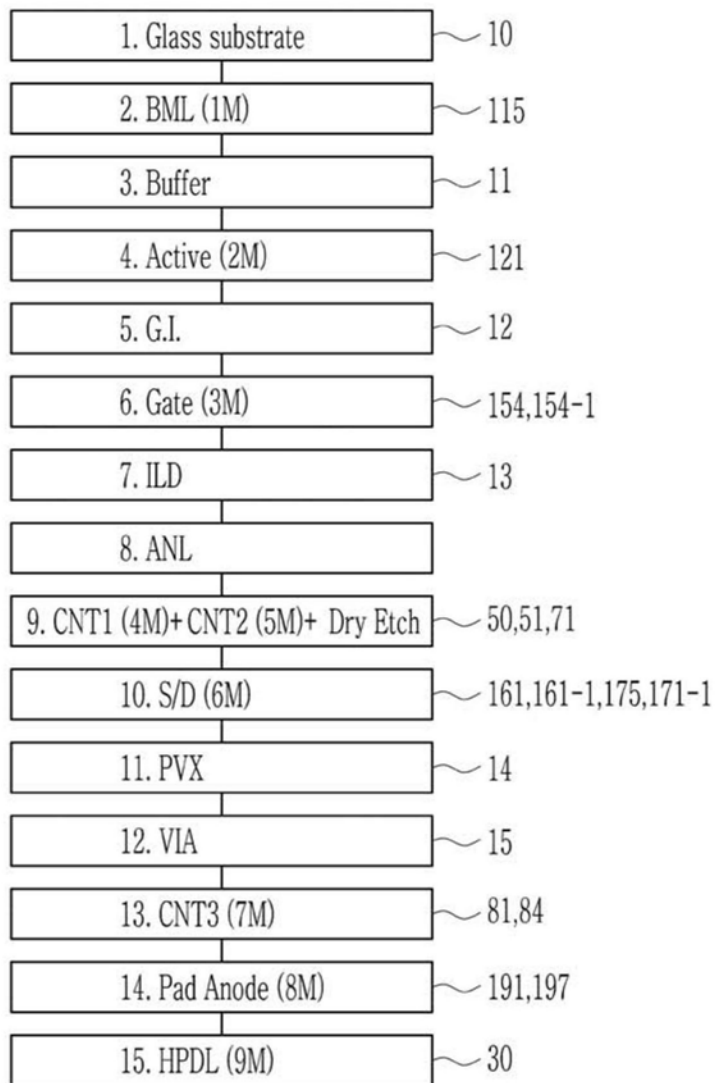


图2



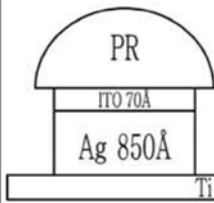
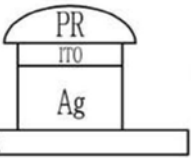
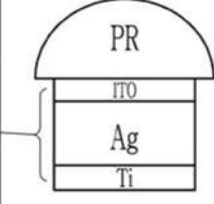
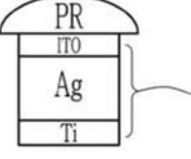
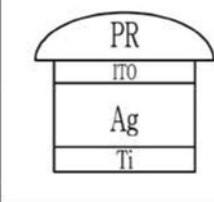
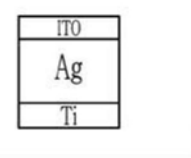
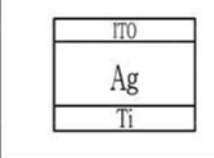
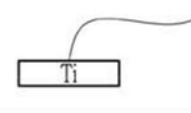
| 步骤  | PXL   | PAD  |
|---|---|--|
| 14-1<br>Anode Photo<br>/Anode 1st<br>Wet Etch |    |    |
| 14-2<br>Ti Dry Etch                           |    |    |
| 14-3<br>PR Ashing                             |    |    |
| 14-4<br>Anode 2nd<br>Wet Etch<br>/PR strip    |  |  |

图3

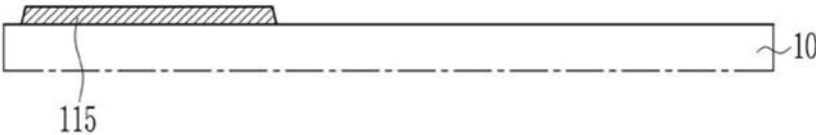


图4

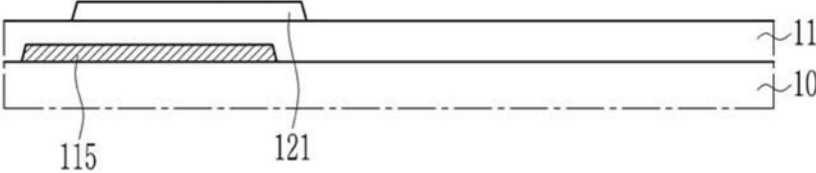


图5

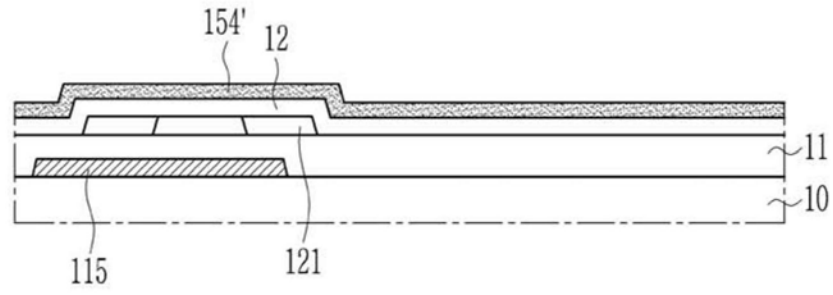


图6

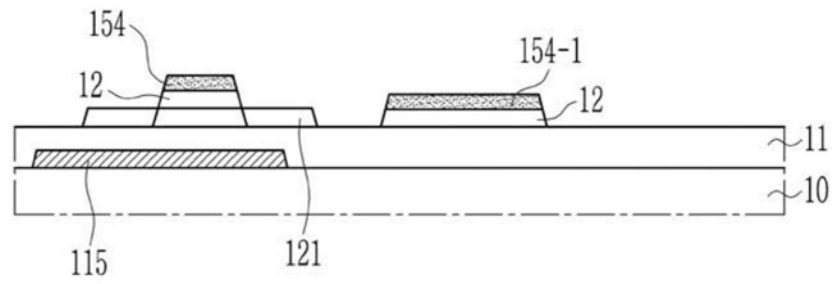


图7

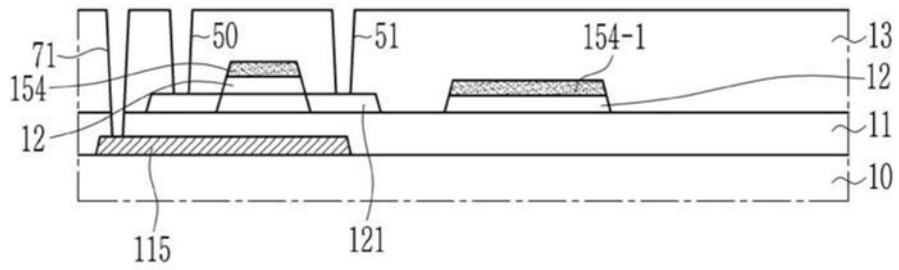


图8

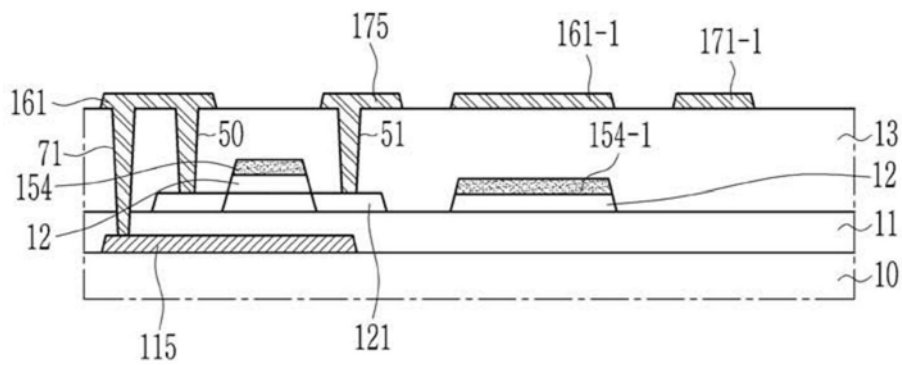


图9

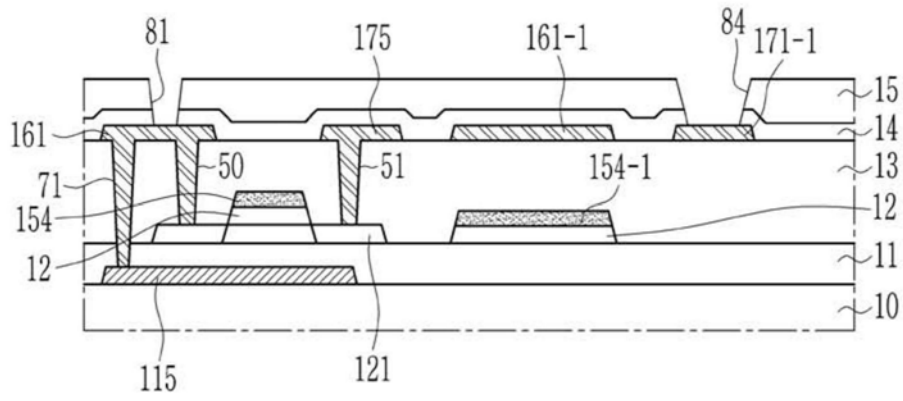


图10

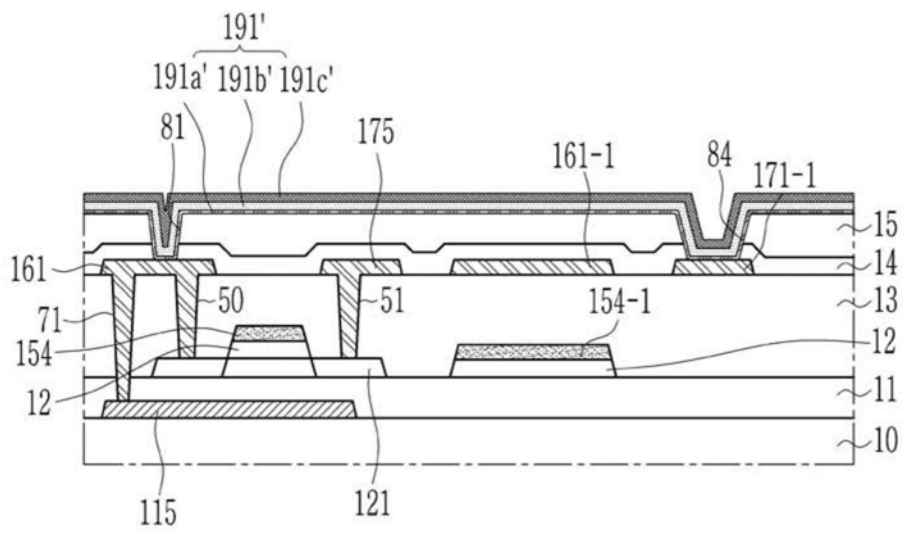


图11

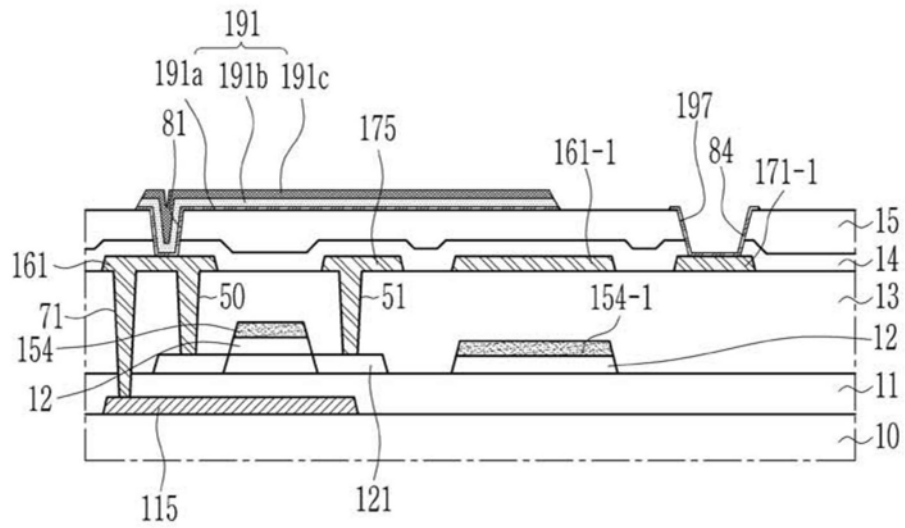


图12

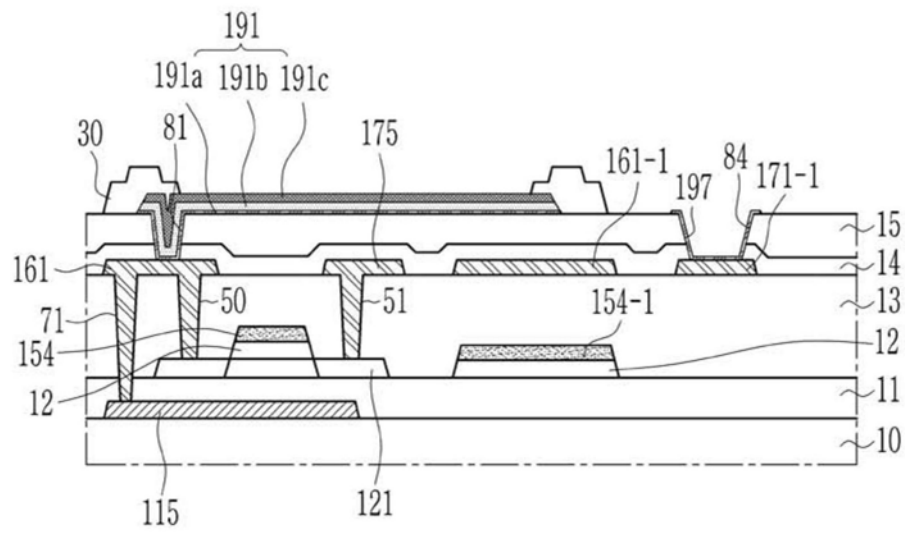


图13

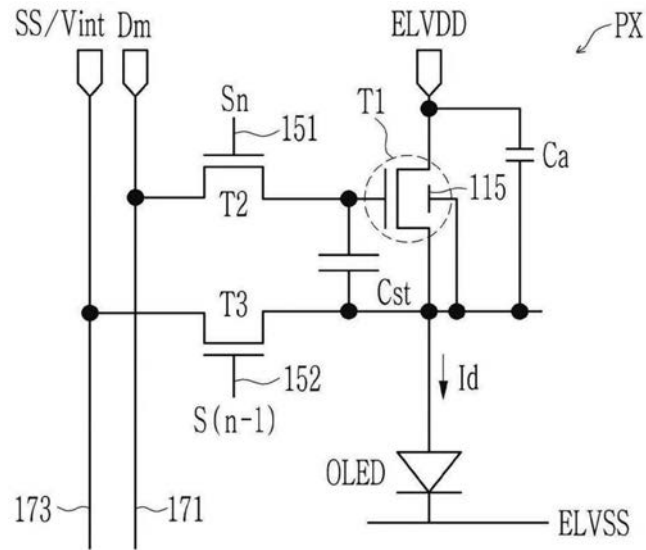


图14

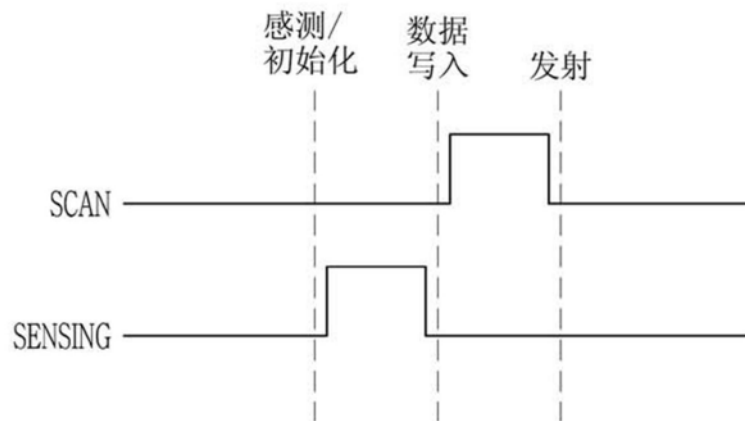


图15

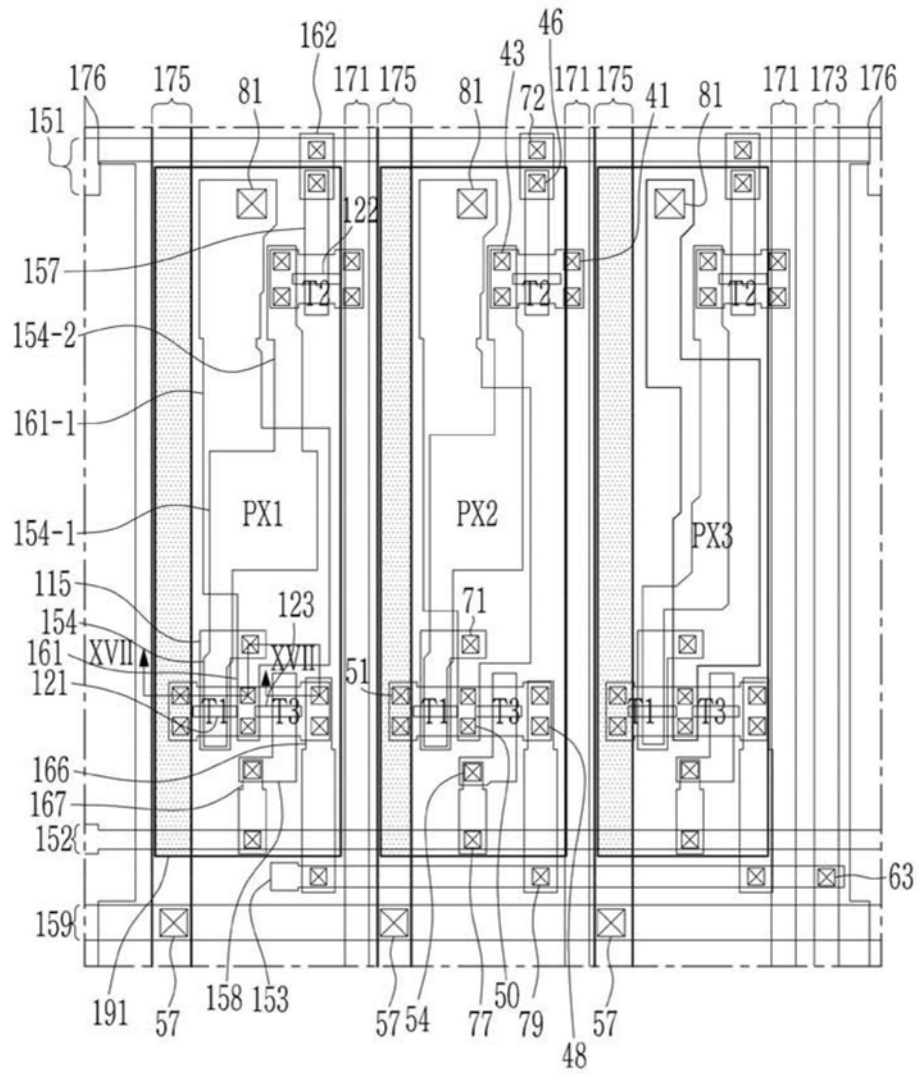


图16

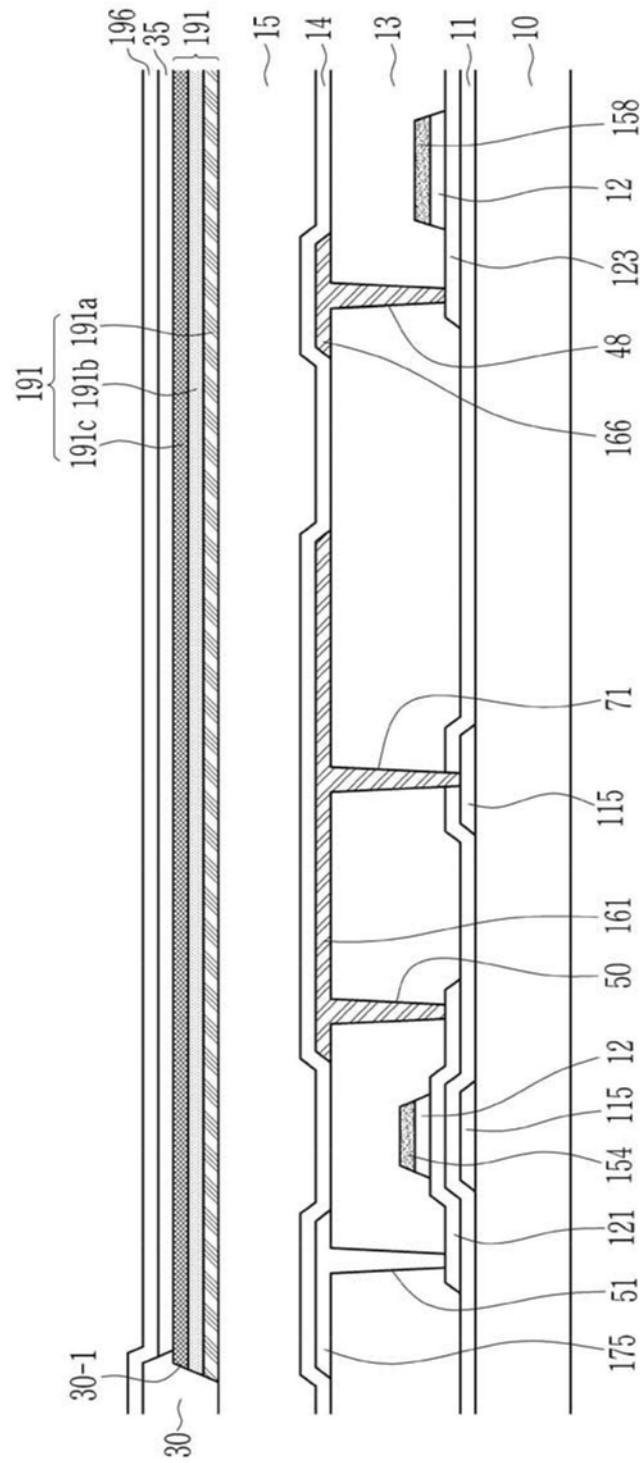


图17

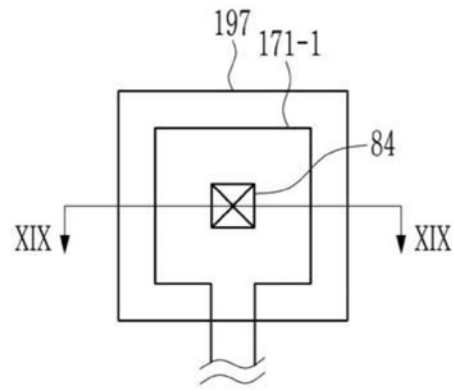


图18

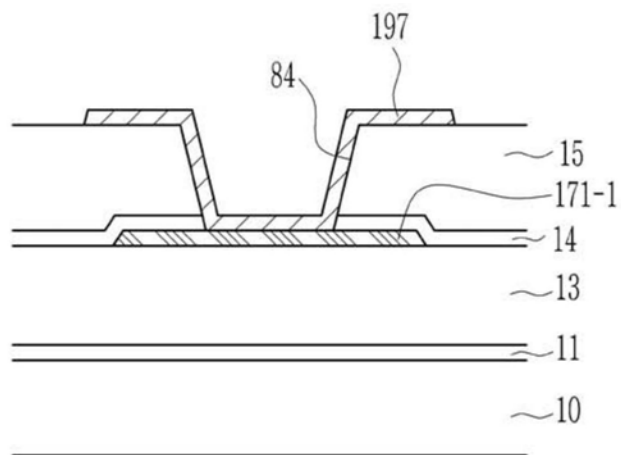


图19



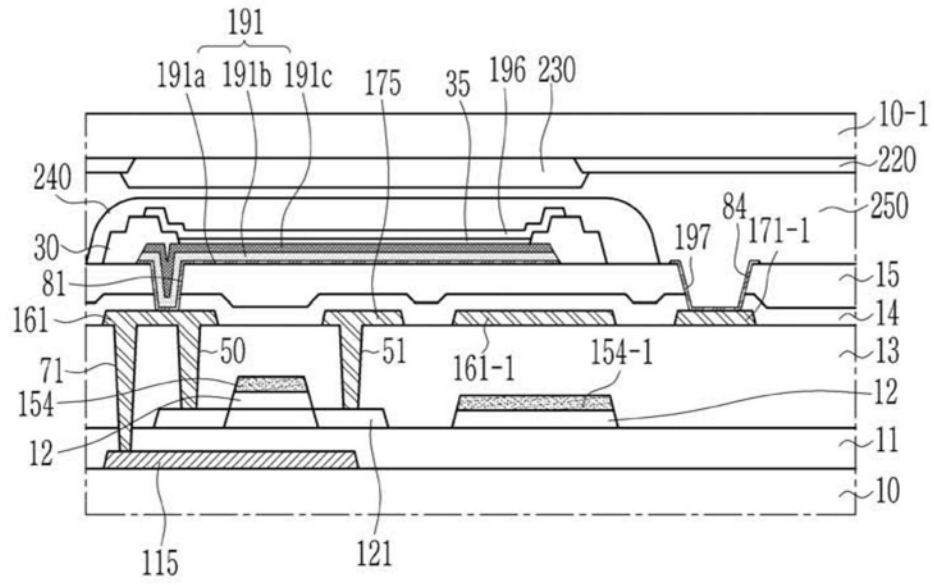


图20

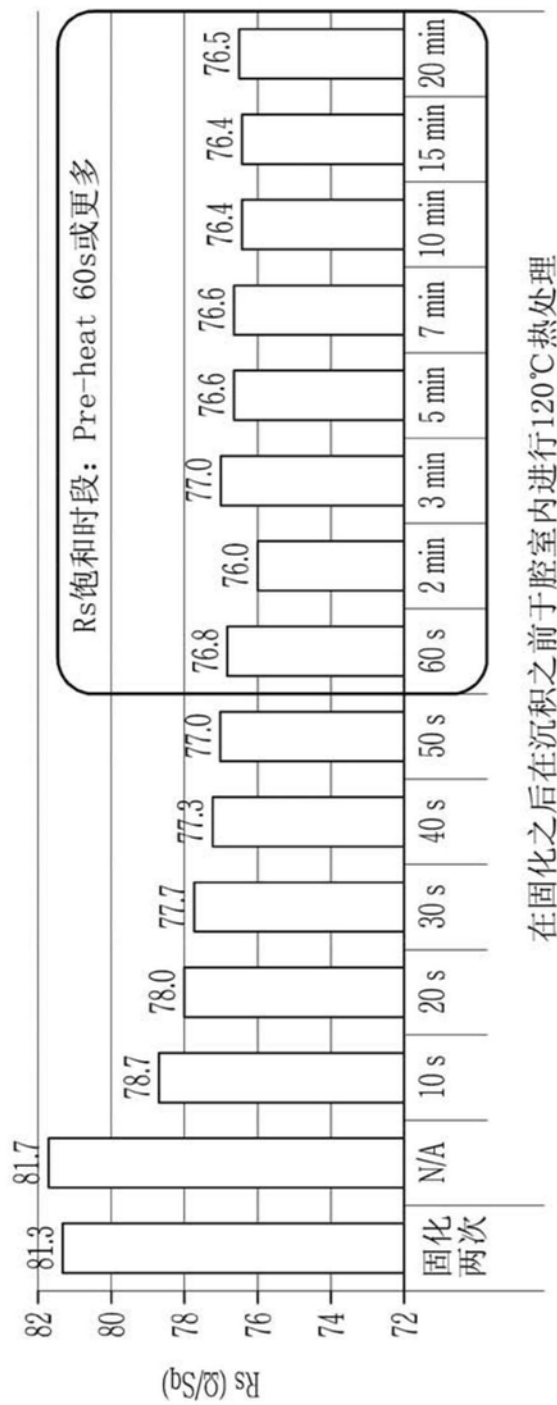


图21

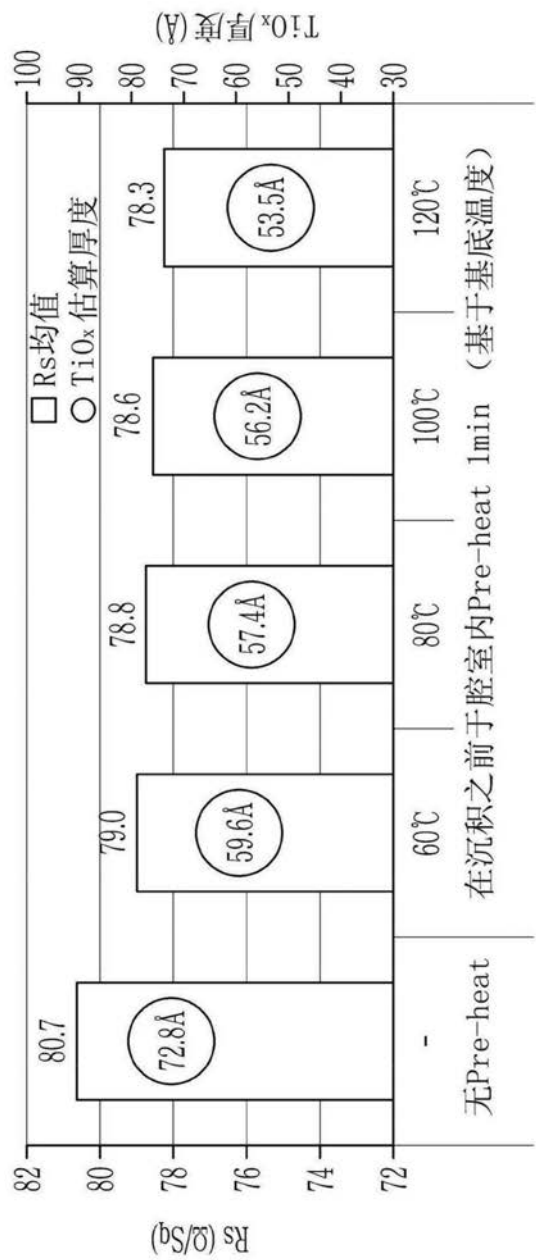


图22

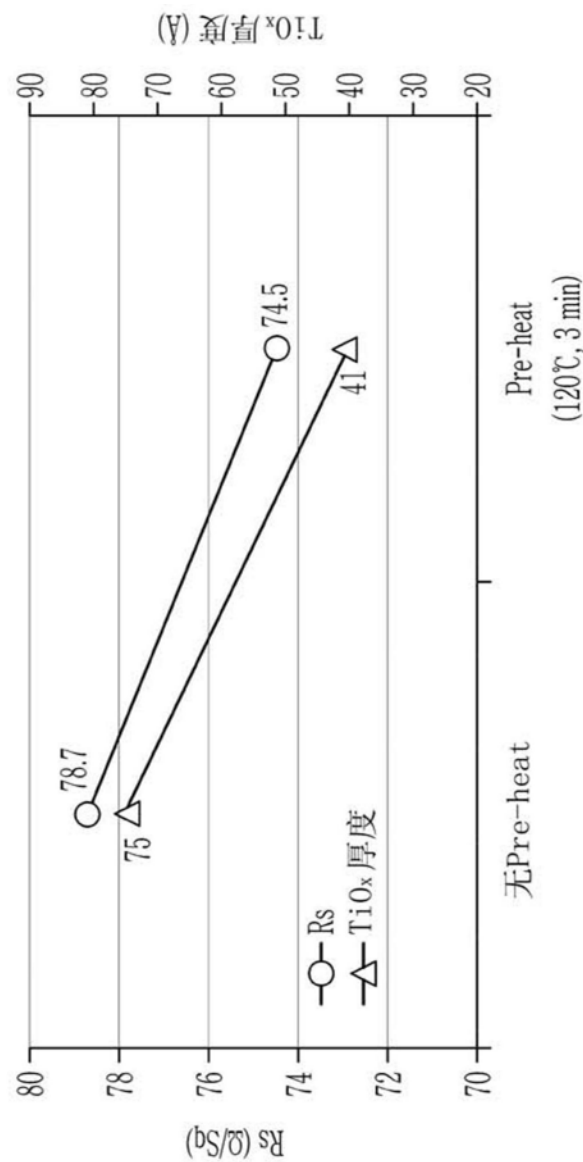


图23

|                |  |         |            |
|----------------|--|---------|------------|
| 专利名称(译)        | 有机发光二极管显示装置及其制造方法  |         |            |
| 公开(公告)号        | <a href="#">CN111435712A</a>   | 公开(公告)日 | 2020-07-21 |
| 申请号            | CN202010035241.5   | 申请日     | 2020-01-14 |
| [标]申请(专利权)人(译) | 三星显示有限公司   |         |            |
| 申请(专利权)人(译)    | 三星显示有限公司   |         |            |
| 当前申请(专利权)人(译)  | 三星显示有限公司   |         |            |
| [标]发明人         | 尹甲洙<br>杨灿佑<br>崔峻焕  |         |            |
| 发明人            | 尹甲洙<br>杨灿佑<br>崔峻焕  |         |            |
| IPC分类号         | H01L51/52 H01L51/56 H01L27/32  |         |            |
| CPC分类号         | H01L27/322 H01L27/3248 H01L27/3272 H01L27/3276 H01L51/0023 H01L51/5218 H01L51/5253 H01L51/56 H01L2227/323 H01L2251/301 H01L2251/308 H01L2251/558 |         |            |
| 代理人(译)         | 陈亚男<br>刘灿强   |         |            |
| 优先权            | 1020190005325 2019-01-15 KR  |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a>   |         |            |

#### 摘要(译)

提供了一种有机发光二极管显示器及其制造方法。所述有机发光二极管显示器包括：基底，包括显示区域和垫区域；第一薄膜晶体管，设置在显示区域上；有机发光二极管，连接到第一薄膜晶体管；垫电极，设置在垫区域上；以及垫接触电极，设置在垫电极的上部上并电连接到垫电极。有机发光二极管包括阳极、有机发射层和阴极。阳极包括下层、中间层和上层。垫接触电极由阳极的下层的材料形成。

