



(12)发明专利申请

(10)申请公布号 CN 110085169 A

(43)申请公布日 2019.08.02

(21)申请号 201910495835.1

(22)申请日 2019.06.10

(71)申请人 北京航空航天大学

地址 100083 北京市海淀区学院路37号

(72)发明人 李洪革 郭晓宇

(74)专利代理机构 北京康盛知识产权代理有限公司

11331

代理人 张宇峰

(51)Int.Cl.

G09G 3/3208(2016.01)

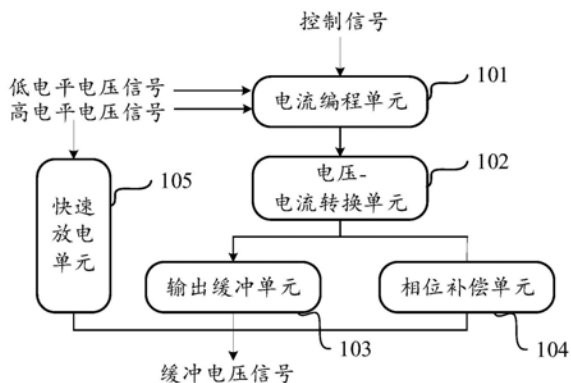
权利要求书2页 说明书8页 附图4页

(54)发明名称

一种用于平板显示的10-bit高速充放电驱动电路装置

(57)摘要

本申请公开了一种用于平板显示的10-bit高速充放电驱动电路装置。所述装置包括:电流编程单元,用于接收外部输入的信号,输出端连接电压-电流转换单元;电压-电流转换单元,输出端连接输出缓冲单元;输出缓冲单元,输出端连接快速放电单元以及对外输出;相位补偿单元,跨接在所述输出缓冲单元两端;快速放电单元,输入端分别连接外部输入的高电平电压信号和所述缓冲单元的输出端。本申请还提供了一个使用以上装置的用于印刷OLED显示的源驱动电路装置。与现有技术源驱动电路中的插值电路相比,本申请具有面积小、静态功耗低的优点。



1. 一种用于平板显示的10-bit高速充放电驱动电路装置,其特征在于,包括:电流编程单元、电压-电流转换单元、输出缓冲单元、相位补偿单元、快速放电单元:

所述电流编程单元,用于接收外部输入的控制信号、高电平电压信号、低电平电压信号,将所述控制信号转变为电流控制信号,输出端连接电压-电流转换单元;

所述电压-电流转换单元,用于根据所述电流控制信号选择所述高电平电压信号或所述低电平电压信号,转换成电流信号,输出端连接输出缓冲单元;

所述输出缓冲单元,用于将所述电流信号转变为电压信号并进行缓冲,产生缓冲电压信号,输出端连接快速放电单元以及对外输出;

所述相位补偿单元,跨接在所述输出缓冲单元两端;

所述快速放电单元,输入端分别连接外部输入的高电平电压信号和所述输出缓冲单元的输出端。

2. 如权利要求1所述的装置,其特征在于,所述快速放电单元由第一晶体管、第二晶体管、第三晶体管组成:所述第一晶体管和所述第二晶体管的源极和栅极连接;所述第一晶体管的源极与外部输入的高电平电压信号相连;所述第三晶体管是一个放电晶体管,其源极连接到所述输出缓冲单元的输出端。

3. 一种用于印刷OLED显示的源驱动电路装置,使用权利要求1所述装置,其特征在于,包括:数字逻辑控制单元、电平转换单元、7比特电压选择单元、3比特插值单元、伽马校正单元:

所述数字逻辑控制单元,输入端接收外部输入的串行数字图像信号和控制信号,并将其转变为并行的信号,输出并行数字图像信号和并行控制信号,输出端连接电平转换单元;

所述电平转换单元,用于将所述并行控制信号的电压由数字电路控制电压转换为模拟电路控制电压,输出并行模拟电压控制信号,输出端连接所述7比特电压选择单元和所述3比特插值单元;

所述伽马校正单元,用于输出校正信号,输出端连接7比特电压选择单元;

所述7比特电压选择单元,用于根据所述模拟电压控制信号生成高电平电压信号和低电平电压信号,以及将所述并行数字图像信号转换成模拟信号,并在转换过程中根据所述校正信号进行校正,输出模拟图像信号,输出端连接3比特插值单元;

所述3比特插值单元,使用权利要求1所述装置,用于根据所述高电平电压信号和所述低电平电压信号对并行模拟电压控制信号进行插值,得到级联信号,对外输出源驱动信号,所述源驱动信号包括所述模拟图像信号以及所述级联信号。

4. 如权利要求3所述的装置,其特征在于,所述用于印刷OLED显示的源驱动电路装置有N个通道,所述N是不小于1的整数。

5. 如权利要求3所述的装置,其特征在于,还包含通道外电平转换单元,输入端接外部输入的串行数字图像信号和控制信号,输出端连接所述伽马校正单元。

6. 如权利要求3所述的装置,其特征在于,所述数字逻辑控制单元包括移位寄存器、输入寄存器、数据锁存器、3选1数据选择器:

所述移位寄存器,其输入端接收外部输入的控制信号,输出端连接所述输入寄存器的输入端,以及对外输出并行控制信号;

所述输入寄存器,其输入端连接所述移位寄存器的输出端,以及接收外部输入的串行

数字图像信号,输出端连接所述数据锁存器的输入端;

所述数据锁存器,其输入端连接所述输入寄存器的输出端,以及接收外部输入的控制信号,输出端连接所述3选1数据选择器的输入端;

所述3选1数据选择器,其输入端连接所述数据锁存器的输出端,以及接收外部输入的控制信号,输出端对外输出并行数字图像信号。

7.如权利要求3所述的装置,其特征在于,所述伽马校正单元包括第一级电阻串、缓冲器、第二级红色电阻串、第二级绿色电阻串、第二级蓝色电阻串和3选1单元:

所述第一级电阻串,其输出端连接所述缓冲器的输入端;

所述缓冲器,其输入端连接所述第一级电阻串的输出端,输出端分别连接所述第二级红色电阻串、第二级绿色电阻串、第二级蓝色电阻串的输入端;

所述第二级红色电阻串,其输入端连接所述缓冲器的输出端,输出端连接所述3选1单元的输入端;

所述第二级绿色电阻串,其输入端连接所述缓冲器的输出端,输出端连接所述3选1单元的输入端;

所述第二级蓝色电阻串,其输入端连接所述缓冲器的输出端,输出端连接所述3选1单元的输入端;

所述3选1单元,其输入端分别连接所述第二级红色电阻串、第二级绿色电阻串、第二级蓝色电阻串的输出端,输出端对外输出校正信号。

8.如权利要求3所述的装置,其特征在于,还包括静电防护单元,所述静电防护单元位于输入输出端口和其他电路部件之间。

一种用于平板显示的10-bit高速充放电驱动电路装置

技术领域

[0001] 本发明涉及显示驱动电路技术领域,尤其涉及一种用于平板显示的10-bit高速充放电驱动电路装置。

背景技术

[0002] 印刷OLED显示是利用现代印刷工艺制造OLED面板的新技术,具有工艺简单、材料利用率高、生产成本低,有利于柔性化和大尺寸面板生产等优点。显示驱动电路是印刷OLED研究的重要组成部分。为达到更快的显示速度,显示器每一列都有一个源驱动电路。随着显示屏分辨率的提高,一块源驱动芯片中源驱动电路数量到几百。这就要求单通道源驱动电路功耗尽可能降低、芯片面积尽可能小。此外,各种异形屏和柔性屏的出现对显示驱动电路的要求也越来越高。现有技术中源驱动电路及其核心部分插值电路存在的静态功耗大、芯片面积大的问题日益凸显出来。

发明内容

[0003] 本申请提出了一种用于平板显示的10-bit高速充放电驱动电路装置,解决现有技术源驱动电路中的插值电路静态功耗大、芯片面积大的问题。

[0004] 本申请实施例采用下述技术方案:

[0005] 本申请实施例提供一种用于平板显示的10-bit高速充放电驱动电路装置,包括:电流编程单元、电压-电流转换单元、输出缓冲单元、相位补偿单元、快速放电单元:所述电流编程单元,用于接收外部输入的控制信号、高电平电压信号、低电平电压信号,将所述控制信号转变为电流控制信号,输出端连接电压-电流转换单元;所述电压-电流转换单元,用于根据所述电流控制信号选择所述高电平电压信号或所述低电平电压信号,转换成电流信号,输出端连接输出缓冲单元;所述输出缓冲单元,用于将所述电流信号转变为电压信号并进行缓冲,产生缓冲电压信号,输出端连接快速放电单元以及对外输出;所述相位补偿单元,跨接在所述输出缓冲单元两端;所述快速放电单元,输入端分别连接外部输入的高电平电压信号和所述输出缓冲单元的输出端。

[0006] 优选地,所述快速放电单元由第一晶体管、第二晶体管、第三晶体管组成:所述第一晶体管和所述第二晶体管的源极和栅极连接;所述第一晶体管的源极与外部输入的高电平电压信号相连;所述第三晶体管是一个放电晶体管,其源极连接到所述输出缓冲单元的输出端。

[0007] 本申请实施例还提供一种用于印刷OLED显示的源驱动电路装置,使用以上高速充放电驱动电路装置,包括:数字逻辑控制单元、电平转换单元、7比特电压选择单元、3比特插值单元、伽马校正单元:所述数字逻辑控制单元,输入端接收外部输入的串行数字图像信号和控制信号,并将其转变为并行的信号,输出并行数字图像信号和并行控制信号,输出端连接电平转换单元;所述电平转换单元,用于将所述并行控制信号的电压由数字电路控制电压转换为模拟电路控制电压,输出并行模拟电压控制信号,输出端连接所述7比特电压选择

单元和所述3比特插值单元;所述伽马校正单元,用于输出校正信号,输出端连接7比特电压选择单元;所述7比特电压选择单元,用于根据所述模拟电压控制信号生成高电平电压信号和低电平电压信号,以及将所述并行数字图像信号转换成模拟信号,并在转换过程中根据所述校正信号进行校正,输出模拟图像信号,输出端连接3比特插值单元;所述3比特插值单元,使用以上高速充放电驱动电路装置,用于根据所述高电平电压信号和所述低电平电压信号对并行模拟电压控制信号进行插值,得到级联信号,对外输出源驱动信号,所述源驱动信号包括所述模拟图像信号以及所述级联信号。

[0008] 优选地,所述用于印刷OLED显示的源驱动电路装置有N个通道,所述N是不小于1的整数。

[0009] 优选地,所述用于印刷OLED显示的源驱动电路装置还包含通道外电平转换单元,输入端接收外部输入的串行数字图像信号和控制信号,输出端连接所述伽马校正单元。

[0010] 优选地,所述数字逻辑控制单元包括移位寄存器、输入寄存器、数据锁存器、3选1数据选择器:所述移位寄存器,其输入端接收外部输入的控制信号,输出端连接所述输入寄存器的输入端,以及对外输出并行控制信号;所述输入寄存器,其输入端连接所述移位寄存器的输出端,以及接收外部输入的串行数字图像信号,输出端连接所述数据锁存器的输入端;所述数据锁存器,其输入端连接所述输入寄存器的输出端,以及接收外部输入的控制信号,输出端连接所述3选1数据选择器的输入端;所述3选1数据选择器,其输入端连接所述数据锁存器的输出端,以及接收外部输入的控制信号,输出端对外输出并行数字图像信号。

[0011] 优选地,所述伽马校正单元包括第一级电阻串、缓冲器、第二级红色电阻串、第二级绿色电阻串、第二级蓝色电阻串和3选1单元:所述第一级电阻串,其输出端连接所述缓冲器的输入端;所述缓冲器,其输入端连接所述第一级电阻串的输出端,输出端分别连接所述第二级红色电阻串、第二级绿色电阻串、第二级蓝色电阻串的输入端;所述第二级红色电阻串,其输入端连接所述缓冲器的输出端,输出端连接所述3选1单元的输入端;所述第二级绿色电阻串,其输入端连接所述缓冲器的输出端,输出端连接所述3选1单元的输入端;所述第二级蓝色电阻串,其输入端连接所述缓冲器的输出端,输出端连接所述3选1单元的输入端;所述3选1单元,其输入端分别连接所述第二级红色电阻串、第二级绿色电阻串、第二级蓝色电阻串的输出端,输出端对外输出校正信号。

[0012] 优选地,所述用于印刷OLED显示的源驱动电路装置还包括静电防护单元,所述静电防护单元位于输入输出端口和其他电路部件之间。

[0013] 本申请实施例采用的上述至少一个技术方案能够达到以下有益效果:与现有技术源驱动电路中的插值电路相比,本申请具有面积小、静态功耗低的优点。

附图说明

[0014] 此处所说明的附图用来提供对本申请的进一步理解,构成本申请的一部分,本申请的示意性实施例及其说明用于解释本申请,并不构成对本申请的不当限定。在附图中:

[0015] 图1为用于平板显示的10-bit高速充放电驱动电路装置实施例的结构示意图;

[0016] 图2为本申请所述的用于平板显示的10-bit高速充放电驱动电路的原理图;

[0017] 图3为本申请驱动电路装置中快速放电结构的实施例的结构示意图;

[0018] 图4是本申请所述的驱动电路装置与传统插值电路放电曲线对比图;

- [0019] 图5为用于印刷OLED显示的源驱动电路装置实施例的结构示意图；
- [0020] 图6为本申请实施例中伽马校正单元实施例的结构示意图；
- [0021] 图7为本申请实施例中数字逻辑控制单元实施例的结构示意图。

具体实施方式

[0022] 为使本申请的目的、技术方案和优点更加清楚，下面将结合本申请具体实施例及相应的附图对本申请技术方案进行清楚、完整地描述。显然，所描述的实施例仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范围。

[0023] 目前，基于蒸镀工艺的小分子OLED (Organic Light Emitting Diode, 有机发光二极管) 面板仍然是市场销售的主流，但蒸镀工艺、材料和制造成本等制约了大尺寸OLED显示面板的规模化应用。印刷OLED显示是利用现代印刷工艺制造OLED面板的新技术，具有工艺简单、材料利用率高、生产成本低，有利于柔性化和大尺寸面板生产等优点。显示驱动程序是印刷OLED研究的重要组成部分。

[0024] 由于印刷OLED材料与蒸镀OLED的材料不同，性能参数也不相同，现有的AMOLED (Active-matrix OLED, 有源矩阵有机发光二极管) 驱动芯片不能直接使用。

[0025] 显示屏分辨率不断提高，现在手机分辨率已经到了2k，电视的分辨率也已经到了4k，甚至8k分辨率的电视也已经被研发出来。为达到更快的显示速度，显示器每一列都有一个源驱动电路。随着显示屏分辨率的提高，一块源驱动芯片中源驱动电路数量到几百。这就要求单通道源驱动电路功耗尽可能降低、芯片面积尽可能小。此外，各种异形屏和柔性屏的出现对显示驱动电路的要求也越来越高。

[0026] 驱动电路的主要功能是将数字信号转变为模拟信号输出，利用模拟信号对OLED的发光亮度进行控制，实现图片的显示。为更好实现色彩还原度，驱动电路需实现高精度灰阶输出。驱动电路中的关键电路包括数字控制电路、电平转换电路、伽马校正电路、电压选择电路和插值电路。为了增加灰阶的深度，插值电路是源驱动的重要组成部分。插值电路的静态电流直接决定了芯片的功耗。此外，简化的内插电路可以有效地减小芯片面积，因为在一块源驱动芯片中有数百通道的源驱动电路，而在一个显示屏上有几块源驱动芯片。因此，我们发明了一种高速充放电驱动电路装置，它在减小静态电流的同时减少了晶体管数量，节约了芯片面积。

[0027] 以下结合附图，详细说明本申请各实施例提供的技术方案。

[0028] 图1为用于平板显示的10-bit高速充放电驱动电路装置实施例的结构示意图。本申请实施例提供一种用于平板显示的10-bit高速充放电驱动电路装置，包括：电流编程单元101、电压-电流转换单元102、输出缓冲单元103、相位补偿单元104、快速放电单元105；所述电流编程单元101，用于接收外部输入的控制信号、高电平电压信号、低电平电压信号，将所述控制信号转变为电流控制信号，输出端连接电压-电流转换单元102；所述电压-电流转换单元102，用于根据所述电流控制信号选择所述高电平电压信号或所述低电平电压信号，转换成电流信号，输出端连接输出缓冲单元103；所述输出缓冲单元103，用于将所述电流信号转变为电压信号并进行缓冲，产生缓冲电压信号，输出端连接快速放电单元105以及对外输出；所述相位补偿单元104，跨接在所述输出缓冲单元103两端；所述快速放电单元105，输

入端分别连接外部输入的高电平电压信号和所述输出缓冲单元103的输出端。

[0029] 本申请的高速充放电驱动电路装置实施例工作时,外部输入信号包括控制信号、高电平电压信号、低电平电压信号,都连接到电流编程单元101的输入端,电流编程单元101将控制信号的低3位转变为电流控制信号,其输出端连接电压-电流转换单元102的输入端,输出信号包括所述电流控制信号、所述高电平电压信号、所述低电平电压信号。电压-电流转换单元102的输入端连接电流编程单元101的输出端,输出端连接输出缓冲单元103的输入端,电压-电流转换单元102接收电流编程单元101发送的信号,根据其中的电流控制信号的信息,对所述高电平电压信号和所述低电压电平信号进行选择,将选择的高电平电压信号或低电平电压信号转换成电流信号,通过输出端发送到输出缓冲单元103。输出缓冲单元103的输入端连接电压-电流转换单元102的输出端,接收电压-电流转换单元102发送的电流信号,转变为电压信号,缓冲后得到缓冲电压信号,其输出端连接快速放电单元105以及对外输出。相位补偿单元104跨接在输出缓冲单元103两端,用于对输出缓冲单元103输出的缓冲电压信号进行相位补偿,提高输出稳定性。快速放电单元105,输入端分别连接外部输入的高电平电压信号和输出缓冲单元103的输出端,实现快速放电。

[0030] 例如如图2所示,图2为本申请所述的用于平板显示的10-bit高速充放电驱动电路的原理图。该驱动电路由电流编程单元501、电压-电流转换单元502、输出缓冲单元503、相位补偿单元504、快速放电单元505组成。传统插值电路的核心是轨到轨放大器,它包括NMOS放大器、PMOS放大器和求和电路。与传统的内插电路相比,本发明所述的高速充放电驱动电路仅采用NMOS放大器,这样可以使跨导在工作区保持恒定,提高输出精度。此外,本发明所述的高速充放电驱动电路还减少了近一半的晶体管。外部输入信号包括控制信号、高电平电压信号、低电平电压信号,都连接到电流编程单元501的输入端,电流编程单元501将控制信号的低3位转变为电流控制信号,控制信号例如为000时电流控制信号的电流最小,而控制信号例如为111时电流控制信号的电流最大。电流编程单元501输出端连接电压-电流转换单元502的输入端,输出信号包括所述电流控制信号、所述高电平电压信号、所述低电平电压信号。电压-电流转换单元502的输入端连接电流编程单元501的输出端,输出端连接输出缓冲单元503的输入端,电压-电流转换单元502接收电流编程单元501发送的信号,根据其中的电流控制信号的信息,对所述高电平电压信号和所述低电压电平信号进行选择,将选择的例如是高电平电压信号或低电平电压信号,将信号电压的变化转变为电流的变化,将电流进行叠加运算供后续使用,通过输出端发送到输出缓冲单元503。输出缓冲单元503的输入端连接电压-电流转换单元502的输出端,接收电压-电流转换单元502发送的电流信号,转变为电压信号,缓冲后得到缓冲电压信号,其输出端连接快速放电单元505以及对外输出。相位补偿单元504跨接在输出缓冲单元503两端,用于对输出缓冲单元503输出的缓冲电压信号进行相位补偿,提高输出稳定性。快速放电单元505,输入端分别连接外部输入的高电平电压信号和输出缓冲单元503的输出端,实现快速放电。

[0031] 优选地,所述快速放电单元实施例见图3所示,图3为本申请驱动电路装置中快速放电结构的实施例的结构示意图。所述快速放电单元由第一晶体管201、第二晶体管202、第三晶体管203组成:所述第一晶体管201和所述第二晶体管202的源极和栅极连接;所述第一晶体管201的源极与外部输入的高电平电压信号相连;所述第三晶体管203是一个放电晶体管,其源极连接到输出缓冲单元103的输出端。

[0032] 本申请驱动电路装置中快速放电结构的实施例由第一晶体管201、第二晶体管202、第三晶体管203组成。快速放电结构的输入端分别连接外部输入的高电平电压信号和输出缓冲单元103的输出端,外部输入的高电平电压信号与第一晶体管201的源极相连,输出缓冲单元103输出的缓冲电压信号与第三晶体管203的源极相连。第一晶体管201和第二晶体管202的源极和栅极连接,形成两个正向偏压二极管。第一晶体管201的源极与输入的高电平电压信号相连。第三晶体管203是一个放电晶体管,其源极连接到输出缓冲单元103输出的缓冲电压信号上。在放电过程中,所述第三晶体管203有两个工作状态:当所述缓冲电压信号电压远高于所述高电平电压信号电压时,所述第三晶体管203工作在饱和区;当所述缓冲电压信号电压大于所述高电平电压信号电压时,所述第三晶体管203工作在线性区。通常现有技术的放电时间为几微秒(通常在1~5微秒),本申请提出的快速放电电路实施例,在功耗与现有技术相同的情况下,芯片面积等各项参数在合理范围内,高速充放电驱动电路放电时间小于传统结构的一半,实现快速放电;在与现有技术放电时间相同的情况下,可大幅降低功耗(降低例如5倍左右),而且可以节省芯片面积(为现有技术的例如一半左右)。

[0033] 例如如图2所示,图2为本申请所述的用于平板显示的10-bit高速充放电驱动电路的原理图。源驱动电路的负载由一个电阻和一个电容组成。稳定时间取决于流过负载电容的电流。电流越大,建立时间越短。当输出电压由低变高时,由于甲乙类输出缓冲电路提供了大的动态电流,所以建立时间较短。但是,当输出电压由高变低时,由于甲乙类输出缓冲电路的静态电流很小,所以稳定时间较长。针对这一问题,本发明提出了一种快速放电结构。图2中M23是所述第一晶体管,M24是所述第二晶体管,M25是所述第三晶体管,M23、M24和M25构成快速放电结构。M23和M24的源极和栅极连接形成两个正向偏压二极管。M23的源极与输入的高电平电压信号V_H相连。M25是一个放电晶体管,其源极连接到源驱动输出信号上。通过提供额外的放电路径,增加了负载电容的放电电流。总放电电流为

$$[0034] \quad I_{total} = I_{SD25} + I_{SD21}$$

[0035] 式中, I_{total} 为总放电电流, I_{SD25} 为M25源极到漏极的电流, I_{SD21} 为晶体管M21源极到漏极的电流

[0036] 在放电过程中,当输出电压远高于高电平电压信号V_H时,M25工作在饱和区。此时M25源极到漏极的电流为:

$$[0037] \quad I_{SD25} = -\frac{K'_P W}{2L} (V_{SG} - |V_{TP}|)^2 (1 + \lambda_P V_{SD})$$

[0038] 式中 K'_P 为M25的跨导参数, V_{TP} 为M25的阈值电压, λ_P 为M25的沟道调制参数,W为M25的有效沟道宽度,L为M25的有效沟道长度, V_{SG} 为M25源极到栅极的电压, V_{SD} 为M25源极到漏极的电压。负载电容放电电流为M25源漏电流与输出缓冲器电流镜漏电流之和,从而实现了饱和区的快速放电。当输出电压高于高电平电压信号V_H时,M25工作在线性区。此时M25的源漏电流为:

$$[0039] \quad I_{SD25} = -\frac{K'_P W}{L} \left[(V_{GS} - V_{TP}) - \frac{V_{DS}}{2} \right] V_{SD}$$

[0040] 在线性区,M25源极到漏极的电流随输出电压和输入高电平差的减小而逐渐减小,

负载电容的放电电流也逐渐减小。最后，M25源极到漏极的电流接近0。这样，只增加了插值电路的动态功耗，而静态功耗基本保持不变。

[0041] 图4是本发明所述的驱动电路装置与传统插值电路放电曲线对比图。初始电压为V1，在t1时刻开始放电，最终输出电压变为V3。传统插值电路放电是一个缓慢放电的过程，在t3时刻放电结束，输出电压变为V3。本发明提出的驱动电路装置放电过程分为两个阶段，第一阶段放电管工作在饱和区，可以实现快速放电。在放电开始极短一段时间内，输出电压从V1变为V2。输出电压变为V2后，进入第二阶段放电过程，此时放电管工作在线性区，放电速度逐步减缓，最终输出电压在t2时刻变为V3。本发明驱动电路装置放电时间为t2-t1，传统插值电路放电时间为t3-t1。由于t3>t2，所以本发明所述的驱动电路装置可减小建立时间。

[0042] 图5为用于印刷OLED显示的源驱动电路装置实施例的结构示意图。本申请实施例提供的一种用于印刷OLED显示的源驱动电路装置，使用以上高速充放电驱动电路装置，包括：数字逻辑控制单元301、电平转换单元302、7比特电压选择单元303、3比特插值单元304、伽马校正单元305；所述数字逻辑控制单元301，输入端接收外部输入的串行数字图像信号和控制信号，并将其转变为并行的信号，输出并行数字图像信号和并行控制信号，输出端连接电平转换单元302；所述电平转换单元302，用于将所述并行控制信号的电压由数字电路控制电压转换为模拟电路控制电压，输出并行模拟电压控制信号，输出端连接所述7比特电压选择单元303和所述3比特插值单元304；所述伽马校正单元305，用于输出校正信号，输出端连接7比特电压选择单元303；所述7比特电压选择单元303，用于根据所述模拟电压控制信号生成高电平电压信号和低电平电压信号，以及将所述并行数字图像信号转换成模拟信号，并在转换过程中根据所述校正信号进行校正，输出模拟图像信号，输出端连接3比特插值单元304；所述3比特插值单元304，使用以上高速充放电驱动电路装置，用于根据所述高电平电压信号和所述低电平电压信号对并行模拟电压控制信号进行插值，得到级联信号，对外输出源驱动信号，所述源驱动信号包括所述模拟图像信号以及所述级联信号。

[0043] 本申请实施例提供的一种用于印刷OLED显示的源驱动电路装置，使用以上高速充放电驱动电路装置，包括：数字逻辑控制单元301、电平转换单元302、7比特电压选择单元303、3比特插值单元304、伽马校正单元305。所述数字逻辑控制单元301的输入端接收外部输入的串行数字图像信号和控制信号，并将所述串行数字图像信号和控制信号转变为并行的数字图像信号，输出并行数字图像信号和并行控制信号，发送到电平转换单元302。所述电平转换单元302接收所述并行控制信号，将其电压由数字电路控制电压转换为模拟电路控制电压，数字电路电压一般是1.8V，模拟电路控制电压一般是16V，所述电平转换电路功能为将1.8V的数字电路控制电压信号转变为16V的模拟电路控制电压信号，输出并行模拟电压控制信号，发送给所述7比特电压选择单元303和所述3比特插值单元304。所述伽马校正单元305用于对有机发光二极管进行非线性伽马校正，输出校正信号，发送到7比特电压选择单元303；所述7比特电压选择单元303接收所述模拟电压控制信号、所述并行数字图像信号、所述校正信号，根据所述模拟电压控制信号生成高电平电压信号和低电平电压信号，以及将所述并行数字图像信号转换成模拟信号，并在转换过程中根据所述校正信号进行校正，得到模拟图像信号，输出端连接3比特插值单元304。所述3比特插值单元304使用以上高速充放电驱动电路装置，接收所述高电平电压信号、所述低电平电压信号以及所述模拟图

像信号,根据所述高电平电压信号和所述低电平电压信号对并行模拟电压控制信号进行插值,得到级联信号,最终输出的信号包括所述模拟图像信号以及所述级联信号,即源驱动信号。

[0044] 优选地,所述用于印刷OLED显示的源驱动电路装置有N个通道,所述N是不小于1的整数。

[0045] 为达到更快的显示速度,显示器每一列都有一个源驱动电路。本申请的源驱动电路装置有N个通道,所述N是不小于1的整数。随着显示屏分辨率的提高,一块源驱动芯片中源驱动电路数量可以达到几百。

[0046] 优选地,所述用于印刷OLED显示的源驱动电路装置还包含通道外电平转换单元306,输入端接收外部输入的串行数字图像信号和控制信号,输出端连接所述伽马校正单元305。

[0047] 在输入端和伽马校正单元305之间还包含通道外电平转换单元306,输入端接收外部输入的串行数字图像信号和控制信号,输出端连接所述伽马校正单元305,用于状态控制。

[0048] 图6是本申请实施例中伽马校正单元实施例的结构示意图。本申请实施例中的伽马校正单元包括第一级电阻串401、缓冲器402、第二级红色电阻串403、第二级绿色电阻串404、第二级蓝色电阻串405和3选1单元406:所述第一级电阻串401,其输出端连接所述缓冲器402的输入端;所述缓冲器402,其输入端连接所述第一级电阻串401的输出端,输出端分别连接所述第二级红色电阻串403、第二级绿色电阻串404、第二级蓝色电阻串405的输入端;所述第二级红色电阻串403,其输入端连接所述缓冲器402的输出端,输出端连接所述3选1单元406的输入端;所述第二级绿色电阻串404,其输入端连接所述缓冲器402的输出端,输出端连接所述3选1单元406的输入端;所述第二级蓝色电阻串404,其输入端连接所述缓冲器402的输出端,输出端连接所述3选1单元406的输入端;所述3选1单元406,其输入端分别连接所述第二级红色电阻串402、第二级绿色电阻串403、第二级蓝色电阻串404的输出端,输出端对外输出校正信号。

[0049] 所述伽马校正单元包括第一级电阻串401、缓冲器402、第二级红色电阻串403、第二级绿色电阻串404、第二级蓝色电阻串405和3选1单元406,3选1单元406有N个,N是不小于1的整数,例如是129个。其功能是实现红、绿、蓝三色有机发光二极管的非线性伽马校正,使图像显示更加真实,校正系数例如是2.2。为了减小工艺偏差并节省芯片面积,红、绿、蓝三色第二级电阻串共用一个第一级电阻串。在两级电阻串之间增加缓冲器,以减小后级电阻串对前级电阻串的影响。

[0050] 图7为本申请实施例中数字逻辑控制单元实施例的结构示意图。本申请实施例中的数字逻辑控制单元包括移位寄存器601、输入寄存器602、数据锁存器603、3选1数据选择器604:所述移位寄存器601,其输入端接收外部输入的控制信号,输出端连接所述输入寄存器602的输入端,以及对外输出并行控制信号;所述输入寄存器602,其输入端连接所述移位寄存器的输出端,以及接收外部输入的串行数字图像信号,输出端连接所述数据锁存器603的输入端;所述数据锁存器603,其输入端连接所述输入寄存器602的输出端,以及接收外部输入的控制信号,输出端连接所述3选1数据选择器604的输入端;所述3选1数据选择器604,其输入端连接所述数据锁存器603的输出端,以及接收外部输入的控制信号,输出端对外输

出并行数字图像信号。

[0051] 移位寄存器601接收外部输入的控制信号,将其中的级联输入信号和时钟信号进行处理,产生控制信号供输入寄存器602使用,并对外输出并行控制信号。输入寄存器602接收外部输入的串行数字图像信号,以及接收移位寄存器601输出的控制信号,使所述串行数字图像信号分红、绿、蓝三色分别输入,发送到数据锁存器603。当三色图像信号均输入完成后,数据锁存器603接收外部输入的控制信号中的锁存信号以及所述三色图像信号,进行锁存,发送给3选1数据选择器604。3选1数据选择器604接收外部输入的控制信号中的状态控制信号以及所述三色图像信号,根据所述状态控制信号输出对应的红、绿或蓝图像数据,即并行数字图像信号。

[0052] 优选地,所述用于印刷OLED显示的源驱动电路装置还包括静电防护单元,所述静电防护单元位于输入输出端口和其他电路部件之间。

[0053] 静电很容易对芯片造成不可逆转的损坏。因此,本申请在输入输出端口和核心电路之间添加静电放电(ESD)保护电路。

[0054] 例如数字电压为1.8V,例如用两个反向偏置的二极管作为数字信号输入/输出的静电保护电路。最大模拟输出电压为13.5V,数字电源和所有模拟信号的静电防护例如采用硅化的栅级接地的阻挡型晶体管。

[0055] 还需要说明的是,术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含,从而使得包括一系列要素的过程、方法、商品或者设备不仅包括那些要素,而且还包括没有明确列出的其他要素,或者是还包括为这种过程、方法、商品或者设备所固有的要素。在没有更多限制的情况下,由语句“包括一个……”限定的要素,并不排除在包括所述要素的过程、方法、商品或者设备中还存在另外的相同要素。

[0056] 以上所述仅为本申请的实施例而已,并不用于限制本申请。对于本领域技术人员来说,本申请可以有各种更改和变化。凡在本申请的精神和原理之内所作的任何修改、等同替换、改进等,均应包含在本申请的权利要求范围之内。

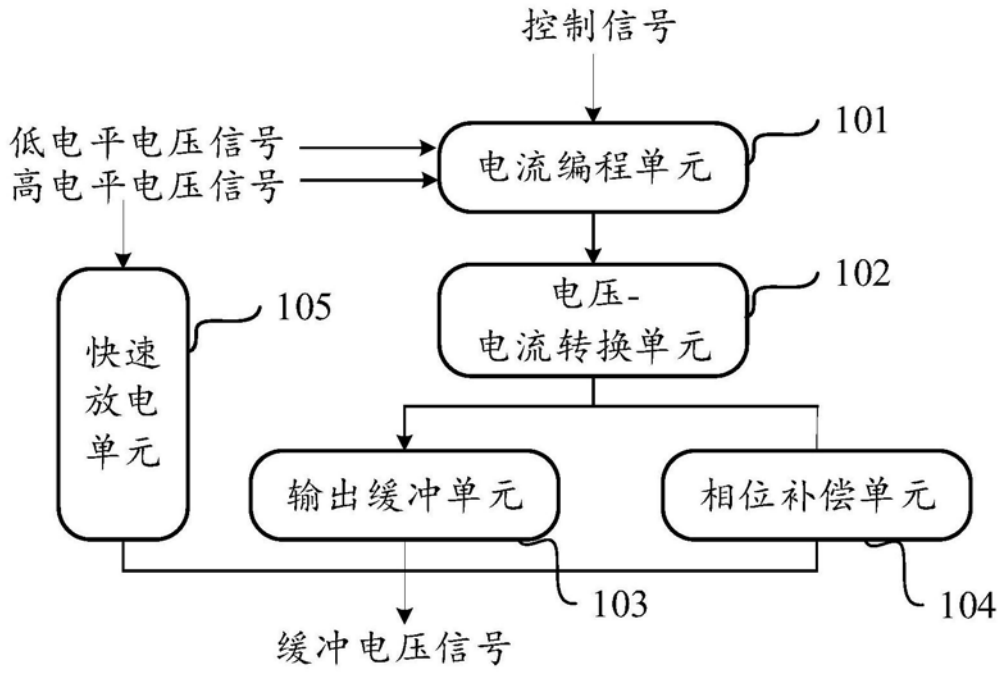


图1

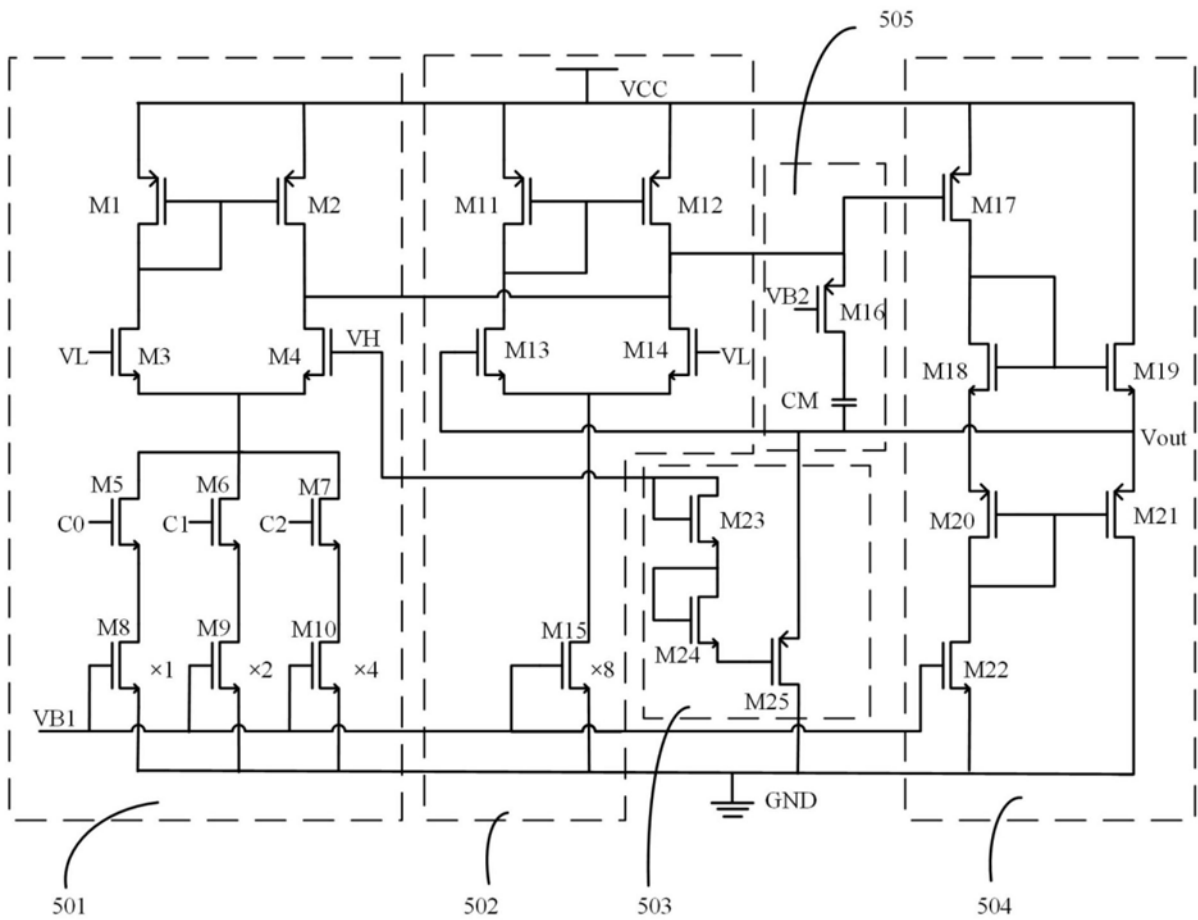


图2

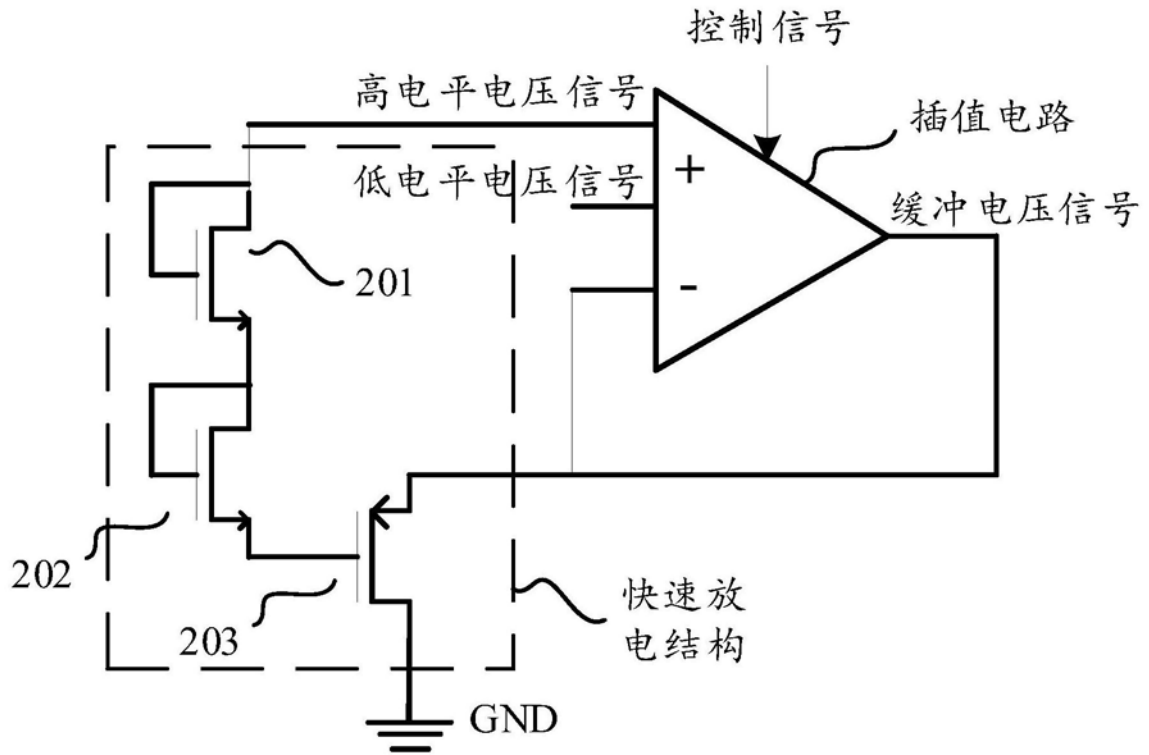


图3

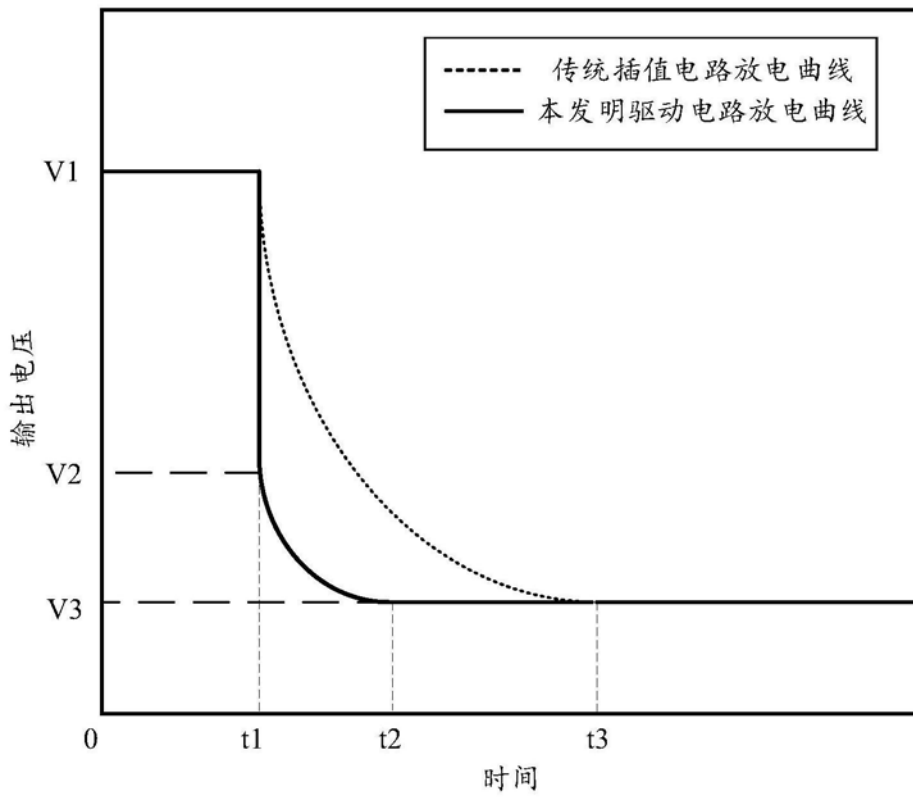


图4

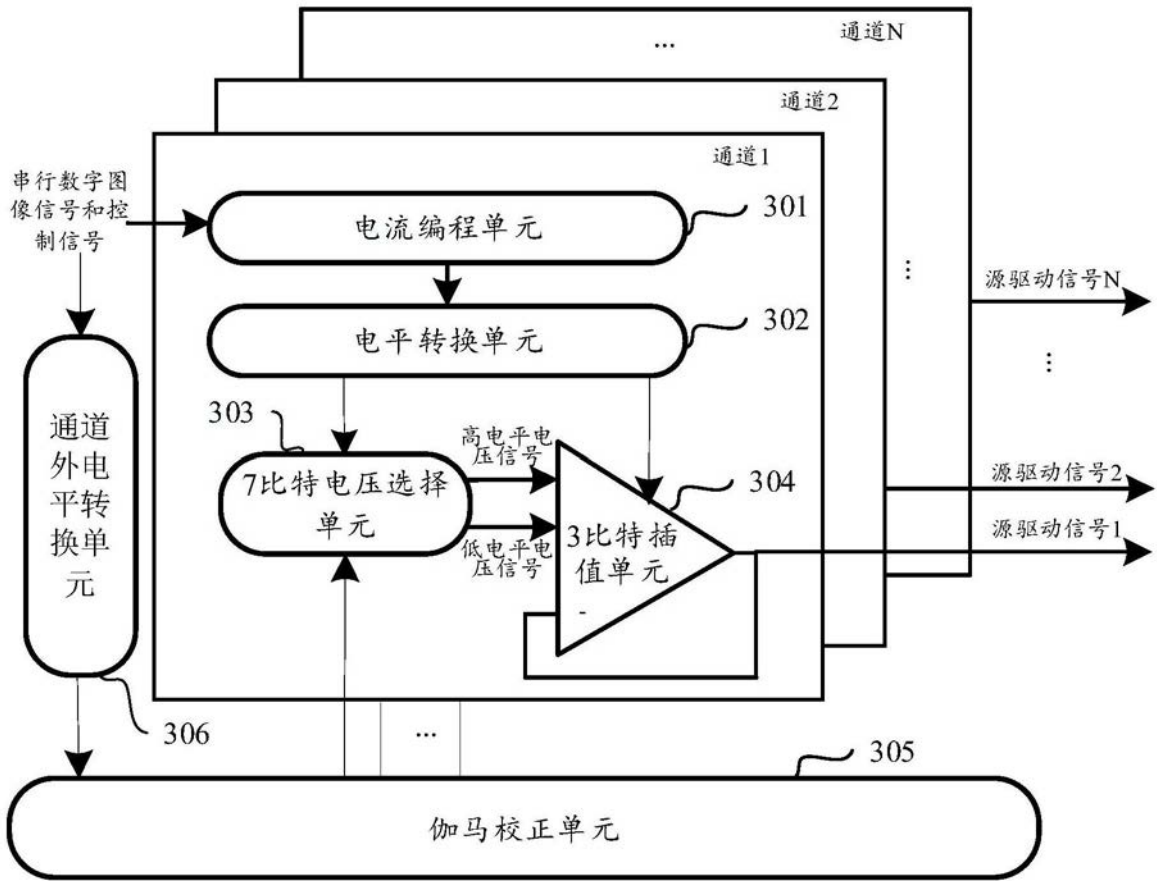


图5

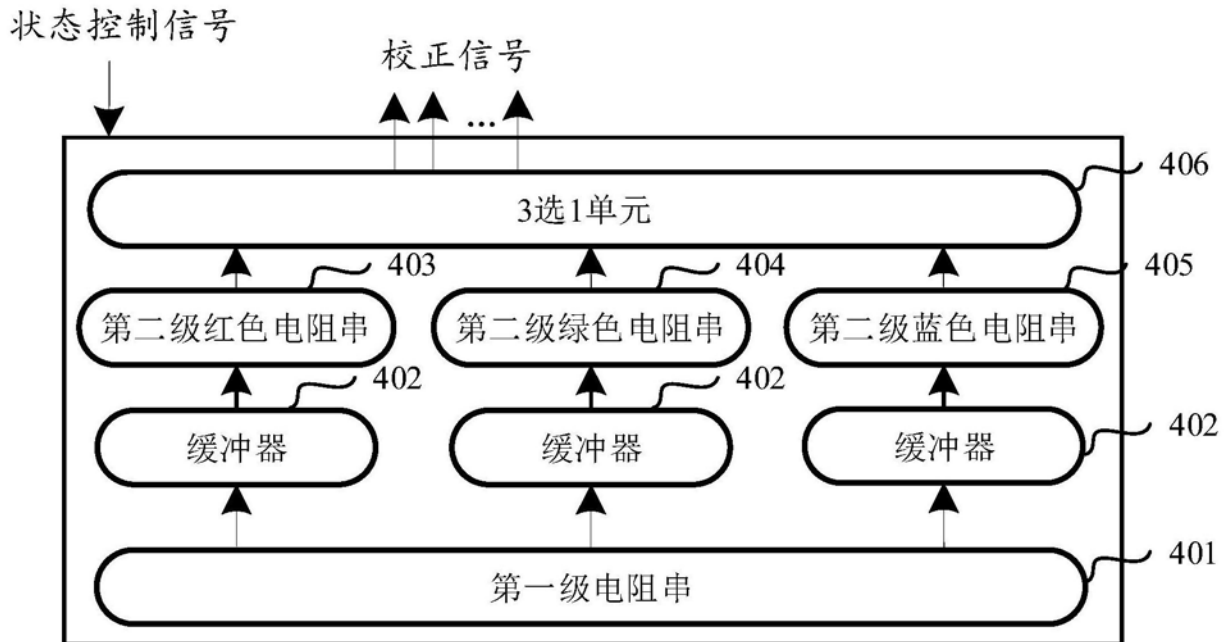


图6

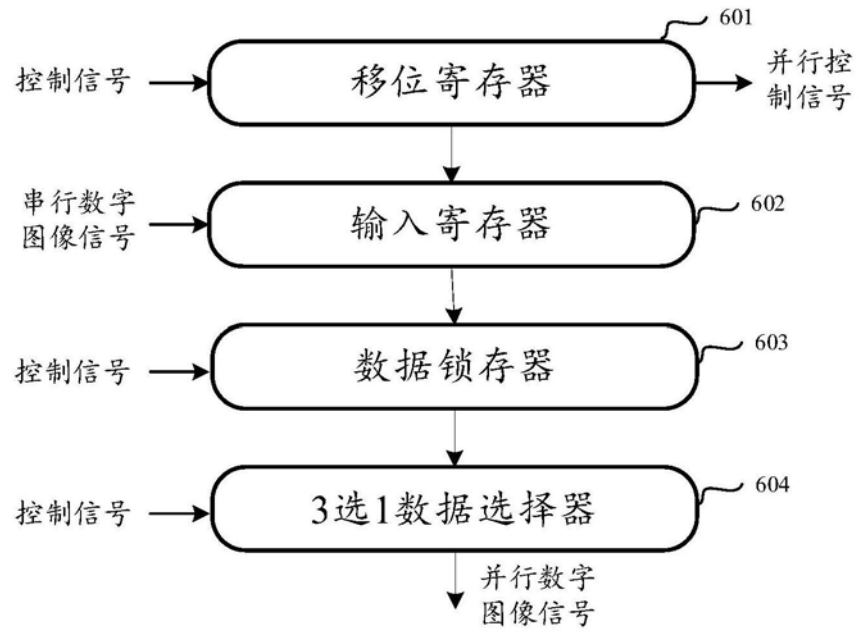


图7

专利名称(译)	一种用于平板显示的10-bit高速充放电驱动电路装置		
公开(公告)号	CN110085169A	公开(公告)日	2019-08-02
申请号	CN201910495835.1	申请日	2019-06-10
[标]申请(专利权)人(译)	北京航空航天大学		
申请(专利权)人(译)	北京航空航天大学		
当前申请(专利权)人(译)	北京航空航天大学		
[标]发明人	李洪革 郭晓宇		
发明人	李洪革 郭晓宇		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G2310/0286 G09G2320/0276 G09G2330/021		
代理人(译)	张宇峰		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了一种用于平板显示的10-bit高速充放电驱动电路装置。所述装置包括：电流编程单元，用于接收外部输入的信号，输出端连接电压-电流转换单元；电压-电流转换单元，输出端连接输出缓冲单元；输出缓冲单元，输出端连接快速放电单元以及对外输出；相位补偿单元，跨接在所述输出缓冲单元两端；快速放电单元，输入端分别连接外部输入的高电平电压信号和所述缓冲单元的输出端。本申请还提供了一个使用以上装置的用于印刷OLED显示的源驱动电路装置。与现有技术源驱动电路中的插值电路相比，本申请具有面积小、静态功耗低的优点。

