



(12)发明专利

(10)授权公告号 CN 108766357 B

(45)授权公告日 2020.04.03

(21)申请号 201810550161.6

审查员 贺轶

(22)申请日 2018.05.31

(65)同一申请的已公布的文献号

申请公布号 CN 108766357 A

(43)申请公布日 2018.11.06

(73)专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 合肥鑫晟光电科技有限公司

(72)发明人 袁志东 李永谦 袁繁 何敏

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 汪源 陈源

(51)Int.Cl.

G09G 3/3266(2016.01)

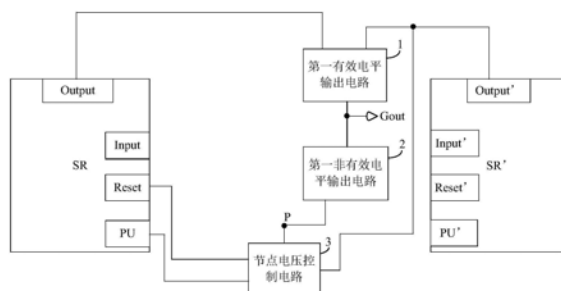
权利要求书3页 说明书14页 附图9页

(54)发明名称

信号合并电路、栅极驱动单元、栅极驱动电路和显示装置

(57)摘要

本发明公开了一种信号合并电路、栅极驱动单元、栅极驱动电路和显示装置,该信号合并电路包括:第一有效电平输出电路、第一非有效电平输出电路、节点电压控制电路,第一有效电平输出电路用于在第一信号输出端或第二信号输出端所提供信号处于有效电平状态时,将有效电平电压写入至驱动信号输出端;第一非有效电平输出电路用于在第一信号输出端和第二信号输出端所提供信号均处于非有效电平状态时,将非有效电平电压写入至驱动信号输出端。本发明的技术方案可实现对两个移位寄存器所输出单脉冲信号的合并,从而输出一个双脉冲驱动信号,以满足对感应晶体管的驱动需要;此外,该技术方案基于GOA电路,因而有利于OLED显示面板的窄边框设计。



1. 一种信号合并电路,其特征在于,用于合并第一移位寄存器和第二移位寄存器所输出的脉冲信号,包括:第一有效电平输出电路、第一非有效电平输出电路、节点电压控制电路;

所述第一有效电平输出电路,与有效电平输入端、所述第一移位寄存器的第一信号输出端、所述第二移位寄存器的第二信号输出端和栅极驱动单元的驱动信号输出端连接,响应所述第一信号输出端和所述第二信号输出端所提供的信号的控制,用于在所述第一信号输出端或所述第二信号输出端所提供信号处于有效电平状态时,将所述有效电平输入端提供的有效电平电压写入至所述驱动信号输出端;

所述节点电压控制电路,与所述第一非有效电平输出电路连接于控制节点,还与所述第一移位寄存器的第一重置信号输入端、所述第一移位寄存器的第一上拉节点、所述第二移位寄存器的第二信号输出端和第一时钟信号输入端、第一工作电源端、第二工作电源端连接,响应所述第一重置信号输入端、所述第一上拉节点、所述第二信号输出端和所述第一时钟信号输入端所提供的信号的控制,用于在所述第一信号输出端或所述第二信号输出端所提供的信号处于有效电平状态时,将所述第一工作电源端提供的第一工作电压写入至所述控制节点,以及在所述第一信号输出端和所述第二信号输出端所提供的信号均处于非有效电平状态时,将所述第二工作电源端提供的第二工作电压写入至所述控制节点;

所述第一非有效电平输出电路,与所述控制节点、非有效电平输入端和所述驱动信号输出端连接,响应所述控制节点的电压的控制,用于在所述控制节点的电压为第二工作电压时,将所述非有效电平输入端提供的非有效电平电压写入至所述驱动信号输出端。

2. 根据权利要求1所述的信号合并电路,其特征在于,所述第一有效电平输出电路包括:第一晶体管和第二晶体管;

所述第一晶体管的控制极与所述第一信号输出端连接,所述第一晶体管的第一极与所述有效电平输入端连接,所述第二晶体管的第二极与所述驱动信号输出端连接;

所述第二晶体管的控制极与所述第二信号输出端连接,所述第二晶体管的第一极与所述有效电平输入端连接,所述第二晶体管的第二极与所述驱动信号输出端连接。

3. 根据权利要求1所述的信号合并电路,其特征在于,所述第一非有效电平输出电路包括:第三晶体管;

所述第三晶体管的控制极与所述控制节点连接,所述第三晶体管的第一极与所述驱动信号输出端连接,所述第三晶体管的第二极与所述非有效电平输入端连接。

4. 根据权利要求1所述的信号合并电路,其特征在于,所述节点电压控制电路包括:第四晶体管、第五晶体管、第六晶体管、第七晶体管和第八晶体管;

所述第四晶体管的控制极与所述第二工作电源端连接,所述第四晶体管的第一极与所述控制节点连接,所述第四晶体管的第二极与所述第二工作电源端连接;

所述第五晶体管的控制极与所述第一重置信号输入端连接,所述第五晶体管的第一极与所述第一工作电源端连接,所述第五晶体管的第二极与所述第六晶体管的控制极连接;

所述第六晶体管的控制极与所述第七晶体管的第一极、所述第八晶体管的第一极连接,所述第六晶体管的第一极与所述控制节点连接,所述第六晶体管的第二极与所述第一工作电源端连接;

所述第七晶体管的控制极与所述第一时钟信号输入端连接,所述第七晶体管的第二极

与所述第二信号输出端连接；

所述第八晶体管的控制极与所述第一上拉节点连接，所述第八晶体管的第二极与所述第二工作电源端连接。

5. 根据权利要求1-4中任一所述的信号合并电路，其特性在于，还包括：第二有效电平输出电路和第二非有效电平输出电路；

第二有效电平输出电路，与所述有效电平输入端、所述第一信号输出端、所述第二信号输出端和所述栅极驱动单元的重置信号输出端连接，响应所述第一信号输出端和所述第二信号输出端所提供的信号的控制，用于在所述第一信号输出端或所述第二信号输出端所提供信号处于有效电平状态时，将所述有效电平输入端提供的有效电平电压写入至所述重置信号输出端；

所述第二非有效电平输出电路，与所述控制节点、所述非有效电平输入端和所述重置信号输出端连接，响应所述控制节点的电压的控制，用于在所述控制节点的电压为第二工作电压时，将所述非有效电平输入端提供的非有效电平电压写入至所述重置信号输出端。

6. 根据权利要求5所述的信号合并电路，其特性在于，所述第二有效电平输出电路包括：第九晶体管和第十晶体管；

所述第九晶体管的控制极与所述第一信号输出端连接，所述第九晶体管的第一极与所述有效电平输入端连接，所述第九晶体管的第二极与所述重置信号输出端连接；

所述第十晶体管的控制极与所述第二信号输出端连接，所述第十晶体管的第一极与所述有效电平输入端连接，所述第十晶体管的第二极与所述重置信号输出端连接。

7. 根据权利要求5所述的信号合并电路，其特征在在于，所述第二非有效电平输出电路包括：第十一晶体管和第十二晶体管；

所述第十一晶体管的控制极与所述控制节点连接，所述第十一晶体管的第一极与所述第一信号输出端连接，所述第十一晶体管的第二极与所述非有效电平输入端连接；

所述第十二晶体管的控制极与所述控制节点连接，所述第十二晶体管的第一极与所述第一信号输出端连接，所述第十二晶体管的第二极与所述重置信号输出端连接。

8. 一种栅极驱动单元，其特征在于，包括：第一移位寄存器、第二移位寄存器和用于合并所述第一移位寄存器和第二移位寄存器所输出的脉冲信号的信号合并电路；

所述信号合并电路采用上述权利要求1-7中任一所述的信号合并电路。

9. 一种栅极驱动电路，其特征在于，包括：级联的若干个栅极驱动单元，所述栅极驱动单元采用上述权利要求8中所述的栅极驱动单元；

除第一级栅极驱动单元外，其他各级栅极驱动单元内的所述第一移位寄存器的第一写入信号输入端与前一级栅极驱动单元内的所述第一移位寄存器的第一信号输出端连接，且其他各级栅极驱动单元内的所述第二移位寄存器的第二写入信号输入端与前一级栅极驱动单元内的所述第二移位寄存器的第二信号输出端连接；

各级栅极驱动单元的驱动信号输出端与对应行的栅线连接。

10. 根据权利要求9所述的栅极驱动电路，其特征在在于，当所述栅极驱动单元包括上述权利要求5中所述信号合并电路时；

除最后一级栅极驱动单元外，其他各级栅极驱动单元内的所述第一移位寄存器的第一重置信号输入端与后一级栅极驱动单元的驱动信号输出端连接；且其他各级栅极驱动单元

内的所述第二移位寄存器的第二重置信号输入端与后一级栅极驱动单元内的所述第二移位寄存器的第二信号输出端连接。

11. 一种显示装置, 其特征在于, 包括: 如上述权利要求9或10中所述的栅极驱动电路。

信号合并电路、栅极驱动单元、栅极驱动电路和显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种信号合并电路、栅极驱动单元、栅极驱动电路和显示装置。

背景技术

[0002] 在对有机发光二极管(Organic Light-Emitting Diode,简称 OLED)显示面板中的OLED进行驱动的过程中,由于各驱动晶体管或 OLED的性能差异(工艺导致的差异、老化导致的差异),则会导致显示亮度不均一,因此需要对驱动晶体管或OLED的性能进行补偿。

[0003] 其中,外部补偿为一种常见的补偿方式。外部补偿具体是指,通过感应电路将驱动晶体管或OLED处的电流抽取出来,在读出电信号后,借助外部的集成电路芯片实施较复杂的算法,对TFT阈值电压和迁移率的非均匀性以及OLED老化等实施补偿。

[0004] 感应电路进行感应信号读取的时间处于显示面板的稳定显示阶段,因此需使得感应电路中的晶体管不仅能在显示面板的驱动阶段过程中开启,还能在稳定显示阶段过程中开启。此时,需要栅极驱动电路中的栅极驱动单元能够在一帧时间内输出一个双脉冲信号(一个对应于驱动过程,一个对应于感应过程)。其中,若栅极驱动单元采用栅极驱动芯片来实现,其虽能实现输出双脉冲信号,但由于栅极驱动芯片尺寸较大,因而不利于窄边框的实现;若栅极驱动单元采用栅极驱动电路(Gate Driver on Array,简称GOA),其虽能实现窄边框设计,但由于每一个移位寄存器只能在一帧时间内输出一个单脉冲信号,因此无法适用于外部补偿。

[0005] 因此,提供一种既能有利于显示装置窄边框设计,同时也能实现对栅线进行多脉冲驱动的技术方案,是本领域技术人员亟需解决的技术问题。

发明内容

[0006] 本发明旨在至少解决现有技术中存在的技术问题之一,提出了一种信号合并电路、栅极驱动单元、栅极驱动电路和显示装置。

[0007] 为实现上述目的,本发明提供了一种信号合并电路,用于合并第一移位寄存器和第二移位寄存器所输出的脉冲信号,包括:第一有效电平输出电路、第一非有效电平输出电路、节点电压控制电路;

[0008] 所述第一有效电平输出电路,与有效电平输入端、所述第一移位寄存器的第一信号输出端、所述第二移位寄存器的第二信号输出端和所述栅极驱动单元的驱动信号输出端连接,响应所述第一信号输出端和所述第二信号输出端所提供的信号的控制,用于在所述第一信号输出端或所述第二信号输出端所提供信号处于有效电平状态时,将所述有效电平输入端提供的有效电平电压写入至所述驱动信号输出端;

[0009] 所述节点控制电路,与所述非有效电平输出电路连接于控制节点,还与所述第一移位寄存器的第一重置信号输入端、所述第一移位寄存器的第一上拉节点、所述第二移位寄存器的第二信号输出端和第一时钟信号输入端、第一工作电源端、第二工作电源端连

接,响应 所述第一重置信号输入端、所述第一上拉节点、所述第二信号输出端 和所述第一时钟信号输入端所提供的信号的控制,用于在所述第一信号输出端或所述第二信号输出端所提供的信号处于有效电平状态时,将所述第一工作电源端提供的第一工作电压写入至所述控制节点,以及在所述第一信号输出端和所述第二信号输出端所提供的信号均处于非有效电平状态时,将所述第二工作电源端提供的第二工作电压写入至所述控制节点;

[0010] 所述第一非有效电平输出电路,与所述控制节点、非有效电平 输入端和所述驱动信号输出端连接,响应所述控制节点的电压的控制,用于在所述控制节点的电压为第二工作电压时,将所述非有效电 平输入端提供的非有效电平电压写入至所述驱动信号输出端。

[0011] 可选地,所述第一有效电平输出电路包括:第一晶体管和第二 晶体管;

[0012] 所述第一晶体管的控制极与所述第一信号输出端连接,所述第 一晶体管的第一极与所述有效电平输入端连接,所述第二晶体管的第 二极与所述驱动信号输出端连接;

[0013] 所述第二晶体管的控制极与所述第二信号输出端连接,所述第 二晶体管的第一极与所述有效电平输入端连接,所述第二晶体管的第 二极与所述驱动信号输出端连接。

[0014] 可选地,所述第一非有效电平输出电路包括:第三晶体管;

[0015] 所述第三晶体管的控制极与所述控制节点连接,所述第三晶体 管的第一极与所述驱动信号输出端连接,所述第三晶体管的第二极与 所述非有效电平输入端连接。

[0016] 可选地,所述节点电压控制电路包括:第四晶体管、第五晶体 管、第六晶体管、第七晶体管和第八晶体管;

[0017] 所述第四晶体管的控制极与所述第二工作电源端连接,所述第 四晶体管的第一极与所述控制节点连接,所述第四晶体管的第二极与 所述第二工作电源端连接;

[0018] 所述第五晶体管的控制极与所述第一重置信号输入端连接,所 述第五晶体管的第一极与所述第一工作电源端连接,所述第五晶体管 的第二极与所述第六晶体管的控制极连接;

[0019] 所述第六晶体管的控制极与所述第七晶体管的第一极、所述第 八晶体管的第一极连接,所述第六晶体管的第一极与所述控制节点连 接,所述第六晶体管的第二极与所述第一工作电源端连接;

[0020] 所述第七晶体管的控制极与所述第一时钟信号输入端连接,所 述第七晶体管的第二极与所述第二信号输出端连接;

[0021] 所述第八晶体管的控制极与所述第一上拉节点连接,所述第八 晶体管的第二极与所述第二工作电源端连接。

[0022] 可选地,还包括:第二有效电平输出电路和第二非有效电平输 出电路;

[0023] 第二有效电平输出电路,与所述有效电平输入端、所述第一信 号输出端、所述第二信号输出端和所述栅极驱动单元的重置信号输出 端连接,响应所述第一信号输出端和所述第二信号输出端所提供的信 号的控制,用于在所述第一信号输出端或所述第二信号输出端所提供 信号处于有效电平状态时,将所述有效电平输入端提供的有效电平电 压写入至所述重置信号输出端;

[0024] 所述第二非有效电平输出电路,与所述控制节点、所述非有效 电平输入端和所述重置信号输出端连接,响应所述控制节点的电压的 控制,用于在所述控制节点的电压为第二工作电压时,将所述非有效 电平输入端提供的非有效电平电压写入至所述重置信号输

出端。

[0025] 可选地,所述第二有效电平输出电路包括:第九晶体管和第十 晶体管;

[0026] 所述第九晶体管的控制极与所述第一信号输出端连接,所述第 九晶体管的第一极与所述有效电平输入端连接,所述第九晶体管的第 二极与所述重置信号输出端连接;

[0027] 所述第十晶体管的控制极与所述第二信号输出端连接,所述第 十晶体管的第一极与所述有效电平输入端连接,所述第十晶体管的第 二极与所述重置信号输出端连接。

[0028] 可选地,所述第二非有效电平输出电路包括:第十一晶体管和 第十二晶体管;

[0029] 所述第十一晶体管的控制极与所述控制节点连接,所述第十一 晶体管的第一极与所述第一信号输出端连接,所述第十一晶体管的第 二极与所述非有效电平输入端连接;

[0030] 所述第十二晶体管的控制极与所述控制节点连接,所述第十二 晶体管的第一极与所述第一信号输出端连接,所述第十二晶体管的第 二极与所述重置信号输出端连接。

[0031] 为实现上述目的,本发明还提供了一种栅极驱动单元,包括: 第一移位寄存器、第二移位寄存器和用于合并所述第一移位寄存器和 第二移位寄存器所输出的脉冲信号的信号合并电路;

[0032] 所述信号合并电路采用上述的信号合并电路。

[0033] 为实现上述目的,本发明还提供了一种栅极驱动电路,包括: 级联的若干个栅极驱动单元,所述栅极驱动单元采用上述的栅极驱动 单元;

[0034] 除第一级栅极驱动单元外,其他各级栅极驱动单元内的所述第 一移位寄存器的第一写入信号输入端与前一级栅极驱动单元内的所 述第一移位寄存器的第一信号输出端连接,且其他各级栅极驱动单元 内的所述第二移位寄存器的第二写入信号输入端与前一级栅极驱动 单元内的所述第二移位寄存器的第二信号输出端连接;

[0035] 各级栅极驱动单元的驱动信号输出端与对应行的栅线连接。

[0036] 当信号合并电路中包括第二有效电平输出电路和第二非有效电 平输出电路时;

[0037] 除最后一级栅极驱动单元外,其他各级栅极驱动单元内的所述 第一移位寄存器的第一重置信号输入端与后一级栅极驱动单元的驱 动信号输出端连接;且其他各级栅极驱动单元内的所述第二移位寄 存器的第二重置信号输入端与后一级栅极驱动单元内的所述第二移 位寄存器的第二信号输出端连接。

[0038] 为实现上述目的,本发明还提供了一种显示装置,包括:如上 述的栅极驱动电路。

附图说明

[0039] 图1为有机发光二极管显示面板内的像素电路的电路结构示 意图;

[0040] 图2为图1所示像素电路的工作时序图;

[0041] 图3a为本发明中第一移位寄存器的一种电路结构示意图;

[0042] 图3b为图3a所示第一移位寄存器的工作时序图;

[0043] 图4a为本发明中第二移位寄存器的一种电路结构示意图;

[0044] 图4b为图4a所示第二移位寄存器的工作时序图;

[0045] 图5为本发明实施例一提供的一种信号合并电路的电路结构示 意图;

[0046] 图6为本发明实施例二提供的一种信号合并电路的电路结构示 意图;

[0047] 图7为本发明实施例三提供的一种信号合并电路的电路结构示 意图;

- [0048] 图8为图7所示脉冲合并电路的工作时序图；
- [0049] 图9为本发明实施例五提供的一中栅极驱动电路的电路结构示意图；
- [0050] 图10为本发明实施例五提供的一种栅极驱动电路的电路结构示意图；
- [0051] 图11为图9和图10所示栅极驱动电路的工作时序图。

具体实施方式

[0052] 为使本领域的技术人员更好地理解本发明的技术方案,下面结合附图对本发明提供的一种信号合并电路、栅极驱动单元、栅极驱动电路和显示装置进行详细描述。

[0053] 图1为有机发光二极管显示面板内的像素电路的电路结构示意图,图2为图1所示像素电路的工作时序图,如图1和图2所示,该像素电路包括开关晶体管TFT、驱动晶体管DTFT、感应晶体管STFT 和一个电容Cst。在需要对该像素电路仅需外部补偿时,该像素电路在工作过程中至少包括如下两个阶段:数据写入阶段和感应阶段(包括信号读取过程)。

[0054] 在数据写入阶段,需要将数据线Data中的数据电压Vdata写入至像素单元;在感应阶段,需要通过数据线Data将一个测试电压 Vsence写入至像素单元,并通过感应晶体管STFT将驱动晶体管的漏极处的电信号读取至信号读取线Sence。其中,在数据写入阶段和感应阶段,均需要通过对应的栅线G2向感应晶体管STFT的栅极写入有效电平电压。

[0055] 由于感应阶段的时长大于数据写入阶段的时长,因此对于连接感应晶体管STFT的栅极的栅线G2而言,其需要在一帧时间内输出一个双脉冲信号,且对应于感应阶段的脉冲宽度大于对应于数据写入阶段的脉冲。因此,这就要求栅极驱动单元具有输出双脉冲且两个脉冲宽度不同的功能。

[0056] 本发明的技术方案可基于GOA电路,以实现每一级栅极驱动单元能够输出双脉冲且两个脉冲宽度不同的功能。此外,为避免信号读取过程(在显示面板的稳定显示阶段进行)影响到整体画面效果,则在一帧时间内,仅对OLED显示面板中一行像素单元进行信号读取。需要说明的是,对OLED显示面板中的像素单元进行外部补偿,其过程属于本领域的常规技术,具体补偿过程和原理,此处不再赘述。

[0057] GOA电路一般包括多级级联的移位寄存器,每一级移位寄存器均包括一个预充重置电路、上拉电路和下拉电路,其中预充重置电路和上拉电路连接于上拉节点。移位寄存器的工作过程包括三个阶段:预充阶段、输出阶段和重置阶段。

[0058] 其中,在预充阶段时,预充重置电路响应于写入信号输入端所提供的写入信号的控制,对上拉节点进行预充电处理,以为后续输出阶段做准备。

[0059] 在输出阶段时,上拉电路响应与上拉节点电位的控制,向信号输出端输出有效电平电压,即输出一个单脉冲。

[0060] 在重置阶段,预充重置电路响应于重置信号输入端所提供的重置信号的控制,对上拉节点的进行重置处理,意识的上拉电路停止工作;与此同时,下拉电路响应下拉节点电位(未示出)的控制或者是重置信号输入端所提供的重置信号的控制,向信号输出端输出非有效电平电压,从而达到重置的目的。

[0061] 在本发明中,通过对两个独立(彼此没有联系)的移位寄存器所输出的单脉冲信号进行合并,以实现输出双脉冲信号。由于该两个移位寄存器是彼此独立的,因此各自所输出的单脉冲信号的时刻和脉冲宽度均可调,以使得两个单脉冲信号合并后得到的双脉

冲信号能够 对像素单元内的感应晶体管DTFT进行驱动。为实现对两个移位寄存器所输出的单脉冲信号进行合并,本发明提供了一种脉冲合并电路。一个脉冲合并电路和其对应的两个移位寄存器构成一个栅极驱动单元,栅极驱动单元具有一驱动信号输出端,用于向对应的栅线输出 双脉冲驱动信号,以对该栅线所连接的各感应晶体管DTFT进行驱动。

[0062] 为方便描述,本发明中将该两个移位寄存器分别称为第一移位寄存器和第二移位寄存器;其中,第一移位寄存器内的写入信号输入端、重置信号输入端、信号输出端和上拉节点分别称为第一写入信号输入端、第一重置信号输入端、第一信号输出端和第一上拉节点;第二移位寄存器内的写入信号输入端、重置信号输入端、信号输出端和上拉节点分别称为第二写入信号输入端、第二重置信号输入端、第二信号输出端和第二上拉节点。

[0063] 此外,在下述各实施例中,以有效电平为高电平,非有效电平为低电平为例进行示例性描述,此时第一移位寄存器和第二移位寄存器输出的脉冲信号为正向脉冲信号。本领域技术人员应该知晓的是,在本发明中也可以是有效电平为低电平,非有效电平为高电平,此时第一移位寄存器和第二移位寄存器输出的脉冲信号为负向脉冲信号。

[0064] 本发明所涉及到的各晶体管可分别独立选自多晶硅薄膜晶体管、非晶硅薄膜晶体管、氧化物薄膜晶体管中的一种。其中,多晶硅有源层的电子迁移率最大,其比氧化物有源层的电子迁移率大一个量级,比非晶硅有源层的电子迁移率大两个量级,所以在高分辨或驱动 负载(Load)较大的情况下,多晶硅薄膜晶体管和氧化物薄膜晶体管 优势较为明显。为达到相同的充电率,多晶硅薄膜晶体管和氧化物薄膜晶体管的尺寸也会更小,使得移位寄存器的尺寸相对较小,栅极驱动电路的整体尺寸也相对较小,有利于显示装置的窄边框化。此外,考虑到多晶硅有源层成膜均匀性较差,因此上述各晶体管优选为氧化物薄膜晶体管。

[0065] 在本发明中涉及到的“控制极”具体是指晶体管的栅极,“第一极”具体是指晶体管的源极,相应的“第二极”具体是指晶体管的漏极。当然,本领域的技术人员应该知晓的是,该“第一极”与“第二极”可进行互换。

[0066] 图3a为本发明中第一移位寄存器的一种电路结构示意图,图3b 为图3a所示第一移位寄存器的工作时序图,如图3a和3b所示,作为本发明中第一移位寄存器SR的一种可选方案,可选地,第一移位寄存器SR包括:第一预充重置电路6、第一上拉电路和7第一下拉电路8。

[0067] 其中,第一预充重置电路6包括:第十三晶体管T13和第十四晶体管T14;其中,第十三晶体管T13的控制极与第一写入信号输入端Input连接,第十三晶体管T13的第一极与第一写入信号输入端 Input连接,第十三晶体管T13的第二极与第一上拉节点PU连接;第十四晶体管T14的控制极与第一重置信号输入端Reset连接,第十四晶体管T14的第一极与第一上拉节点PU连接,第十四晶体管T14的第二极与低电平工作电源端连接。低电平工作电源端提供低电平工作电压VGL。

[0068] 第一上拉电路7包括:第十五晶体管T15和第三电容C3;其中第十五晶体管T15的控制极与上拉节点连接,第十五晶体管T15的第一极与第二时钟信号输入端CLK2连接,第十五晶体管T15的第二极与第一信号输出端Output连接;第三电容C3的第一端与第一上拉节点PU连接,第三电容C3的第二端与第一信号输出端Output连接。第二时钟信号输入端CLK2提供第二时钟信号CK2。

[0069] 第一下拉电路8包括:第十六晶体管T16;其中第十六晶体管 T16的控制极与第一重置信号输入端Reset连接,第十六晶体管T16 的第一极与第一信号输出端Output连接,第十六晶体管T16的第二 极与低电平工作电源端连接。

[0070] 图3a所示第一移位寄存器SR的工作过程如下:

[0071] 在预充阶段时,第一写入信号输入端Input提供高电平信号,第十三晶体管T13导通,以对第一上拉节点PU进行预充电处理,第一上拉节点PU处于高电平状态。第十五晶体管T15导通,第二时钟 信号输入端CLK2提供的低电平电压通过第十五晶体管T15写入至第一信号输出端Output,第一信号输出端Output输出低电平。

[0072] 在输出阶段,第十五晶体管T15维持导通,第二时钟信号输入 端CLK2提供的高电平电压通过第十五晶体管T15写入至第一信号输 出端Output,第一信号输出端Output输出高电平。在此过程中,由于自举作用,第三电容C3将上拉节点的电压上拉至更高电位。

[0073] 在重置阶段时,第一重置信号输入端Reset提供高电平信号,第十四晶体管T14导通,以对第一上拉节点PU进行重置处理。与此同时,第十六晶体管T16导通,低电平工作电压VGL通过第十六晶体 管T16写入至第一信号输出端Output,第一信号输出端Output输出低电平。

[0074] 图4a为本发明中第二移位寄存器的一种电路结构示意图,图4b 为图4a所示第二移位寄存器的工作时序图,如图4a和4b所示,作为本发明中第二移位寄存器SR' 的一种可选方案,可选地,第二移 位寄存器SR' 包括:第二预充重置电路9、第二上拉电路10、第二 下拉电路11和下拉控制电路12。

[0075] 其中,第二预充重置电路9包括:第十七晶体管T17和第十八 晶体管T18;其中,第十七晶体管T17的控制极与第二写入信号输入 端Input' 连接,第十七晶体管T17的第一极与第二写入信号输入端 Input' 连接,第十七晶体管T17的第二极与第二上拉节点PU' 连接;第十八晶体管T18的控制极与第二重置信号输入端Reset' 连接,第 十八晶体管T18的第一极与第二上拉节点PU' 连接,第十八晶体管 T18的第二极与低电平工作电源端连接。低电平工作电源端提供低电 平工作电压VGL。

[0076] 第二上拉电路10包括:第十九晶体管T19和第四电容C4;其中 第十五晶体管T15的控制极与上拉节点连接,第十九晶体管T19的第 一极与第三时钟信号输入端CLK3连接,第十九晶体管T19的第二极 与第二信号输出端Output' 连接;第四电容C4的第一端与第一上 拉 节点PU连接,第四电容C4的第二端与第二信号输出端Output' 连 接。第三时钟信号输入端CLK3提供第二时钟信号CK2。

[0077] 第一下拉电路11包括:第二十晶体管T20;其中第二十晶体管 T20的控制极与下拉节点PD连接,第二十晶体管T20的第一极与第 二信号输出端Output' 连接,第二十晶体管 T20的第二极与低电平 工作电源端连接

[0078] 下拉控制电路12包括:第二十一晶体管T21、第二十二晶体管 T22、第二十三晶体管T23和第二十四晶体管T24。其中第二十一晶 体管T21的控制与高电平工作电源端连接,第二十一晶体管T21的第 一极与高电平工作电源端连接,第二十一晶体管T21的第二极与第二 十三晶体管T23的控制极连接;第二十二晶体管T22的控制极与第二 上拉节点PU' 连接,第二十二晶体管T22的第一极与第二十三晶体 管T23的控制极连接,第二十二晶体管 T22的第二极与低电平工作电 源端连接;第二十三晶体管T23的第一极与第三时钟信号输

入端CLK3 连接,第二十三晶体管T23的第二极与下拉节点PD连接;第二十四 晶体管T24的控制与第二上拉节点PU' 连接,第二十四晶体管T24 的第一极与下拉节点PD连接,第二十四晶体管T24的第二极与低电 平工作电源端连接。

[0079] 图4a所示第二移位寄存器SR' 的工作过程如下:

[0080] 在预充阶段时,第二写入信号输入端Input' 提供高电平信号, 第十七晶体管T17导通,以对第二上拉节点PU' 进行预充电处理, 第二上拉节点PU' 处于高电平状态。第十九晶体管T19导通,第三 时钟信号输入端CLK3提供的低电平电压通过第十九晶体管T19写入 至第一信号输出端Output,第一信号输出端Output输出低电平。在 此过程中,由于第二上拉节点PU' 处于高电平状态,因此第二十二 晶体管T22和第二十四晶体管T24均导通,此时低电平工作电压VGL 通过第二十二晶体管T22写入至第二十三晶体管T23的控制极,第二 十三晶体管T23截止,低电平工作电压VGL通过第二十四晶体管T24 写入至下拉节点PD,下拉节点PD的电压为VGL,此时第十二晶体管 T12截止。

[0081] 在输出阶段,第十九晶体管T19维持导通,第三时钟信号输入 端CLK3提供的高电平电压通过第十九晶体管T19写入至第二信号输 出端Output',第二信号输出端Output' 输出高电平。在此过程中, 由于自举作用,第四电容C4将上拉节点的电压上拉至更高电位。在 此过程中,第二十二晶体管T22和第二十四晶体管T24维持导通,第 二十三晶体管T23维持截止,下拉节点PD的电压维持VGL,第二十 晶体管T20维持截止状态。

[0082] 需要说明的是,在输出阶段结束至重置阶段开始的一段时间内, 第十九晶体管T19维持导通,但是在输出阶段结束时,第三时钟信号 输入端CLK3提供的信号由高电平转变为低电平,因此第二信号输出 端Output' 输出低电平。

[0083] 在重置阶段时,第二重置信号输入端Reset' 提供高电平信号, 第十八晶体管T18导通,低电平工作电压VGL通过第十八晶体管T18 写入至第二上拉节点PU',以对第二上拉节点PU' 进行重置处理。此时,第二上拉节点PU' 的电压为VGL,第二十二晶体管T22和第二 十四晶体管T24均截止,高电平工作电压VGL通过第二十一晶体管 T21写入至第二十三晶体管T23的控制极,第二十三晶体管T23导通, 高电平电压通过第二十三晶体管T23写入至下 拉节点PD,下拉节点 PD的电压为高电平电压,第二十晶体管T20导通,低电平工作电压 VGL通过第二十晶体管T20写入至第二信号输出端Output',第二信 号输出端Output' 输出低电 平。

[0084] 本领域技术人员应该之下的是,本发明的中第一移位寄存器SR 和第二移位寄存器SR' 并不限于上述图3a和图4a中所示。本发明 中的第一移位寄存器SR和第二移位寄存器SR' 还可以采用其他结构。

[0085] 图5为本发明实施例一提供的一种信号合并电路的电路结构示 意图,如图5所示,该信号合并电路用于合并第一移位寄存器SR和 第二移位寄存器SR' 所输出的脉冲信号。

[0086] 在本实施例中,以第一移位寄存器SR输出的单脉冲信号对应于 数据写入阶段的驱动,第二移位寄存器SR' 输出的单脉冲信号对应 于感应阶段的驱动的情况为例,进行示 例性描述。因此,第一移位寄 存器SR输出的单脉冲信号的脉冲宽度小于第二移位寄存器 SR' 输出 的单脉冲信号的脉冲宽度。

[0087] 该信号合并电路包括:第一有效电平输出电路1、第一非有效电 平输出电路2和节 点电压控制电路3。

[0088] 其中,第一有效电平输出电路1,其与有效电平输入端、第一移位寄存器SR的第一信号输出端Output、第二移位寄存器SR'的第二信号输出端Output'和栅极驱动单元的驱动信号输出端Gout连接,响应第一信号输出端Output和第二信号输出端Output'所提供的信号的控制,用于在第一信号输出端Output或第二信号输出端Output'所提供信号处于有效电平状态时,将有效电平输入端提供的有效电平电压写入至驱动信号输出端Gout。

[0089] 节点控制电路,其与非有效电平输出电路连接于控制节点P,还与第一移位寄存器SR的第一重置信号输入端Reset、第一移位寄存器SR的第一上拉节点PU、第二移位寄存器SR'的第二信号输出端Output'和第一时钟信号输入端CLK1、第一工作电源端、第二工作电源端连接,响应第一重置信号输入端Reset、第一上拉节点PU、第二信号输出端Output'和第一时钟信号输入端CLK1所提供的信号的控制,用于在第一信号输出端Output或第二信号输出端Output'所提供的信号处于有效电平状态时,将第一工作电源端提供的第一工作电压写入至控制节点P,以及在第一信号输出端Output和第二信号输出端Output'所提供的信号均处于非有效电平状态时,将第二工作电源端提供的第二工作电压写入至控制节点P。

[0090] 第一非有效电平输出电路2,其与控制节点P、非有效电平输入端和驱动信号输出端Gout连接,响应控制节点P的电压的控制,用于在控制节点P的电压为第二工作电压时,将非有效电平输入端提供的非有效电平电压写入至驱动信号输出端Gout。

[0091] 在脉冲合并电路工作过程中,根据第一信号输出端Output和第二信号输出端Output'所提供脉冲信号的状态的不同,可分为如下三种情形:

[0092] (1) 第一信号输出端Output所提供的脉冲信号处于有效电平状态,第二信号输出端Output'所提供的脉冲信号处于非有效电平状态。此时,第一有效电平输出电路1将有效电平输入端提供的有效电平电压写入至驱动信号输出端Gout,即驱动信号输出端Gout输出有效电平电压,且持续时长(脉冲宽度)与第一信号输出端Output所提供的脉冲信号处于有效电平状态的时长(脉冲宽度)相同。

[0093] (2) 第一信号输出端Output所提供的脉冲信号处于非有效电平状态,第二信号输出端Output'所提供的脉冲信号处于非有效电平状态。此时,第一非有效电平输出电路2将非有效电平输入端提供的非有效电平电压写入至驱动信号输出端Gout,即驱动信号输出端Gout输出非有效电平电压。

[0094] (3) 第一信号输出端Output所提供的脉冲信号处于非有效电平状态,第二信号输出端Output'所提供的脉冲信号处于有效电平状态。此时,第一有效电平输出电路1将有效电平输入端提供的有效电平电压写入至驱动信号输出端Gout,即驱动信号输出端Gout输出有效电平电压,且持续时长(脉冲宽度)与第二信号输出端Output'所提供的脉冲信号处于有效电平状态的时长(脉冲宽度)相同。

[0095] 需要说明的是,在信号合并过程中不会出现第一信号输出端Output和第二信号输出端Output'所提供的脉冲信号均处于有效电平状态的情况。

[0096] 通过上述内容可见,本发明的技术方案可实现对两个移位寄存器所输出单脉冲信号的合并,从而输出一个双脉冲驱动信号,以满足对感应晶体管的驱动需要。此外,该技术方案基于GOA电路,因而有利于OLED显示面板的窄边框设计。

[0097] 图6为本发明实施例二提供的一种信号合并电路的电路结构示意图,如图6所示,

该信号合并电路不但包括：第一有效电平输出电路1、第一非有效电平输出电路2和节点电压控制电路3，还包括：还包括：第二有效电平输出电路4和第二非有效电平输出电路5。

[0098] 其中，第二有效电平输出电路4，与有效电平输入端、第一信号输出端Output、第二信号输出端Output' 和栅极驱动单元的重置信号输出端Cout连接，响应第一信号输出端Output和第二信号输出端 Output' 所提供的信号的控制，用于在第一信号输出端Output或第二信号输出端Output' 所提供信号处于有效电平状态时，将有效电平输入端提供的有效电平电压写入至重置信号输出端Cout；

[0099] 第二非有效电平输出电路5，与控制节点P、非有效电平输入端 和重置信号输出端Cout连接，响应控制节点P的电压的控制，用于 在控制节点P的电压为第二工作电压时，将非有效电平输入端提供的 非有效电平电压写入至重置信号输出端Cout。

[0100] 在本发明中，重置信号输出端Cout所输出的信号与驱动信号输出端Gout所输出的信号完全相同，该重置信号输出端Cout可为上一级栅极驱动单元内的第一移位寄存器SR提供重置信号，以减小本级 栅极驱动单元内的第一移位寄存器SR的信号输出端(在现有技术中，该信号输出端不但需要为下一级栅极驱动单元内的第一移位寄存器SR提供写入信号，还需要为上一级栅极驱动单元内的第一移位寄存器SR提供重置信号)的负担，从而保证本级栅极驱动单元内的第一 移位寄存器SR的第一信号输出端Output所输出信号的可信性。

[0101] 图7为本发明实施例三提供的一种信号合并电路的电路结构示意图，如图7所示，该信号合并电路为基于实施例一和实施例二的一种具体化可选方案。

[0102] 可选地，第一有效电平输出电路1包括：第一晶体管T1和第二 晶体管T2；

[0103] 第一晶体管T1的控制极与第一信号输出端Output连接，第一 晶体管T1的第一极与有效电平输入端连接，第二晶体管T2的第二极 与驱动信号输出端Gout连接；

[0104] 第二晶体管T2的控制极与第二信号输出端Output' 连接，第二 晶体管T2的第一极与有效电平输入端连接，第二晶体管T2的第二极 与驱动信号输出端Gout连接。

[0105] 可选地，第一非有效电平输出电路2包括：第三晶体管T3；

[0106] 第三晶体管T3的控制极与控制节点P连接，第三晶体管T3的 第一极与驱动信号输出端Gout连接，第三晶体管T3的第二极与非有 效电平输入端连接。

[0107] 可选地，节点电压控制电路3包括：第四晶体管T4、第五晶体 管T5、第六晶体管T6、第七晶体管T7和第八晶体管T8；

[0108] 第四晶体管T4的控制极与第二工作电源端连接，第四晶体管T4 的第一极与控制节点P连接，第四晶体管T4的第二极与第二工作电 源端连接；

[0109] 第五晶体管T5的控制极与第一重置信号输入端Reset连接，第 五晶体管T5的第一极与第一工作电源端连接，第五晶体管T5的第二 极与第六晶体管T6的控制极连接；

[0110] 第六晶体管T6的控制极与第七晶体管T7的第一极、第八晶体 管T8的第一极连接，第六晶体管T6的第一极与控制节点P连接，第 六晶体管T6的第二极与第一工作电源端连接；

[0111] 第七晶体管T7的控制极与第一时钟信号输入端CLK1连接，第 七晶体管T7的第二极与第二信号输出端Output' 连接；

[0112] 第八晶体管T8的控制极与第一上拉节点PU连接，第八晶体管 T8的第二极与第二

工作电源端连接。

[0113] 当信号合并电路包括：第二有效电平输出电路4和第二非有效电平输出电路5时，可选地，第二有效电平输出电路4包括：第九晶体管T9和第十晶体管T10；

[0114] 第九晶体管T9的控制极与第一信号输出端Output连接，第九晶体管T9的第一极与有效电平输入端连接，第九晶体管T9的第二极与重置信号输出端Cout连接；

[0115] 第十晶体管T10的控制极与第二信号输出端Output' 连接，第十晶体管T10的第一极与有效电平输入端连接，第十晶体管T10的第二极与重置信号输出端Cout连接。

[0116] 可选地，第二非有效电平输出电路5包括：第十一晶体管T11 和第十二晶体管T12；

[0117] 第十一晶体管T11的控制极与控制节点P连接，第十一晶体管 T11的第一极与第一信号输出端Output连接，第十一晶体管T11的第二极与非有效电平输入端连接；

[0118] 第十二晶体管T12的控制极与控制节点P连接，第十二晶体管 T12的第一极与第一信号输出端Output连接，第十二晶体管T12的第二极与重置信号输出端Cout连接。

[0119] 下面将结合附图来对图7所示脉冲合并电路对第一信号输出端 Output和第二信号输出端Output' 所提供单脉冲信号进行合并的过程，进行详细描述。

[0120] 其中，对应于有效电平为高电平的情况，此时脉冲合并电路中的各晶体管均为N型晶体管，有效电平提供端提供高电平电压VGH1，非有效电平提供低电平电压VGL1，第一电源端提供的第一工作电压为低电平工作电压VGL2，第二电源端提供的第二工作电压为高电平工作电压VGH2。

[0121] 图8为图7所示脉冲合并电路的工作时序图，如图8所示，该脉冲合并电路的工作过程可划分为三个时间段：第一时间段Q1、第二时间段Q2和第三时间段Q3。

[0122] 在第一时间段Q1(对应于数据写入阶段)时，第一信号输出端 Output所提供的脉冲信号处于高电平状态，第二信号输出端Output' 所提供的脉冲信号处于低电平状态，第一重置信号输入端Reset提供的重置信号处于低电平状态，第一上拉节点PU的电压处于高电平状态，第一时钟信号输入端CLK1提供的时钟信号处于低电平状态(对应于实施例一中的情形(1))。

[0123] 由于第一时钟信号输入端CLK1提供的时钟信号处于低电平状态，则第七晶体管T7截止；又由于第一重置信号输入端Reset提供的重置信号处于低电平状态，则第五晶体管T5截止。

[0124] 此外，由于第一上拉节点PU的电压处于高电平状态，则第八晶体管T8导通，高电平工作电压VGH2通过第八晶体管T8写入至第六晶体管T6的栅极，因此第六晶体管T6导通，低电平工作电压VGL2通过第六晶体管T6写入至控制节点P，此时控制节点P处于低电平状态。相应地，第三晶体管T3、第十一晶体管T11和第十二晶体管 T12均截止，第四晶体管T4可等同于一个电阻。

[0125] 与此同时，由于第一信号输出端Output所提供的脉冲信号处于高电平状态，第二信号输出端Output' 所提供的脉冲信号处于低电平状态，则第一晶体管T1和第九晶体管T9均导通，第二晶体管T2和第十晶体管T10均截止。此时，高电平电压VGH1通过第一晶体管T1写入至驱动信号输出端Gout，高电平电压VGH1通过第九晶体管 T9写入至重置信号输出端Cout。即，驱动信号输出端Gout和重置信号输出端Cout均输出高电平(有效电平)。

[0126] 在第二时间段Q2(对应于数据写入阶段结束至感应阶段开始之间的时间)时，其

包括：第一子阶段q1和第二子阶段q2，其中，第一子阶段q1对应第一移位寄存器SR处于重置阶段，第二子阶段q2 对应于重置阶段结束至感应阶段开始之间的时间。

[0127] 在第一子阶段q1，第一信号输出端Output所提供的脉冲信号处于低电平状态，第二信号输出端Output' 所提供的脉冲信号处于低电平状态，第一重置信号输入端Reset提供的重置信号处于高电平状态，第一上拉节点PU的电压处于低电平状态，第一时钟信号输入端 CLK1提供的时钟信号处于低电平状态（对应于实施例一中的情形（2））。

[0128] 由于第一信号输出端Output所提供的脉冲信号处于低电平状态，第二信号输出端Output' 所提供的脉冲信号处于低电平状态，则第一晶体管T1、第二晶体管T2、第九晶体管T9和第十晶体管T10 均截止。

[0129] 由于第一时钟信号输入端CLK1提供的时钟信号处于低电平状态，则第七晶体管T7截止；又由于第一上拉节点PU的电位处于低电平状态，则第八晶体管T8截止。

[0130] 与此同时，由于第一重置信号输入端Reset提供的重置信号处于高电平状态，则第五晶体管T5导通，低电平工作电压VGL2通过第五晶体管T5写入至第六晶体管T6的栅极，第六晶体管T6截止。此时，高电平工作电压VGH2通过第四晶体管T4写入至控制节点P，控制节点P的电压为VGH2。相应地，第三晶体管T3、第十一晶体管T11 和第十二晶体管T12均处于导通状态，低电平电压VGL1通过第三晶体管T3写入至驱动信号输出端Gout，低电平电压VGL1通过第十一晶体管T11和第十二晶体管T12写入至重置信号输出端Cout。即，驱动信号输出端Gout和重置信号输出端Cout均输出低电平（非有效电平）。

[0131] 在第二子阶段q2，第一信号输出端Output所提供的脉冲信号处于低电平状态，第二信号输出端Output' 所提供的脉冲信号处于低电平状态，第一重置信号输入端Reset提供的重置信号处于低电平状态，第一上拉节点PU的电压处于低电平状态，第一时钟信号输入端 CLK1提供的时钟信号处于低电平状态（对应于实施例一中的情形（2））。

[0132] 由于第一信号输出端Output所提供的脉冲信号处于低电平状态，第二信号输出端Output' 所提供的脉冲信号处于低电平状态，第一时钟信号输入端CLK1提供的时钟信号处于低电平状态，第一上拉节点PU的电位处于低电平状态，因此第一晶体管T1、第二晶体管T2、第七晶体管T7、第八晶体管T8、第九晶体管T9和第十晶体管 T10均维持截止状态。

[0133] 由于第一重置信号输入端Reset提供的重置信号处于低电平状态，则第五晶体管T5截止，此时第六晶体管T6的栅极处于浮接（Floating）状态，第六晶体管T6维持于第一子阶段的截止状态，相应地控制节点P也维持第一子阶段的截止状态；需要说明的是，当控制节点P处的电压因漏电流而降低时，则高电平工作电压VGH2会通过第四晶体管T4来对控制节点P进行充电，以维持控制节点P的电压处于VGH2。因此，在第二子阶段过程中，第三晶体管T3、第十一晶体管T11和第十二晶体管T12均维持导通状态，低电平电压VGL1 通过第三晶体管T3写入至驱动信号输出端Gout，低电平电压VGL1 通过第十一晶体管T11和第十二晶体管T12写入至重置信号输出端 Cout。即，驱动信号输出端Gout和重置信号输出端Cout均输出低电平（非有效电平）。

[0134] 由此可见，在整个第二时间段Q2内，驱动信号输出端Gout和重置信号输出端Cout均输出低电平（非有效电平）。

[0135] 在第三时间段Q3（对应于感应阶段的时间，第一时钟信号输入端CLK1提供的时钟信号处于高电平状态）时，其包括：第三子阶段、第四子阶段和第五子阶段。

[0136] 其中,在第三子阶段时q3,第一信号输出端Output所提供的脉冲信号处于低电平状态,第二信号输出端Output'所提供的脉冲信号处于低电平状态,第一重置信号输入端Reset提供的重置信号处于低电平状态,第一上拉节点PU的电压处于低电平状态,第一时钟信号输入端CLK1提供的时钟信号处于高电平状态(对应于实施例一中的情形(2))。

[0137] 其中,由于第一信号输出端Output所提供的脉冲信号处于低电平状态,第二信号输出端Output'所提供的脉冲信号处于低电平状态,第一重置信号输入端Reset提供的重置信号处于低电平状态,第一上拉节点PU的电压处于低电平状态,则第一晶体管T1、第二晶体管T2、第五晶体管T5、第八晶体管T8、第九晶体管T9和第十晶体管T10均维持截止状态。

[0138] 由于第一时钟信号输入端CLK1提供的时钟信号处于高电平状态,则第七晶体管T7导通。又由于第二信号输出端Output'所提供的脉冲信号处于低电平状态,则低电平电压通过第七晶体管T7写入至第六晶体管T6的栅极,第六晶体管T6维持截止。相应地,高电平工作电压VGH2通过第四晶体管T4对控制节点P进行充电,第三晶体管T3、第十一晶体管T11和第十二晶体管T12维持导通,驱动信号输出端Gout和重置信号输出端Cout均持续输出低电平(非有效电平)。

[0139] 在第四子阶段q4(对应于感应晶体管进行信号读取的时间)时,第一信号输出端Output所提供的脉冲信号处于低电平状态,第二信号输出端Output'所提供的脉冲信号处于高电平状态,第一重置信号输入端Reset提供的重置信号处于低电平状态,第一上拉节点PU的电压处于低电平状态,第一时钟信号输入端CLK1提供的时钟信号处于高电平状态(对应于实施例一中的情形(3))。

[0140] 由于第一时钟信号输入端CLK1提供的时钟信号处于高电平状态,则第七晶体管T7导通;又由于第二信号输出端Output'所提供的脉冲信号处于高电平状态,则高电平电压通过第七晶体管T7写入至第六晶体管T6的控制极,第六晶体管T6导通,低电平工作电压VGL2通过第六晶体管T6写入至控制节点P,控制节点P的电压为VGL2。相应地,第三晶体管T3、第十一晶体管T11和第十二晶体管T12均处于截止状态。

[0141] 此外,由于第一上拉节点PU的电压处于低电平状态,则第八晶体管T8截止。

[0142] 与此同时,由于第一信号输出端Output所提供的脉冲信号处于低电平状态,第二信号输出端Output'所提供的脉冲信号处于高电平状态,则第一晶体管T1和第九晶体管T9均截止,第二晶体管T2和第十晶体管T10均导通。此时,高电平电压VGH1通过第二晶体管T2写入至驱动信号输出端Gout,高电平电压VGH1通过第十晶体管T10写入至重置信号输出端Cout。即,驱动信号输出端Gout和重置信号输出端Cout均输出高电平(有效电平)。

[0143] 在第五子阶段q5时,第一信号输出端Output所提供的脉冲信号处于低电平状态,第二信号输出端Output'所提供的脉冲信号处于低电平状态,第一重置信号输入端Reset提供的重置信号处于低电平状态,第一上拉节点PU的电压处于低电平状态,第一时钟信号输入端CLK1提供的时钟信号处于高电平状态(对应于实施例一中的情形(2))。

[0144] 其中,由于第一信号输出端Output所提供的脉冲信号处于低电平状态,第二信号输出端Output'所提供的脉冲信号处于低电平状态,则第一晶体管T1、第二晶体管T2、第九晶体管T9和第十晶体管T10均截止。

[0145] 又由于,第一重置信号输入端Reset提供的重置信号处于低电平状态,第一上拉

节点PU的电压处于低电平状态,则第五晶体管T5 和第八晶体管T8均截止。

[0146] 与此同时,第一时钟信号输入端CLK1提供的时钟信号处于高电平状态,则第七晶体管T7导通。又由于第二信号输出端Output' 所提供的脉冲信号处于低电平状态,则低电平电压通过第七晶体管T7 写入至第六晶体管T6的栅极,第六晶体管T6维持截止。相应地,高电平工作电压VGH2通过第四晶体管T4对控制节点P进行充电,第三晶体管T3、第十一晶体管T11和第十二晶体管T12维持导通,驱动信号输出端Gout和重置信号输出端Cout均持续输出低电平(非有效电平)。

[0147] 由此可见,驱动信号输出端Gout和重置信号输出端Cout在第三时间段内输出有点电平的时长为第四子阶段的时长,即第二信号输出端Output' 输出有效电平的时长。

[0148] 需要说明的是,在第三时间段内可以仅包括第四子阶段q4和第五子阶段q5。第一时钟信号输入端CLK1提供的时钟信号处于有效电平状态的时间覆盖第二信号输出端Output' 输出有效电平的时间,且在第二信号输出端Output' 输出的脉冲信号由有效电平状态切换至非有效电平状态之后,第一时钟信号输入端CLK1提供的时钟信号仍持续一段时间维持有效电平状态。

[0149] 本领域技术人员应该知晓的是,本实施例所提供的电路中也可不包括第二有效电平输出电路4(第九晶体管T9和第十晶体管T10) 和第二非有效电平输出电路5(第十一晶体管T11和第十二晶体管 T12)。

[0150] 通过上述内容可见,本发明提供的信号合并电路可对第一移位寄存器SR和第二移位寄存器SR' 所输出的信号进行合并,以输出一个双脉冲信号。

[0151] 本实施例中,优选地,第一有效电平输出电路1还包括:第一电容C1和第二电容C2;第一电容C1的第一端与第一晶体管T1的控制极连接,第一电容C1的第二端与驱动信号输出端Gout连接;第二电容C2的第一端与第二晶体管T2的控制极连接,第二电容C2的第二端与驱动信号输出端Gout连接。在本发明中,第一电容C1和第二电容C2的设置可有效提升驱动信号输出端Gout的输出能力。

[0152] 本发明实施例四提供了一种栅极驱动单元,该栅极驱动单元包括:第一移位寄存器SR、第二移位寄存器SR' 和信号合并电路,其中该信号合并电路可采用上述实施例一~实施例三中任一提供的信号合并电路。

[0153] 图9为本发明实施例五提供的一中栅极驱动电路的电路结构示意图,如图9所示,该栅极驱动电路包括级联的若干个栅极驱动单元 STG_1/STG_2……STG_N-1/STG_N,其中栅极驱动单元STG_1/ STG_2……STG_N-1/STG_N采用上述实施例四中提供的栅极驱动单元。

[0154] 第一级栅极驱动单元STG_1内的第一移位寄存器SR_1的第一写入信号输入端Input与帧触发信号输入端STV连接,第一级栅极驱动单元STG_1内的第二移位寄存器SR'_1的第二写入信号输入端 Input' 与感应触发信号输入端BS连接;

[0155] 除第一级栅极驱动单元STG_1外,其他各级栅极驱动单元 STG_2……STG_N-1/STG_N内的第一移位寄存器SR_2/……SR_N-1/ SR_N的第一写入信号输入端Input与前一级栅极驱动单元内的第一移位寄存器SR的第一信号输出端Output连接,且其他各级栅极驱动单元STG_2……STG_N-1/STG_N内的第二移位寄存器 SR'_2/……SR'_N-1/SR'_N的第二写入信号输入端Input' 与前一级栅极驱动单元内的第二移位寄存器的第二信号输出端

Output' 连接。

[0156] 除最后一级栅极驱动单元STG_N外,其他各级栅极驱动单元 STG_1/STG_2……STG_N-1内的第一移位寄存器SR_1/ SR_2……SR_N-1的第一重置信号输入端Reset与后一级栅极驱动单元内第一移位寄存器的第一信号输出端Output连接;且其他各级栅极驱动单元STG_1/STG_2……STG_N-1内的第二移位寄存器SR' 的第二重置信号输入端Reset' 与后一级栅极驱动单元内的第二移位寄存器的第二信号输出端Output' 连接。

[0157] 各信号合并电路SC_1/SC_2……SC_N-1/SC_N的驱动信号输出端 Gout与对应行的栅线Gate_1/Gate_2……Gate_N-1/Gate_N连接。

[0158] 图10为本发明实施例五提供的一种栅极驱动电路的电路结构示意图,如图10所示,与图9中所示不同的是,本实施例中的信号合并电路不但具有驱动信号输出端Gout,还具有重置信号输出端Cout (信号合并电路内包括第二有效电平输出电路4和第二非有效电平输出电路5)。此时,除最后一级栅极驱动单元STG_N外,其他各级栅极驱动单元STG_1/STG_2……STG_N-1内的第一移位寄存器SR_1/ SR_2……SR_N-1的第一重置信号输入端Reset与后一级栅极驱动单元的驱动信号输出端Gout连接。

[0159] 相较于图9中所示栅极驱动电路,在图10所示栅极驱动电路中,由于第一移位寄存器的第一信号输出端Output无需再为前一级栅极驱动单元内的第一移位寄存器提供重置信号,因此其工作负载可减小,可有效提升第一信号输出端Output所输出信号的可信赖性。

[0160] 图11为图9和图10所示栅极驱动电路的工作时序图,如图11所示,在任意一帧时间内,各第一移位寄存器的第一信号输出端(对应于各栅线Gate_1/Gate_2……Gate_N-1/Gate_N在驱动阶段时所加载的信号)均依次输出脉冲信号,以支撑画面显示过程;而在任意一帧时间内,仅有一个第二移位寄存器的第二信号输出端(对应于各栅线Gate_1/Gate_2……Gate_N-1/Gate_N在稳定显示阶段时所加载的信号)输出脉冲信号,以实现在一行像素单元进行信号读取。

[0161] 本发明实施例六提供了一种显示装置,该显示装置包括:栅极驱动电路,该栅极驱动电路采用上述实施例五中提供的栅极驱动电路,具体内容可参见上述实施例五中的描述,此处不在赘述。

[0162] 可以理解的是,以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式,然而本发明并不局限于此。对于本领域内的普通技术人员而言,在不脱离本发明的精神和实质的情况下,可以做出各种变型和改进,这些变型和改进也视为本发明的保护范围。

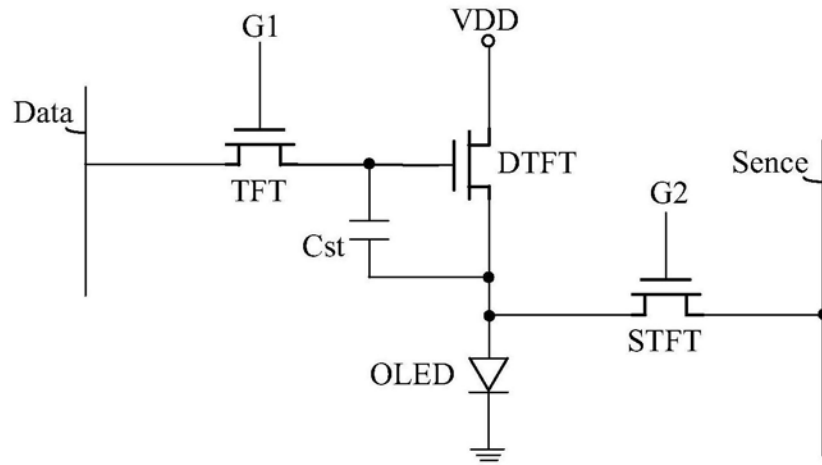


图1

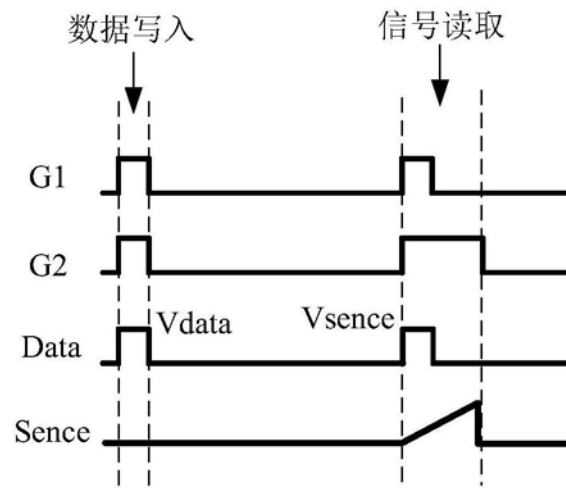


图2

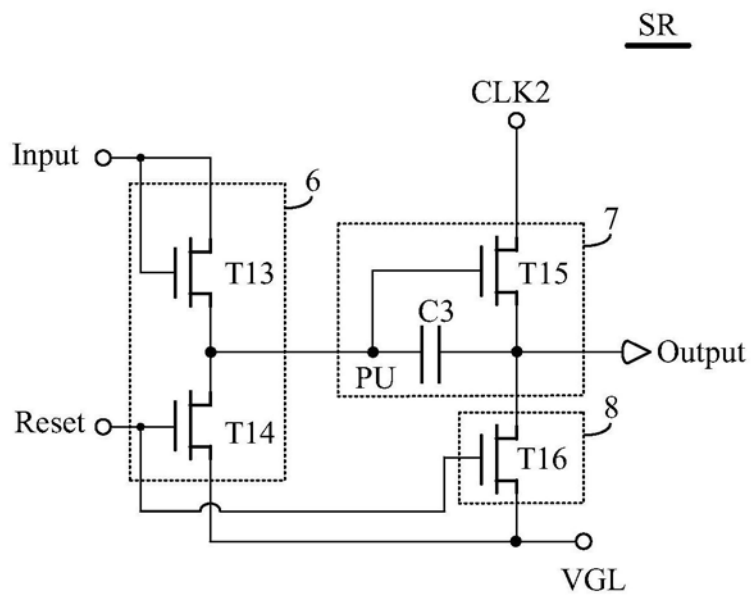


图3a

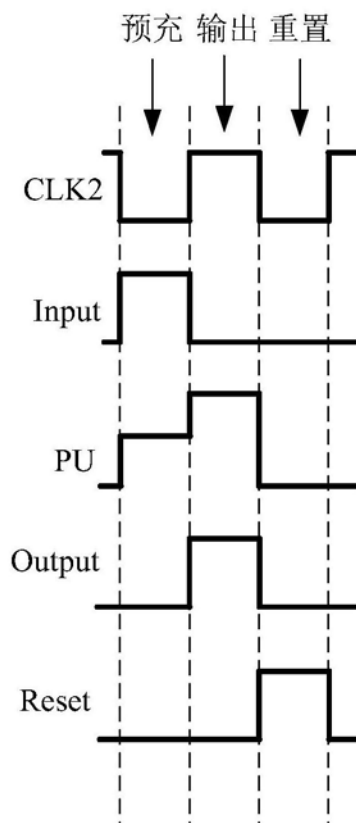


图3b

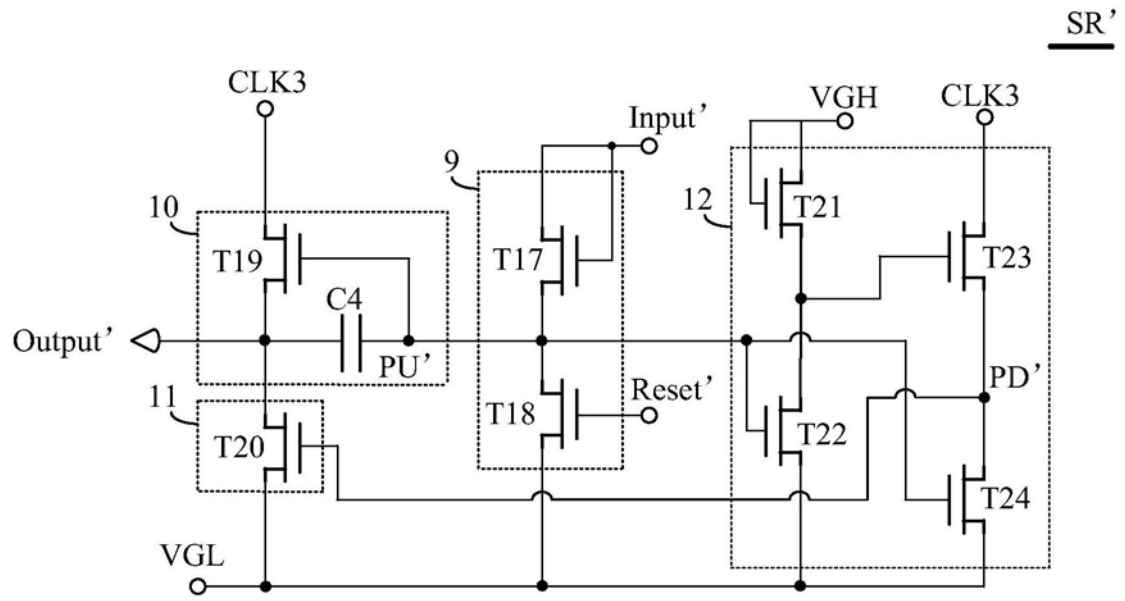


图4a

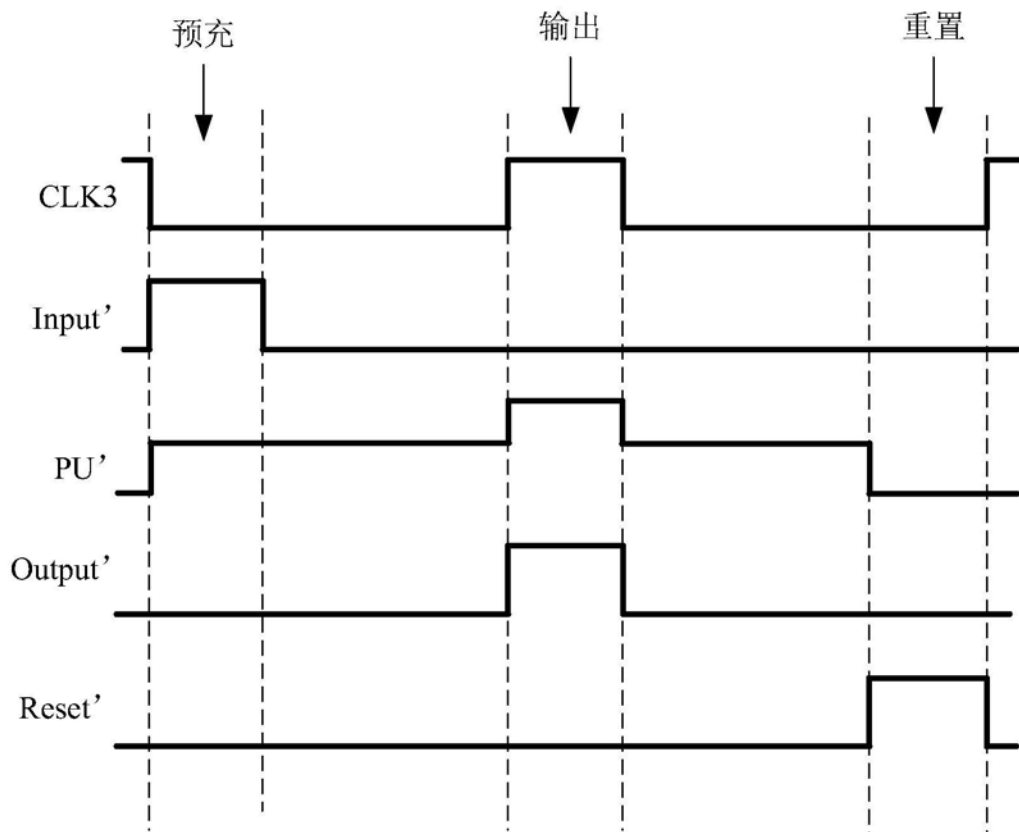


图4b

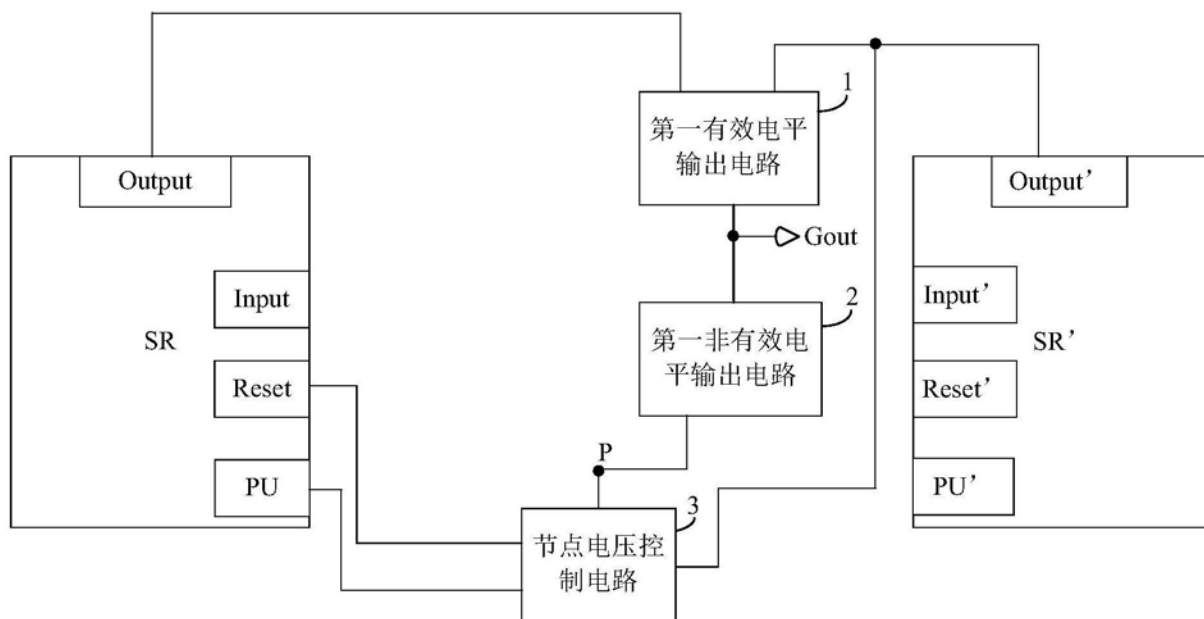


图5

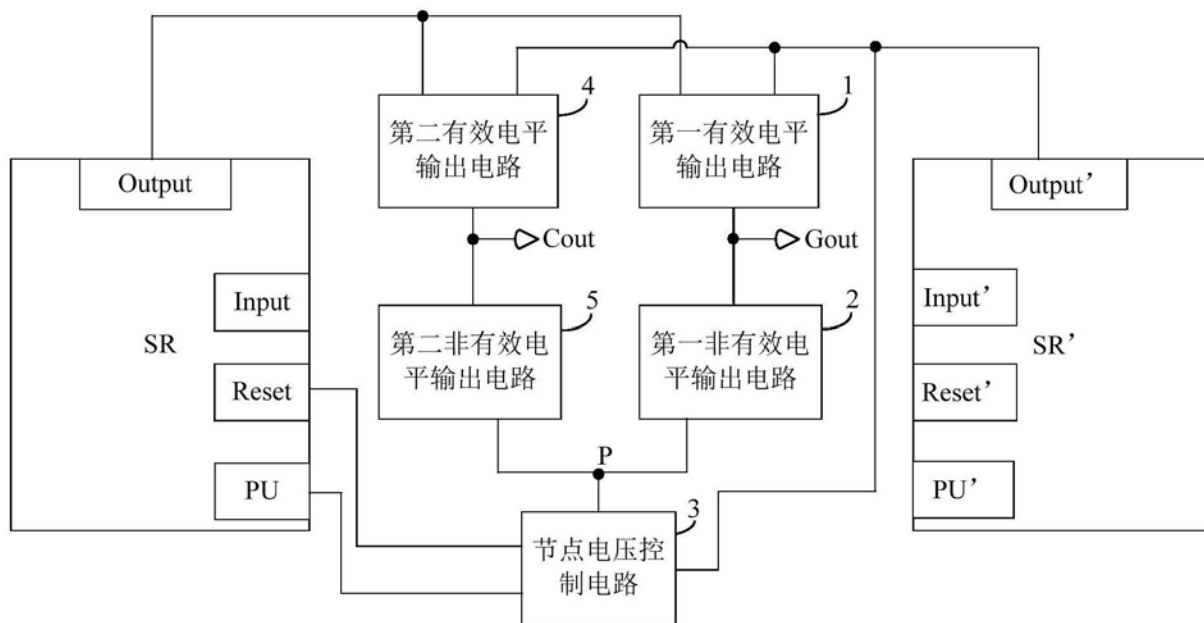


图6

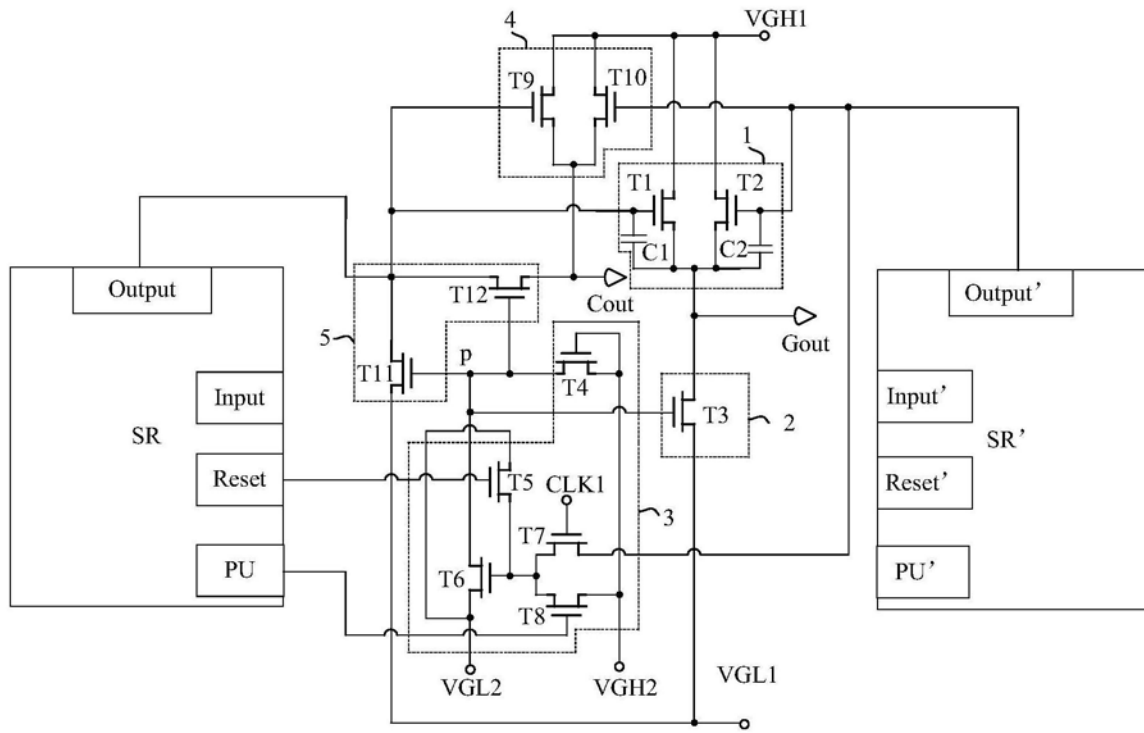


图7

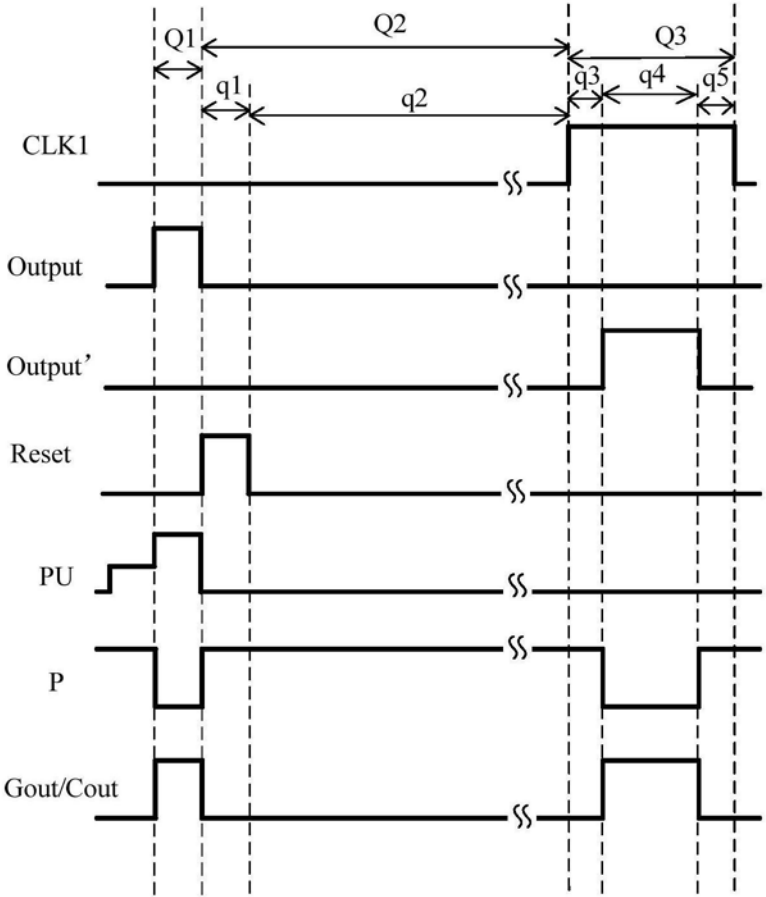


图8

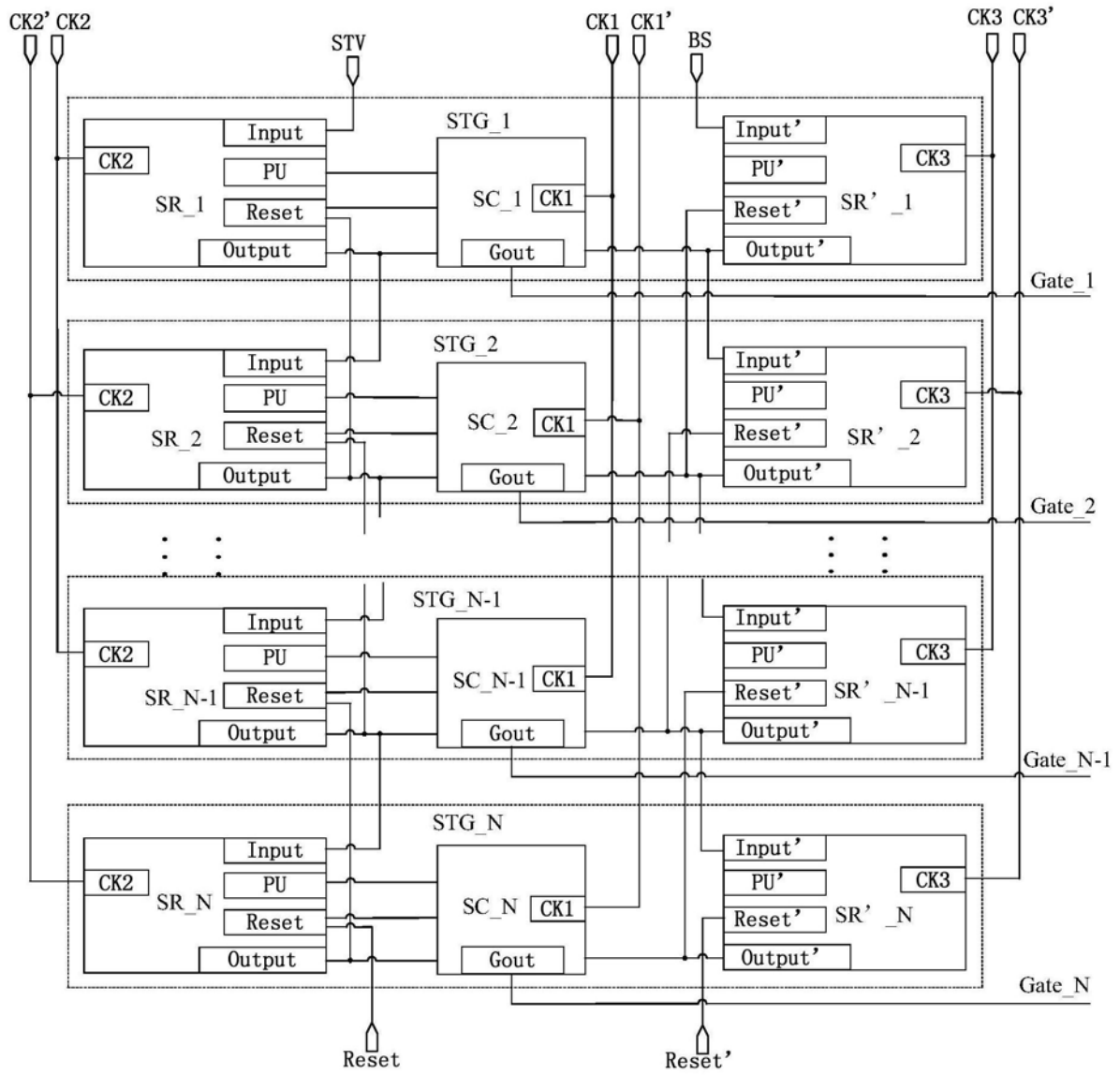


图9

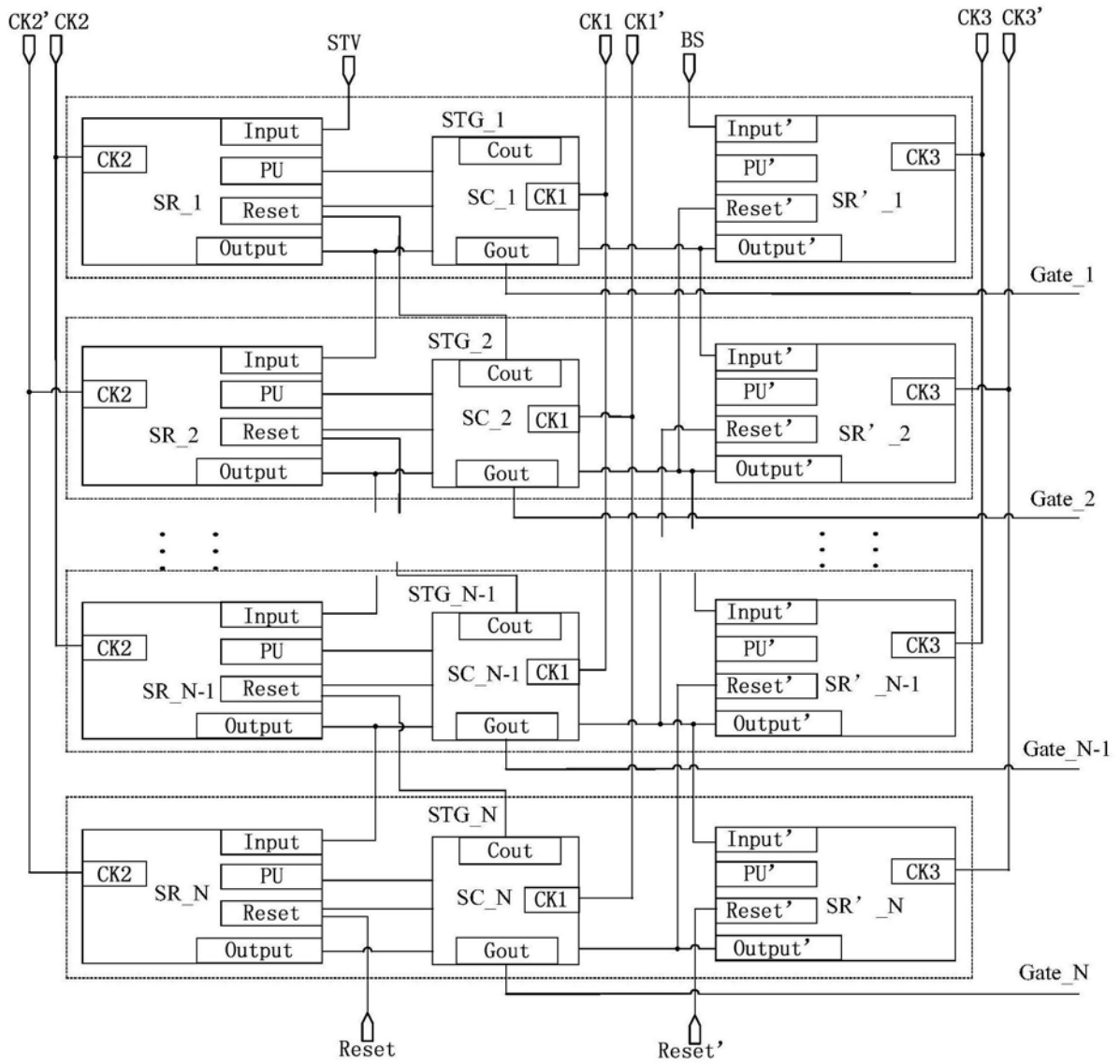


图10

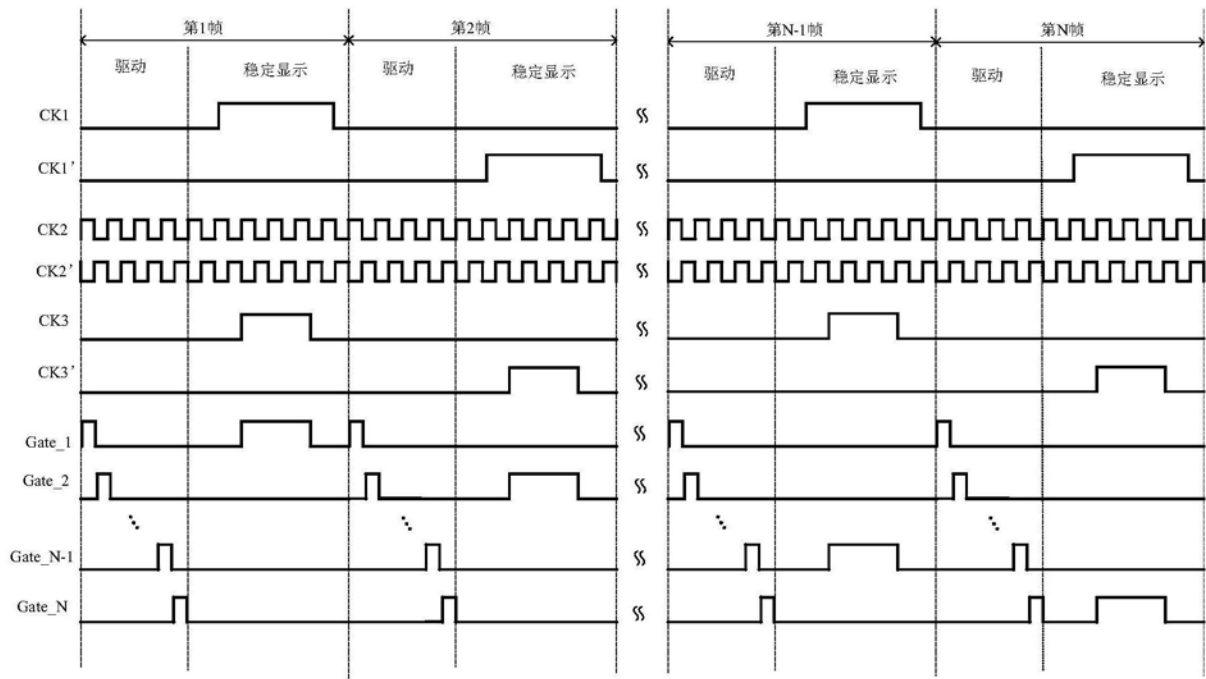


图11

专利名称(译)	信号合并电路、栅极驱动单元、栅极驱动电路和显示装置		
公开(公告)号	CN108766357B	公开(公告)日	2020-04-03
申请号	CN201810550161.6	申请日	2018-05-31
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥鑫晟光电科技有限公司		
[标]发明人	袁志东 李永谦 袁粲 何敏		
发明人	袁志东 李永谦 袁粲 何敏		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2310/0286 G09G2300/0819 G09G2310/08 G09G2320/029 G09G2320/045 G09G3/3258 G09G2300/0408 G09G2310/0243		
代理人(译)	汪源 陈源		
其他公开文献	CN108766357A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种信号合并电路、栅极驱动单元、栅极驱动电路和显示装置，该信号合并电路包括：第一有效电平输出电路、第一非有效电平输出电路、节点电压控制电路，第一有效电平输出电路用于在第一信号输出端或第二信号输出端所提供信号处于有效电平状态时，将有效电平电压写入至驱动信号输出端；第一非有效电平输出电路用于在第一信号输出端和第二信号输出端所提供信号均处于非有效电平状态时，将非有效电平电压写入至驱动信号输出端。本发明的技术方案可实现对两个移位寄存器所输出单脉冲信号的合并，从而输出一个双脉冲驱动信号，以满足对感应晶体管的驱动需要；此外，该技术方案基于GOA电路，因而有利于OLED显示面板的窄边框设计。

