



(12)发明专利申请

(10)申请公布号 CN 107820639 A

(43)申请公布日 2018.03.20

(21)申请号 201680034408.8

(22)申请日 2016.11.08

(85)PCT国际申请进入国家阶段日

2017.12.12

(86)PCT国际申请的申请数据

PCT/CN2016/105045 2016.11.08

(71)申请人 深圳市柔宇科技有限公司

地址 518052 广东省深圳市南山区科技园

科苑路15号科兴科学园A4-1501

(72)发明人 叶江波

(51)Int.Cl.

H01L 27/12(2006.01)

H01L 21/77(2017.01)

H01L 27/32(2006.01)

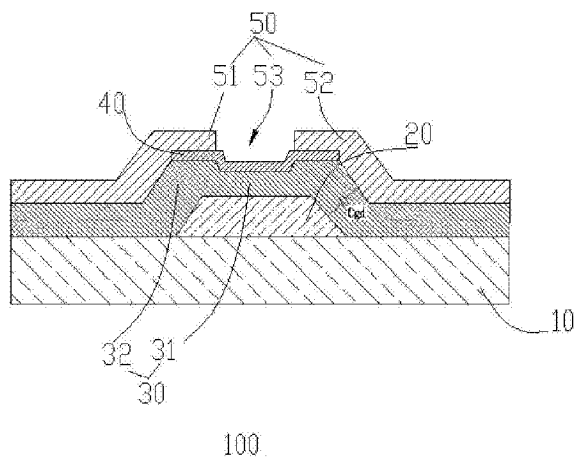
权利要求书2页 说明书6页 附图6页

(54)发明名称

OLED显示器、阵列基板及其制作方法

(57)摘要

提供一种阵列基板及其制作方法,所述阵列基板包括基板(10)、形成于所述基板(10)上的栅极(20)、形成于所述基板(10)和所述栅极(20)上的栅极绝缘层(30)、形成于所述栅极绝缘层(30)上的金属氧化物半导体层(40)、形成于所述金属氧化物半导体层(40)及所述栅极绝缘层(30)上的源极(51)和漏极(52),所述源极(51)和所述漏极(52)之间设有开口(53),所述金属氧化物半导体层(40)部分露出于所述开口(53),所述栅极绝缘层(30)包括第一区域(31),所述第一区域(31)正对所述开口(53),所述栅极绝缘层(30)第一区域(31)的厚度小于所述栅极绝缘层(30)除所述第一区域外区域(32)的厚度。将所述漏极(52)与栅极(20)之间的栅极绝缘层(30)正对于所述栅极(20)部分的厚度保持不变,通过增加栅极绝缘层(30)上其他部分的厚度,从而减小所述漏极(52)与所述栅极(20)之间的寄生电容的值。



1. 一种阵列基板,其特征在于,包括基板、形成于所述基板上的栅极、形成于所述基板和所述栅极上的栅极绝缘层、形成于所述栅极绝缘层上的金属氧化物半导体层、形成于所述金属氧化物半导体层及所述栅极绝缘层上的源极和漏极,所述源极和所述漏极之间设有开口,所述金属氧化物半导体层部分露出于所述开口,所述栅极绝缘层包括第一区域,所述第一区域正对所述开口,所述栅极绝缘层第一区域的厚度小于所述栅极绝缘层除所述第一区域之外区域的厚度。

2. 如权利要求1所述的阵列基板,其特征在于,所述栅极绝缘层还包括第二区域,所述第二区域正对所述栅极和所述漏极,所述栅极绝缘层第二区域的厚度大于所述栅极绝缘层除第二区域之外区域的厚度。

3. 如权利要求2所述的阵列基板,其特征在于,所述栅极绝缘层第一区域厚度与所述栅极绝缘层第二区域厚度比值范围为 $1/4-1/2$ 。

4. 如权利要求2或3所述的阵列基板,其特征在于,所述栅极绝缘层第一区域厚度与所述栅极绝缘层第二区域厚度的比值为 $1/3$ 。

5. 一种OLED显示器,其特征在于,包括权利要求1-4任意一项所述的阵列基板。

6. 一种阵列基板的制作方法,其特征在于,包括如下步骤:

在基板上依次形成栅极和栅极绝缘层,其中,所述栅极绝缘层包括第一区域;

在所述栅极绝缘层上涂覆第一光阻;

提供一多灰阶掩膜版,利用所述多灰阶掩膜版对所述第一光阻进行曝光、显影,以在所述第一光阻正对所述第一区域形成半曝光区域;

以所述第一光阻为遮蔽层,对所述栅极绝缘层进行蚀刻,使得所述栅极绝缘层的所述第一区域厚度小于所述栅极绝缘层除所述第一区域之外区域的厚度;

剥离所述第一光阻;

在所述栅极绝缘层上方形成金属氧化物半导体层;

在所述金属氧化物半导体层及所述栅极绝缘层上形成源极、漏极及介于二者之间的开口,所述开口正对所述第一区域,所述金属氧化物半导体层部分露出于所述开口。

7. 如权利要求6所述的阵列基板的制作方法,其特征在于,所述对所述栅极绝缘层进行蚀刻步骤中,包括对所述栅极绝缘层进行干法蚀刻,使得所述栅极绝缘层的所述第一区域厚度小于所述栅极绝缘层除所述第一区域外区域的厚度。

8. 如权利要求6所述的阵列基板的制作方法,其特征在于,所述在所述栅极绝缘层上方形成金属氧化物半导体层步骤中,包括在所述栅极绝缘层上形成金属氧化物薄膜层;

在所述金属氧化物薄膜层正对所述栅极的区域形成第二光阻;

以所述第二光阻为遮蔽层,对所述金属氧化物薄膜层进行蚀刻,以在所述第二光阻下方形成所述金属氧化物半导体层;

剥离所述第二光阻。

9. 如权利要求8所述的阵列基板的制作方法,其特征在于,所述在所述栅极绝缘层上形成金属氧化物薄膜层步骤中,包括通过溅射法在栅极绝缘层上形成所述金属氧化物薄膜层。

10. 如权利要求6所述的阵列基板的制作方法,其特征在于,所述在所述金属氧化物半导体层及所述栅极绝缘层上形成源极、漏极及介于二者之间的开口,所述开口正对所述第

一区域,所述金属氧化物半导体层部分露出于所述开口步骤中包括:在所述金属氧化物半导体层及所述栅极绝缘层上形成源漏极薄膜层;

在所述源漏极薄膜层上形成第三光阻,所述第三光阻上设有镂空区,所述镂空区正对所述第一区域;

以所述第三光阻为遮蔽层,对所述源漏极薄膜层进行蚀刻,以形成所述源极、漏极及位于所述镂空区正下方的开口,所述金属氧化物半导体层露出于所述开口;

剥离所述第三光阻。

11.如权利要求6所述的阵列基板的制作方法,其特征在于,所述多灰阶掩膜版为半色调掩膜版或灰色调掩膜版。

OLED显示器、阵列基板及其制作方法

技术领域

[0001] 本申请涉及OLED显示技术领域,尤其涉及一种OLED显示器、阵列基板及其制作方法。

背景技术

[0002] OLED(Organic Light-Emitting Diode,有机发光二极管)显示器具有自发光、广视角、几乎无穷高的对比度、较低耗电、极高反应速度等优点。因而越来越多地应用于显示装置中。

[0003] 现有的OLED显示器结构中,薄膜晶体管中源极和漏极与栅极之间存在一定的重叠区域,从而在该区域形成寄生电容。当栅极电压控制薄膜晶体管导通时,数据线为像素电极充电至像素电压,当栅极电压控制薄膜晶体管截止时,像素电压被存储。然而,栅极电压的变化会通过寄生电容使得像素电极产生跳变电压,且跳变电压的大小与寄生电容的电容值成正比,因此,薄膜晶体管截止后,跳变电压并使实际像素电压小于薄膜晶体管导通时的充电电压,从而导致显示效果较差。

[0004] 申请内容

[0005] 本申请的目的在于提供阵列基板及其制作方法,能够在保证道电流大小的前提下,减小了寄生电容值,进而提升了阵列基板的显示效果。

[0006] 本申请的另一目的在于提供一种采用上述阵列基板的OLED显示器。

[0007] 为实现上述目的,本申请提供如下技术方案:

[0008] 本申请提供一种阵列基板,其中,包括基板、形成于所述基板上的栅极、形成于所述基板和所述栅极上的栅极绝缘层、形成于所述栅极绝缘层上的金属氧化物半导体层、形成于所述金属氧化物半导体层及所述栅极绝缘层上的源极和漏极,所述源极和所述漏极之间设有开口,所述金属氧化物半导体层部分露出于所述开口,所述栅极绝缘层包括第一区域,所述第一区域正对所述开口,所述栅极绝缘层第一区域的厚度小于所述栅极绝缘层除所述第一区域外区域的厚度。

[0009] 其中,所述栅极绝缘层还包括第二区域,所述第二区域正对所述栅极和所述漏极,所述栅极绝缘层第二区域的厚度大于所述栅极绝缘层除第二区域之外区域的厚度。

[0010] 其中,所述栅极绝缘层第一区域厚度与所述栅极绝缘层第二区域厚度比值范围为 $1/2-1/4$ 。

[0011] 其中,所述栅极绝缘层第一区域厚度与栅极绝缘层第二区域厚度的比值为 $1/3$ 。

[0012] 本申请提供一种OLED显示器,其中,包括上述任意一项所述的阵列基板。

[0013] 本申请提供一种阵列基板的制作方法,其中,包括如下步骤:

[0014] 在基板上依次形成栅极和栅极绝缘层,其中,所述栅极绝缘层包括第一区域;

[0015] 在所述栅极绝缘层上涂覆第一光阻;

[0016] 提供一多灰阶掩膜版,利用所述多灰阶掩膜版对所述第一光阻进行曝光、显影,以在所述第一光阻正对所述第一区域形成半曝光区域;

[0017] 以所述第一光阻为遮蔽层,对所述栅极绝缘层进行蚀刻,使得所述栅极绝缘层的所述第一区域厚度小于所述栅极绝缘层除所述第一区域之外区域的厚度;

[0018] 剥离所述第一光阻;

[0019] 在所述栅极绝缘层上方形成金属氧化物半导体层;

[0020] 在所述金属氧化物半导体层及所述栅极绝缘层上形成源极、漏极及介于二者之间的开口,所述开口正对所述第一区域,所述金属氧化物半导体层部分露出于所述开口。

[0021] 其中,所述对所述栅极绝缘层进行蚀刻步骤中,包括对所述栅极绝缘层进行干法蚀刻,使得所述栅极绝缘层的所述第一区域厚度小于所述栅极绝缘层除所述第一区域外区域的厚度。

[0022] 其中,所述在所述栅极绝缘层上方形成金属氧化物半导体层步骤中,包括在所述栅极绝缘层上形成金属氧化物薄膜层;

[0023] 在所述金属氧化物薄膜层正对所述栅极的区域形成第二光阻;

[0024] 以所述第二光阻为遮蔽层,对所述金属氧化物薄膜层进行蚀刻,以在所述第二光阻下方形成所述金属氧化物半导体层;

[0025] 剥离所述第二光阻。

[0026] 其中,所述在所述栅极绝缘层上形成金属氧化物薄膜层步骤中,包括通过溅射法在栅极绝缘层上形成所述金属氧化物薄膜层。

[0027] 其中,所述在所述金属氧化物半导体层及所述栅极绝缘层上形成源极、漏极及介于二者之间的开口,所述开口正对所述第一区域,所述金属氧化物半导体层部分露出于所述开口步骤中包括:在所述金属氧化物半导体层及所述栅极绝缘层上形成源漏极薄膜层;

[0028] 在所述源漏极薄膜层上形成第三光阻,所述第三光阻上设有镂空区,所述镂空区正对所述第一区域;

[0029] 以所述第三光阻为遮蔽层,对所述源漏极薄膜层进行蚀刻,以形成所述源极、漏极及位于所述镂空区正下方的开口,所述金属氧化物半导体层露出于所述开口;

[0030] 剥离所述第三光阻。

[0031] 其中,所述多灰阶掩膜版为半色调掩膜版或灰色调掩膜版。。

[0032] 本申请实施例具有如下优点或有益效果:

[0033] 本申请中将所述漏极与所述栅极间的栅极绝缘层正对于所述栅极部分的厚度保持不变,通过增加栅极绝缘层上其他部分的厚度,从而减小所述漏极与所述栅极之间的寄生电容 C_{gd} 的值。本申请的阵列基板在保证开口电流大小的前提下,减小了寄生电容 C_{gd} 的值,进而提升了阵列基板的显示效果。

附图说明

[0034] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0035] 图1为本申请一种实施方式提供的阵列基板结构示意图。

[0036] 图2为本申请一种实施方式提供的OLED显示器框图。

[0037] 图3是图1所示的阵列基板的制作方法流程示意图。

[0038] 图4-图11是图3所示阵列基板的制作方法示意图。

具体实施方式

[0039] 下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0040] 本申请以下实施例中所采用的序数限定词,第一、第二等仅是为了清楚地说明本申请中相似的特征的区别性的用语,不代表相应的特征的排列顺序或者使用顺序。

[0041] 根据电容计算公式: $C = \epsilon * S / (4\pi kd)$,其中 ϵ 是为介电常数, S 为电容极板的正对面积, d 为电容极板的距离, k 则是静电力常数。

[0042] 可以理解的是,通过增大漏极与栅极之间的绝缘层的厚度,从而改变寄生电容的大小。但是,漏极与栅极之间的绝缘层厚度的增加,会使得绝缘层上方的沟道的导电因子值下降,造成沟道电流下降,从而影响薄膜晶体管的工作特性,降低OLED显示器的成像效果。本申请的阵列基板可以在降低寄生电容的同时,又不会降低沟道的导电因子值,从而提升了OLED显示器的成像效果。

[0043] 请参阅图1,本申请一种实施方式中,阵列基板100包括:基板10、栅极20、栅极绝缘层30、金属氧化物半导体层40和源漏极层50。所述源漏极层50上包括源极51和漏极52。所述基板10为透明玻璃基板。所述栅极20形成于所述基板10上,所述栅极绝缘层30覆盖于所述栅极20及基板10之上。所述栅极绝缘层30包括第一区域31和第二区域32。所述第一区域31正对所述源极51和所述漏极52之间的开口53,所述第二区域32正对所述栅极和所述漏极。第一区域31的厚度小于所述栅极绝缘层30除所述第一区域31之外区域的厚度。换言之,所述第一区域31为所述栅极绝缘层30上厚度最小的区域。所述第二区域32的厚度大于所述栅极绝缘层30除第二区域外区域的厚度。换言之,所述第二区域32为所述栅极绝缘层30上厚度最大的区域。所述金属氧化物半导体层40形成于所述栅极绝缘层30上,并覆盖所述第一区域31。所述金属氧化物半导体层40正对所述栅极20。所述源漏极层50形成于所述栅极绝缘层30上,所述源漏极层50覆盖所述金属氧化物半导体层40。所述源极51和所述漏极52之间形成有开口53,所述开口53通向所述金属氧化物半导体层40。也就是说,所述金属氧化物半导体层40部分露出于所述开口53。所述开口53底部正对所述栅极绝缘层30第一区域31。

[0044] 可以理解的是,在阵列基板100中,所述漏极52与所述栅极20之间产生的寄生电容 C_{gd} 会影响阵列基板100的性能。本申请中将所述漏极52与所述栅极20之间的栅极绝缘层30正对于所述开口53部分的厚度保持不变,通过增加栅极绝缘层30上除所述第一区域之外区域的厚度,从而减小所述漏极52与所述栅极20之间的寄生电容 C_{gd} 的值。本申请的阵列基板在保证开口电流大小的前提下,减小了寄生电容 C_{gd} 的值,进而提升了阵列基板的显示效果。

[0045] 本申请一种实施方式中,所述栅极绝缘层第一区域31厚度与所述栅极绝缘层第二区域32厚度比值范围为 $1/4-1/2$ 。在此范围内既保证了阵列基板具有足够的沟道电流,又能

够最大程度减小寄生电容 C_{gd} 的值。

[0046] 进一步优选的,所述栅极绝缘层第一区域31厚度与栅极绝缘层第二区域32厚度的比值为1/3。

[0047] 可选的,所述栅极20可以选用Cr、W、Cu、Ti、Ta、Mo等金属或合金,由多层金属组成的栅金属层也能满足需要。优选的,可以选用铜或铜合金材料制成。

[0048] 可选的,所述金属氧化物半导体层40可以是采用IGZO(indiumgallium zinc oxide,铟镓锌氧化物)、HfZrO₂、HfZrO₂、a-InZnO₂、a-InZnO₂、ZnO:F、In₂O₃:Sn、In₂O₃:Mo、Cd₂SnO₄、ZnO:Al、TiO₂:Nb、Cd-Sn-O或其他金属氧化物制成。优选的,可以选用IGZO材料制成。

[0049] 可选的,为了进一步提高等效电容值,所述栅极绝缘层30应选用高介电常数的材料。具体的,所述栅极绝缘层30可以选用包括但不限于TiO₂、Ta₂O₅或HfO₂等。

[0050] 请参阅图2,本申请还提供一种OLED显示器200,该OLED显示面板200包括上述任意一种所述的阵列基板100。所述OLED显示器200可以应用于包括但不限于为:电子纸、OLED电视、移动电话、数码相框、平板电脑等任何具有显示功能的产品或部件。

[0051] 请参阅图3,本申请还提供一种上述阵列基板100的制造方法,主要包括如下步骤:

[0052] S1:在基板上依次形成栅极和栅极绝缘层,其中,所述栅极绝缘层包括第一区域。

[0053] 具体的,请结合参阅图4,在所述基板10上沉积第一金属薄膜。所述第一金属薄膜可以选用Cr、W、Cu、Ti、Ta、Mo等金属或合金,由多层金属组成的栅金属层也能满足需要。通过构图工艺利用普通光阻层形成栅线(图未示出)、公共电极线(图未示出)和栅极20的图形。然后在此基础上通过PECVD(等离子体增强化学气相沉积法)方法沉积栅极绝缘层30,栅极绝缘层30包括第一区域31和第二区域32。栅极绝缘层30可以选用包括但不限于氧化硅、氮化硅或二者的混合物等高介电常数的材料。

[0054] S2:在所述栅极绝缘层上涂覆第一光阻。

[0055] S3:提供一多灰阶掩膜版,利用所述多灰阶掩膜版对所述第一光阻进行曝光、显影,以在所述第一光阻正对所述第一区域上形成半曝光区域。

[0056] 具体的,请参阅图5。所述多灰阶掩膜版可以为半色调掩膜版(Half tone mask)或灰色调掩膜版(Gray tone mask)。所述多灰阶掩膜版70上设置有半透光区71。将所述多灰阶掩膜版70遮盖在所述第一光阻60上方。对所述第一光阻60进行曝光、显影(即光刻)。所述第一光阻60经过光刻工艺后,所述第一光阻60在正对所述半透光区71形成半曝光区域61。可以理解的是,所述半曝光区域61正对所述第一区域31。

[0057] S4:以所述第一光阻为遮蔽层,对所述栅极绝缘层进行蚀刻,使得所述栅极绝缘层的所述第一区域厚度小于所述栅极绝缘层除所述第一区域之外区域的厚度。

[0058] 请结合参阅图6,具体的,在该步骤中需要进行蚀刻工艺,优选的,可以选用干法蚀刻工艺。通过干法蚀刻对所述栅极绝缘层30进行蚀刻。可以理解的是,进行干法蚀刻时,首先会对所述第一光阻60进行蚀刻,由于所述第一光阻60的半曝光区域61较所述第一光阻60其他区域的厚度小,所述栅极绝缘层30正对所述第一光阻60的半曝光区域61的第一区域31会被蚀刻到,所述第二区域32未被蚀刻。也就是说,所述栅极绝缘层30的所述第一区域31的厚度小于所述栅极绝缘层30除所述第一区域外区域的厚度。由于第一光阻的保护作用,所述栅极绝缘层30的第二区域32的厚度大于所述栅极绝缘层30除第二区域之外区域的厚度。换而言之,所述第一区域31为所述栅极绝缘层30上厚度最小的区域。所述第二区域32为所

述栅极绝缘层30上厚度最大的区域。可以理解的是,所述栅极绝缘层30所述第一区域31的厚度小于所述栅极绝缘层30的第二区域32的厚度。

[0059] 可以理解的是,若所述栅极绝缘层30上有未覆盖所述第一光阻60的区域,则该区域对应的所述栅极绝缘层30的厚度小于所述栅极绝缘层30正对于所述栅极20部分的厚度。本申请中所述的所述栅极绝缘层30指的是制造过程中栅极绝缘层上覆盖了所述第一光阻60的区域。

[0060] S5:剥离所述第一光阻;

[0061] S6:在所述栅极绝缘层上方形成金属氧化物半导体层;

[0062] 具体的,S6包括:

[0063] S61:所述栅极绝缘层上形成金属氧化物薄膜层;

[0064] 具体的,请参阅图7。在所述栅极绝缘层30上通过溅射或热蒸发的方法沉积金属氧化物半导体层40,金属氧化物半导体层40可以是采用IGZO(indium gallium zinc oxide,铟镓锌氧化物)、HfZrO₂、HfZrO₂、a-InZnO₂、a-InZnO₂、ZnO:F、In₂O₃:Sn、In₂O₃:Mo、Cd₂SnO₄、ZnO:Al、TiO₂:Nb、Cd-Sn-O或其他金属氧化物制成。优选的,可以选用IGZO材料制成。

[0065] S62:在所述金属氧化物薄膜层正对所述栅极的区域形成第二光阻;

[0066] S63:以所述第二光阻为遮蔽层,对所述金属氧化物薄膜层进行蚀刻,以在所述第二光阻下方形成所述金属氧化物半导体层;

[0067] 请参阅图8,所述第二光阻80下方的金属氧化物薄膜层被保留以形成所述金属氧化物半导体层40。第二光阻80未覆盖的区域的金属氧化物薄膜层被蚀刻。

[0068] S64:剥离所述第二光阻。

[0069] S7:在所述金属氧化物半导体层及所述栅极绝缘层上形成源极、漏极及介于二者之间的开口,所述开口正对所述第一区域,所述金属氧化物半导体层部分露出于所述开口。

[0070] 具体的,S7包括如下步骤:

[0071] S71:在所述金属氧化物半导体层及所述栅极绝缘层上形成源漏极薄膜层;

[0072] 具体的,请参阅图9。在所述栅极绝缘层30上通过溅射或热蒸发的方法沉积所述源漏极薄膜层50。所述源漏极薄膜层50可以选用Cr、W、Cu、Ti、Ta、Mo等金属或合金,由多层金属组成的栅金属层也能满足需要。优选的,可以选用铜或铜合金材料制成。

[0073] S72:在所述源漏极薄膜层上形成第三光阻,所述第三光阻正对所述第一区域设有镂空区;

[0074] 具体的,请参阅图10。可以通过光刻工艺在所述第三光阻90上形成所述镂空区91。以便后续步骤中采用湿法蚀刻对源漏极薄膜层进行蚀刻,蚀刻液经所述镂空区91对所述源漏极薄膜层进行蚀刻,从而形成开口53。可以理解的是,将要形成的所述源极51和漏极之间开口53正对所述镂空区91。

[0075] S73:以所述第三光阻为遮蔽层,对所述源漏极薄膜层进行蚀刻,以形成所述源极、漏极及位于所述镂空区正下方的开口,所述金属氧化物半导体层露出于所述开口。

[0076] 具体的,请结合参阅图11。可以理解的是,所述镂空区91下方形成所述开口53。所述开口53介于所述源极51和所述漏极52之间,所述开口53通向所述金属氧化物半导体层40。也就是说,所述金属氧化物半导体层40露出于所述开口53。

[0077] S74:剥离所述第三光阻。

[0078] 请参阅图1,可以通过灰化工艺或者湿法蚀刻工艺去除所述第三光阻90。

[0079] 本申请的阵列基板制作方法中,通过多灰阶掩膜版在栅极绝缘层上形成第一光阻,且所述第一光阻正对所述栅极的区域形成半曝光区域,进而通过蚀刻工艺在所述栅极绝缘层对应于所述半曝光区域的部分的厚度小于所述栅极绝缘层其他部分的厚度,从而在保证沟道电流大小的前提下,减小了寄生电容 C_{gd} 的值,进而提升了阵列基板的显示效果。

[0080] 以上对本申请实施例进行了详细介绍,本文中应用了具体个例对本申请的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本申请的方法及其核心思想;同时,对于本领域的一般技术人员,依据本申请的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本申请的限制。

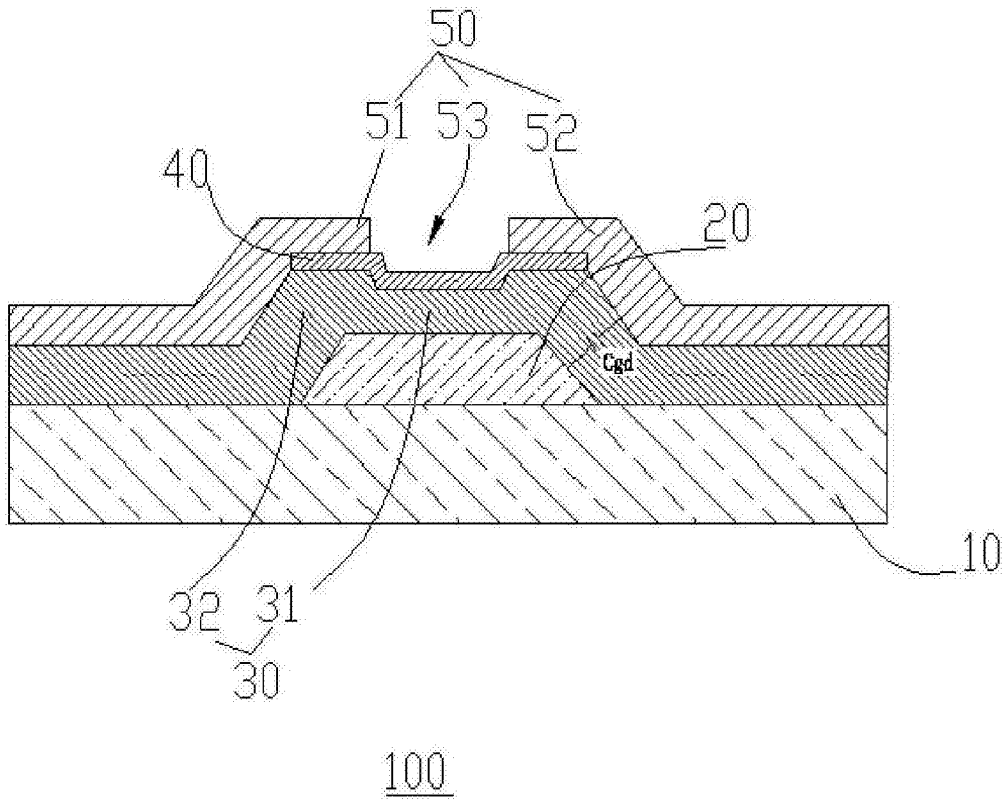


图1

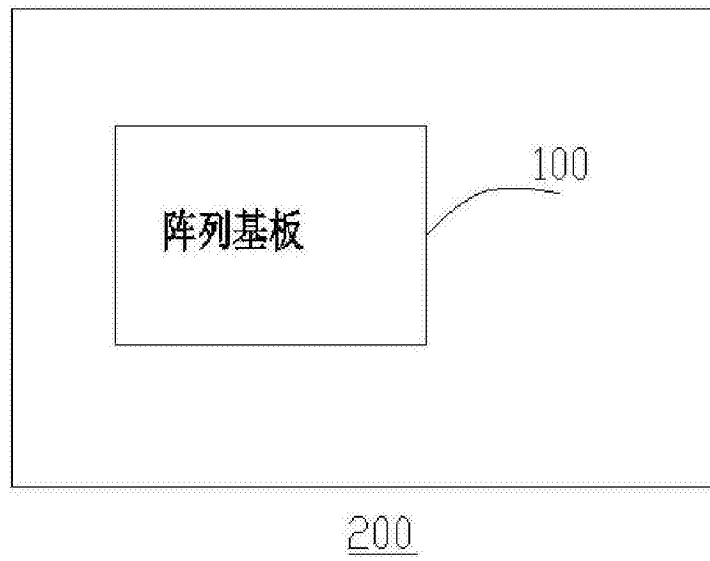


图2

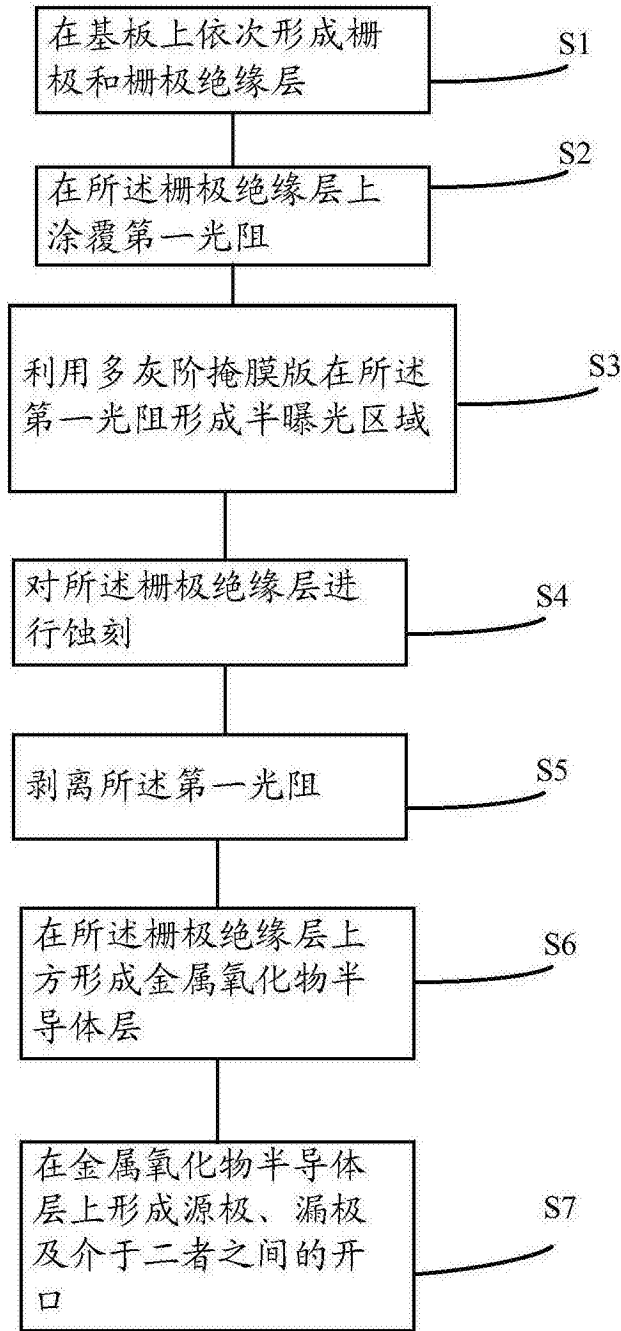


图3

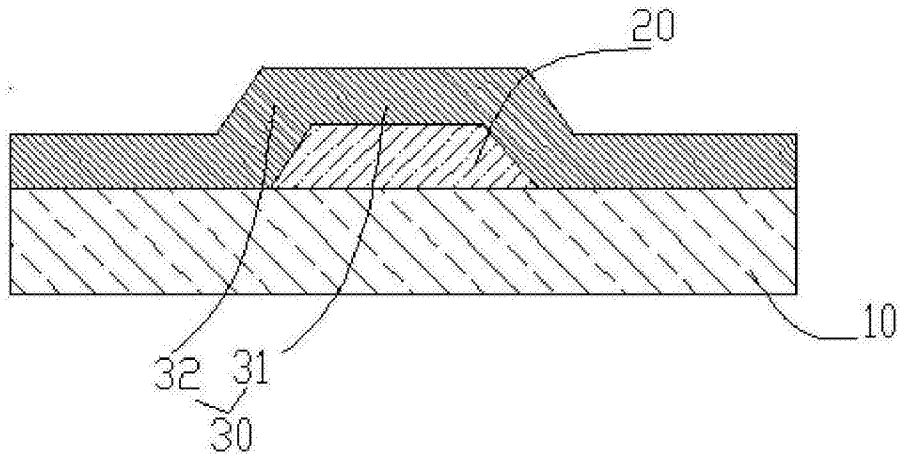


图4

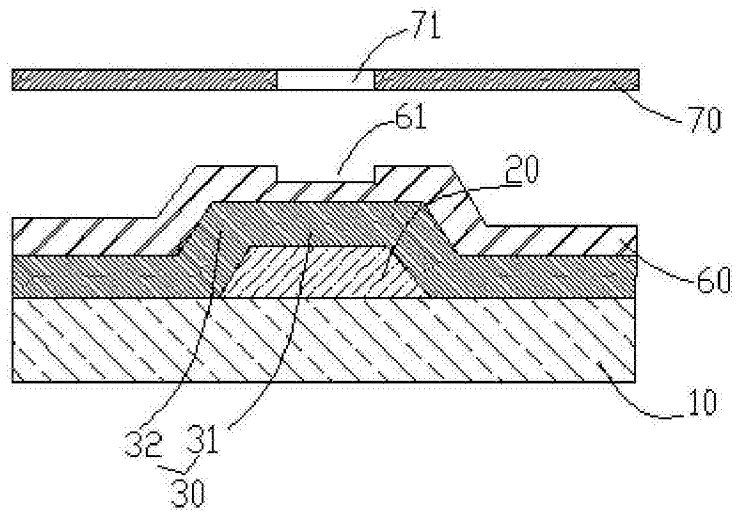


图5

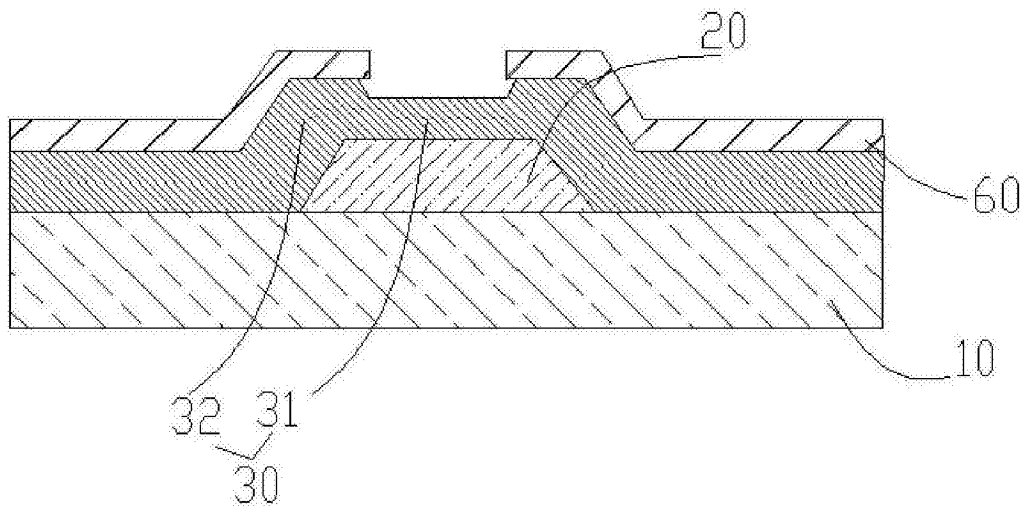


图6

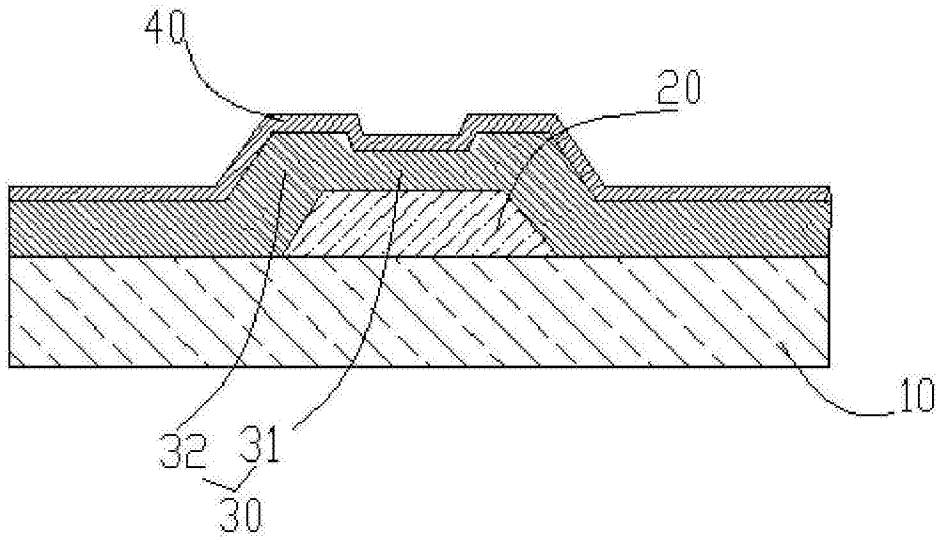


图7

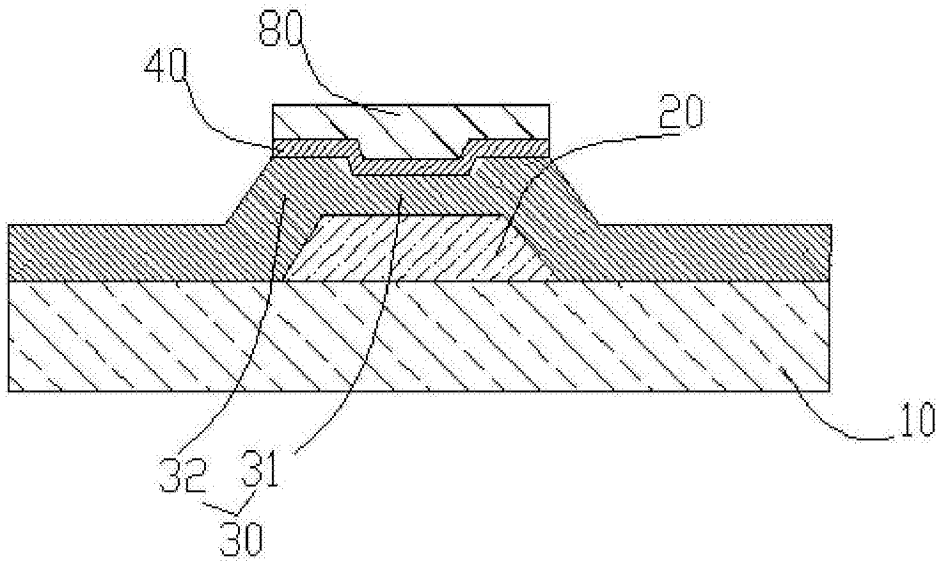


图8

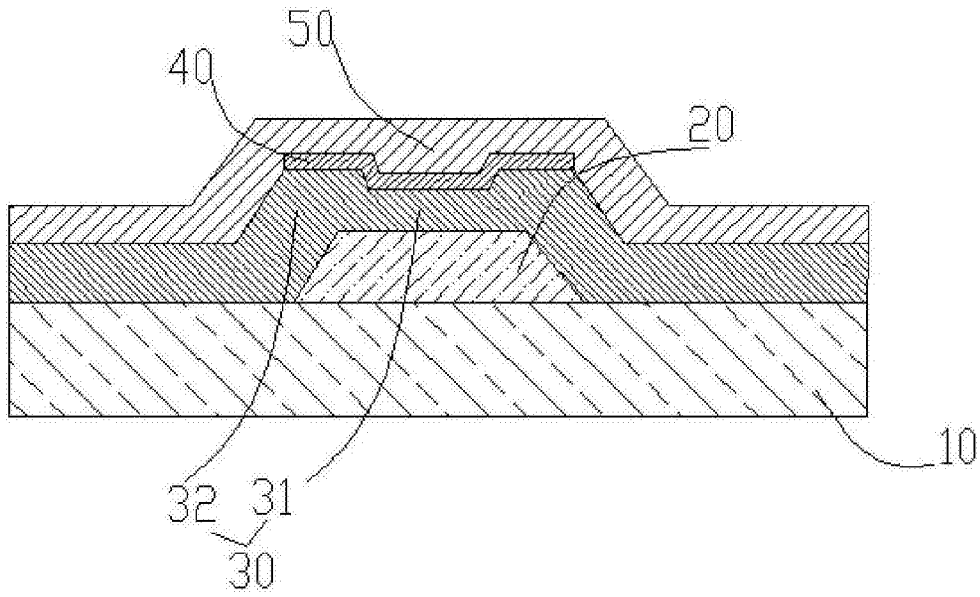


图9

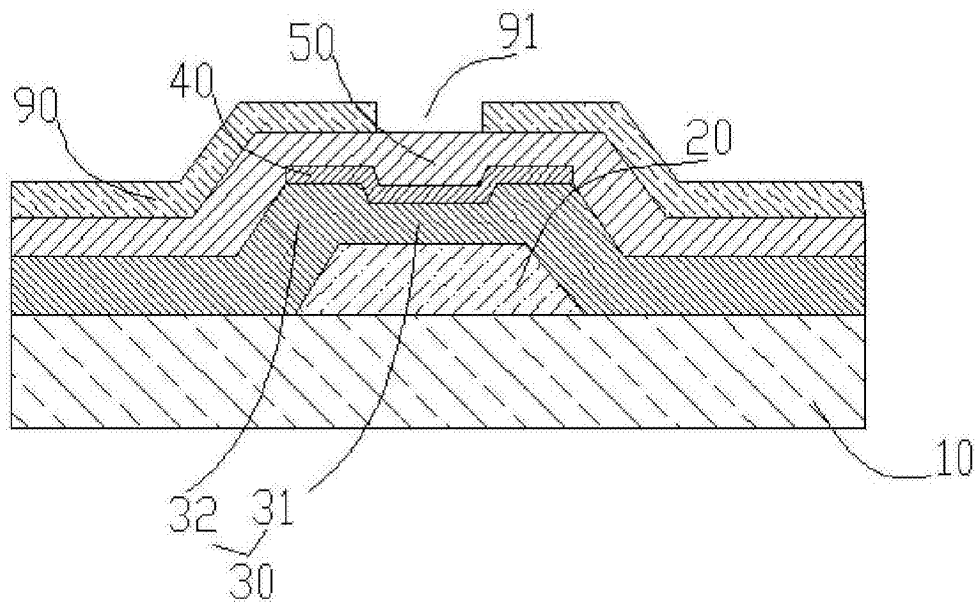


图10

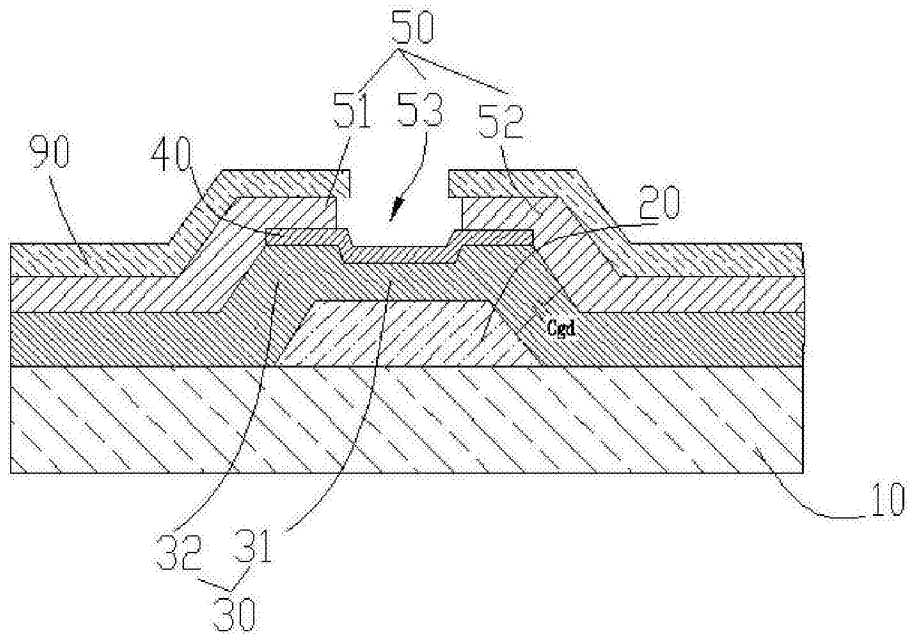
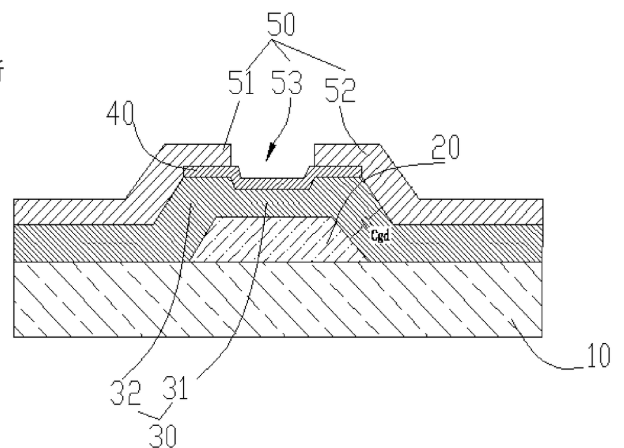


图11

专利名称(译)	OLED显示器、阵列基板及其制作方法		
公开(公告)号	CN107820639A	公开(公告)日	2018-03-20
申请号	CN201680034408.8	申请日	2016-11-08
[标]申请(专利权)人(译)	深圳市柔宇科技有限公司		
申请(专利权)人(译)	深圳市柔宇科技有限公司		
当前申请(专利权)人(译)	深圳市柔宇科技有限公司		
[标]发明人	叶江波		
发明人	叶江波		
IPC分类号	H01L27/12 H01L21/77 H01L27/32		
CPC分类号	H01L21/77 H01L21/84 H01L27/12 H01L27/32 H01L29/66 H01L29/786 H01L27/1214 H01L27/1259 H01L27/3244		
外部链接	Espacenet	SIPO	

摘要(译)

提供一种阵列基板及其制作方法，所述阵列基板包括基板(10)、形成于所述基板(10)上的栅极(20)、形成于所述基板(10)和所述栅极(20)上的栅极绝缘层(30)、形成于所述栅极绝缘层(30)上的金属氧化物半导体层(40)、形成于所述金属氧化物半导体层(40)及所述栅极绝缘层(30)上的源极(51)和漏极(52)，所述源极(51)和所述漏极(52)之间设有开口(53)，所述金属氧化物半导体层(40)部分露出于所述开口(53)，所述栅极绝缘层(30)包括第一区域(31)，所述第一区域(31)正对所述开口(53)，所述栅极绝缘层(30)第一区域(31)的厚度小于所述栅极绝缘层(30)除所述第一区域外区域(32)的厚度。将所述漏极(52)与栅极(20)之间的栅极绝缘层(30)正对于所述栅极(20)部分的厚度保持不变，通过增加栅极绝缘层(30)上其他部分的厚度，从而减小所述漏极(52)与所述栅极(20)之间的寄生电容的值。



100