



(12)发明专利申请

(10)申请公布号 CN 110010067 A

(43)申请公布日 2019. 07. 12

(21)申请号 201811508397.X

(22)申请日 2018.12.11

(30)优先权数据

10-2017-0169638 2017.12.11 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 高杉亲知

(74)专利代理机构 永新专利商标代理有限公司

72002

代理人 邬少俊 王英

(51)Int.Cl.

G09G 3/3225(2016.01)

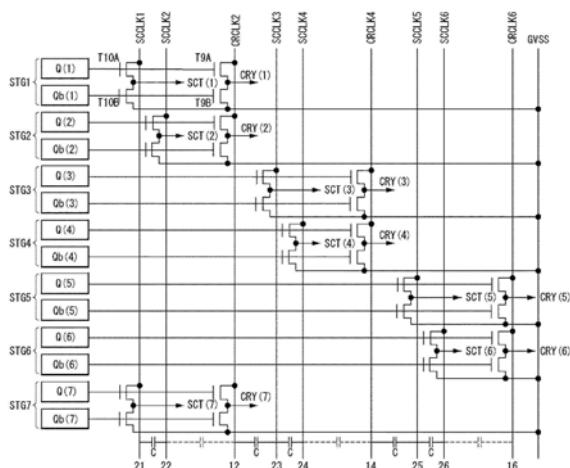
权利要求书2页 说明书14页 附图21页

(54)发明名称

栅极移位寄存器和包括其的有机发光显示设备

(57)摘要

提供了一种具有多个级的栅极移位寄存器，其包括向所述级供应产生扫描控制信号所需的具有不同相位的扫描移位时钟的多条扫描时钟线；以及向所述级供应产生进位信号所需的具有不同相位的进位移位时钟的多条共享进位时钟线，其中所述共享进位时钟线的数量是所述扫描时钟线的数量一半，并且包括彼此相邻的奇数序号级和偶数序号级的每一级对共享一个进位移位时钟。



1. 一种显示装置,包括:

面板内栅极基板;

具有设置在所述面板内栅极基板上的多个级的栅极移位寄存器,所述多个级中的彼此相邻的两个级成为级对;

设置在所述面板内栅极基板上的多条独立的扫描时钟线,所述扫描时钟线中的每一条供应扫描移位时钟;以及

设置在所述面板内栅极基板上的多条共享进位时钟线,所述共享进位时钟线中的每一条向所述栅极移位寄存器的两个不同级供应共享进位移位时钟以产生至所述两个级中的每一级的相应进位信号;

其中,所述多条扫描时钟线和所述多条共享进位时钟线中的其相应信号的相位完全重叠的扫描时钟线和共享进位时钟线在所述面板内栅极基板上设置成彼此相邻;

其中,包括彼此相邻设置的奇数序号级和偶数序号级的每一级对接收一个共享的进位移位时钟。

2. 根据权利要求1所述的显示装置,还包括:

设置在所述面板内栅极基板上的多条独立的共享感测时钟线,所述独立的共享感测时钟线中的每一条向一对相邻的移位寄存器级供应共享感测移位时钟。

3. 根据权利要求2所述的显示装置,其中,所述多条扫描时钟线和所述多条独立的共享感测时钟线中的其相应信号的相位完全重叠的扫描时钟线和独立的共享感测时钟线在所述面板内栅极基板上设置成彼此相邻。

4. 根据权利要求2所述的显示装置,其中,所述多条扫描时钟线、所述多条独立的共享感测时钟线和所述多条共享进位时钟线中的其相应信号的相位完全重叠的扫描时钟线、独立的共享感测时钟线和共享进位时钟线在所述面板内栅极基板上设置成彼此相邻。

5. 根据权利要求2所述的显示装置,其中,所述共享进位时钟线的数量是所述扫描时钟线的数量的一半,并且是所述独立的共享感测时钟线的数量的一半。

6. 一种显示装置,包括:

面板内栅极基板;

具有设置在所述面板内栅极基板上的多个级的栅极移位寄存器,所述多个级中的彼此相邻的两个级成为级对;

设置在所述面板内栅极基板上的多条扫描时钟线,所述扫描时钟线中的每一条供应具有不同相位的扫描移位时钟以产生至所述级的扫描控制信号;以及

设置在所述面板内栅极基板上的多条进位时钟线,所述进位时钟线中的每一条供应彼此具有不同相位的进位移位时钟以产生至所述级的相应进位信号;

其中,包括彼此相邻的奇数序号级和偶数序号级的每一级对接收一个进位移位时钟。

7. 根据权利要求6所述的显示装置,其中,所述进位时钟线的数量是所述扫描时钟线的数量的一半。

8. 根据权利要求6所述的显示装置,其中,所述进位时钟线中的至少一条传送同相并具有与所述扫描时钟线中的至少一条相同的电压电平的进位信号。

9. 根据权利要求6所述的显示装置,其中,传送完全同相并具有与所述扫描时钟线相同的电压电平的信号的进位时钟线在所述面板内栅极基板上设置成彼此相邻。

10. 根据权利要求6所述的显示装置,其中,传送部分同相并具有与所述扫描时钟线中的一条相同的电压电平的信号的进位时钟线在所述面板内栅极基板上设置成彼此相邻。

11. 根据权利要求6所述的显示装置,还包括:

设置在所述面板内栅极基板上的多条感测时钟线,所述感测时钟线中的每一条具有不同的相位以产生至所述级的感测信号。

12. 根据权利要求11所述的显示装置,其中,所述感测时钟线的数量是所述扫描时钟线的数量的一半。

13. 根据权利要求11所述的显示装置,其中,所述感测时钟线中的至少一条传送同相并具有与所述扫描时钟线中的至少一条相同的电压电平的感测信号。

14. 根据权利要求11所述的显示装置,其中,传送完全同相并具有与所述扫描时钟线中的一条相同的电压电平的感测信号的感测时钟线在所述面板内栅极基板上设置成彼此相邻。

15. 根据权利要求11所述的显示装置,其中,所述感测时钟线中的至少一条传送同相并具有与所述扫描时钟线中的至少一条和所述进位时钟线中的至少一条相同的电压电平的感测信号。

16. 根据权利要求11所述的显示装置,其中,传送完全同相并彼此具有相同的电压电平的信号的感测时钟线、扫描时钟线和进位时钟线的三条时钟线在所述面板内栅极基板上设置成彼此相邻。

17. 一种显示装置,包括:

面板内栅极基板;

具有设置在所述面板内栅极基板上的多个级的栅极移位寄存器,所述多个级中的彼此相邻的两个级成为级对;

设置在所述面板内栅极基板上的多条扫描时钟线,所述扫描时钟线中的每一条传送具有不同相位的扫描移位时钟以产生至所述级的扫描控制信号;以及

设置在所述面板内栅极基板上的多条进位时钟线,所述进位时钟线中的每一条传送彼此具有不同相位的进位移位时钟以产生至所述级的相应进位信号;

其中,所述进位时钟线中的至少一条传送与在所述扫描时钟线中的至少一条上传送的扫描时钟信号同相的进位信号。

18. 根据权利要求17所述的显示装置,其中,均传彼此送完全同相的信号的进位时钟线和扫描时钟线在所述面板内栅极基板上设置成彼此相邻。

19. 根据权利要求18所述的显示装置,其中,与所述扫描时钟线相邻的进位时钟线上的信号也具有与所述扫描时钟线上的信号相同的电压。

20. 根据权利要求17所述的显示装置,还包括:

设置在所述面板内栅极基板上的多条感测时钟线,所述感测时钟线中的每一条具有不同的相位以产生至所述级的感测信号。

21. 根据权利要求20所述的显示装置,其中,传送完全同相并具有与所述扫描时钟线中的一条相同的电压电平的感测信号的感测时钟线在所述面板内栅极基板上设置成彼此相邻。

栅极移位寄存器和包括其的有机发光显示设备

[0001] 相关申请的交叉引用

[0002] 本申请要求享有于2017年12月11日提交的韩国专利申请No.10-20170169638的权益,出于所有目的通过引用将该韩国专利申请并入到本文中,就如同在本文中被全面阐述。

技术领域

[0003] 本公开涉及移位寄存器和包括其的有机发光显示设备。

背景技术

[0004] 有源矩阵型有机发光显示设备包括自发光有机发光二极管(OLED)并有利地具有快速响应速度、高发光效率、高亮度和宽视角。

[0005] OLED是一种自发光装置,包括阳极电极、阴极电极和形成在其间的有机化合物层(空穴注入层(HIL)、空穴传输层(HTL)、发光层(EML)、电子传输层(ETL)和电子注入层(EIL))。有机化合物层包括HIL、HTL、EML、ETL和EIL。在向阳极电极和阴极电极施加驱动电压时,穿过HTL的空穴和穿过ETL的电子向EML移动以形成激子,结果导致EML发射可见光。

[0006] 在有机发光显示设备中,以矩阵形式布置均包括OLED的像素,并根据图像数据的梯度调节像素的亮度。每一个像素都包括控制流入OLED的驱动电流的驱动元件(或驱动晶体管)、用于对驱动元件的栅-源电压进行编程的多个开关元件、以及至少一个存储电容器。

[0007] 有机发光显示设备包括用于驱动在像素中提供的开关元件的栅极驱动器。开关元件的栅极电极通过栅极线连接到栅极驱动器。栅极驱动器产生栅极信号并相继地向栅极线供应栅极信号。栅极信号在栅极高电压与栅极低电压之间摆动,在栅极高电压下可以使开关元件导通,在栅极低电压下可以使开关元件截止。栅极驱动器可以被实施为包括多个级的栅极移位寄存器。

[0008] 各级要工作需要多个移位时钟。移位时钟是多个脉冲,所述多个脉冲在相位上被相继移位,并在栅极高电压与栅极低电压之间摆动。移位时钟可以包括扫描移位时钟和进位移位时钟,并还可以包括感测移位时钟。扫描移位时钟用于产生扫描控制信号,进位移位时钟用于产生进位信号,并且感测移位时钟用于产生感测控制信号。

[0009] 扫描控制信号可以作为栅极高电压与扫描移位时钟同步输出。在根据具有栅极高电压的扫描控制信号使像素中的开关元件导通时,向像素中写入用于显示图像的数据电压。同时,进位信号可以作为栅极高电压与进位移位时钟同步输出。可以根据栅极高电压的进位信号激活相应级的操作。感测控制信号可以作为栅极高电压与感测移位时钟同步输出。在根据栅极高电压的感测控制信号使像素中的开关元件导通时,向像素中写入用于显示图像的参考电压。

[0010] 经由时钟线向各级供应移位时钟。因此,如果将移位时钟分类为用于扫描、进位或感测目的的时钟,则需要大量的时钟线。栅极移位寄存器可以直接形成在显示面板的边框区域中,在这种情况下,时钟线数量的增加可能使得难以减小边框区域。

[0011] 同时,为了实现窄边框,时钟线在显示面板上被设置成彼此接近,这增大了时钟线

之间的寄生电容。结果,在向相邻时钟线施加具有不同相位的移位时钟的情况下,由于耦合效应而使移位时钟可能会失真。失真的移位时钟可能会使栅极信号和与其相对应的像素的电压电荷定时失真,降低图像质量。

发明内容

[0012] 本公开提供了一种能够通过减少时钟线的数量来实现窄边框的栅极移位寄存器,以及包括其的有机发光显示设备。

[0013] 本公开还提供了一种能够通过使由于时钟线之间的耦合效应导致的移位时钟失真最小化而改善图像质量的栅极移位寄存器、以及一种包括所述栅极移位寄存器的有机发光显示设备。

[0014] 在方面中,一种具有多个级的栅极移位寄存器包括:向所述级供应产生扫描控制信号所需的具有不同相位的扫描移位时钟的多条扫描时钟线;以及向所述级供应产生进位信号所需的具有不同相位的进位移位时钟的多条共享进位时钟线,其中所述共享进位时钟线的数量是所述扫描时钟线的数量一半,并且包括彼此相邻的奇数序号级和偶数序号级的每一级对共享一个进位移位时钟。

附图说明

[0015] 图1示出了根据本公开的实施例的有机发光显示设备;

[0016] 图2示出了构成图1中的栅极移位寄存器的级之间的连接结构;

[0017] 图3是示出根据本公开的实施例的级的电路图;

[0018] 图4是示出连接到图3中的级的一个像素和数据驱动电路的视图;

[0019] 图5是示出根据本公开的另一实施例的级的电路图;

[0020] 图6是示出连接到图5中的级的一个像素和数据驱动电路的视图;

[0021] 图7是示出连接到图3所示的级的设置在面板内栅极基板上的时钟线的布置示例的视图;

[0022] 图8是示出施加到图7中的时钟线的移位时钟的波形的视图;

[0023] 图9是示出连接到图5所示的级的设置在面板内栅极基板上的时钟线的布置示例的视图;

[0024] 图10是示出施加到图9中的时钟线的移位时钟的波形的视图;

[0025] 图11是示出连接到图5所示的级的设置在面板内栅极基板上的时钟线的另一布置示例的视图;

[0026] 图12是示出施加到图11中的时钟线的移位时钟的波形的视图;

[0027] 图13是示出连接到图5所示的级的设置在面板内栅极基板上的时钟线的另一布置示例的视图;

[0028] 图14是示出施加到图13中的时钟线的移位时钟的波形的视图;

[0029] 图15是示出用于减小设置在面板内栅极基板上的时钟线之间的耦合效应的图7修改的视图;

[0030] 图16是示出施加到图15中的时钟线的移位时钟的波形的视图;

[0031] 图17是示出用于减小设置在面板内栅极基板上的时钟线之间的耦合效应的图9修

改的视图；

[0032] 图18是示出施加到图17中的时钟线的移位时钟的波形的视图；

[0033] 图19是示出用于减小设置在面板内栅极基板上的时钟线之间的耦合效应的图11修改的视图；

[0034] 图20是示出施加到图19中的时钟线的移位时钟的波形的视图；

[0035] 图21是示出用于减小设置在面板内栅极基板上的时钟线之间的耦合效应的图13修改的视图；以及

[0036] 图22是示出施加到图21中的时钟线的移位时钟的波形的视图。

具体实施方式

[0037] 在下文中，将参考附图详细描述本公开的实施例。在整个说明书中，相似的附图标记表示基本相同的元件。在描述本公开时，如果认为针对相关已知功能或构造的详细解释会不必要地分散本公开的主旨，将省略这样的解释，但会被本领域的技术人员理解。以下描述中使用的元件名称是为了描述目的选择的，可以与实际产品中的元件名称不同。

[0038] 在以下描述中，“前级”是指位于参考级上方并产生相对于从参考级输出的栅极信号在相位上超前的栅极信号的级。此外，“后级”是指位于参考级下方并产生相对于从参考级输出的栅极信号在相位上滞后的栅极信号的级。在以下描述中，构成本公开的栅极移位寄存器的开关元件可以被实现为氧化物元件、非晶硅元件和多晶硅元件的至少任一种。激活特定节点是指利用高电位源极电压或相应电压对节点进行充电，去激活特定节点是指对节点的电位进行放电以达到低电位源极电压或相应电压。

[0039] 在本公开中，可以由具有n型金属氧化物半导体场效应晶体管(MOSFET)结构(但不限于此)的薄膜晶体管(TFT)实现形成在显示面板的基板上的像素电路和栅极移位寄存器。TFT是包括栅极、源极和漏极的三电极元件。源极是向晶体管供应载流子的电极。在TFT中，载流子开始从源极流动。漏极是载流子离开TFT的电极。

[0040] 图1示出了根据本公开的实施例的包括栅极移位寄存器的有机发光显示设备。

[0041] 参考图1，本公开的有机发光显示设备包括显示面板100、数据驱动电路(未示出)、栅极驱动器130和150、以及定时控制器110。

[0042] 在显示面板100中，多条数据线和多条栅极线彼此交叉，像素以矩阵形式布置在交叉点处，形成像素阵列。每个像素可以包括有机发光二极管(OLED)、驱动TFT、存储电容器和至少一个开关TFT。每个TFT都被实现为P型、N型或混合P型和N型的混合型。此外，每个TFT的半导体层都可以包括非晶硅、多晶硅或氧化物。

[0043] 数据驱动电路包括多个源极驱动器IC 120。源极驱动器IC 120从定时控制器110接收图像数据RGB。响应于来自定时控制器110的源极定时控制信号，源极驱动器IC 120将图像数据RGB转换成伽马补偿电压，以产生数据电压并与栅极信号同步地将数据电压供应到显示面板100的数据线。源极驱动器IC 120可以通过玻璃上芯片(COG)工艺或带式自动接合(TAB)工艺连接到显示面板100的数据线。

[0044] 栅极驱动器130和150包括连接在定时控制器110与显示面板100的栅极线之间的电平移位器和栅极移位寄存器。

[0045] 电平移位器将从定时控制器110输入的时钟信号CLK的晶体管-晶体管-逻辑(TTL)

电平电压电平移位到能够切换形成在显示面板100中的TFT的栅极高电压和栅极低电压。电平移位器向栅极移位寄存器供应经电平移位的移位时钟。

[0046] 栅极移位寄存器可以直接形成在面板内栅极(GIP)基板中的显示面板100的下基板上。在该实施例中,栅极移位寄存器形成在面板内栅极基板上。栅极移位寄存器形成在显示面板100上不显示图像的区域(即,边框区域BZ)中。栅极移位寄存器包括时钟线和连接到时钟线的多个级,从电平移位器向所述时钟线施加移位时钟。稍后将参考图7到22详细描述时钟线的布置。在GIP方案中,电平移位器可以安装在印刷电路板(PCB)140上。

[0047] 定时控制器110通过各种已知的接口方法从外部主机系统接收图像数据RGB。定时控制器110可以校正图像数据RGB,从而在基于实时感测的感测结果的基础上补偿像素的电特性变化,并然后向源极驱动器IC 120发送校正后的图像数据。

[0048] 定时控制器110从主机系统接收定时信号,例如垂直同步信号Vsync、水平同步信号Hsync、数据使能信号DE、主时钟MCLK等。定时控制器110产生用于相对于来自主机系统的定时信号控制数据驱动电路的操作定时的数据定时控制信号,以及用于控制栅极驱动器的操作定时的栅极定时控制信号。

[0049] 栅极定时控制信号包括启动信号VSP、移位时钟CLK等。

[0050] 数据定时控制信号包括源极采样时钟SSC、源极输出使能信号SOE等。源极采样时钟SSC是基于上升沿或下降沿来控制源极驱动器IC 120中的数据的采样定时的时钟信号。源极输出使能信号SOE是用于控制数据电压的输出定时的信号。

[0051] 图2示出了包含在图1中的栅极驱动器130中的栅极移位寄存器的级的连接结构。

[0052] 参考图2,根据本公开的实施例的栅极移位寄存器包括彼此相关连接的多个级STGn至STGn+3 132。级STGn至STGn+3 132可以是形成在面板内栅极(GIP)基板上的GIP元件。可以在最上级之前进一步提供至少一个上虚设级,可以在最下级之后进一步提供至少一个下虚设级。

[0053] 级STGn至STGn+3 132独立于扫描控制信号SCT(n)至SCT(n+3)产生进位信号CRY(n)至CRY(n+3)。由于级STGn至STGn+3 132独立于扫描控制信号SCT(n)至SCT(n+3)产生进位信号CRY(n)至CRY(n+3),因此可以防止进位信号由于栅极线的负载而失真。级STGn至STGn+3 132产生扫描控制信号SCT(n)至SCT(n+3),并将其供应到显示面板的栅极线。级STGn至STGn+3 132可以产生进位信号CRY(n)至CRY(n+3),并将进位信号作为启动信号供应到后级之一,并将进位信号作为复位信号供应给前级中的任何一级。

[0054] 同时,尽管未示出,但级STGn至STGn+3 132可以进一步产生感测控制信号,并然后将感测控制信号供应到栅极线。感测控制信号是用于在像素与感测线之间切换电流的栅极信号。感测控制信号可以在图4所示的像素结构中被省略掉,但在图6所示的用于外部补偿的像素结构中是有用的。

[0055] 为了产生扫描控制信号SCT(n)至SCT(n+3)、进位信号CRY(n)至CRY(n+3)以及感测控制信号,级STGn至STGn+3 132可以从外部定时控制器(未示出)接收全局启动信号VSP、移位时钟CLK、全局复位信号(未示出)等。

[0056] 全局启动信号VSP、移位时钟CLK和全局复位信号是公共供应给级STGn至STGn+3 132的信号。全局启动信号VSP可以被进一步传送到上虚设级的启动端子,全局复位信号可以被进一步传送到下虚设级的复位端子。

[0057] 级STG_n至STG_{n+3} 132中的每一级根据在每一帧施加到启动端子的前级进位信号激活节点Q的操作。前级进位信号是从前级之一施加的进位信号。在此,级STG_n至STG_{n+3} 132中的一些可以从上虚设级接收进位信号。上虚设级可以根据全局启动信号VSP进行操作并向上级中的一些供应进位信号。

[0058] 级STG_n至STG_{n+3} 132中的每一级根据在每一帧施加到复位端子的后级进位信号去激活节点Q的操作。后级进位信号是从后级之一施加的进位信号。在此,级STG_n至STG_{n+3} 132中的一些可以从下虚设级接收进位信号。下虚设级可以根据全局复位信号进行操作并向下级中的一些供应进位信号。

[0059] 可以向级STG_n至STG_{n+3} 132中的每一级供应多个移位时钟CLK。移位时钟CLK可以包括在相位上相继移位的扫描移位时钟和在相位上相继移位的进位移位时钟,并还可以包括在相位上相继移位的感测移位时钟。扫描移位时钟是用于产生扫描控制信号SCT (n) 至SCT (n+3) 的时钟信号,并且进位移位时钟是用于产生进位信号CRY (n) 至CRY (n+3) 的时钟信号。感测移位时钟是用于产生感测信号的时钟信号。扫描移位时钟在栅极高电压与栅极低电压之间摆动以与扫描控制信号SCT (n) 至SCT (n+3) 同步。进位移位时钟与进位信号CRY (n) 至CRY (n+3) 同步地在栅极高电压与栅极低电压之间摆动。感测移位时钟在栅极高电压与栅极低电压之间摆动以与感测信号同步。

[0060] 可以以重叠方式驱动这些移位时钟CLK₅,以确保在高速驱动时有充分的充电时间。相邻相位的时钟可以根据重叠驱动彼此重叠预定的栅极高时段(栅极导通时段)。

[0061] 为了简化级STG_n至STG_{n+3} 132的连接配置,并减小边框区域BZ,可以消除一些用于供应移位时钟CLK的时钟线。将参考图7至22对此进行详细的描述。

[0062] 级STG_n到STG_{n+3} 132中的每一级都可以从外部电源单元(未示出)接收电源电压PS。电源电压PS包括高电位电源电压和低电位电源电压。高电位电源电压可以被设置为栅极高电压,例如12V。低电位电源电压可以被设置为多个栅极低电压,例如-6V和-12V,以抑制属于级STG_n至STG_{n+3} 132中的每一级的晶体管的漏电流。在这种情况下,扫描移位时钟可以在-6V与12V之间摆动,并且进位移位时钟可以在-12V与12V之间摆动。换言之,进位移位时钟的摆动宽度可以大于扫描移位时钟的摆动宽度。进位信号CRY (n) 至CRY (n+3) 的摆动宽度可以大于扫描控制信号SCT (n) 至SCT (n+3) 的摆动宽度。这在抑制下拉晶体管的劣化方面是有效的,在所述下拉晶体管中栅极电极连接到每一级中的节点Q_b。

[0063] 图3是示出根据本公开的实施例的级的电路图。图4是示出连接到图3中的级的像素和数据驱动电路的视图。

[0064] 图3示出了第n级STG_n 132,其输出第n栅极信号SCT (n) 和第n进位信号CRY (n)。在图3中,高电位电源电压GVDD具有来自电源PS的栅极高电压电平。低电位电源电压GVSS可以基本等于来自电源PS的栅极低电压。由于图3中的级连接到图4所示的像素,因此不必通过接收感测移位时钟来输出感测控制信号。

[0065] 参考图3,级STG_n包括输入单元BK1、反相器单元BK2、输出缓冲器BK3和稳定单元BK4。

[0066] 响应于通过启动端子输入的前级进位信号CRY (n-3),输入单元BK1将节点Q (n) 的电位激活到高电位电源电压GVDD。响应于通过复位端子输入的后级进位信号CRY (n+3),输入单元BK1将节点Q (n) 的电位去激活到低电位电源电压GVSS。

[0067] 为此,输入单元BK1包括多个晶体管T1和T2。晶体管T1包括连接到被施加了前级进位信号CRY (n-3) 的启动端子的栅极电极和漏极电极,以及连接到节点Q (n) 的源极电极,并向节点Q (n) 施加前级进位信号CRY (n-3)。晶体管T2包括连接到被施加了后级进位信号CRY (n+3) 的复位端子的栅极电极,连接到节点Q (n) 的漏极电极,以及连接到节点GVSS的源极电极。晶体管T2将节点Q (n) 与低电位电源电压GVSS连接,而后级进位信号CRY (n+3) 被输入以去激活节点Q (n)。

[0068] 反相器单元BK2对节点Qb (n) 进行与节点Q (n) 相反的充电和放电。反相器单元BK2可以通过根据节点N1的电位向节点Qb (n) 施加高电位电源电压GVDD来激活节点Qb (n)。与根据节点Q (n) 相反的方式控制节点N1的电位。在激活节点Q (n) 的同时,将节点N1去激活到低电位电源电压GVSS,并且在去激活节点Q (n) 的同时,将节点N1激活到高电位电源电压GVDD。换言之,将节点Qb (n) 的电位激活到高电位电源电压GVDD,同时向节点Q (n) 施加低电位电源电压GVSS。

[0069] 为此,反相器单元BK2包括多个晶体管T4、T5和T6。晶体管T4包括连接到节点N1的栅极电极、被施加了高电位电源电压GVDD的漏极电极、以及连接到节点Qb (n) 的源极电极。晶体管T5包括被施加了高电位电源电压GVDD的栅极电极和漏极电极、以及连接到节点N1的源极电极。晶体管T6包括连接到节点Q (n) 的栅极电极、连接到节点N1的漏极电极、以及被施加了低电位电源电压GVSS的源极电极。

[0070] 在节点Q (n) 被激活时,反相器单元BK2将节点Qb (n) 的电位去激活到低电位电源电压GVSS。反相器单元BK2还可以根据前级进位信号CRY (n-3) 将节点Qb (n) 的电位去激活到低电位电源电压GVSS,以便改善操作的可靠性。

[0071] 为此,反相器单元BK2还包括多个晶体管T7和T8。晶体管T7包括连接到节点Q (n) 的栅极电极、连接到节点Qb (n) 的漏极电极、以及被施加了低电位电源电压GVSS的源极电极。晶体管T8包括被施加了前级进位信号CRY (n-3) 的栅极电极、连接到节点Qb (n) 的漏极电极、以及被施加了低电位电源电压GVSS的源极电极。

[0072] 在节点Q (n) 的电位升高到提升电平时,输出缓冲器BK3在输出节点N3处输出扫描移位时钟SCCLK (n) 作为扫描控制信号SCT (n),并在输出节点N2处输出进位移位时钟CRCLK (n) 作为进位信号CRY (n)。

[0073] 为此,输出缓冲器BK3包括第一和第二上拉晶体管T9A和T10A以及电容器Cx。第一上拉晶体管T9A包括连接到节点Q (n) 的栅极电极、连接到进位时钟线10中的任何一条的漏极电极、以及连接到输出节点N2的源极电极。第二上拉晶体管T10A包括连接到节点Q (n) 的栅极电极、连接到扫描时钟线20中的任何一条的漏极电极、以及连接到输出节点N3的源极电极。电容器Cx连接在节点Q (n) 与输出节点N3之间。

[0074] 稳定单元BK4在节点Qb (n) 激活期间向节点Q (n) 以及输出节点N2和N3施加低电位电源电压GVSS,以稳定节点Q (n) 以及输出节点N2和N3。

[0075] 为此,稳定单元BK4包括晶体管T3以及第一和第二下拉晶体管T9B和T10B。晶体管T3包括连接到节点Qb (n) 的栅极电极、连接到节点Q (n) 的漏极电极、以及被施加了低电位电源电压GVSS的源极电极。第一下拉晶体管T9B包括连接到节点Qb (n) 的栅极电极、连接到输出节点N2的漏极电极、以及被施加了低电位电源电压GVSS的源极电极。第二下拉晶体管T10B包括连接到节点Qb (n) 的栅极电极、连接到输出节点N3的漏极电极、以及被施加了低电

位电源电压GVSS的源极电极。

[0076] 从级STGn 132输出的扫描控制信号SCT(n)通过如图4所示的栅极线GLn被传送到像素PIX。在图4的像素PIX上不执行针对外部补偿的感测操作。针对外部补偿的感测是用于感测像素的电特性(即,驱动TFT的阈值电压和迁移率的变化、OLED的操作点电压的变化等)以及基于感测结果校正图像数据的技术。

[0077] 图4中的像素PIX在用于图像显示的基本模式下工作。在基本模式下,在其中激活扫描控制信号SCT(n)的编程周期期间,像素PIX将驱动TFTDT的栅-源电压Vgs设置为用于显示梯度实施的驱动电流,接下来在其中去激活扫描控制信号SCT(n)的发光周期期间,允许OLED根据驱动电流发光。

[0078] 为此,像素PIX可以包括OLED、驱动TFT DT、开关TFT ST1和存储电容器Cst。在编程周期期间,使开关TFT ST1导通以向驱动TFT DT的栅极电极Ng供应数据线DL上的数据电压Vdata。在编程周期期间,也使源极驱动器IC 120的开关SW1导通以向驱动TFT DT的源极电极Ns供应参考电压Vref。因此,在编程周期期间,将驱动TFT DT的栅-源电压Vgs确定为Vdata-Vref。在发光周期期间,使开关TFT ST1和开关SW1截止。在发光周期期间,由存储电容器Cst维持驱动TFT DT的栅-源电压Vgs。在发光周期期间,与Vdata-Vref的平方成比例的驱动电流流经驱动TFT DT,并且OLED通过驱动电流发光。在图4中,DAC表示用于将图像数据RGB转换为数据电压Vdata的数模转换器,并且RL是用于向像素PIX供应参考电压Vref的电源线。

[0079] 在编程周期期间,根据扫描控制信号SCT(n)使开关TFT ST1导通。如果由于扫描移位时钟SCCLK(n)失真而使扫描控制信号SCT(n)的波形失真,则可能使开关TFT ST1没有充分导通预定的周期。由于根据开关TFT ST1的导通周期确定数据电压Vdata的充电时间,因此如果开关TFTST1的导通周期不足,则驱动TFT DT的栅-源电压Vgs可能由于充电不足而达不到期望值。在这种情况下,还减小了流经驱动TFT DT的驱动电流和OLED的发光量,导致亮度变化并使图像质量退化。因此,为了改善图像质量,使扫描移位时钟SCCLK(n)的失真最小化是有帮助的。

[0080] 图5是示出根据本公开的另一实施例的级STGn 132的电路图。图6是示出连接到图5中的级STGn 132的一个像素和数据驱动电路的视图。

[0081] 因为图5中的级STGn 132连接到如图6所示的像素,所以必须施加感测移位时钟SECLK(n)以输出感测控制信号SET(n)。因此,与图3相比,图5中的级STGn 132基本与输入单元BK1和反相器单元BK2相同,在输出缓冲器BK3和稳定单元BK4的配置上不同。

[0082] 与图3相比,图5的输出缓冲器BK3还包括用于输出感测控制信号SET(n)的部件。为此,图5的输出缓冲器BK3还包括第三上拉晶体管T11A。第三上拉晶体管T11A包括连接到节点Q(n)的栅极电极、连接到感测时钟线30中的任何一条的漏极电极、以及连接到输出节点N4的源极电极。在节点Q(n)的电位升高到提升电平时,第三上拉晶体管T11A在输出节点N4处输出感测移位时钟SECLK(n)作为感测控制信号SET(n)。

[0083] 与图3相比,图5的稳定单元BK4还包括第三下拉晶体管T11B。第三下拉晶体管T11B包括连接到节点Qb(n)的栅极电极、连接到输出节点N4的漏极电极、以及被施加了低电位电源电压GVSS的源极电极。

[0084] 从级STGn输出的扫描控制信号SCT(n)通过如图6所示的栅极线GLn被传送到像素

PIX。从级STGn输出的感测控制信号SET (n)通过如图6所示的栅极线GL2n被传送到像素PIX。在图6的像素PIX上执行针对外部补偿的感测操作。针对外部补偿的感测是一种感测像素的电特性并基于感测结果校正图像数据的技术。

[0085] 与图4相比,图6中的像素PIX还包括第二开关TFT ST2,并且图6中的源极驱动器IC 120还包括感测电路。根据感测控制信号SET (n)使第二开关TFT ST2导通以将驱动TFT DT的源极节点Ns连接到感测线SL。感测电路包括用于对驱动TFT DT的源极节点Ns的两端电压进行采样的采样和保持部SH、用于连接感测线SL与采样和保持部SH的开关SW2、以及将在采样和保持部SH采样的电压转换为数字数据S-DATA的模数转换器ADC。仅在用于感测像素PIX的电特性的感测模式下激活感测电路,其不在用于显示图像的基本模式下工作。

[0086] 用于图6中的像素PIX的基本模式包括编程周期和发光周期。

[0087] 在编程周期期间,使第一开关ST1导通以向驱动TFT DT的栅极电极Ng供应数据线DL上的数据电压Vdata。在编程周期期间,也使源极驱动器IC 120的第二开关TFT ST2和开关SW1导通以向驱动TFT DT的源极电极Ns供应参考电压Vref。因此,在编程周期期间,将驱动TFT DT的栅-源电压Vgs确定为Vdata-Vref。在发光周期期间,使第一和第二开关TFT ST1和ST2以及开关SW1截止。在发光周期期间,由存储电容器Cst维持TFTDT的栅-源电压Vgs。在发光周期期间,与Vdata-Vref的平方成比例的驱动电流流经驱动TFT DT,并且OLED通过该驱动电流发光。

[0088] 用于图6中的像素PIX和感测电路的感测模式包括编程周期和感测周期。在感测模式下,OLED不发光。

[0089] 编程周期的操作与基本模式的操作相同。在编程周期期间,使开关SW1导通,并且使开关SW2截止。

[0090] 在感测周期期间,使第一开关TFT ST1和开关SW1截止,并且使第二开关TFT ST2和开关SW2导通。在感测周期期间,由流入驱动TFT DT的电流改变驱动TFT DT的源极电极Ns的电压。驱动TFT DT的源极电极Ns的电压变化的程度取决于驱动TFT DT的电特性(例如,阈值电压、迁移率)和OLED的电特性(例如,操作点电压)。因此,通过在感测周期期间通过操作感测电路来感测驱动TFT DT的源极电极Ns的电压,可以知道像素PIX的电特性。而且,通过基于像素PIX感测结果校正图像数据,可以补偿由于像素PIX的电特性偏差造成的亮度偏差。

[0091] 同时,在基本模式下,在编程周期期间,根据扫描控制信号SCT (n)使开关TFT ST1导通。如果由于扫描移位时钟SCCLK (n)失真而使扫描控制信号SCT (n)的波形失真,则可能使开关TFT ST1没有充分导通预定的周期。由于根据开关TFT ST1的导通周期确定数据电压Vdata的充电时间,因此如果开关TFT ST1的导通周期不足,则驱动TFT DT的栅-源极压Vgs可能由于充电不足而达不到期望值。在这种情况下,减小了流入驱动TFT DT的驱动电流和OLED的发光量,导致亮度变化并使图像质量退化。因此,为了改善图像质量,使扫描移位时钟SCCLK (n)的失真最小化是有帮助的。

[0092] 图7是示出作为连接到图3所示的级STGn 132的设置在面板内栅极基板上的时钟线的布置示例的STGn 132中的电路的部分的视图;图8是示出施加到图7的时钟线的移位时钟的波形的视图。示出的BK3和BK4的部分与图3和5以及其他附图中的类似电路相对应,并具有相同的参考数字和标记。

[0093] 参考图7和8,栅极移位寄存器可以包括设置在面板内栅极基板上并向级STG1至

STG7供应具有不同相位的进位移位时钟CRCLK2、CRCLK4和CRCLK6的多条共享进位时钟线12、14和16、以及设置在面板内栅极基板上并向级STG1至STG7供应具有不同相位的扫描移位时钟SCCLK1至SCCLK6的多条扫描时钟线21至26。

[0094] 可以将共享进位时钟线12、14和16的数量设置为扫描时钟线21至26的数量的一半,以便减少连接到级STG1至STG7的时钟线的数量。为此,级对STG1/STG2、STG3/STG4、STG5/STG6等,包括相邻的奇数序号级STG1、STG3和STG5等以及相邻的偶数序号级STG2、STG4和STG6等,可以分别共享一个进位移位时钟CRCLK2、CRCLK4或CRCLK6。

[0095] 在此,供应给奇数序号级STG1、STG3和STG5的奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5以及供应给偶数序号级STG2、STG4和STG6的偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6在导通周期(VGH周期)中部分重叠。共享的进位移位时钟CRCLK2、CRCLK4和CRCLK6可以在导通周期(VGH周期)中在奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5以及偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6中的任何一个中重叠。因此,尽管减少了进位时钟线的数量,但栅极移位寄存器可以正常工作。同时,在图8中,进位移位时钟CRCLK2、CRCLK4和CRCLK6分别针对用于偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6的基本显示操作的整个电路完全重叠,但也可以进行设计使得进位移位时钟CRCLK2、CRCLK4和CRCLK6分别与奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5完全重叠。其他时钟信号在定时和电压电平上部分重叠。

[0096] 连接到级STG1至STG7的共享进位时钟线12、14和16可以设置成彼此相邻,并且连接到级STG1至STG7的扫描时钟线21至26可以设置成彼此相邻。为了实现窄边框,可以将时钟线12、14、16以及21至26之间的间距设计为较窄,在这种情况下,时钟线12、14、16以及21至26之间存在的寄生电容C的耦合效应可能较显著。在两个相邻的时钟线之间的间距窄的情况下,如果向时钟线施加具有相同相位和电压电平的信号,则信号的上升和下降定时相同,由此可以不发生由于耦合效应而造成的信号失真,因为在处于不同的电压电平的导电线彼此紧密相邻时相邻线之间的寄生电容C的耦合效应才发生。

[0097] 然而,在向时钟线施加具有不同相位的信号时,信号的上升和下降定时不同,由于寄生电容耦合效应导致信号失真。如上文参考图4和6所述,扫描移位时钟SCCLK1至SCCLK6的失真导致扫描控制信号SCT(1)至SCT(7)失真,这可能直接影响图像质量。

[0098] 图9是示出连接到图5所示的级的设置在面板内栅极基板上的时钟线的布置示例的视图;图10是示出施加到图9的时钟线的移位时钟的波形的视图;

[0099] 参考图9和10,栅极移位寄存器可以包括向级STG1至STG7供应具有不同相位的进位移位时钟CRCLK2、CRCLK4和CRCLK6的多条共享进位时钟线12、14和16、向级STG1至STG7供应具有不同相位的扫描移位时钟SCCLK1至SCCLK6的多条扫描时钟线21至26、以及设置在面板内栅极基板上并向级STG1至STG7供应具有不同相位的感测移位时钟SECLK1至SECLK6的多条感测时钟线31至36。

[0100] 为了减少连接到级STG1至STG7的设置在面板内栅极基板上的时钟线数量,可以将共享进位时钟线12、14和16的数量设置为扫描时钟线21至26的数量的一半。为此,级对STG1/STG2、STG3/STG4、STG5/STG6等,包括相邻的奇数序号级STG1、STG3和STG5等以及相邻的偶数序号级STG2、STG4和STG6等,可以分别共享进位移位时钟CRCLK2、CRCLK4和CRCLK6。

[0101] 另一种减小总的寄生电容耦合效应的方式是具有很少的导电线,由此通过使用单

条进位时钟线12,CRCLK2来为两级提供时钟。由此,如图7所示,进位时钟线12耦合到级1和2,使需要设置在PCB 140上的进位时钟线的数量减少了一半。通过具有更少的时钟线,减小了总的电容耦合。

[0102] 在此,供应给奇数序号级STG1、STG3和STG5的奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5以及供应给偶数序号级STG2、STG4和STG6的偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6在导通周期(VGH周期)中部分重叠。共享的进位移位时钟CRCLK2、CRCLK4和CRCLK6可以在导通周期(VGH周期)中在奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5中的任何一个中部分重叠并与偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6重叠。在一些实施例中,时钟部分重叠,而在其他实施例中,时钟完全重叠。因此,尽管减少了进位时钟线的数量,但栅极移位寄存器可以正常工作。同时,在图10中,进位移位时钟CRCLK2、CRCLK4和CRCLK6分别与偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6重叠,但进位移位时钟CRCLK2、CRCLK4和CRCLK6可以被设计为分别与奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5重叠。

[0103] 可以将感测时钟线31至36的数量可以设置为等于扫描时钟线21至26的数量,并且可以将感测移位时钟SECLK1至SECLK6设置为与扫描移位时钟SCCLK1至SCCLK6同相。因此,共享的进位移位时钟CRCLK2、CRCLK4和CRCLK6可以在导通周期(VGH周期)中与奇数序号的感测移位时钟SECLK1、SECLK3和SECLK5或偶数序号的感测移位时钟SECLK2、SECLK4和SECLK6重叠。

[0104] 连接到级STG1至STG7的共享进位时钟线12、14和16可以设置成彼此相邻,连接到级STG1至STG7的扫描时钟线21至26可以设置成彼此相邻,并且连接到级STG1至STG7的感测时钟线31至36可以设置成彼此相邻。为了实现窄边框,可以将设置在面板内栅极基板上的时钟线12、14、16、21至26以及31至36之间的间距设计为较窄,在这种情况下,时钟线12、14、16以及21至26之间存在的寄生电容C的耦合效应可能较显著。在两个相邻的时钟线之间间距窄的情况下,如果向时钟线施加具有相同相位的信号,则信号的上升和下降定时相同,由此可以不发生由于耦合效应造成的信号失真。然而,在向时钟线施加具有不同相位的信号时,信号的上升和下降定时不同,由于耦合效应导致信号失真。如上文参考图4和6所述,扫描移位时钟SCCLK1至SCCLK6的失真导致扫描控制信号SCT(1)至SCT(7)失真,这可能直接影响图像质量。

[0105] 图11是示出连接到如图5所示的级的设置在面板内栅极基板上的时钟线的另一布置示例的视图。图12是示出施加到图11的时钟线的移位时钟的波形的视图;

[0106] 参考图11和12,栅极移位寄存器可以包括向级STG1至STG7供应具有不同相位的扫描移位时钟SCCLK1至SCCLK6的多条扫描时钟线21至26、以及向级STG1至STG7供应具有不同相位的感测移位时钟SECLK1至SECLK6的多条共享感测时钟线32、34、36。

[0107] 为了减少连接到级STG1至STG7的时钟线的数量,可以将共享进位时钟线12、14和16的数量设置为扫描时钟线21至26的数量的一半,还可以将共享感测时钟线32、34、36的数量设置为扫描时钟线21至26的数量的一半。为此,级对STG1/STG2、STG3/STG4、STG5/STG6等,包括相邻的奇数序号级STG1、STG3和STG5和相邻的偶数序号级STG2、STG4和STG6,可以分别共享进位移位时钟CRCLK2、CRCLK4和CRCLK6,还可以分别共享感测移位时钟SECLK2、SECLK4和SECLK6。

[0108] 在此,供应给奇数序号级STG1、STG3和STG5的奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5以及供应给偶数序号级STG2、STG4和STG6的偶数序号扫描移位时钟SCCLK2、SCCLK4和SCCLK6在导通周期(VGH周期)中部分重叠。而且,共享的进位移位时钟CRCLK2、CRCLK4和CRCLK6可以在导通周期(VGH周期)中与奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5或偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6重叠。而且,共享的感测移位时钟SECLK2、SECLK4和SECLK6可以在导通周期(VGH周期)中与奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5或偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6重叠。因此,尽管减少了进位时钟线的数量和感测时钟线的数量,但栅极移位寄存器可以正常工作。同时,在图12中,进位移位时钟CRCLK2、CRCLK4和CRCLK6以及感测移位时钟SECLK2、SECLK4和SECLK6分别与偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6重叠,但进位移位时钟CRCLK2、CRCLK4和CRCLK6以及感测移位时钟SECLK2、SECLK4和SECLK6可以被设计为分别与奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5重叠。

[0109] 连接到级STG1至STG7的共享进位时钟线12、14和16可以布置成彼此相邻,连接到级STG1至STG7的扫描时钟线21至26可以布置成彼此相邻,并且连接到级STG1至STG7的感测时钟线32、34和36可以布置成彼此相邻。为了实现窄边框,可以将时钟线12、14、16、21至26、32、34和36之间的间距设计为较窄,在这种情况下,时钟线12、14、16、21至26、32、34和36之间存在的寄生电容C的耦合效应可能较显著。在两个相邻的时钟线之间间距窄的情况下,如果向时钟线施加具有相同相位的信号,则信号的上升和下降定时相同,由此可以不发生由于耦合效应造成的信号失真。然而,在向时钟线施加具有不同相位的信号时,信号的上升和下降定时不同,由于耦合效应导致信号失真。如上文参考图4和6所述,扫描移位时钟SCCLK1至SCCLK6的失真导致扫描控制信号SCT(1)至SCT(7)失真,这可能直接影响图像质量。

[0110] 图13是示出连接到图5所示的级的设置在面板内栅极基板上的时钟线的另一布置示例的视图。图14是示出施加到图13的时钟线的移位时钟的波形的视图;

[0111] 参考图13和14,栅极移位寄存器可以包括向级STG1至STG7供应具有不同相位的进位移位时钟CRCLK1至CRCLK6的多条共享进位时钟线11到16、向级STG1至STG7供应具有不同相位的扫描移位时钟SCCLK1至SCCLK6的多条扫描时钟线21到26、以及向级STG1至STG7供应具有不同相位的感测移位时钟SECLK2、SECLK4和SECLK6的多条共享感测时钟线32、34和36。

[0112] 为了减少连接到级STG1至STG7的时钟线的数量,也可以将共享感测时钟线32、34和36的数量设置为扫描时钟线21至26的数量的一半。为此,级对STG1/STG2、STG3/STG4、STG5/STG6等,包括相邻的奇数序号级STG1、STG3和STG5等以及相邻的偶数序号级STG2、STG4和STG6等,可以分别共享感测移位时钟SECLK2、SECLK4和SECLK6。

[0113] 在此,供应给奇数序号级STG1、STG3和STG5的奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5以及供应给偶数序号级STG2、STG4和STG6的偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6在导通周期(VGH周期)中部分重叠。共享的感测移位时钟SECLK2、SECLK4和SECLK6可以在导通周期(VGH周期)中在奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5以及偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6中的任何一个中重叠。因此,尽管减少了感测时钟线的数量,但栅极移位寄存器可以正常工作。同时,在图12中,进位移位时钟CRCLK2、CRCLK4和CRCLK6以及感测移位时钟SECLK2、SECLK4和SECLK6分别与偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6重叠,但感测移位时钟SECLK2、SECLK4和

SECLK6可以被设计为分别与奇数序号的扫描移位时钟SCCLK1、SCCLK3和SCCLK5重叠。

[0114] 可以将进位时钟线11到16的数量设置为等于扫描时钟线21至26的数量,并且可以将进位移位时钟CRCLK1至CRCLK6设置为与扫描移位时钟SCCLK1至SCCLK6同相。因此,共享的感测移位时钟SECLK2、SECLK4和SECLK6可以在导通周期(VGH周期)中与奇数序号的进位移位时钟CRCLK1、CRCLK3和CRCLK5或偶数序号的进位移位时钟CRCLK2、CRCLK4和CRCLK6重叠。

[0115] 连接到级STG1至STG7的进位时钟线11至16可以设置成彼此相邻,连接到级STG1至STG7的扫描时钟线21至26可以设置成彼此相邻,并且连接到级STG1至STG7的感测时钟线32、34和36可以设置成彼此相邻。为了实现窄边框,可以将时钟线11至16、21至26、32、34和36之间的间距可以设计为较窄,在这种情况下,时钟线11至16、21至26、32、34和36之间存在的寄生电容C的耦合效应可能较显著。在两个相邻的时钟线之间间距窄的情况下,如果向时钟线施加具有相同相位的信号,则信号的上升和下降定时相同,由此可以不发生由于耦合效应造成的信号失真。然而,在向时钟线施加具有不同相位的信号时,信号的上升和下降定时不同,由于耦合效应导致信号失真。如上文参考图4和6所述,扫描移位时钟SCCLK1至SCCLK6的失真导致扫描控制信号SCT(1)至SCT(7)失真,这可能直接影响图像质量。

[0116] 图15是示出用于减小设置在面板内栅极基板上的时钟线之间的耦合效应的图7修改的视图。图16是示出施加到图15的时钟线的移位时钟的波形的视图。

[0117] 参考图15和16,与图7相比,栅极移位寄存器具有不同的时钟线布置顺序,以使由于耦合造成的信号失真最小化。亦即,共享进位时钟线12、14和16可以设置在扫描时钟线21至26之间,从而使同相时钟信号被传送到其上的时钟线设置成彼此相邻。一个进位移位时钟被传送到其上的共享进位时钟线12、14和16设置成与相位和进位移位时钟相同的扫描移位时钟被传送到其上的扫描时钟线相邻。例如,进位移位时钟CRCLK2被传送到其上的共享进位时钟线12设置成与扫描移位时钟SCCLK2被传送到其上的扫描时钟线22相邻,进位移位时钟CRCLK4被传送到其上的共享进位时钟线14设置成与扫描移位时钟SCCLK4被传送到其上的扫描时钟线24相邻,进位移位时钟CRCLK6被传送到其上的共享进位时钟线16设置成与扫描移位时钟SCCLK6被传送到其上的扫描时钟线26相邻。

[0118] 在向彼此相邻的时钟线施加具有相同相位的信号的情况下,因为信号的上升和下降定时相同,所以不会发生由于耦合效应造成的信号失真。因此,本公开可以通过减小时钟线的数量和时钟线的间距来实现窄边框,并通过适当的时钟线布置来使信号失真最小化而提高显示质量。正如指出的那样,在一个实施例中,进位移位时钟CRCLK2、CRCLK4和CRCLK6上的信号完全重叠,并因此与偶数序号的扫描移位时钟SCCLK2、SCCLK4和SCCLK6上的信号相同。在一个实施例中,对于PCB 140上的电路布局,传送信号CRCLK2和SCCLK2的导电线可以设置成彼此相邻,并且对于其他电压电平和相位完全重叠的线也是类似的。因为相同的电压电平将在信号的相同时序中相同地位于这二者上,所以寄生电容耦合将变为零。由此,可以将PCB 140上的导电线的布局选择为处于减小各种时钟信号的电容耦合效应的位置处。因而,可以将时钟线的布局选择为将具有相同电压电平和相同电位的时钟线设置成彼此紧密相邻。

[0119] 图17是示出用于减小设置在面板内栅极基板上的时钟线之间的耦合效应的图9修改的视图。图18是示出施加到图17的时钟线的移位时钟的波形的视图。

[0120] 参考图17和18,与图9相比,栅极移位寄存器具有不同的时钟线的布置顺序,以使由于耦合造成的信号失真最小化。亦即,共享进位时钟线12、14和16可以设置在扫描时钟线21至26和感测时钟线31至36之间,从而使同相时钟信号被传送到其上的时钟线设置成彼此相邻。换言之,在感测时钟线上传送感测时钟。而且,连接到同一级的扫描时钟线21至26和感测时钟线31至36可以设置成彼此相邻。

[0121] 在此,一个进位移位时钟被传送到其上的共享进位时钟线12、14和16设置成与相位和进位移位时钟相同的扫描移位时钟或相位和进位移位时钟相同的感测移位时钟被传送到其上的扫描时钟线相邻。例如,进位移位时钟CRCLK2被传送到其上的共享进位时钟线12设置成与扫描移位时钟SCCLK2被传送到其上的扫描时钟线22或感测移位时钟SECLK2被传送到其上的感测时钟线32相邻,进位移位时钟CRCLK被传送到其上4的共享进位时钟线14设置成与扫描移位时钟SCCLK4被传送到其上的扫描时钟线24或感测移位时钟SECLK4被传送到其上的感测时钟线34相邻,并且进位移位时钟CRCLK6被传送到其上的共享进位时钟线16设置成与扫描移位时钟SCCLK6被传送到其上的扫描时钟线26或感测移位时钟SECLK6被传送到其上的感测时钟线36相邻。

[0122] 在向彼此相邻的时钟线施加具有相同相位的信号的情况下,信号的上升和下降时间相同,由此不会发生由于耦合造成的信号失真。因而,本公开可以通过减小时钟线的数量和时钟线的间距来实现窄边框,并通过适当的时钟线布置来使信号失真最小化而改善显示质量。

[0123] 图19是示出用于减小设置在面板内栅极基板上的时钟线之间的耦合效应的图11修改的视图。图20是示出施加到图19的时钟线的移位时钟的波形的视图。

[0124] 参考图19和20,与图11相比,栅极移位寄存器具有不同的时钟线布置顺序,以使由于耦合造成的信号失真最小化。亦即,共享进位时钟线12、14、16可以设置在扫描时钟线21至26之间,从而使具有相同相位的时钟信号被传送到其上的时钟线布置成彼此相邻。在此,一个感测移位时钟被传送到其上的共享感测时钟线32、34和36可以设置成分别与共享进位时钟线12、14和16相邻。

[0125] 一个进位移位时钟被传送到其上的共享进位时钟线12、14和16设置成与相位和进位移位时钟相同的扫描移位时钟被传送到其上的扫描时钟线相邻。例如,进位移位时钟CRCLK2被传送到其上的共享进位时钟线12设置成与扫描移位时钟SCCLK2被传送到其上的扫描时钟线22相邻,进位移位时钟CRCLK4被传送到其上的共享进位时钟线14设置成与扫描移位时钟SCCLK4被传送到其上的扫描时钟线24相邻,进位移位时钟CRCLK6被传送到其上的共享进位时钟线16设置成与扫描移位时钟SCCLK6被传送到其上的扫描时钟线26相邻。

[0126] 在向彼此相邻的时钟线施加相同相位的信号时,因为信号的上升和下降定时相同,所以不会产生由于耦合效应导致的信号失真。因此,本公开可以通过减小时钟线的数量和间距并通过适当的时钟线布置使信号失真最小化而实现窄边框,由此改善显示质量。

[0127] 图21是示出用于减小设置在面板内栅极基板上的时钟线之间的耦合效应的图13修改的视图。图22是示出施加到图21的时钟线的移位时钟的波形的视图。

[0128] 参考图21和22,与图13相比,栅极移位寄存器具有不同的时钟线的布置顺序,以使由于耦合造成的信号失真最小化。亦即,连接到同一级的进位时钟线11到16和扫描时钟线21至26设置成彼此相邻,从而使具有相同相位的时钟信号被传送到其上的时钟线布置成彼

此相邻。在此，一个感测移位时钟被传送到其上的共享感测时钟线32、34和36可以设置成分别与扫描时钟线22、24和26相邻。

[0129] 传送有奇数序号的扫描移位时钟的奇数序号的扫描时钟线和传送有奇数序号的进位移位时钟的奇数序号的进位时钟线设置成彼此相邻，并且传送有偶数序号的扫描移位时钟的偶数序号的扫描时钟线和传送有偶数序号的进位移位时钟的偶数序号的进位时钟线可以设置成彼此相邻。在此，奇数序号的扫描移位时钟和奇数序号的进位移位时钟同相，并且偶数序号的扫描移位时钟和偶数序号的进位移位时钟同相。

[0130] 在向彼此相邻的时钟线施加具有相同相位的信号的情况下，因为信号的上升和下降定时相同，所以不会发生由于耦合效应造成的信号失真。因此，本公开可以通过减小时钟线的数量和时钟线的间距来实现窄边框，并通过适当的时钟线布置来使信号失真最小化而提高显示质量。

[0131] 如上所述，本公开可以通过减小进位时钟线和/或感测时钟线的数量而实现窄边框。

[0132] 此外，根据本公开，供应具有相同相位的时钟信号的时钟线布置成彼此相邻，以减小或完全抑制耦合效应，由此使由于耦合效应造成的移位时钟失真最小化并改善图像质量。

[0133] 在以上示范性系统中，尽管已经基于使用一系列步骤或方框的流程图描述了方法，但本公开不限于步骤的顺序，一些步骤可以按照与其余步骤不同的顺序来执行，或者可以与其余步骤同时执行。此外，本领域的技术人员将理解，流程图中所示的步骤不是排他的，可以包括其他步骤，或者可以删除流程图的一个或多个步骤而不影响本公开的范围。

[0134] 可以组合以上描述的各种实施例以提供其他的实施例。在本说明书中提交和/或在申请数据表中列出的所有美国专利、美国专利申请公开、美国专利申请、外国专利、外国专利申请和非专利申请通过引用整体并入到本文中。如果有必要采用不同专利、申请和公开的概念以提供进一步的实施例，那么可以修改实施例的方面。

[0135] 可以根据以上详细的描述对实施例进行这些和其他改变。通常，在所附权利要求书中，所使用的术语不应被解释为限制对本说明书和权利要求书中所公开的具体实施例的权利要求，而应被解释为包括所有可能的实施例以及这些权利要求被赋予的等效方案的所有范围。因而，权利要求不受本公开的限制。

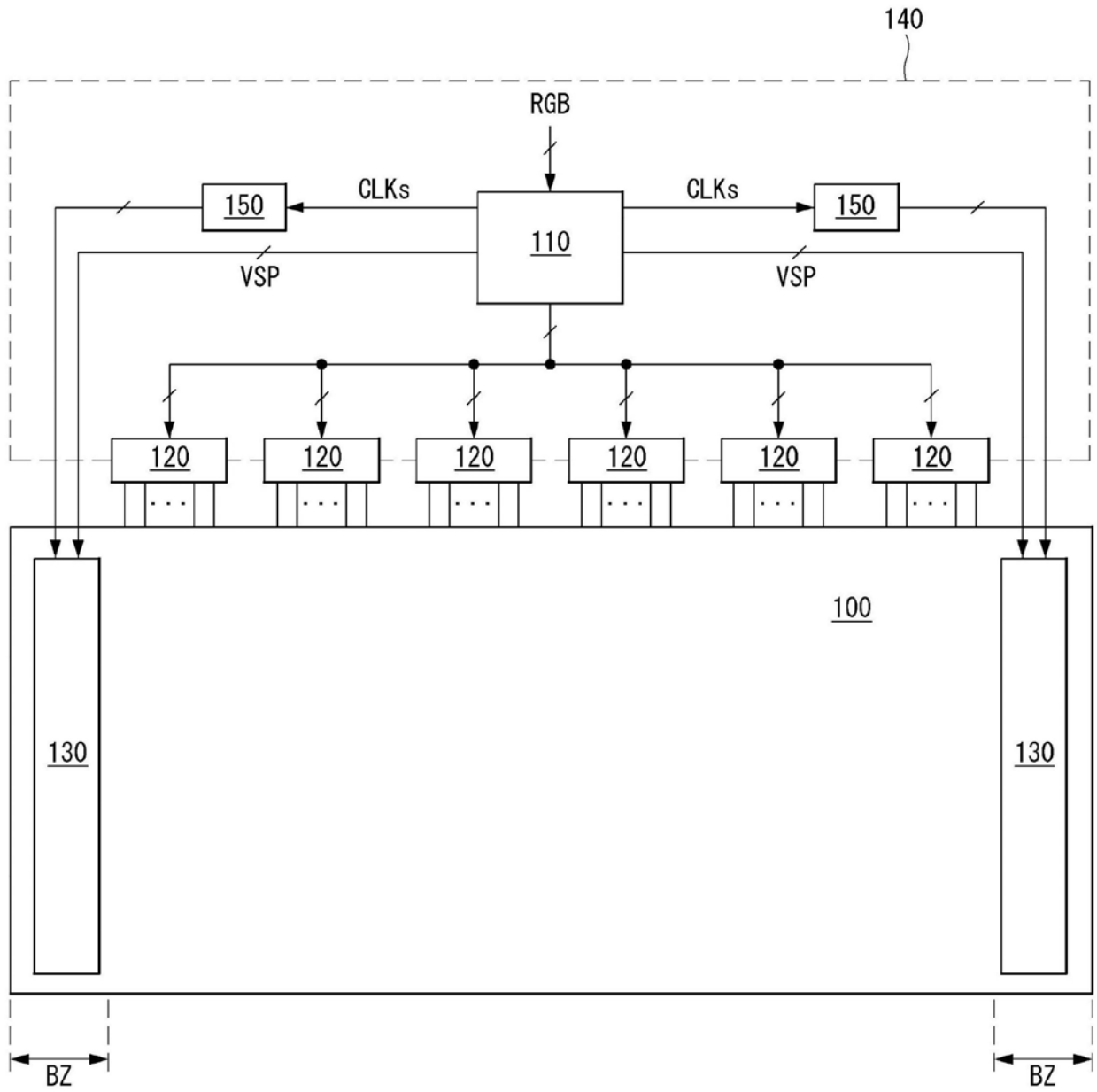


图1

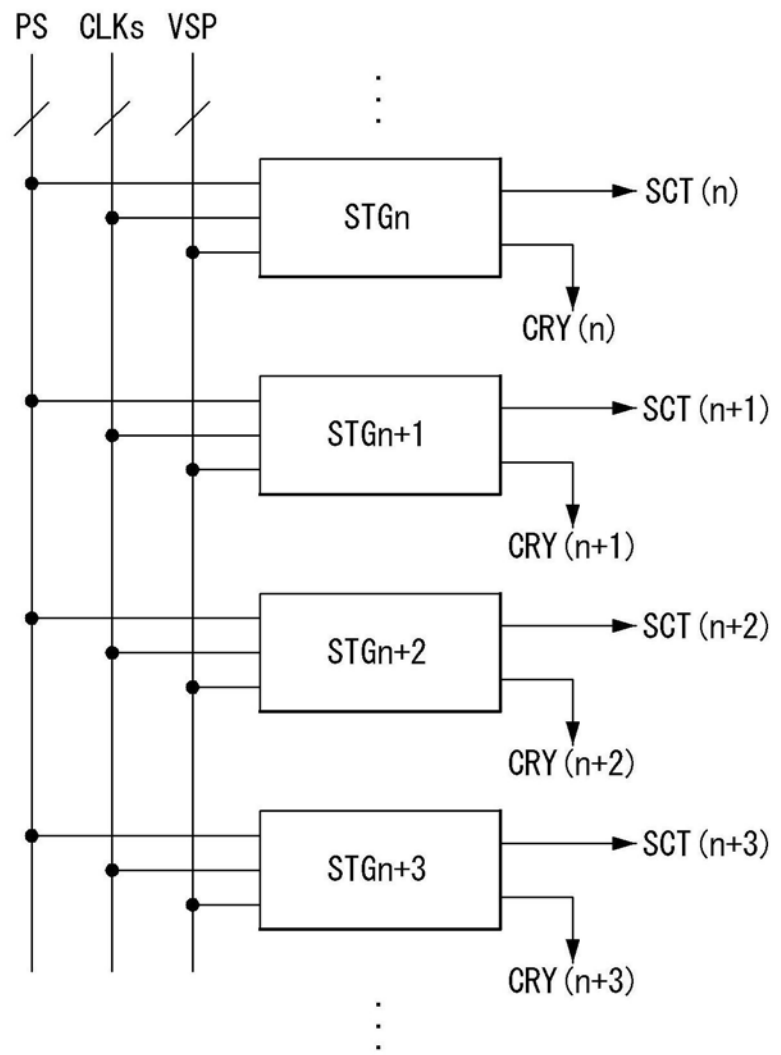


图2

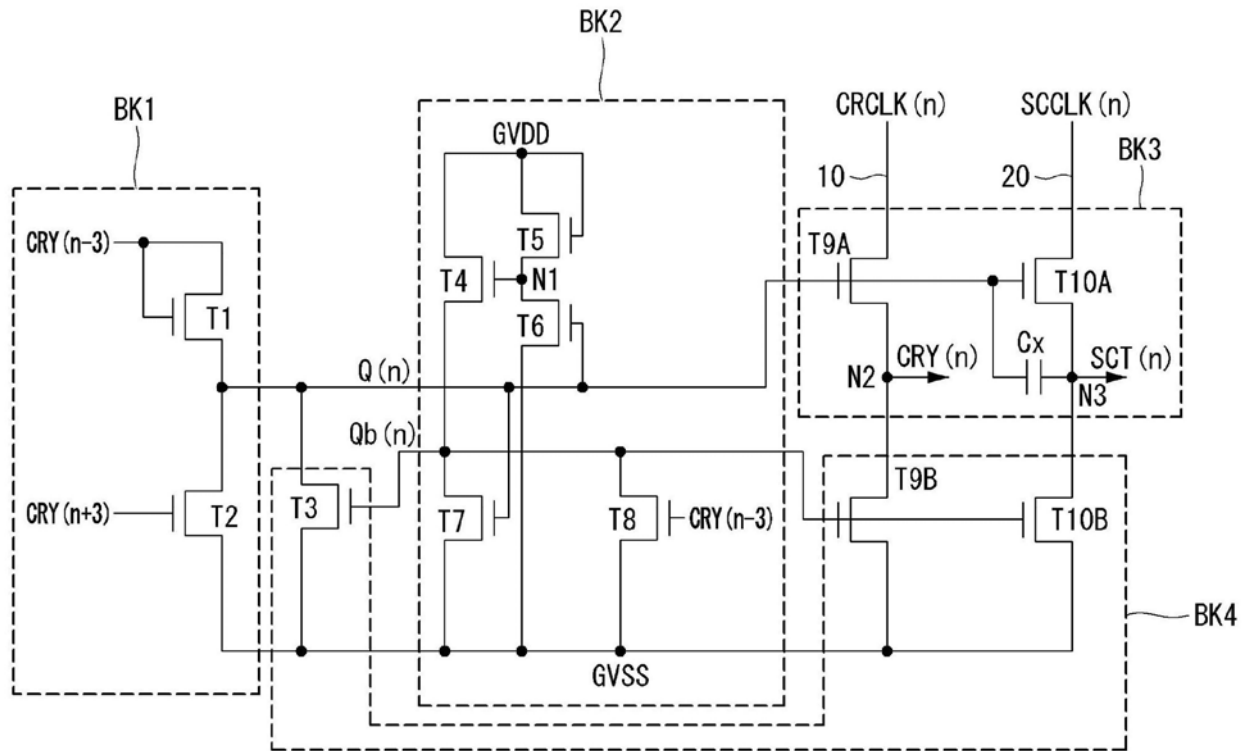


图3

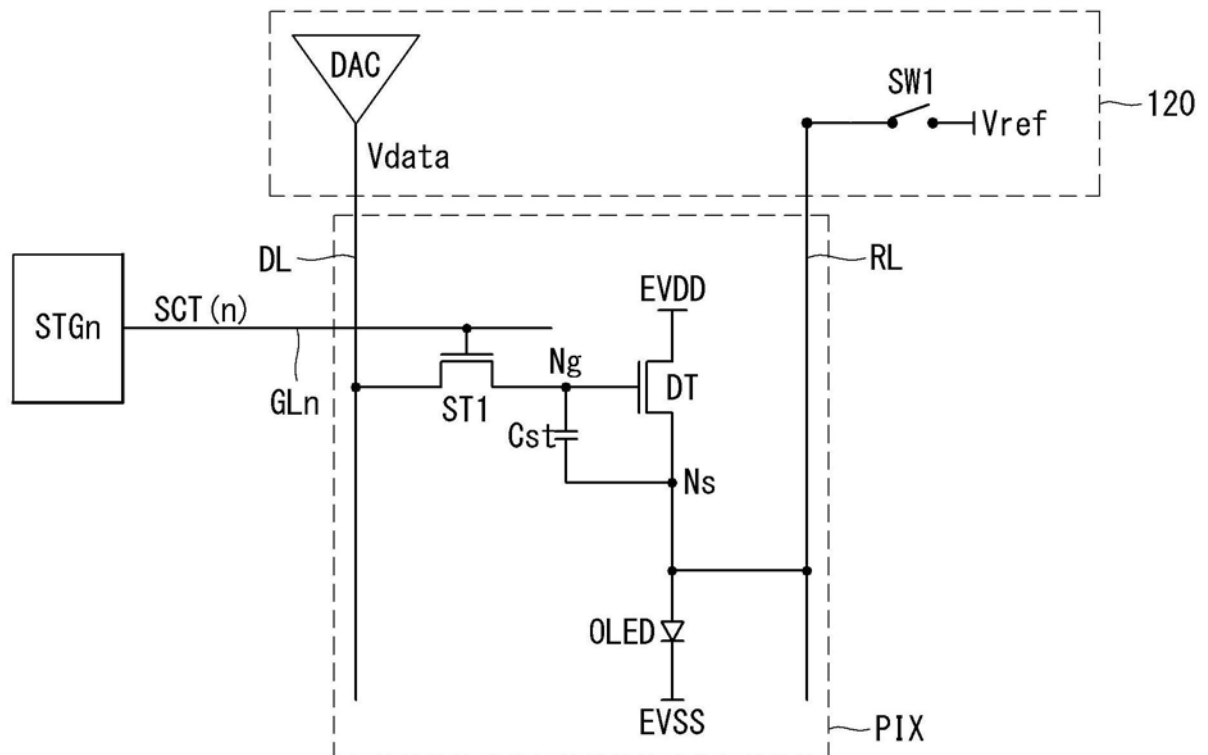


图4

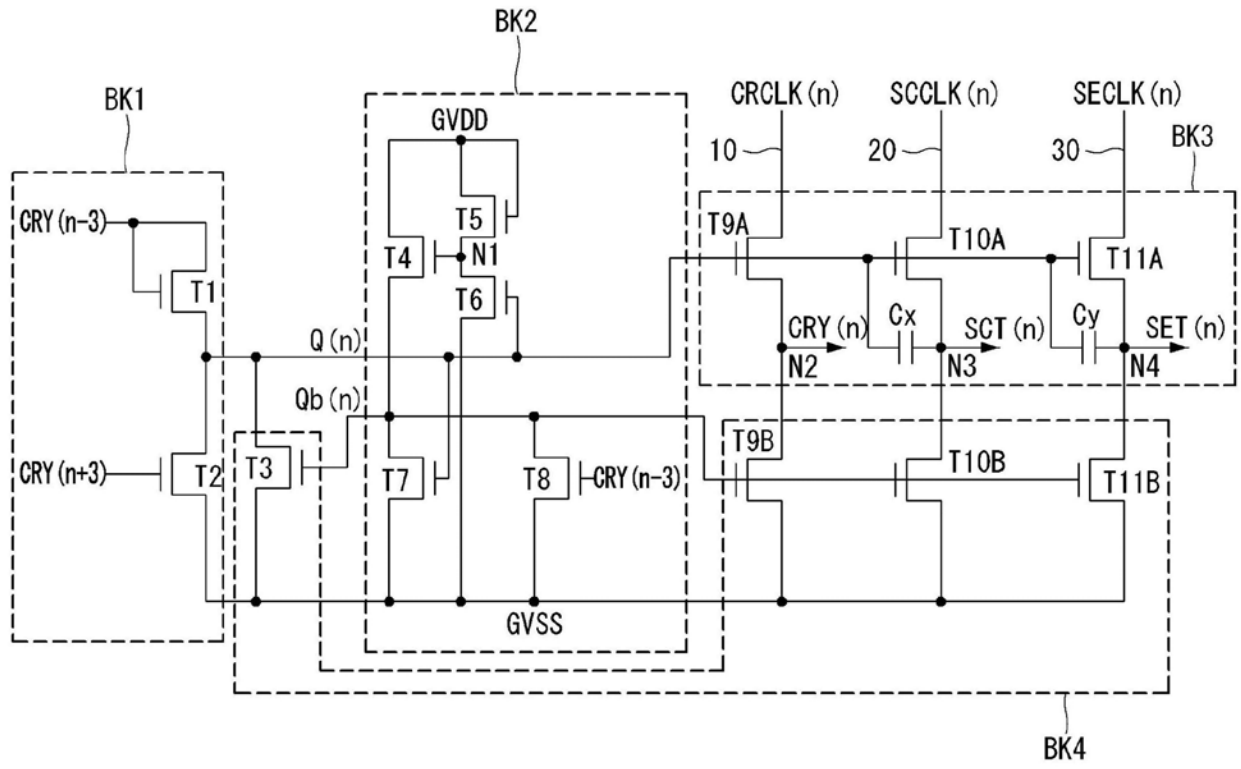


图5

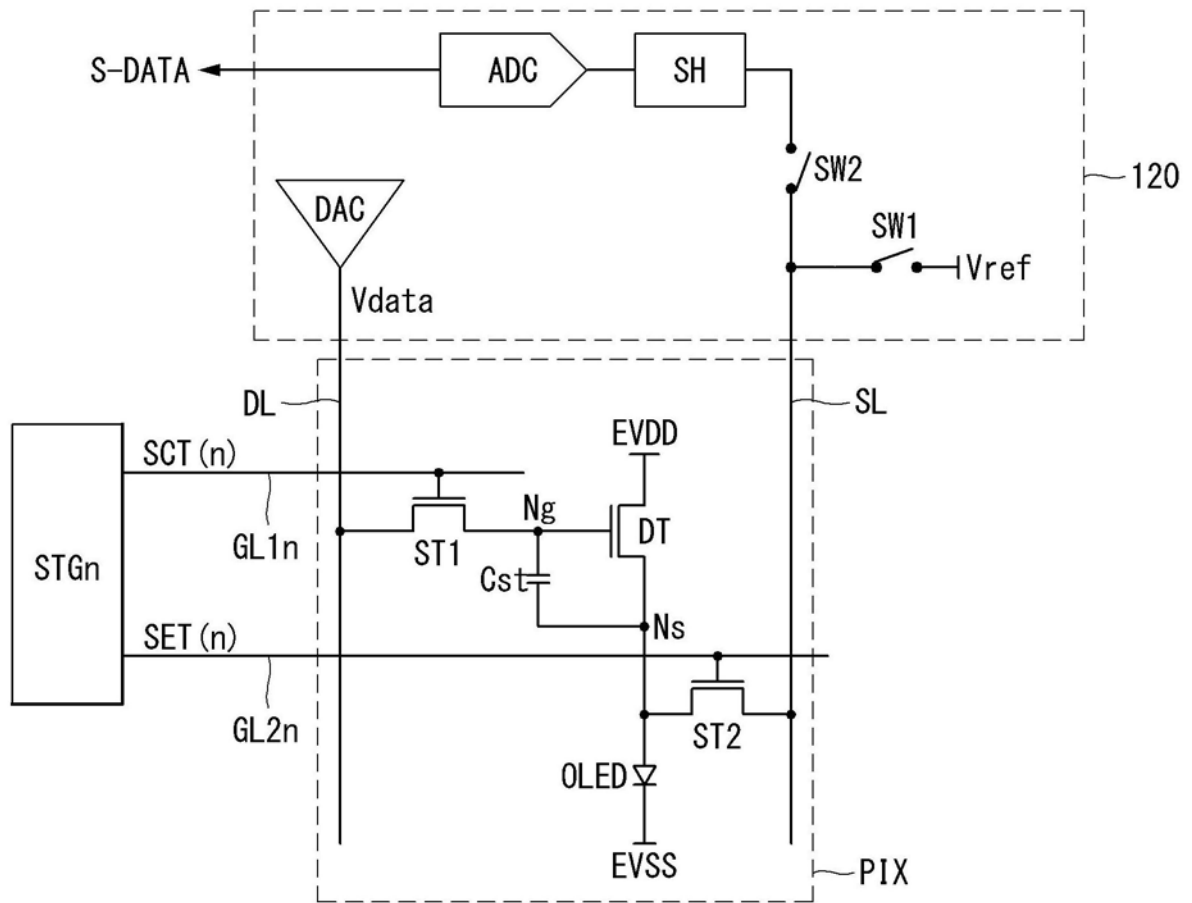


图6

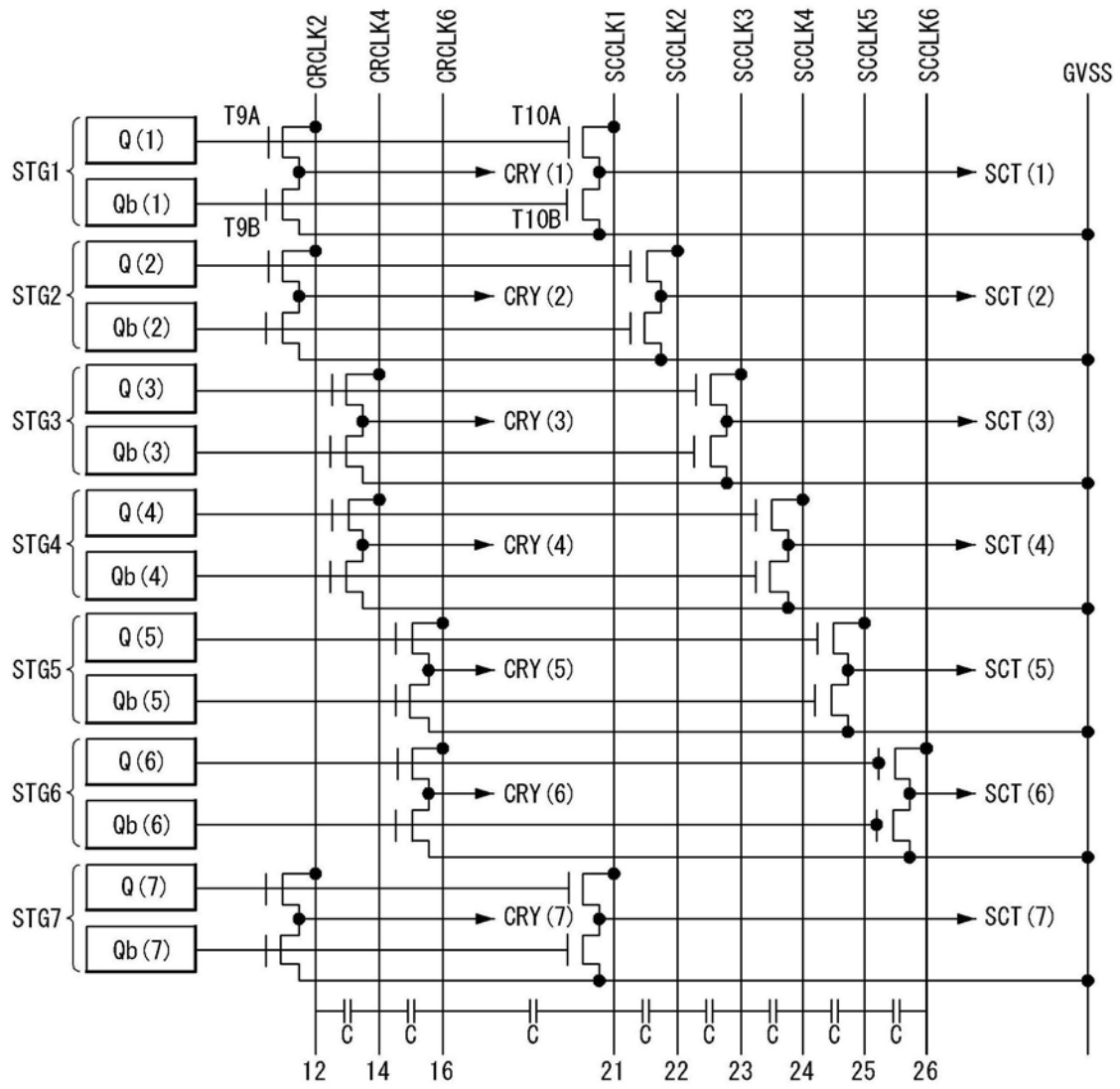


图7

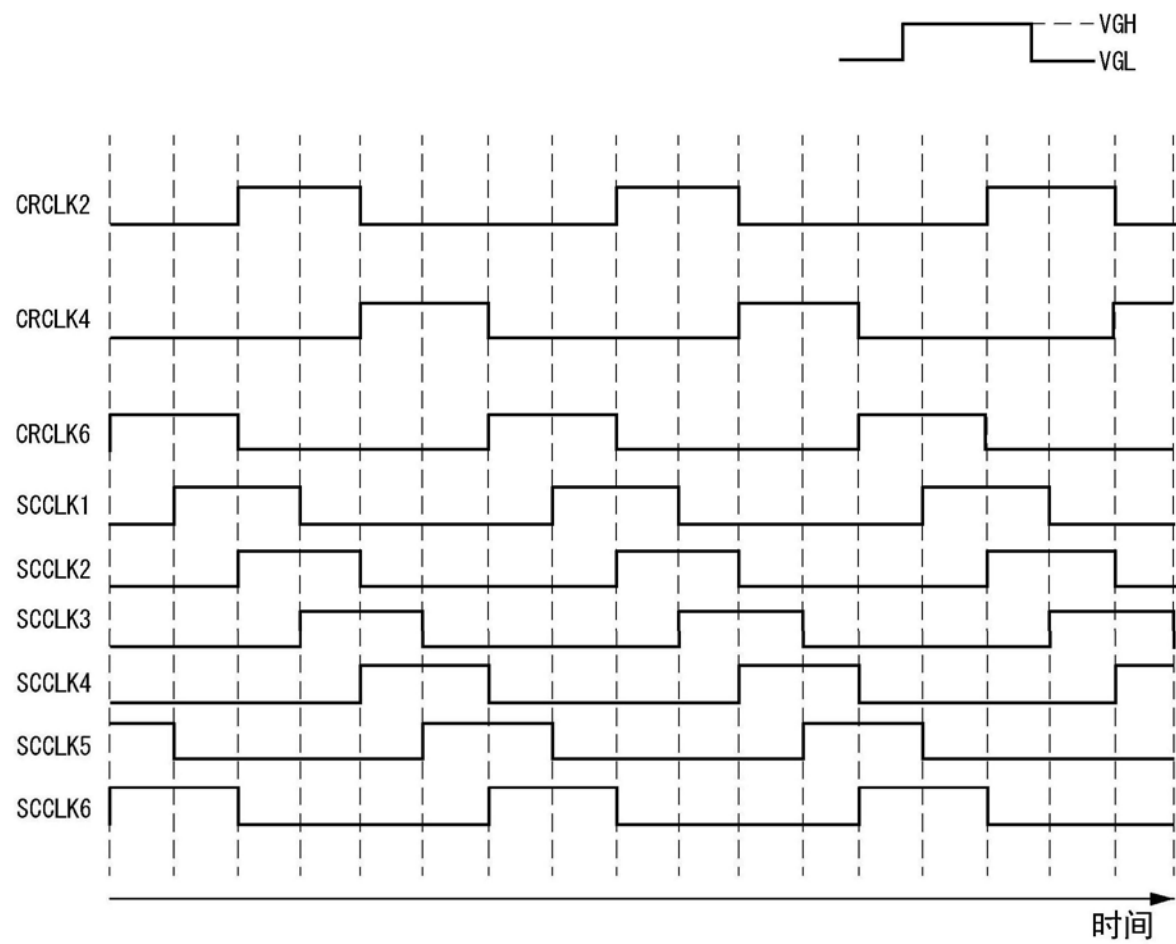


图8

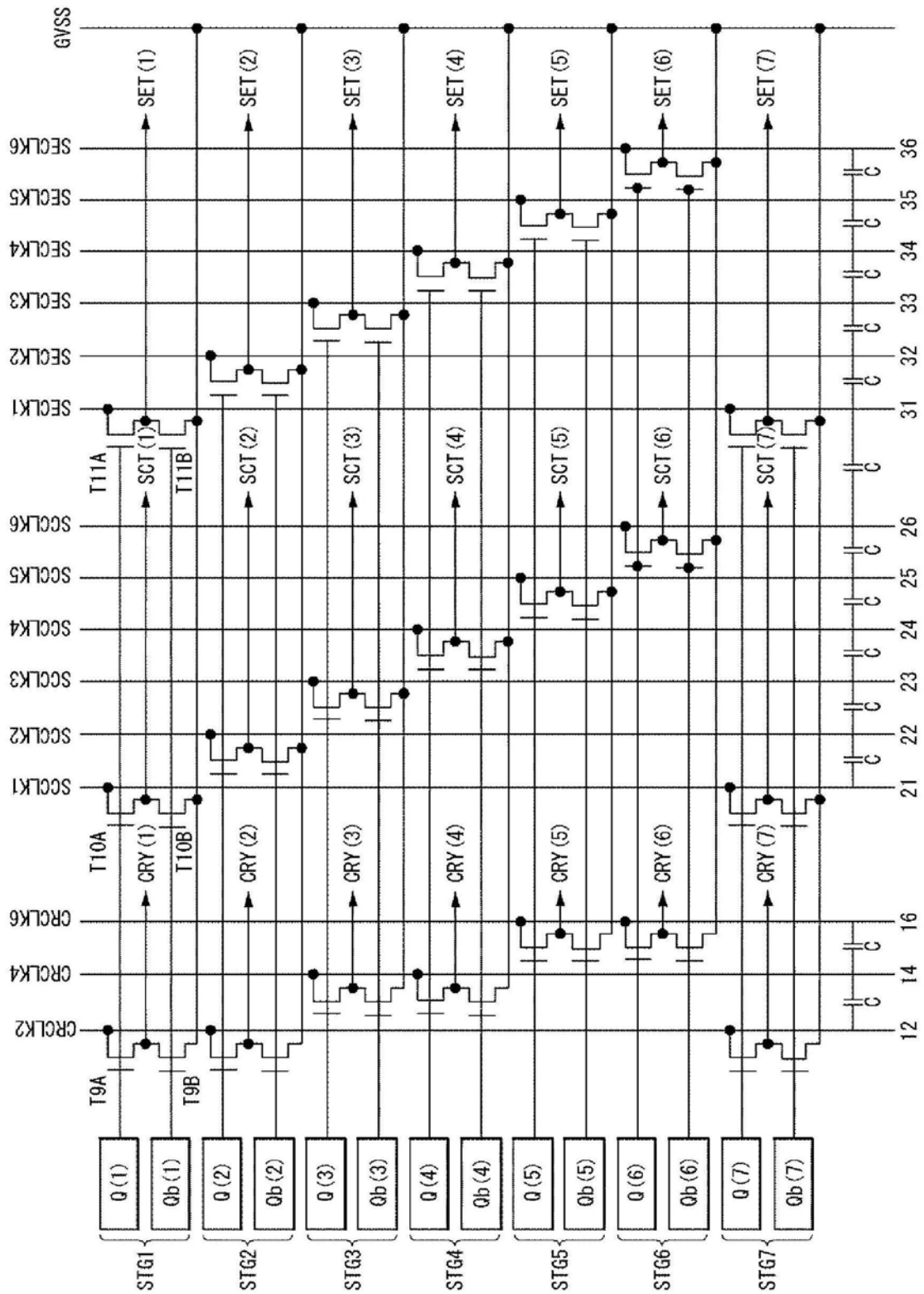


图9

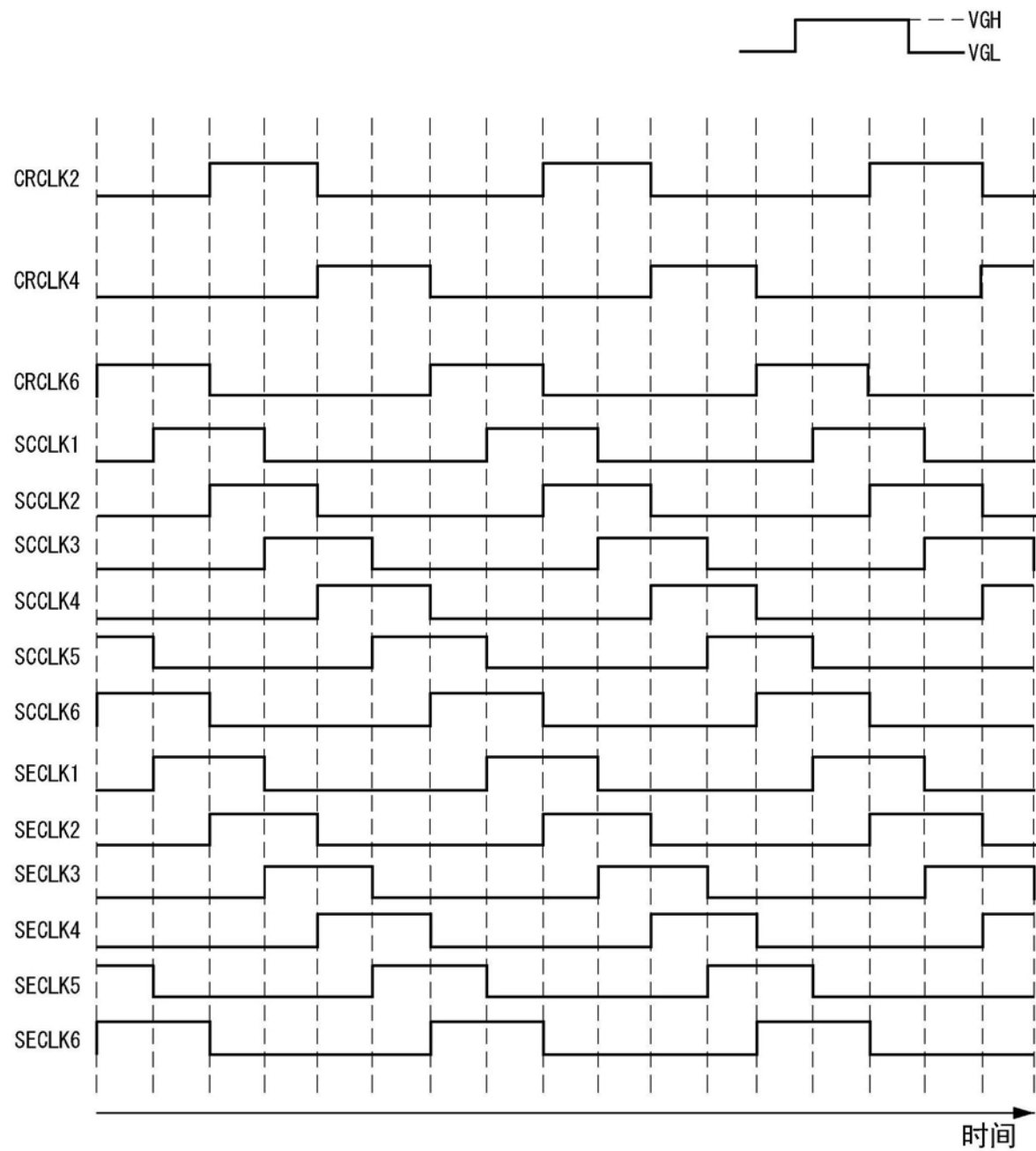


图10

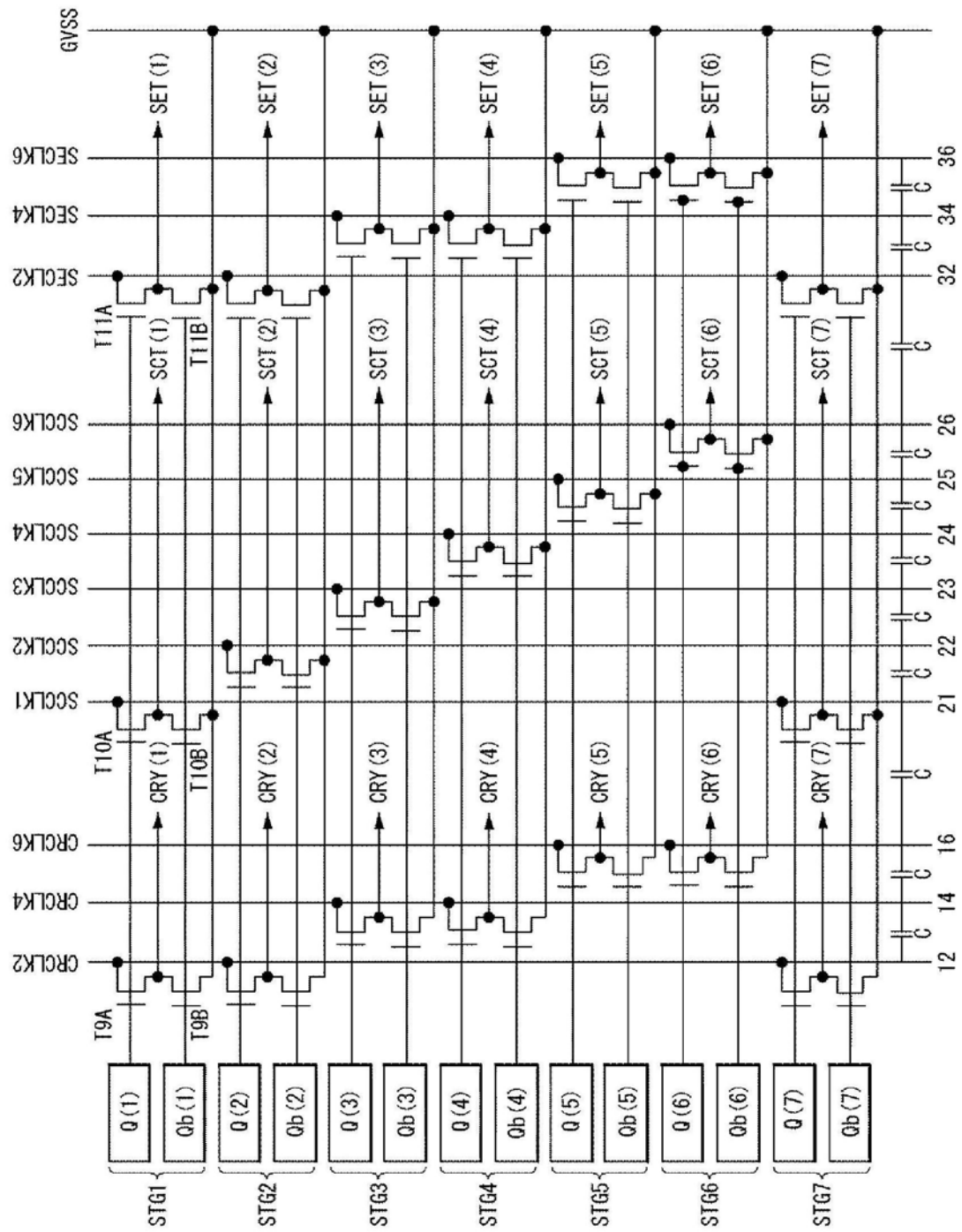


图11

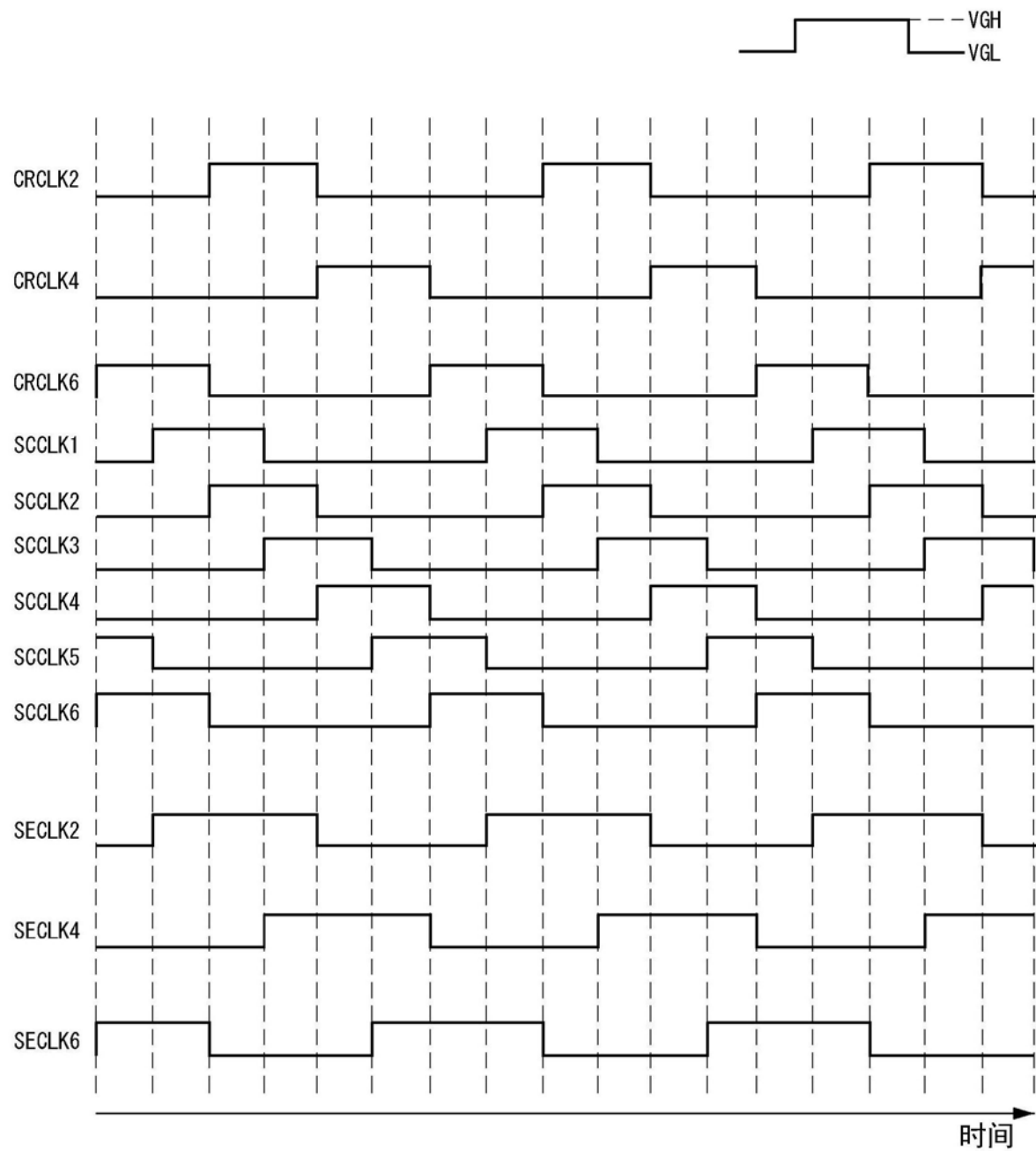


图12

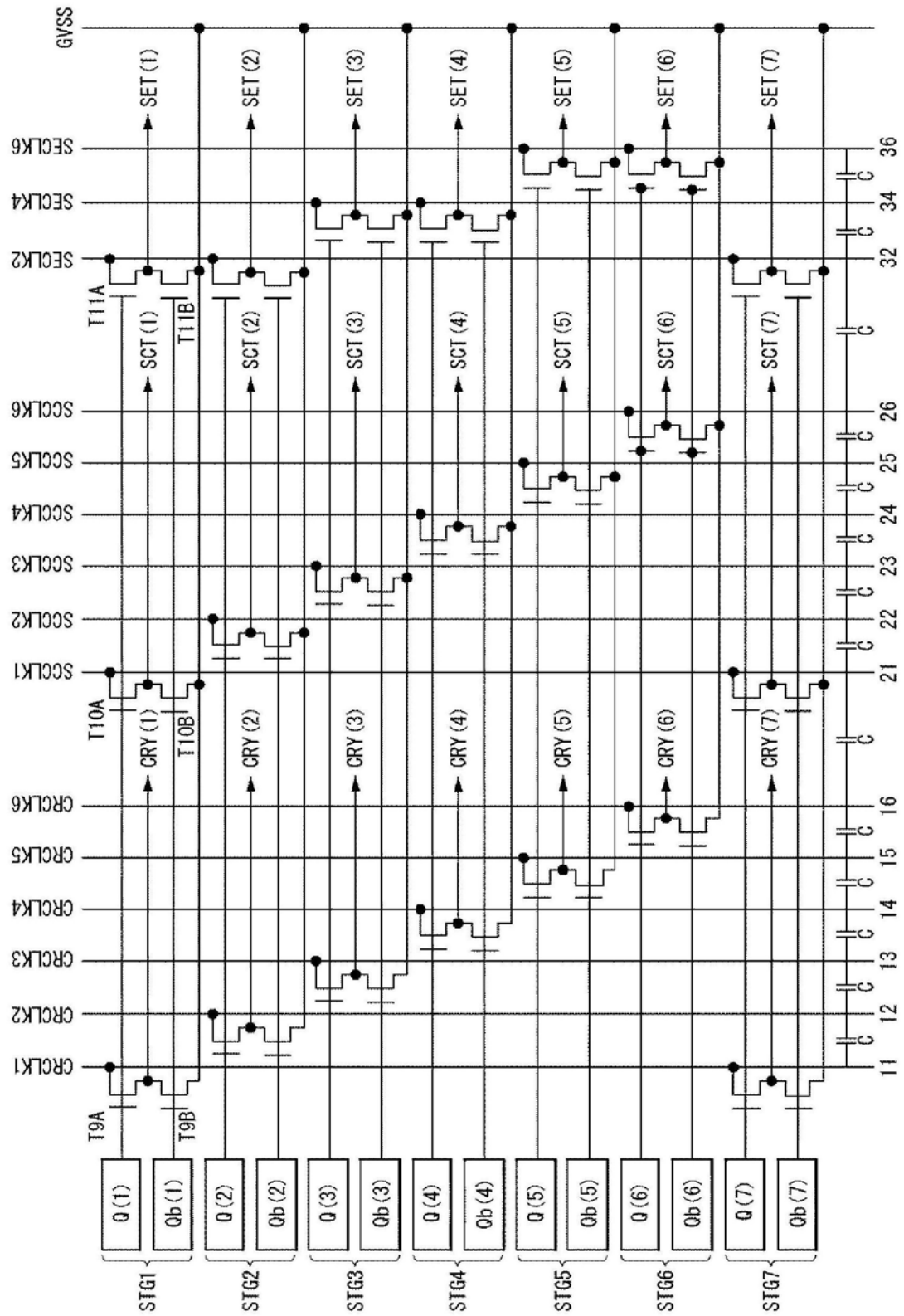


图13

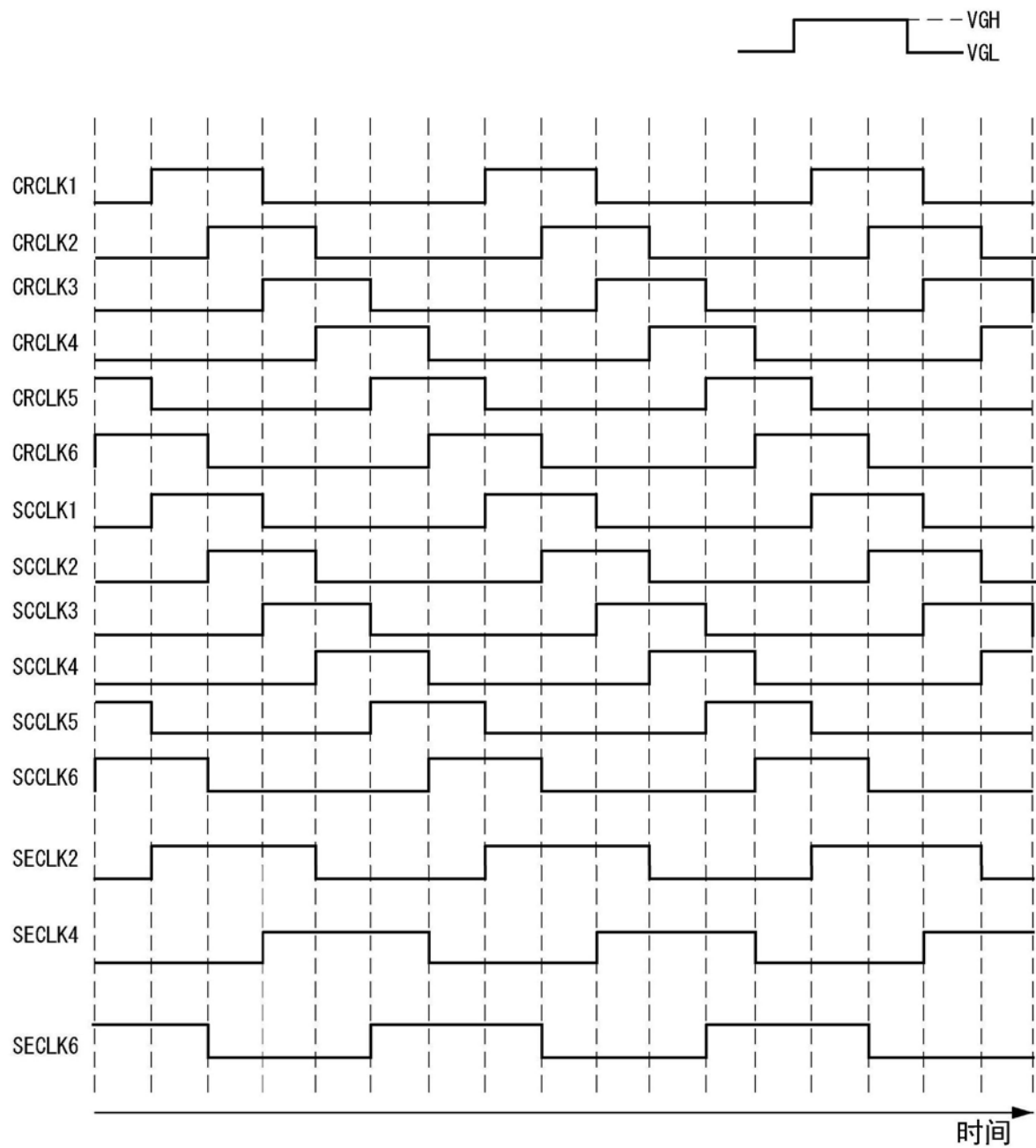


图14

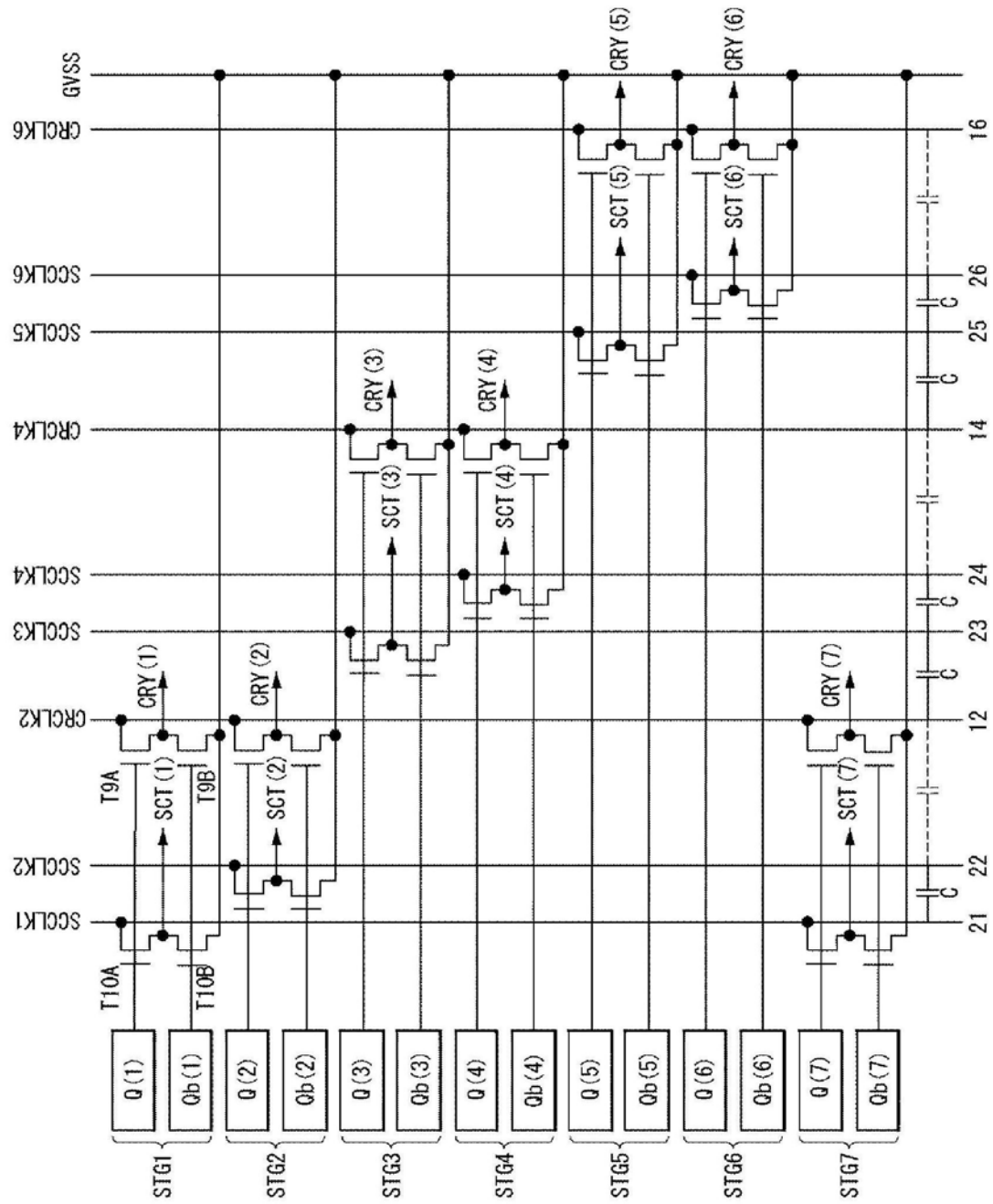


图15

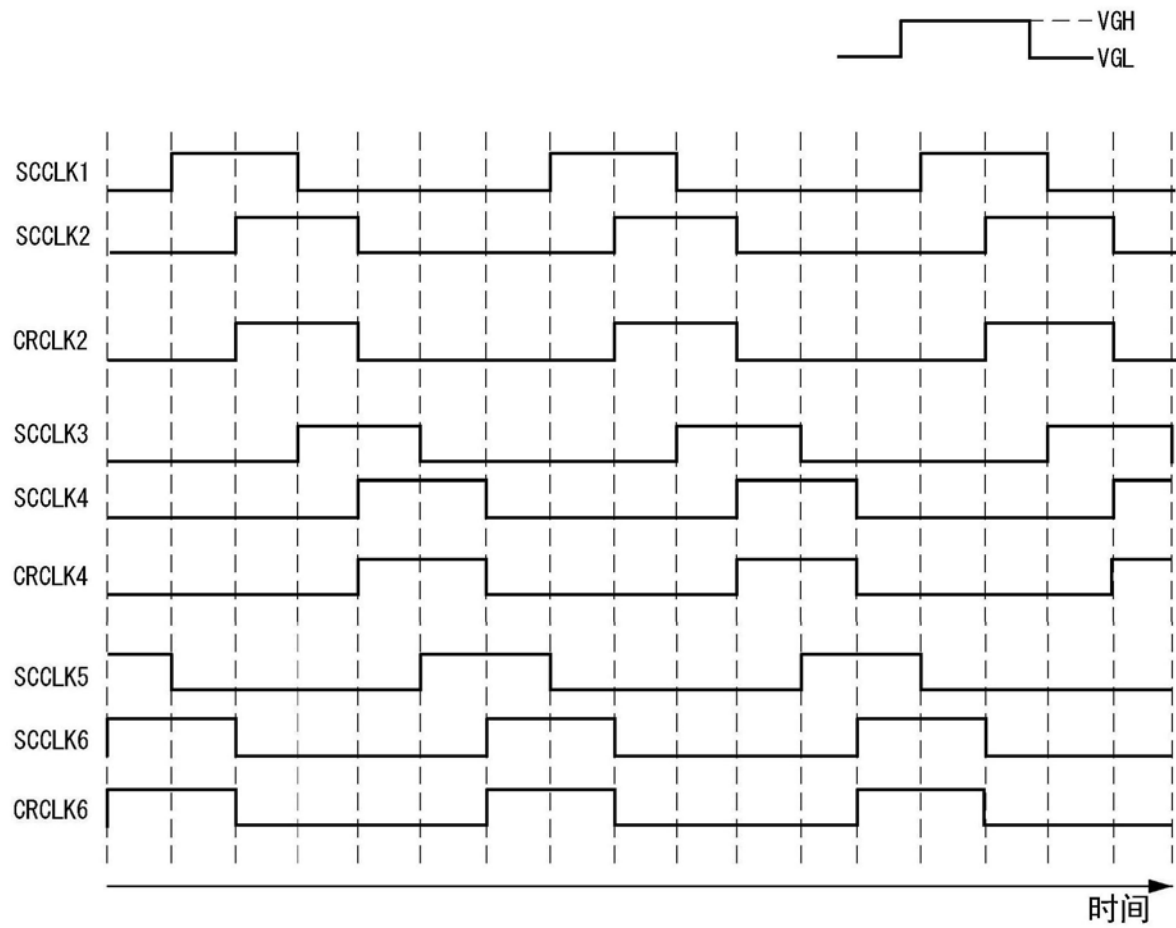


图16

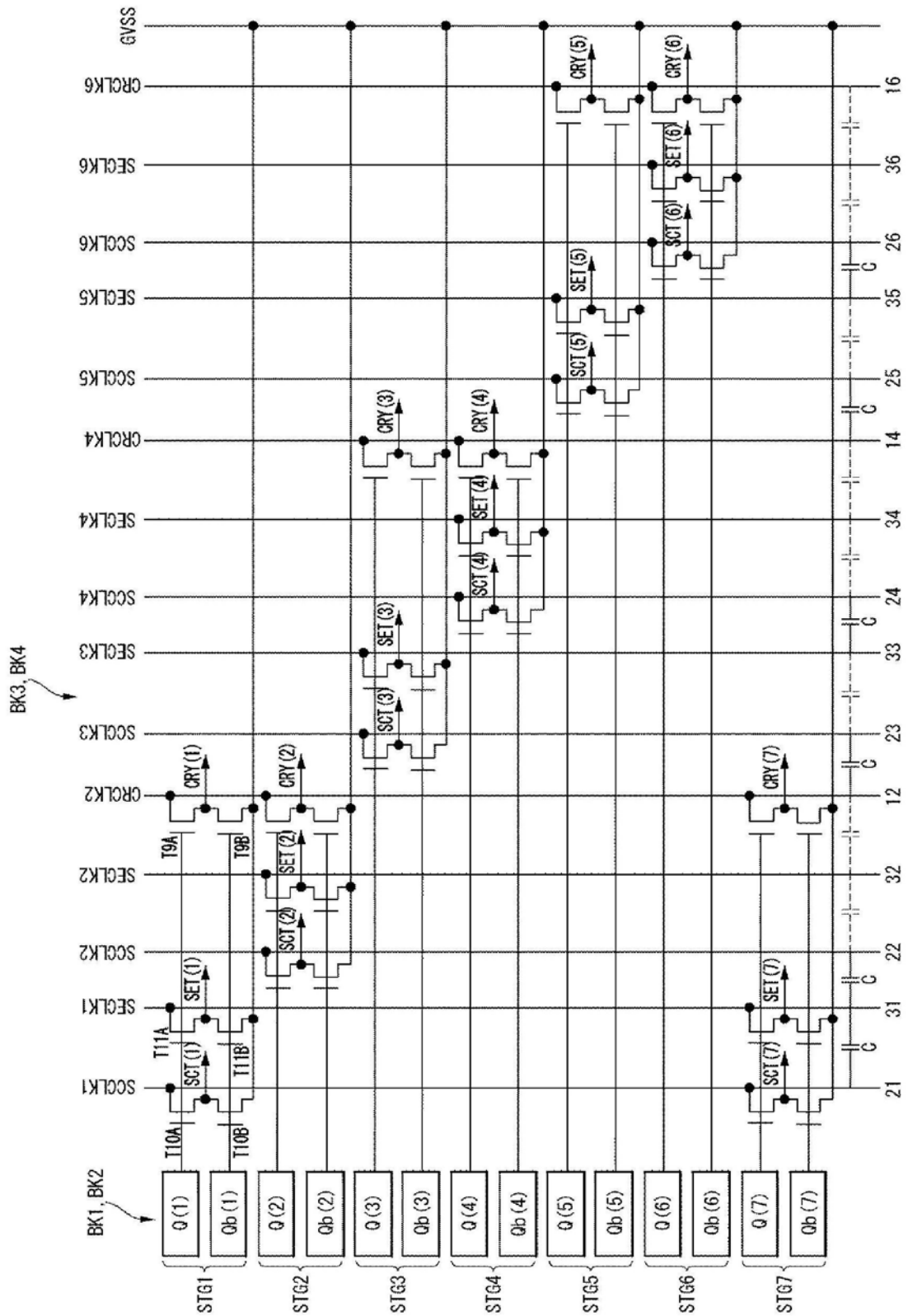


图17

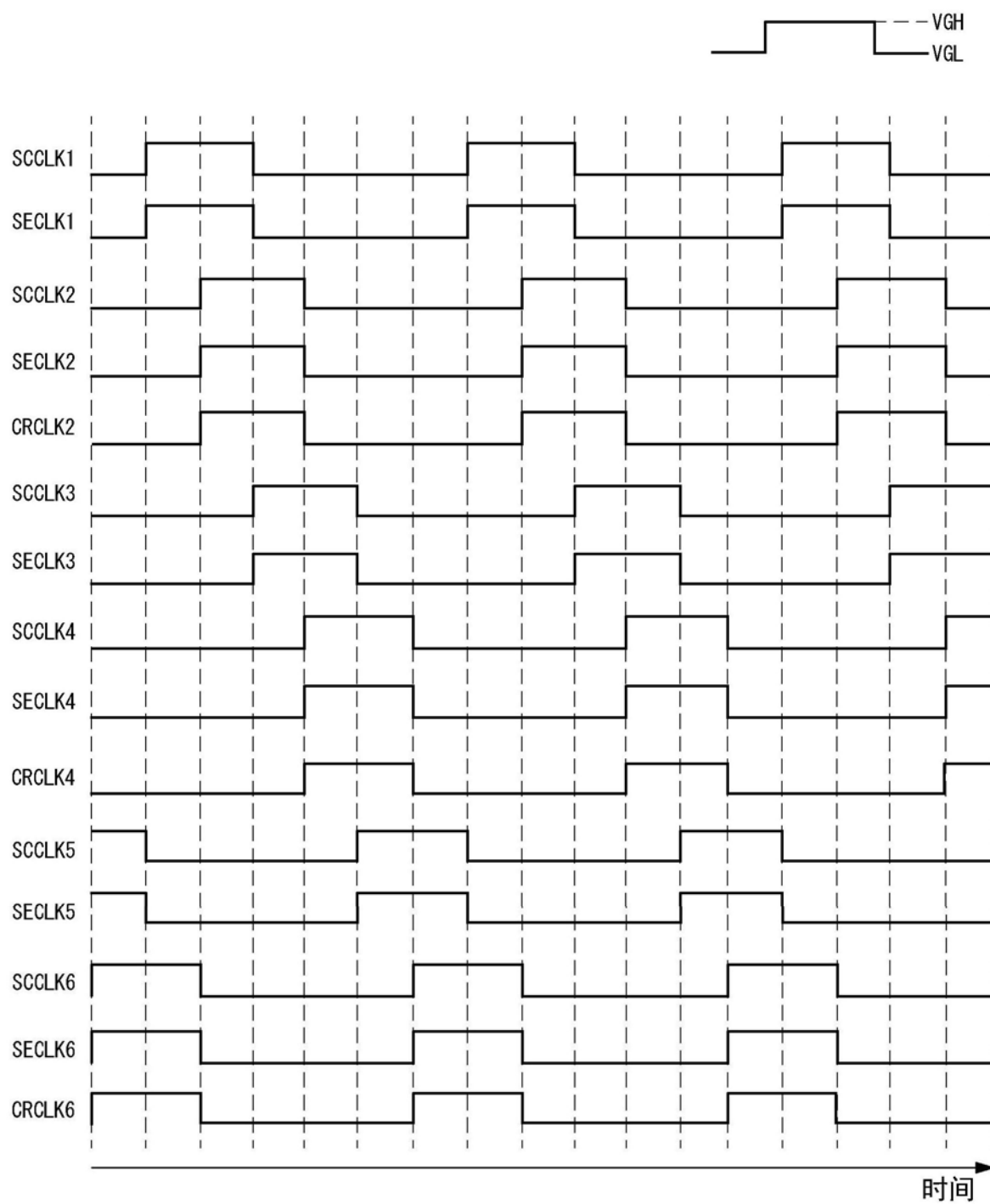


图18

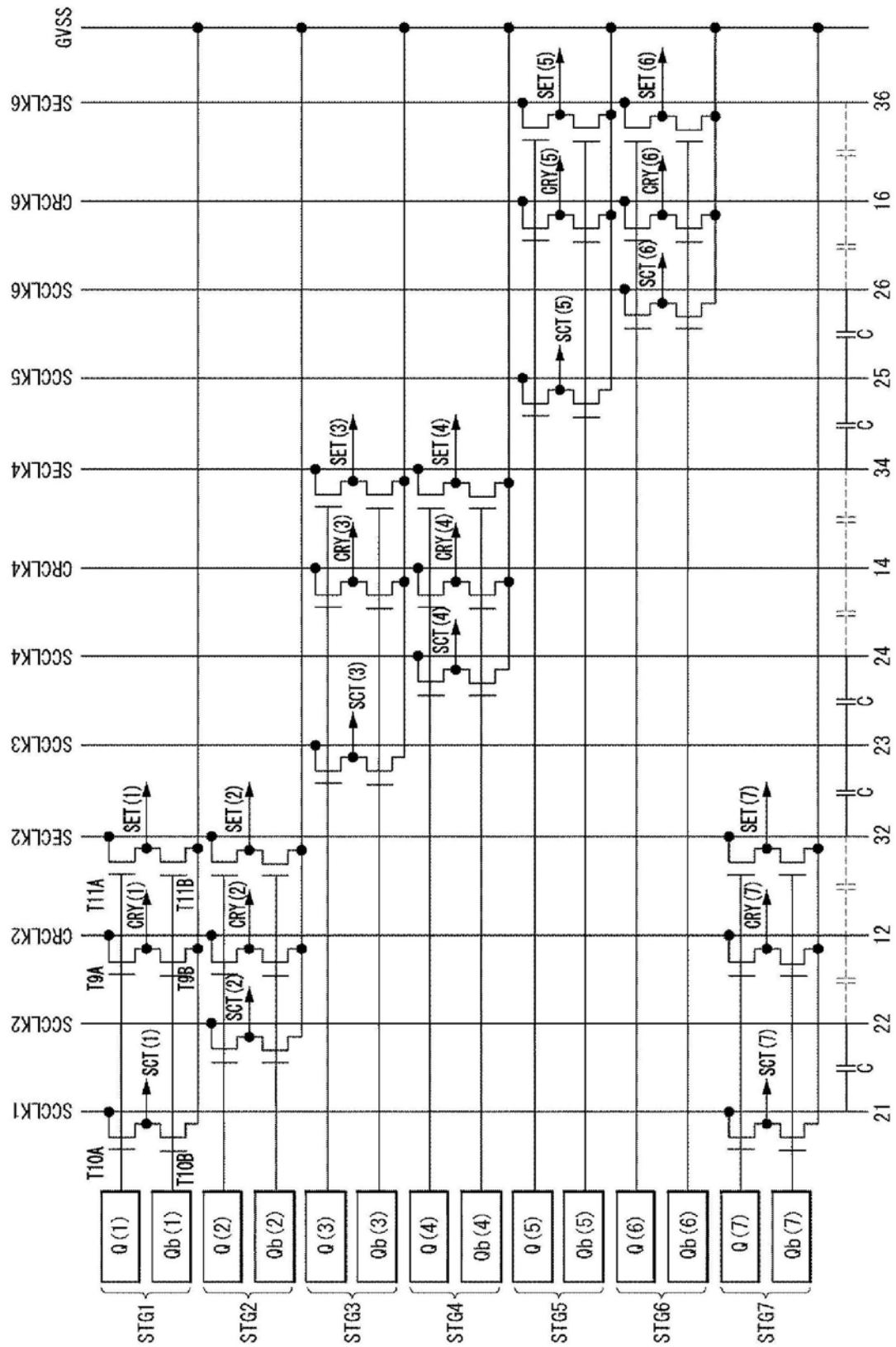


图19

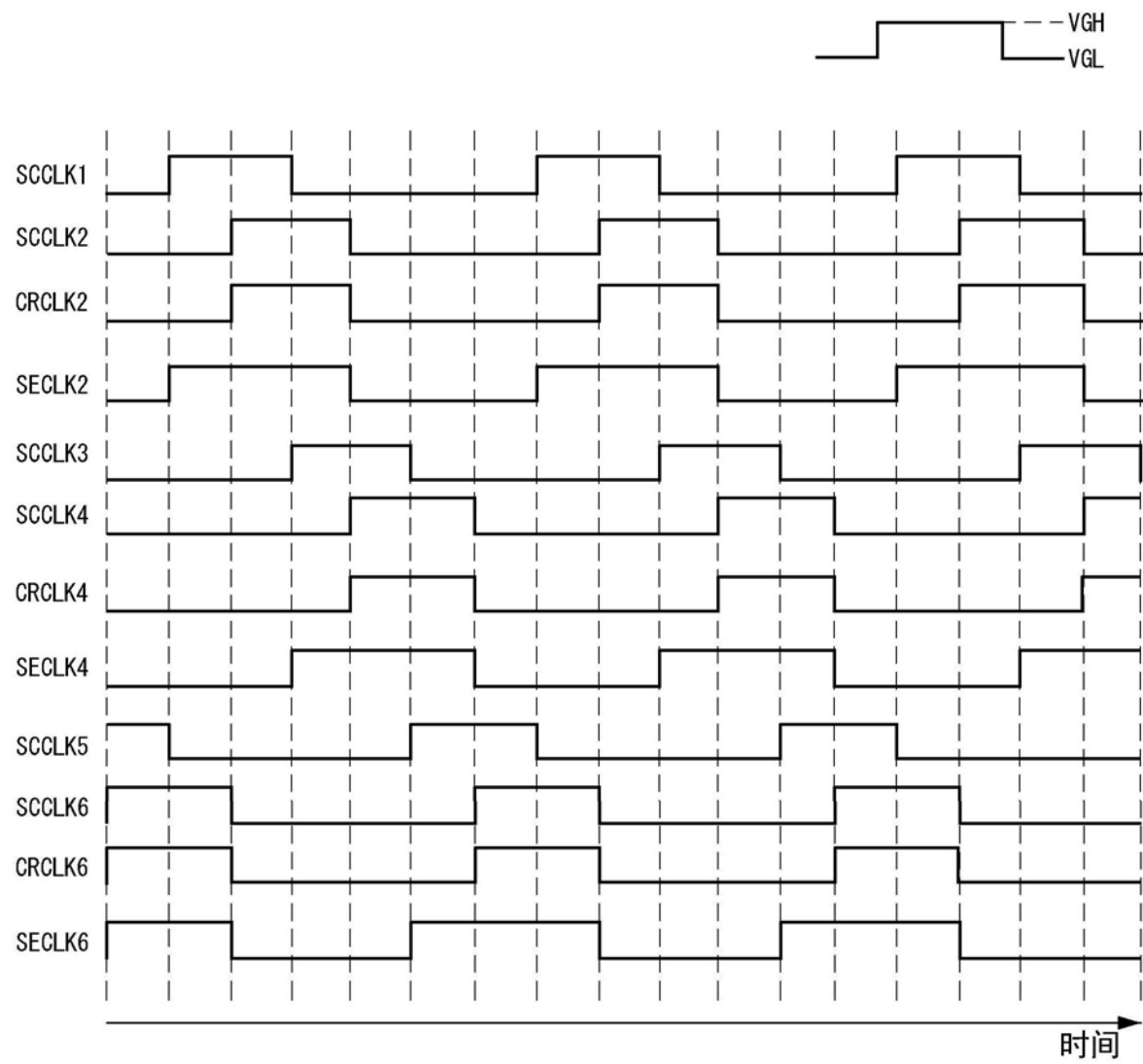


图20

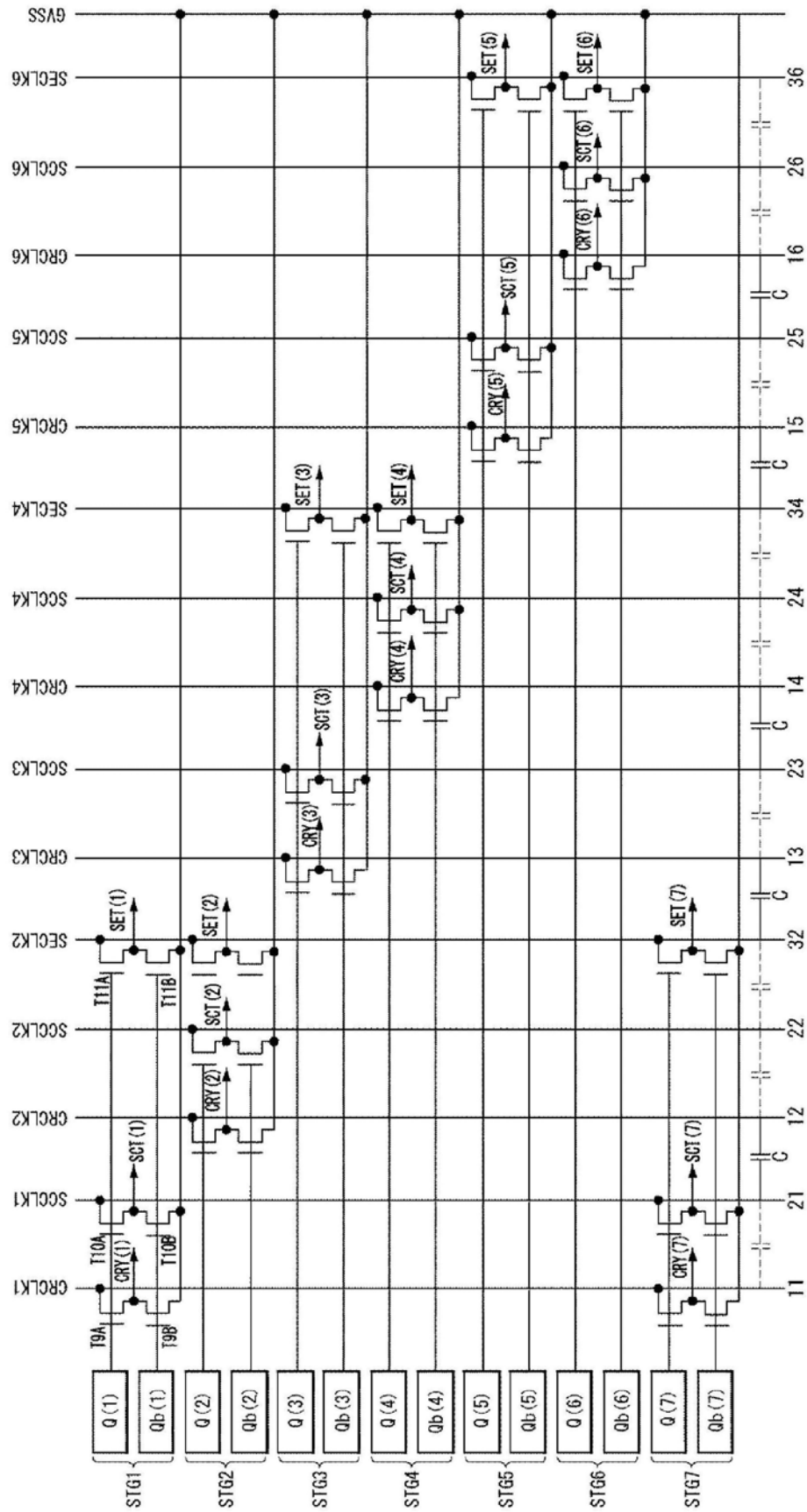


图21

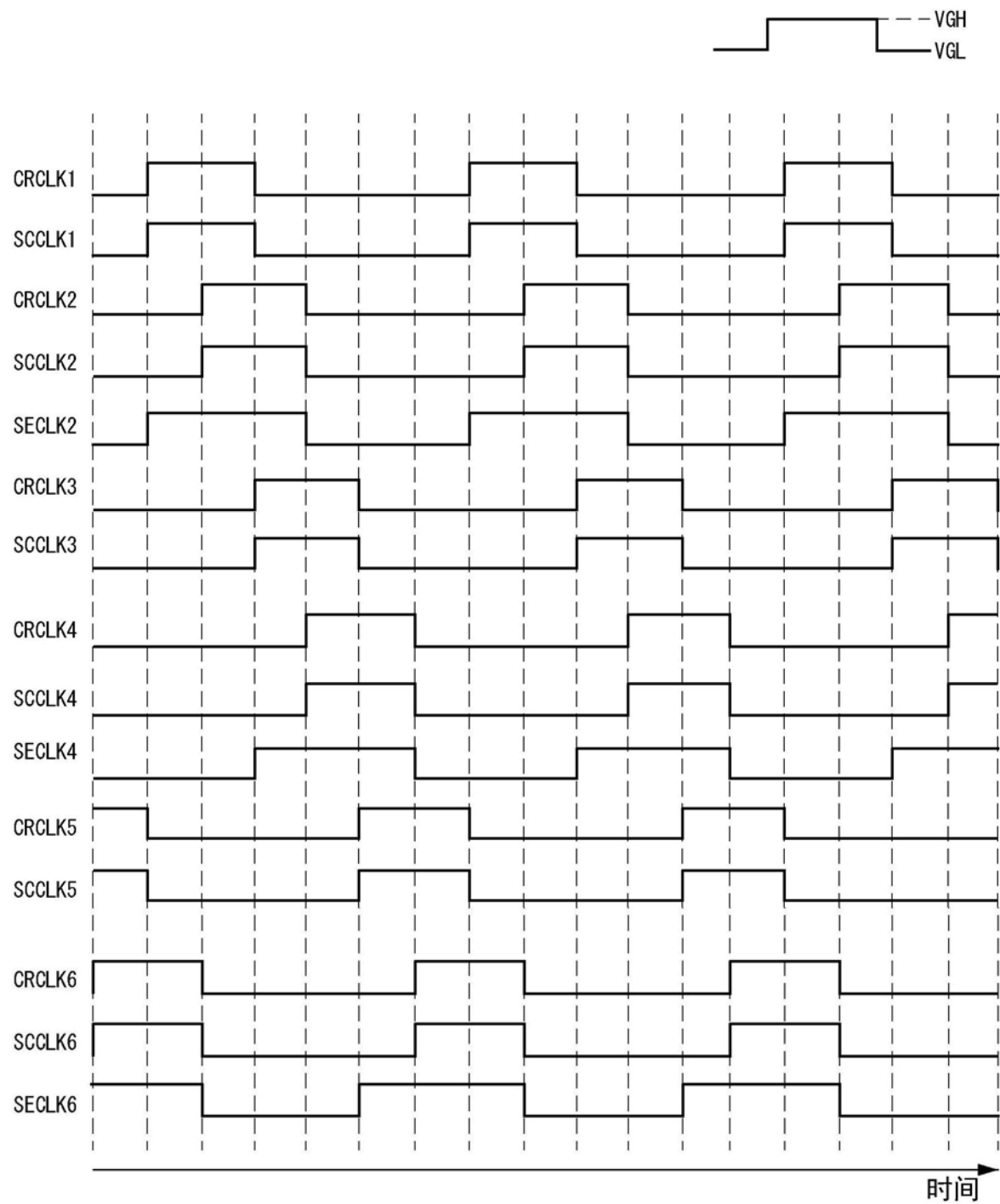


图22

专利名称(译)	栅极移位寄存器和包括其的有机发光显示设备		
公开(公告)号	CN110010067A	公开(公告)日	2019-07-12
申请号	CN201811508397.X	申请日	2018-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	高杉亲知		
发明人	高杉亲知		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225 G09G2310/0286 G09G3/3233 G09G3/3266 G09G2310/06 G09G2320/0295		
代理人(译)	王英		
优先权	1020170169638 2017-12-11 KR		
外部链接	Espacenet SIPO		

摘要(译)

提供了一种具有多个级的栅极移位寄存器，其包括向所述级供应产生扫描控制信号所需的具有不同相位的扫描移位时钟的多条扫描时钟线；以及向所述级供应产生进位信号所需的具有不同相位的进位移位时钟的多条共享进位时钟线，其中所述共享进位时钟线的数量是所述扫描时钟线的数量一半，并且包括彼此相邻的奇数序号级和偶数序号级的每一级对共享一个进位移位时钟。

