



(12)发明专利申请

(10)申请公布号 CN 109166864 A

(43)申请公布日 2019.01.08

(21)申请号 201810895821.4

H01L 51/56(2006.01)

(22)申请日 2018.08.08

H01L 21/84(2006.01)

(71)申请人 深圳市华星光电技术有限公司

H01L 21/44(2006.01)

地址 518132 广东省深圳市光明新区塘明大道9-2号

H01L 21/34(2006.01)

(72)发明人 周星宇

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280

代理人 钟子敏

(51) Int. Cl.

H01L 27/12(2006.01)

H01L 27/32(2006.01)

H01L 29/417(2006.01)

H01L 29/786(2006.01)

H01L 51/52(2006.01)

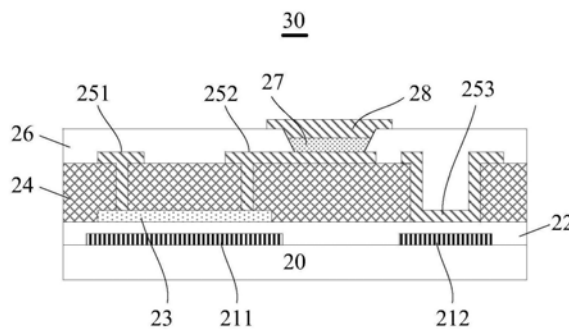
权利要求书2页 说明书5页 附图3页

(54)发明名称

阵列基板及其制造方法、显示面板

(57)摘要

本申请公开一种阵列基板及其制造方法、显示面板。本申请设计源极图案和漏极图案直接形成于刻蚀阻挡层上,通过刻蚀阻挡层取代传统的平坦层和钝化层,且漏极图案同时也作为OLED器件的阳极图案,从而能够减少光罩制程,并且刻蚀阻挡层采用遮光材料制得,能够保护TFT的沟道层不受到光照影响,有利于确保其性能稳定。



1. 一种阵列基板的制造方法,其特征在于,所述方法包括:
 - 提供一衬底基板;
 - 在所述衬底基板上依次形成第一栅极图案和绝缘层;
 - 在所述绝缘层上形成位于所述第一栅极图案上方的半导体图案;
 - 在所述半导体图案上形成覆盖所述绝缘层的刻蚀阻挡层,所述刻蚀阻挡层采用遮光材料制得,且所述刻蚀阻挡层开设有暴露所述半导体图案的源极接触区的第一接触孔和漏极接触区的第二接触孔;
 - 在所述刻蚀阻挡层上形成源极图案和漏极图案,所述源极图案在所述第一接触孔内与所述半导体图案的源极接触区接触,所述漏极图案在所述第二接触孔内与所述半导体图案的漏极接触区接触;
 - 在所述源极图案和漏极图案上形成像素定义层,所述像素定义层设有用于限定所述阵列基板的发光区;
 - 在所述发光区依次形成位于漏极图案上的发光层和阴极图案。
2. 根据权利要求1所述的方法,其特征在于,所述衬底基板的上方包括沿平行于衬底基板的方向相邻的第一区域和第二区域,所述第一栅极图案和半导体图案形成于所述第一区域,所述刻蚀阻挡层在所述第二区域设有开口区,所述绝缘层在所述开口区暴露其表面,所述方法还包括:
 - 在所述衬底基板上形成位于第二区域的第二栅极图案;以及
 - 在所述第二区域形成覆盖所述开口区的电容电极图案,所述电容电极图案与所述第二栅极图案至少部分重叠并通过夹设于两者之间的绝缘层形成一电容。
3. 根据权利要求2所述的方法,其特征在于,通过同一道光罩制程形成所述第二栅极图案和第一栅极图案,通过同一道光罩制程形成所述源极图案、漏极图案和电容电极图案。
4. 根据权利要求1所述的方法,其特征在于,所述刻蚀阻挡层的表面为平面。
5. 根据权利要求1~4任一项所述的方法,其特征在于,采用黑色光阻、丙烯酸树脂及聚酰亚胺中至少一者形成所述刻蚀阻挡层。
6. 一种阵列基板,其特征在于,所述阵列基板包括:
 - 衬底基板;
 - 依次形成于所述衬底基板上的第一栅极图案和绝缘层;
 - 形成于所述绝缘层上且位于所述第一栅极图案上方的半导体图案;
 - 形成于所述半导体图案上且覆盖所述绝缘层的刻蚀阻挡层,所述刻蚀阻挡层采用遮光材料制得,且所述刻蚀阻挡层开设有暴露所述半导体图案的源极接触区的第一接触孔和漏极接触区的第二接触孔;
 - 形成于所述刻蚀阻挡层上的源极图案和漏极图案,所述源极图案在所述第一接触孔内与所述半导体图案的源极接触区接触,所述漏极图案在所述第二接触孔内与所述半导体图案的漏极接触区接触;
 - 形成于所述源极图案和漏极图案上的像素定义层,所述像素定义层设有用于限定所述阵列基板的发光区;
 - 依次形成于所述发光区且位于漏极图案上的发光层和阴极图案。
7. 根据权利要求6所述的阵列基板,其特征在于,所述衬底基板的上方包括沿平行于衬

底基板的方向相邻的第一区域和第二区域,所述第一栅极图案和半导体图案形成于所述第一区域,所述刻蚀阻挡层在所述第二区域设有开口区,所述绝缘层在所述开口区暴露其表面,所述阵列基板还包括形成于所述衬底基板上且位于第二区域的第二栅极图案,以及形成于所述第二区域且覆盖所述开口区的电容电极图案,所述电容电极图案与所述第二栅极图案至少部分重叠并通过夹设于两者之间的绝缘层形成一电容。

8. 根据权利要求7所述的阵列基板,其特征在于,所述刻蚀阻挡层的表面为平面。

9. 根据权利要求7所述的阵列基板,其特征在于,所述刻蚀阻挡层的材料包括黑色光阻、丙烯酸树脂及聚酰亚胺中的至少一者。

10. 一种显示面板,其特征在于,所述显示面板包括如上述权利要求6~9任一项所述的阵列基板。

阵列基板及其制造方法、显示面板

技术领域

[0001] 本申请涉及显示领域,具体涉及一种阵列基板及其制造方法、显示面板。

背景技术

[0002] 当前,以金属氧化物(Oxide)半导体来制备沟道层的TFT(Thin Film Transistor,薄膜晶体管),已广泛应用于OLED(Organic Light-Emitting Diode,有机发光二极管)显示面板中。但是制备该类型TFT的阵列基板(Array基板)所需的光罩(Mask)制程较多,导致制造流程繁多,无法降低生产成本,并且,沟道层容易受到光照影响而性能不稳定。

发明内容

[0003] 有鉴于此,本申请提供一种阵列基板及其制造方法、显示面板,能够减少光罩制程,并有利于减少光照对TFT的沟道层的影响。

[0004] 本申请一实施例的阵列基板的制造方法,包括:

[0005] 提供一衬底基板;

[0006] 在所述衬底基板上依次形成第一栅极图案和绝缘层;

[0007] 在所述绝缘层上形成位于所述第一栅极图案上方的半导体图案;

[0008] 在所述半导体图案上形成覆盖所述绝缘层的刻蚀阻挡层,所述刻蚀阻挡层采用遮光材料制得,且所述刻蚀阻挡层开设有暴露所述半导体图案的源极接触区的第一接触孔和漏极接触区的第二接触孔;

[0009] 在所述刻蚀阻挡层上形成源极图案和漏极图案,所述源极图案在所述第一接触孔内与所述半导体图案的源极接触区接触,所述漏极图案在所述第二接触孔内与所述半导体图案的漏极接触区接触;

[0010] 在所述源极图案和漏极图案上形成像素定义层,所述像素定义层设有用于限定所述阵列基板的发光区;

[0011] 在所述发光区依次形成位于漏极图案上的发光层和阴极图案。

[0012] 本申请一实施例的阵列基板,包括:

[0013] 衬底基板;

[0014] 依次形成于所述衬底基板上的第一栅极图案和绝缘层;

[0015] 形成于所述绝缘层上且位于所述第一栅极图案上方的半导体图案;

[0016] 形成于所述半导体图案上且覆盖所述绝缘层的刻蚀阻挡层,所述刻蚀阻挡层采用遮光材料制得,且所述刻蚀阻挡层开设有暴露所述半导体图案的源极接触区的第一接触孔和漏极接触区的第二接触孔;

[0017] 形成于所述刻蚀阻挡层上的源极图案和漏极图案,所述源极图案在所述第一接触孔内与所述半导体图案的源极接触区接触,所述漏极图案在所述第二接触孔内与所述半导体图案的漏极接触区接触;

[0018] 形成于所述源极图案和漏极图案上的像素定义层,所述像素定义层设有用于限定

所述阵列基板的发光区；

[0019] 依次形成于所述发光区且位于漏极图案上的发光层和阴极图案。

[0020] 本申请一实施例的显示面板,包括上述阵列基板。

[0021] 有益效果:本申请设计源极图案和漏极图案直接形成于刻蚀阻挡层上,通过刻蚀阻挡层取代传统的平坦层和钝化层,且漏极图案同时也作为阳极图案,从而能够减少光罩制程,并且刻蚀阻挡层采用遮光材料制得,能够保护TFT的沟道层不受到光照影响,有利于确保其性能稳定。

附图说明

[0022] 图1是本申请的阵列基板的制造方法一实施例的流程示意图；

[0023] 图2是基于图1所示方法制造阵列基板的场景示意图；

[0024] 图3是本申请一实施例的阵列基板的结构示意图。

具体实施方式

[0025] 下面结合本申请实施例中的附图,对本申请所提供的各个示例性的实施例的技术方案进行清楚、完整地描述。在不冲突的情况下,下述各个实施例以及实施例中的特征可以相互组合。并且,本申请全文所采用的方向性术语,例如“上”、“下”等,均是为了更好的描述各个实施例的技术方案,并非用于限制本申请的保护范围。

[0026] 图1是本申请的阵列基板的制造方法一实施例的流程示意图,图2是基于图1所示方法制造阵列基板的场景示意图。结合图1和图2所示,所述制造方法可以包括如下步骤S11~S17。

[0027] S11:提供一衬底基板。

[0028] 所述衬底基板20可以为玻璃基体、塑料基体或可挠式基体,而对于制造柔性OLED显示面板的阵列基板的场景,该衬底基板20也可以为柔性基板,例如PI (Polyimide,聚酰亚胺) 基板。

[0029] 当然,为了防止所述衬底基板20表面的杂质在后续工艺中向上扩散而影响之后形成的各层结构的品质,本申请可以在所述衬底基板20的表面形成一缓冲层(buffer layer),其厚度可以为500~5000 Å。该缓冲层可以为硅氧化物层,例如氧化硅(SiO₂)层,或者其包括依次覆盖所述衬底基板20的硅氧化物层和硅氮化合物层,例如Si₃N₄(三氮化硅)层,又或者其他非导电材料的组合。其中,所述缓冲层可以采用化学气相沉积(CVD)、等离子化学气相沉积(PACVD)、溅射、真空蒸镀以及低压化学气相沉积(LPCVD)中的任一方法形成。

[0030] S12:在衬底基板上依次形成栅极图案和绝缘层。

[0031] 本申请可以采用CVD、PECVD、溅射、真空蒸镀等任一方法在衬底基板20上形成一整面导电层,其厚度可以为2000~10000 Å,所述一整面导电层可由金属,例如铝、钼、钛、铬、铜,或者金属氧化物,例如氧化钛,又或者金属的合金或其它导电材料构成,然后对这一整面导电层进行图案化处理,以得到所述栅极图案211。

[0032] 具体地,本申请可以利用一道光罩制程Mask-1实现所述图案化处理,在所述一整面导电层上涂布一整面光刻胶,再采用光罩对这一整面光刻胶进行曝光及显影,被曝光的

光刻胶在显影时被灰化去除,而未被曝光的光刻胶在显影后仍被保留于衬底基板20上,接着刻蚀去除未被光刻胶覆盖的导电层,并去除剩余的光刻胶即可。

[0033] 所述光罩制程Mask-1可以利用包含有磷酸、硝酸、醋酸或者去离子水的蚀刻液蚀刻所述导电层,当然也可以采用干法蚀刻。

[0034] 所述绝缘层22又称栅极绝缘层(Gate Insulation Layer,GI层),其材质可以为硅氧化物,或者该绝缘层22包括依次覆盖栅极图案211的硅氧化合物层和硅氮化合物层,其厚度可以为1000~5000Å。

[0035] S13:在绝缘层上形成位于栅极图案上方的半导体图案。

[0036] 首先,在绝缘层22上形成一整面半导体层,然后通过一道光罩制程Mask-2对这一整面半导体层进行图案化处理,以得到仅形成于栅极图案211正上方的半导体图案23。所述光罩制程Mask-2与光罩制程Mask-1的原理及过程相似,此处不再赘述。

[0037] 半导体图案23为金属氧化物半导体图案,其厚度可以为100~1000 Å,其材质包括但不限于为IGZO(Indium Gallium Zinc Oxide,铟镓锌氧化物),IZTO(Indium Zinc Tin Oxide,铟锌锡氧化物),IGZTO(Indium Gallium Zinc Tin Oxide,铟镓锌锡氧化物)中的一者。

[0038] 接着对半导体图案23的两端进行离子掺杂,例如N型掺杂,即可得到位于半导体图案23两端的源极接触区和漏极接触区。而位于中间的半导体图案23未被掺杂,成为TFT的沟道层。

[0039] S14:在半导体图案上形成覆盖绝缘层的刻蚀阻挡层,所述刻蚀阻挡层采用遮光材料制得,且刻蚀阻挡层开设有暴露半导体图案的源极接触区的第一接触孔和漏极接触区的第二接触孔。

[0040] 除了各个接触孔的开口外,所述刻蚀阻挡层(Etch stop layer,ESL)24的上表面为平坦面,其厚度可以为1~4μm。

[0041] 该刻蚀阻挡层24采用不透光材质制得,例如其可以采用黑色光阻、丙烯酸树脂以及聚酰亚胺中至少一者形成。

[0042] 本申请可以采用一道光罩制程Mask-3在一整面刻蚀阻挡层上开设所述第一接触孔241和第二接触孔242。具体地,本申请可以首先采用CVD、PECVD、溅射、真空蒸镀等任一方法形成覆盖半导体图案23和绝缘层22的一整面刻蚀阻挡层,接着在所述一整面刻蚀阻挡层上涂布一整面光刻胶,其中该光刻胶与所述刻蚀阻挡层24所采用的黑色光阻的正负性相反,然后采用光罩对这一整面光刻胶进行曝光及显影处理,被曝光(即第一接触孔241和第二接触孔242所对应区域)的光刻胶在显影时被灰化去除,而未被曝光的光刻胶在显影后仍被保留于刻蚀阻挡层上,接着刻蚀去除未被光刻胶覆盖的刻蚀阻挡层,最后去除剩余的光刻胶,即可得到所述刻蚀阻挡层24。

[0043] 其中,第一接触孔241为源极接触孔,半导体图案23的源极接触区通过该第一接触孔241暴露,第二接触孔242为漏极接触孔,半导体图案23的漏极接触区通过该第二接触孔242暴露。

[0044] S15:在刻蚀阻挡层上形成源极图案和漏极图案,所述源极图案在第一接触孔内与半导体图案的源极接触区接触,所述漏极图案在第二接触孔内与半导体图案的漏极接触区接触。

[0045] 源极图案251和漏极图案252位于所述刻蚀阻挡层24上的厚度可以为2000~8000Å,并且两者的制造材料包括但不限于为铝、钼、钛、铬、铜、金属氧化物、或者金属的合金或其它导电材料,当然也可以为ITO(Indium tin oxide,氧化铟锡),或者依次包括ITO、银及ITO这三层结构。本申请可通过一道光罩制程Mask-4对一整面导电层进行图案化处理,以此得到源极图案251和漏极图案252。所述光罩制程Mask-4与光罩制程Mask-1的原理及过程相似,此处不再赘述。

[0046] 其中,所述源极图案251在所述第一接触孔241内与所述半导体图案23的源极接触区接触,所述漏极图案252在所述第二接触孔242与所述半导体图案23的漏极接触区接触。

[0047] 应该理解到,本申请通过所述光罩制程Mask-4也可以同步在所述刻蚀阻挡层24上形成阵列基板各类信号走线,例如数据线等。所述信号走线与源极图案251和漏极图案252的材质相同。

[0048] 通过上述方式,即可制得本申请阵列基板的TFT。

[0049] 进一步地,对于制造OLED显示面板的阵列基板的应用场景,所述漏极图案252还作为OLED显示面板的阳极图案(Anode)。并基于此,在步骤S15之后,所述制造方法还包括:

[0050] S16:在源极图案和漏极图案上形成像素定义层,所述像素定义层设有用于限定阵列基板的发光区。

[0051] 所述像素定义层(Pixel Define Layer,PDL)26用于围设形成阵列基板的发光区261,即用于限定像素开口区。

[0052] S17:在发光区依次形成位于漏极图案上的发光层和阴极图案。

[0053] 当然,本申请的阵列基板还包括依次形成于阳极图案(即漏极图案)252和发光层27之间的电子注入层和电子传输层,以及依次形成于发光层27和阴极图案28之间的空穴传输层和空穴注入层。

[0054] 通过上述方法即可制得本申请如图3所示的阵列基板30,结合图2和图3所示,源极图案251和漏极图案252直接形成于刻蚀阻挡层24上,通过刻蚀阻挡层24取代传统的平坦层(PLN)和钝化层(PV),即无需设置平坦层和钝化层,且该漏极图案252同时也作为阳极图案,从而能够减少光罩制程,并且该刻蚀阻挡层24采用遮光材料制得,能够保护TFT的沟道层不受到光照影响,有利于确保其性能稳定。

[0055] 请继续参阅图2和图3,所述衬底基板20的上方可以包括沿平行于衬底基板20的方向相邻的第一区域201和第二区域202,两者分别为所述阵列基板30的TFT区和电容区,所述栅极图案211和半导体图案23仅形成于所述第一区域201,该电容区的存储电容可用于补偿阵列基板30的像素区域的漏电。于此,该第二区域202内也形成有两导电层,即图2所示的第二栅极图案212和电容电极图案253,此时位于第一区域201的栅极图案211可视为第一栅极图案211。所述电容电极图案253与第二栅极图案212至少部分重叠并通过夹设于两者之间的绝缘层22形成该存储电容。

[0056] 本申请可以通过步骤S12中的光罩制程Mask-1同步形成所述第二栅极图案212和第一栅极图案211。

[0057] 另外,所述刻蚀阻挡层24在所述第二区域202设有开口区243,所述绝缘层22在所述开口区243暴露其表面。本申请可以通过步骤S14中的光罩制程Mask-3同步形成所述第一接触孔241、第二接触孔242和开口区243。

[0058] 同理,本申请可以通过步骤S15中的光罩制程Mask-4同步形成所述源极图案251、漏极图案252和电容电极图案253。

[0059] 本申请还提供一种显示面板。所述显示面板可以包括前述实施例所制得的阵列基板,因此具有与其相同的有益效果。

[0060] 综上所述,本申请的主要目的是:设计源极图案和漏极图案直接形成于刻蚀阻挡层上,通过刻蚀阻挡层取代传统的平坦层和钝化层,即无需设置平坦层和钝化层,且所述漏极图案同时也作为OLED器件的阳极图案,以此减少光罩制程,并且所述刻蚀阻挡层采用遮光材料制得,以保护TFT的沟道层不受到光照影响,有利于确保其性能稳定。

[0061] 在此基础上,以上所述仅为本申请的实施例,并非因此限制本申请的专利范围,凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换,例如各实施例之间技术特征的相互结合,或直接或间接运用在其他相关的技术领域,均同理包括在本申请的专利保护范围内。

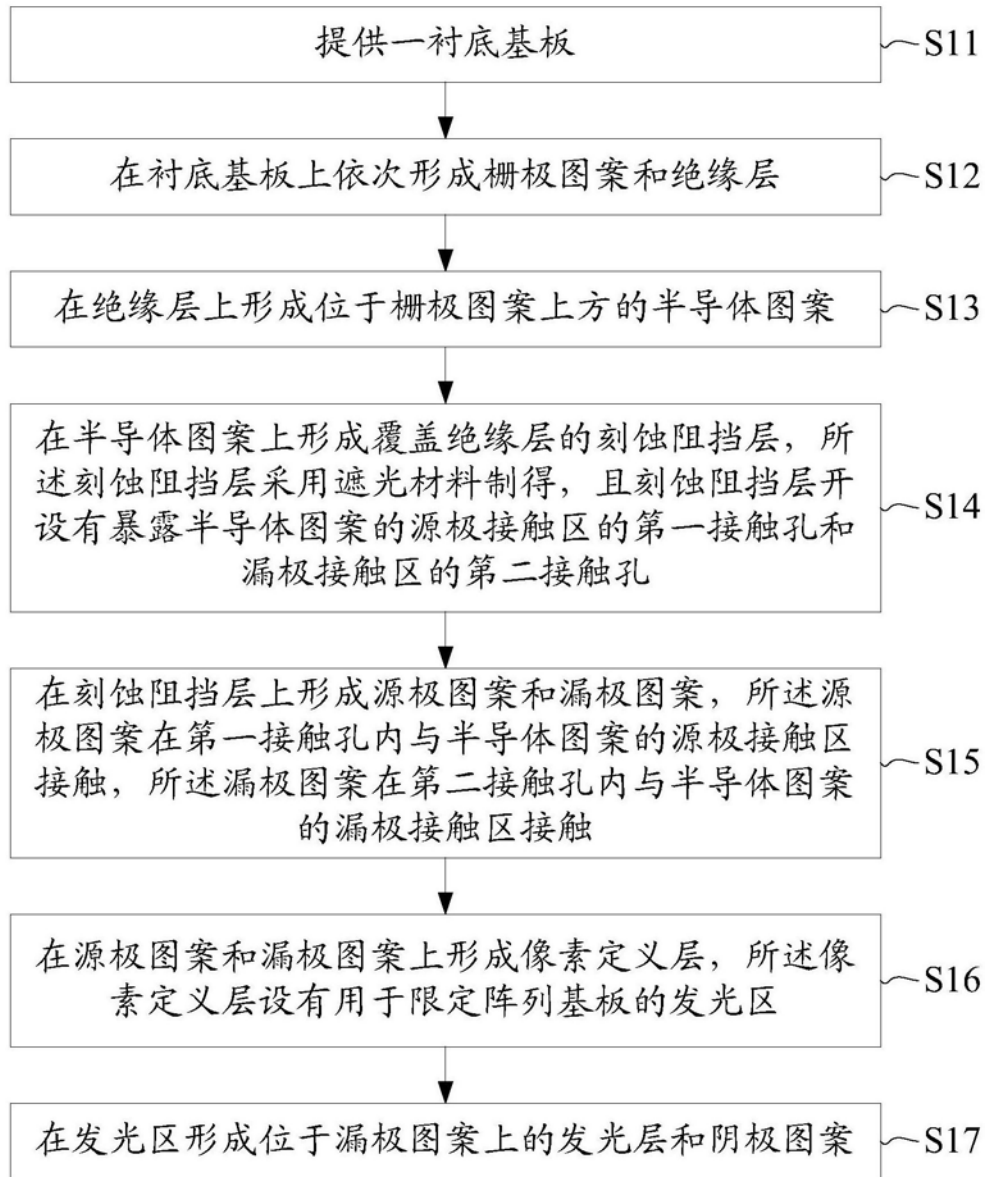


图1

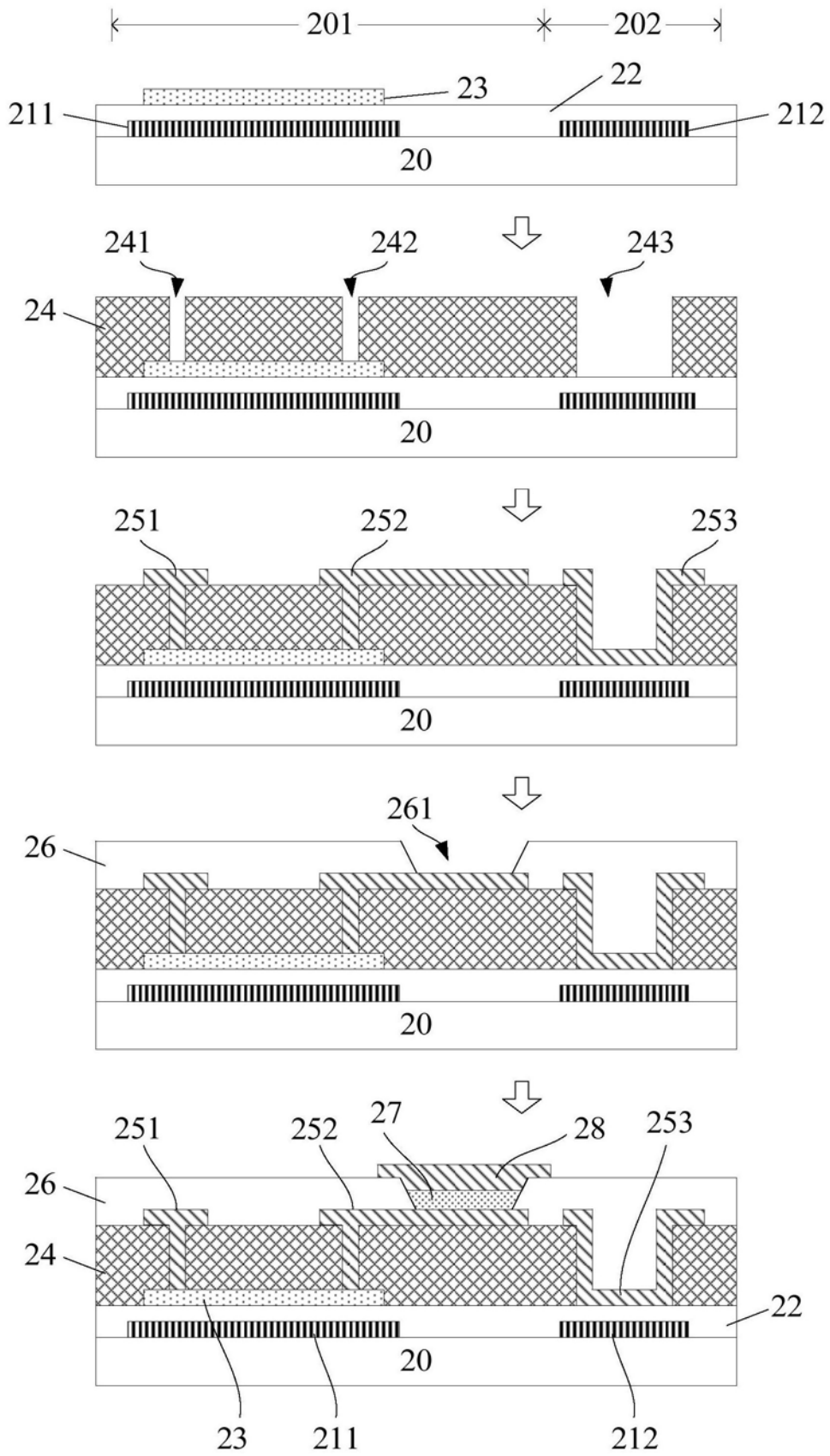


图2

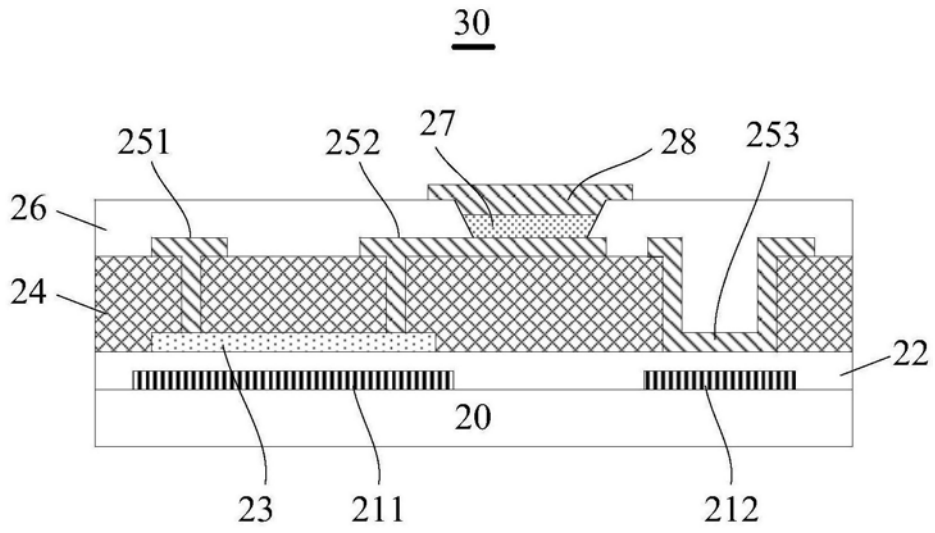


图3

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 阵列基板及其制造方法、显示面板 | | |
| 公开(公告)号 | CN109166864A | 公开(公告)日 | 2019-01-08 |
| 申请号 | CN201810895821.4 | 申请日 | 2018-08-08 |
| [标]申请(专利权)人(译) | 深圳市华星光电技术有限公司 | | |
| 申请(专利权)人(译) | 深圳市华星光电技术有限公司 | | |
| 当前申请(专利权)人(译) | 深圳市华星光电技术有限公司 | | |
| [标]发明人 | 周星宇 | | |
| 发明人 | 周星宇 | | |
| IPC分类号 | H01L27/12 H01L27/32 H01L29/417 H01L29/786 H01L51/52 H01L51/56 H01L21/84 H01L21/44 H01L21/34 | | |
| CPC分类号 | H01L27/1218 H01L27/1259 H01L27/3262 H01L29/401 H01L29/41733 H01L29/66969 H01L29/78633 H01L51/5206 H01L51/56 H01L2227/323 | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

本申请公开一种阵列基板及其制造方法、显示面板。本申请设计源极图案和漏极图案直接形成于刻蚀阻挡层上，通过刻蚀阻挡层取代传统的平坦层和钝化层，且漏极图案同时也作为OLED器件的阳极图案，从而能够减少光罩制程，并且刻蚀阻挡层采用遮光材料制得，能够保护TFT的沟道层不受到光照影响，有利于确保其性能稳定。

