



(12)实用新型专利

(10)授权公告号 CN 206134212 U

(45)授权公告日 2017.04.26

(21)申请号 201621139367.2

(22)申请日 2016.10.20

(73)专利权人 南开大学

地址 300071 天津市南开区卫津路94号

(72)发明人 代永平 刘艳艳 李铭

(74)专利代理机构 天津佳盟知识产权代理有限公司 12002

代理人 刘书元

(51)Int.Cl.

G09G 3/3208(2016.01)

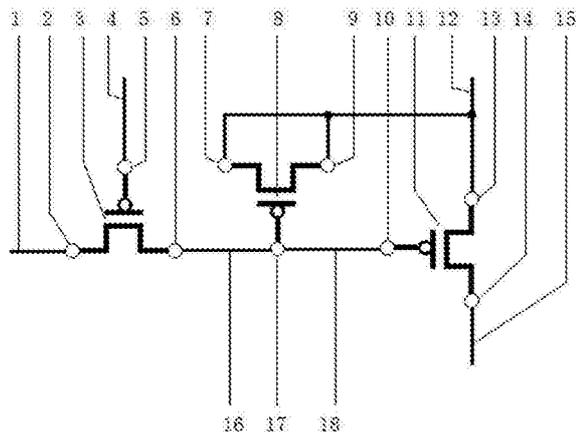
权利要求书1页 说明书2页 附图1页

(54)实用新型名称

一种由3个PMOS晶体管构成的有源OLED像素单元电路

(57)摘要

一种由3个PMOS晶体管构成的有源OLED像素单元电路,主要由第1-PMOS晶体管、第2-PMOS晶体管和第3-PMOS晶体管组成;其中,第1-PMOS晶体管和第3-PMOS晶体管形成电学串联,第2-PMOS晶体管与第3-PMOS晶体管形成电学并联;第2-PMOS晶体管源极和第2-PMOS晶体管漏极连接到电源线形成MOS电容器结构。本实用新型的技术效果与现有技术相比,本实用新型由PMOS晶体管组成像素单元电路,做到完全与常规PMOS半导体芯片生产工序相匹配,且在实际器件结构中由PMOS晶体管构建的PMOS电容器不设置相应的源极和漏极,通过减小电容器面积从而达到减小像素单元尺寸的效果。



1. 一种由3个PMOS晶体管构成的有源OLED像素单元电路,其特征是:主要由第1-PMOS晶体管、第2-PMOS晶体管和第3-PMOS晶体管组成;其中,第1-PMOS晶体管和第3-PMOS晶体管形成电学串联,第2-PMOS晶体管与第3-PMOS晶体管形成电学并联;第2-PMOS晶体管源极和第2-PMOS晶体管漏极连接到电源线形成MOS电容器结构。

2. 根据权利要求1所述的有源OLED像素单元电路,其特征是:所述第1-PMOS晶体管源极连接到数据输入线,所述第1-PMOS晶体管栅极连接到电压扫描线。

3. 根据权利要求1所述的有源OLED像素单元电路,其特征是:所述第1-PMOS晶体管漏极与所述第2-PMOS晶体管栅极通过第1连线联通。

4. 根据权利要求1所述的有源OLED像素单元电路,其特征是:所述第2-PMOS晶体管栅极与所述第3-PMOS晶体管栅极通过第2连线联通。

5. 根据权利要求1所述的有源OLED像素单元电路,其特征是:所述第3-PMOS晶体管漏极连接到所述电源线,所述第3-PMOS晶体管源极连接到公共阳极。

一种由3个PMOS晶体管构成的有源OLED像素单元电路

技术领域

[0001] 本实用新型属于信息科学技术学科的微电子应用技术领域,特别是涉及一种有源OLED硅背板像素电路结构的领域。

背景技术

[0002] OLED(Organic Light Emitting Diode,有机发光二极管)为电流驱动器件,要求背板电路能提供精确、稳定的电流控制。早期的有源背板采用的是非晶硅(amorphous Silicon)TFT技术,但是由于非晶硅的迁移率较低及阈值电压的不稳定等原因并没有获得成功,之后采用LTPS(Low Temperature Poly-Silicon,低温多晶硅)TFT技术替代。相比非晶硅而言,LTPS的迁移率要高得多,但是阈值电压仍存在均匀性不一致问题,因而在像素电路的设计中要进行一定的电路补偿,目前已有的有源OLED显示器大部分采用的都是LTPS-TFT背板技术。

[0003] 近来出现的一种有源OLED技术是采用单晶硅MOS基板技术,相比其他基板技术而言,单晶硅具有载流子迁移率高、阈值电压稳定等优点,可以将像素矩阵及周边驱动电路等都集成在显示屏上,大大减小整个显示系统的体积及成本,同时成熟的MOS集成电路工艺也为有源OLED微型显示器件的基板制作提供了便利。在单晶硅MOS基板芯片的设计上,主要考虑的是如何精确控制流过OLED的电流,从而实现良好的灰度图象显示。同时芯片功耗也非常重要,因为硅基OLED微型显示器件也就可以用于VR/AR/MR等近眼显示型眼镜,由普通手机电池供电,低功耗电路可延长电池的使用寿命。

发明内容

[0004] 本实用新型的目的在于克服现有LTPSTFT背板的像素电路存在的缺陷,提供一种基于单晶硅MOS基板技术的有源OLED显示芯片像素电路结构,且存储信号能量的电容器由PMOS晶体管充当,做到完全与常规PMOS半导体芯片生产工序相匹配。

[0005] 本实用新型的技术方案是:

[0006] 一种由3个PMOS晶体管构成的有源OLED像素单元电路,主要由第1-PMOS晶体管、第2-PMOS晶体管和第3-PMOS晶体管组成;其中,第1-PMOS晶体管和第3-PMOS晶体管形成电学串联,第2-PMOS晶体管与第3-PMOS晶体管形成电学并联;第2-PMOS晶体管源极和第2-PMOS晶体管漏极连接到电源线形成MOS电容器结构。

[0007] 所述第1-PMOS晶体管源极连接到数据输入线,所述第1-PMOS晶体管栅极连接到电压扫描线。

[0008] 所述第1-PMOS晶体管漏极与所述第2-PMOS晶体管栅极通过第1连线联通。

[0009] 所述第2-PMOS晶体管栅极与所述第3-PMOS晶体管栅极通过第2连线联通。

[0010] 所述第3-PMOS晶体管漏极连接到所述电源线,所述第3-PMOS晶体管源极连接到公共阳极。

[0011] 本实用新型的有益效果是:

[0012] 与现有技术相比,本实用新型提供了一种由3个PMOS晶体管构成的像素单元电路,且存储信号能量的电容器由PMOS晶体管充当,这种由PMOS晶体管组成像素单元电路,做到完全与常规PMOS半导体芯片生产工序相匹配,这是因为PMOS电容器与PMOS晶体管均为同种类型,且在实际器件结构中由PMOS晶体管构建的PMOS电容器不设置相应的源极和漏极,通过减小电容器面积从而达到减小像素单元尺寸的效果。

附图说明

[0013] 图1是有源OLED像素单元电路原理图;

[0014] 其中:1:数据输入线,2:第1-PMOS晶体管源极,3:第1-PMOS晶体管,4:电压扫描线,5:第1-PMOS晶体管栅极,6:第1-PMOS晶体管漏极,7:第2-PMOS晶体管源极,8:第2-PMOS晶体管,9:第2-PMOS晶体管漏极,10:第3-PMOS晶体管栅极,11:第3-PMOS晶体管,12:电源线,13:第3-PMOS晶体管漏极,14:第3-PMOS晶体管源极,15:公共阳极,16:第1连线,17:第2-PMOS晶体管栅极,18:第2连线。

具体实施方式

[0015] 下面结合附图1对本实用新型技术作进一步具体的说明:

[0016] 一种由3个PMOS晶体管构成的像素单元电路,主要由第1-PMOS晶体管(3)、第2-PMOS晶体管(8)和第3-PMOS晶体管(11)组成;

[0017] 其中,所述第1-PMOS晶体管(3)和所述第3-PMOS晶体管(11)形成电学串联关系,所述第2-PMOS晶体管(8)与所述第3-PMOS晶体管(11)形成电学并联,

[0018] 且第2-PMOS晶体管源极(7)和第2-PMOS晶体管漏极(9)连接到电源线(12)形成MOS电容器结构;

[0019] 所述第1-PMOS晶体管源极(2)连接到所述数据输入线(1),所述第1-PMOS晶体管栅极(5)连接到所述电压扫描线(4);

[0020] 所述第1-PMOS晶体管漏极(6)与所述第2-PMOS晶体管栅极(17)通过所述第1连线(16)联通;

[0021] 所述第2-PMOS晶体管栅极(17)与所述第3-PMOS晶体管栅极(10)通过所述第2连线(18)联通;

[0022] 所述第3-PMOS晶体管漏极(13)连接到所述电源线(12),所述第3-PMOS晶体管源极(14)连接到所述公共阳极(15)。

[0023] 应当明确的是,本实用新型不限于这里的实施例,本领域技术人员根据本实用新型的揭示,按本实用新型构思所做出的显而易见的改进和修饰都应该在本实用新型的保护范围之内。

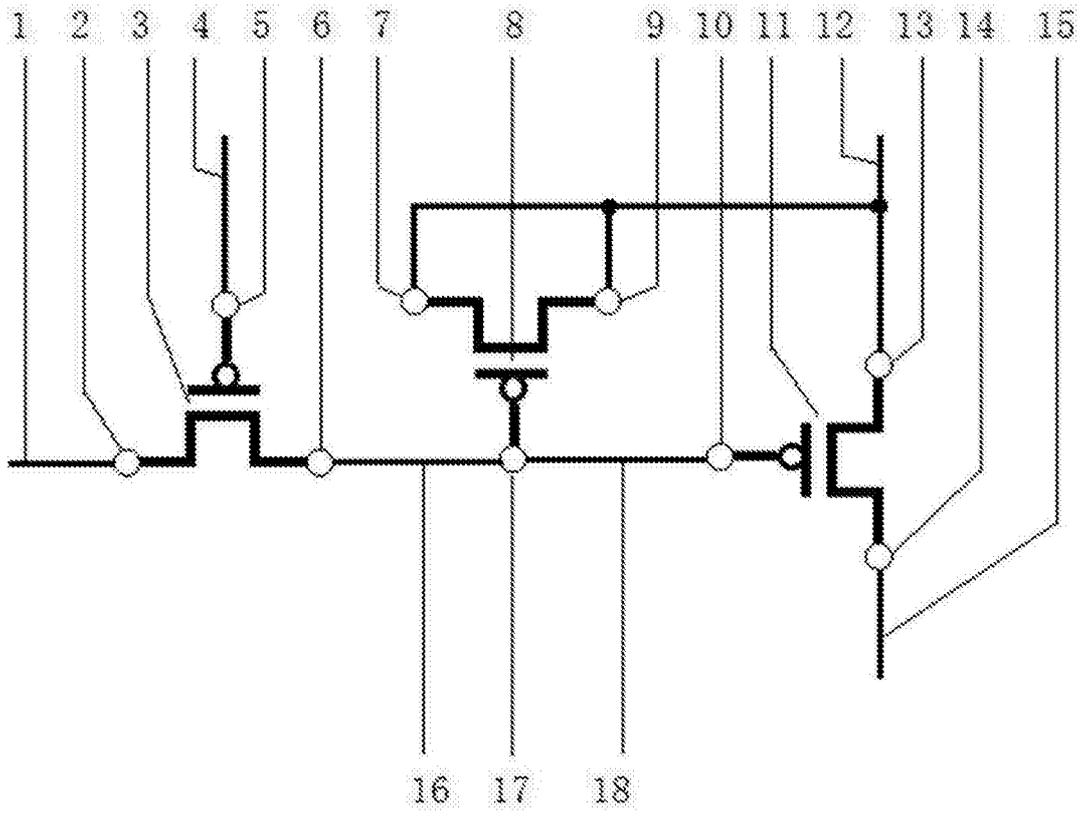


图1

专利名称(译)	一种由3个PMOS晶体管构成的有源OLED像素单元电路		
公开(公告)号	CN206134212U	公开(公告)日	2017-04-26
申请号	CN201621139367.2	申请日	2016-10-20
[标]申请(专利权)人(译)	南开大学		
申请(专利权)人(译)	南开大学		
当前申请(专利权)人(译)	南开大学		
[标]发明人	代永平 刘艳艳 李铭		
发明人	代永平 刘艳艳 李铭		
IPC分类号	G09G3/3208		
代理人(译)	刘书元		
外部链接	Espacenet SIPO		

摘要(译)

一种由3个PMOS晶体管构成的有源OLED像素单元电路，主要由第1-PMOS晶体管、第2-PMOS晶体管和第3-PMOS晶体管组成；其中，第1-PMOS晶体管和第3-PMOS晶体管形成电学串联，第2-PMOS晶体管与第3-PMOS晶体管形成电学并联；第2-PMOS晶体管源极和第2-PMOS晶体管漏极连接到电源线形成MOS电容器结构。本实用新型的技术效果与现有技术相比，本实用新型由PMOS晶体管组成像素单元电路，做到完全与常规PMOS半导体芯片生产工序相匹配，且在实际器件结构中由PMOS晶体管构建的PMOS电容器不设置相应的源极和漏极，通过减小电容器面积从而达到减小像素单元尺寸的效果。

