



(12)发明专利申请

(10)申请公布号 CN 110738967 A

(43)申请公布日 2020.01.31

(21)申请号 201910649813.6

(22)申请日 2019.07.18

(30)优先权数据

10-2018-0084953 2018.07.20 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 李正贤 洪礼媛

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 唐京桥 刘焯

(51)Int.Cl.

G09G 3/3275(2016.01)

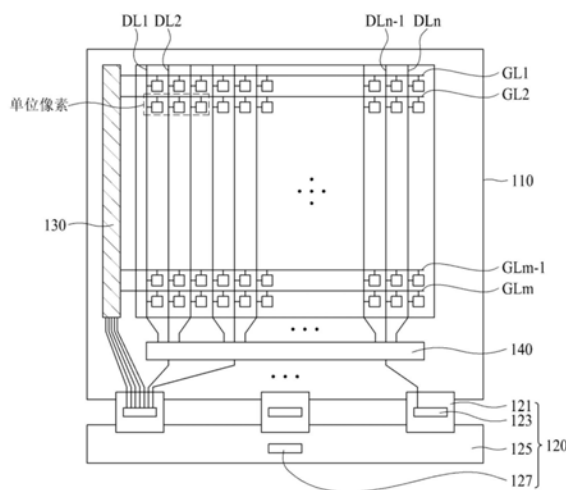
权利要求书1页 说明书31页 附图23页

(54)发明名称

显示设备

(57)摘要

本申请公开了一种显示设备,该显示设备包括用于将从数据驱动电路提供的数据信号顺序地提供给至少两条数据线的解多路复用电路部,该解多路复用电路部包括:开关部,用于基于控制线的电压将数据信号顺序地提供给至少两条数据线;电压控制器,用于响应于时分控制信号对控制线的电压进行控制;以及电压放电部,用于响应于时分控制信号对控制线的电压进行放电。因此,可以防止出现能够被传递到有机发光二极管的截止电流,可以使边框区域最小化,并且可以实现显示面板的高分辨率的图像。



1. 一种显示设备,包括用于将从数据驱动电路提供的数据信号顺序地提供给至少两条数据线的解多路复用电路部,所述解多路复用电路部包括:

开关部,用于基于控制线的电压将所述数据信号顺序地提供给至少两条数据线;

电压控制器,用于响应于时分控制信号对所述控制线的电压进行控制;以及

电压放电部,用于响应于所述时分控制信号对所述控制线的电压进行放电。

2. 根据权利要求1所述的显示设备,其中,所述电压控制器包括第一晶体管,所述第一晶体管基于第一时分控制信号而导通,以将所述第一时分控制信号提供给所述控制线。

3. 根据权利要求2所述的显示设备,其中,所述电压控制器还包括电容器,所述电容器用于基于与所述第一时分控制信号部分交叠的第一辅助信号更多地增加所述控制线的电压。

4. 根据权利要求3所述的显示设备,其中,所述第一辅助信号的第一转变时间段对应于所述第一时分控制信号的第一转变时间段和第二转变时间段之间的时间段。

5. 根据权利要求2所述的显示设备,其中,所述电压放电部包括第二晶体管,所述第二晶体管基于与所述第一时分控制信号间隔开的第二时分控制信号而导通,以对所述控制线进行放电。

6. 根据权利要求5所述的显示设备,其中,所述电压放电部还包括放电晶体管,所述放电晶体管用于基于与所述第二时分控制信号部分交叠的第二辅助信号对所述控制线的电压进行另外放电。

7. 根据权利要求6所述的显示设备,其中,所述第二辅助信号的第一转变时间段对应于所述第二时分控制信号的第一转变时间段和第二转变时间段之间的时间段。

8. 根据权利要求5所述的显示设备,其中,所述开关部包括第三晶体管,所述第三晶体管从所述第一时分控制信号的第一转变时间段到与所述第一时分控制信号间隔开的第二时分控制信号的第一转变时间段导通,以将所述数据信号顺序地提供给至少两条数据线。

9. 根据权利要求2所述的显示设备,其中,所述电压放电部包括第二晶体管,所述第二晶体管基于由所述第一时分控制信号控制的放电节点的电压而导通,以对所述控制线进行放电。

10. 根据权利要求9所述的显示设备,其中,所述电压放电部还包括:

第四晶体管,其基于电源电压而导通,以将所述电源电压提供给所述放电节点;以及

第五晶体管,其基于所述第一时分控制信号而导通,以对所述放电节点进行放电。

显示设备

[0001] 相关申请的交叉引用

[0002] 本申请要求于2018年7月20日提交的韩国专利申请第10-2018-0084953号的权益，该申请在此通过引用并入本文中，如同在本文中完全阐述一样。

技术领域

[0003] 本公开内容涉及显示设备。

背景技术

[0004] 除了电视机或监视器的显示设备之外，显示设备还广泛用作笔记本电脑、平板计算机、智能电话、便携式显示装置和便携式信息装置的显示屏。

[0005] 显示设备包括显示面板和驱动集成电路以及用于驱动显示面板的扫描驱动电路。显示面板包括每个像素区域提供的多个子像素，所述每个像素区域由多条数据线和多条栅极线限定，具有薄膜晶体管。在这种情况下，至少三个相邻的子像素构成用于显示一个图像的单位像素。

[0006] 驱动集成电路通过多条数据链路线以一对一的关系与多条数据线中的每条数据线连接。驱动集成电路向多条数据线中的每条数据线提供数据电压。扫描驱动电路通过多条栅极链路线以一对一的关系与多条栅极线中的每条栅极线连接。扫描驱动电路向多条栅极线中的每条栅极线提供扫描信号。

[0007] 通常，显示设备可以使用基于低温多晶硅 (LTPS) 的薄膜晶体管和基于氧化物的薄膜晶体管。在现有技术的显示设备中，驱动集成电路被封装在柔性电路膜中以减小其下方的边框区域，并且通过使用解多路复用电路的数据时分驱动减少驱动集成电路的通道数量。

[0008] 此时，显示设备需要根据基于氧化物的薄膜晶体管的解多路复用电路来实现高分辨率的图像同时减少驱动集成电路的通道数量。然而，基于氧化物的薄膜晶体管的问题在于：电子迁移率低于基于LTPS的薄膜晶体管的电子迁移率，并且在长时间使用的情况下可能发生劣化。此外，如果解多路复用电路的薄膜晶体管的电子迁移率降低，则难以实现高分辨率的图像，并且如果解多路复用电路的薄膜晶体管劣化，则产生传递到有机发光二极管的截止电流，由此出现显示面板的亮度劣化的问题。

[0009] 因此，需要能够通过解决上述问题来稳定地保持使用基于氧化物的薄膜晶体管的解多路复用电路的输出的技术。

发明内容

[0010] 鉴于上述问题做出了本公开内容，并且本公开内容的目的是提供一种显示设备，该显示设备包括使用基于氧化物的薄膜晶体管的解多路复用电路部，该解多路复用电路部能够通过以下操作保持稳定的输出：通过响应于时分控制信号增强控制线的放电功能来克服由于与基于LTPS的薄膜晶体管相比而言的低迁移率和劣化而导致的限制。

[0011] 本公开内容的另一目的是提供一种显示设备,该显示设备包括使用基于氧化物的薄膜晶体管的解多路复用电路部分,其中,防止出现能够被传递到有机发光二极管的截止电流,使边框区域最小化,并且实现显示面板的高分辨率的图像。

[0012] 本公开内容的又一个目的是提供一种显示设备,其中,使用基于氧化物的薄膜晶体管的解多路复用电路部分通过背沟道蚀刻(BCE)工艺来实现,以最小化掩模工艺,提高光刻工艺裕量,并提供出色的可靠性。

[0013] 除了如上所述的本公开内容的目的之外,本领域技术人员将从以下对本公开内容的描述清楚地理解本公开内容的其他目的和特征。

[0014] 根据本公开内容的一个方面,可以通过提供显示设备来实现上述目的和其他目的,所述显示设备包括解多路复用电路部,该解多路复用电路部用于将从数据驱动电路提供的数据信号顺序地提供给至少两条数据线,解多路复用电路部包括:开关部,用于基于控制线的电压将数据信号顺序地提供给至少两条数据线;电压控制器,用于响应于时分控制信号对控制线的电压进行控制;电压放电部,用于响应于时分控制信号对控制线的电压进行放电。

[0015] 根据本公开内容的另一方面,可以通过提供显示设备来实现上述目的和其他目的,所述显示设备包括:n条数据线;解多路复用电路部,其连接到第一控制线至第i(i是2或更大的自然数)控制线并且连接到n条数据线;以及数据驱动电路,其具有连接到解多路复用电路部的第一输出通道至第n/i输出通道。所述解多路复用电路部包括:电压控制器,用于响应于第一时分控制信号至第i时分控制信号对第一控制线至第i控制线的电压进行控制;开关部,用于基于第一控制线至第i控制线中的每一个的电压将从第一输出通道至第n/i输出通道提供的数据信号顺序地提供给n条数据线;以及电压放电部,用于响应于第一时分控制信号至第i时分控制信号对第一控制线至第i控制线的电压进行放电。

[0016] 其他实施方式的细节包括在详细描述和附图中。

[0017] 由于根据本公开内容的显示设备包括使用基于氧化物的薄膜晶体管的解多路复用电路部,因此解多路复用电路部能够通过以下操作保持稳定的输出:通过响应于时分控制信号增强控制线的放电功能来克服由于与基于LTPS的薄膜晶体管相比而言的低迁移率和劣化而导致的限制。

[0018] 由于根据本公开内容的显示设备包括使用基于氧化物的薄膜晶体管的解多路复用电路部,因此可以防止出现能够被传递到有机发光二极管的截止电流,可以使边框区域最小化,并且可以实现显示面板的高分辨率的图像。

[0019] 在根据本公开内容的显示设备中,使用基于氧化物的薄膜晶体管的解多路复用电路部通过背沟道蚀刻(BCE)工艺来实现,从而可以使掩模工艺最小化,提高光刻工艺裕量,并提供出色的可靠性。

[0020] 除了如上所述的本公开内容的效果之外,本领域技术人员将从以下对本公开内容的描述清楚地理解本公开内容的其他目的和特征。

附图说明

[0021] 通过以下结合附图的详细描述,将更清楚地理解本公开内容的上述和其他目的、特征以及其他优点,在附图中:

- [0022] 图1是示出根据本公开内容的一个实施方式的显示设备的平面视图；
- [0023] 图2是简要示出图1中所示的解多路复用电路部的示例的电路视图；
- [0024] 图3是示出图2中所示的解多路复用电路部从一个输出通道驱动两条数据线的电路视图；
- [0025] 图4是提供给图3中所示的解多路复用电路部的信号的波形；
- [0026] 图5是示出图2中所示的解多路复用电路部从一个输出通道驱动三条数据线的电路视图；
- [0027] 图6是提供给图5中所示的解多路复用电路部的信号的波形；
- [0028] 图7是示出图2中所示的解多路复用电路部的放电效果的图；
- [0029] 图8是示出图2中所示的解多路复用电路部的另一示例的电路视图；
- [0030] 图9是示出图2中所示的解多路复用电路部的又一示例的电路视图；
- [0031] 图10是示出图2中所示的解多路复用电路部的再一示例的电路视图；
- [0032] 图11是示出图2中所示的解多路复用电路部的另一示例的电路视图；
- [0033] 图12是简要示出图1中所示的解多路复用电路部的又一示例的电路视图；
- [0034] 图13是示出图12中所示的解多路复用电路部从一个输出通道驱动两条数据线的电路视图；
- [0035] 图14是提供给图13所示的解多路复用电路部的信号的波形；
- [0036] 图15是示出图12中所示的解多路复用电路部从一个输出通道驱动三条数据线的电路视图；
- [0037] 图16是提供给图15所示的解多路复用电路部的信号的波形；
- [0038] 图17是示出图12中所示的解多路复用电路部的放电效果的图；
- [0039] 图18是示出图12中所示的解多路复用电路部的驱动方法的一个示例的波形；
- [0040] 图19是示出根据图18中所示的驱动方法的像素充电率提高效果的图；
- [0041] 图20是示出图12中所示的解多路复用电路部的另一示例的电路视图；
- [0042] 图21是示出图12中所示的解多路复用电路部的又一示例的电路视图；
- [0043] 图22是示出图12中所示的解多路复用电路部的再一示例的电路视图；
- [0044] 图23是简要示出图1中所示的解多路复用电路部的布局的平面视图；
- [0045] 图24是部分地示出图23中所示的解多路复用电路部的示例的视图；
- [0046] 图25是部分地示出图23中所示的解多路复用电路部的另一示例的视图；
- [0047] 图26是沿着图25中所示的线A-B截取的截面视图的一个示例；
- [0048] 图27是沿着图25中所示的线A-B截取的截面视图的另一示例。

具体实施方式

[0049] 通过以下参照附图描述的实施方式,将阐明本公开内容的优点和特征及其实现方法。然而,本公开内容可以以不同的形式实施,并且不应该被解释为限于本文中阐述的实施方式。相反,提供这些实施方式,使得本公开内容彻底和完整,并且将本公开内容的范围完全传达给本领域技术人员。此外,本公开内容仅由权利要求的范围限定。

[0050] 用于描述本公开内容的实施方式的附图中公开的形状、尺寸、比率、角度和数量仅仅是示例,因此,本公开内容不限于所示出的细节。遍及说明书,相同的附图标记指代相同

的要素。在以下描述中,当确定相关已知功能或配置的详细描述不必要地模糊本公开内容的重点时,将省略详细描述。除非使用“仅~”,否则在使用本说明书中描述的“包括(comprise)”、“具有”和“包括(include)”的情况下,可以添加另一部分。除非另有相反的说明,否则单数形式的术语可以包括复数形式。

[0051] 尽管没有明确的描述,但是在构造要素时,该要素被解释为包括误差范围。

[0052] 在描述位置关系时,例如,当位置关系被描述为“在~之上”、“在~上”、“在~下”和“紧挨着~”时,除非使用“仅仅”或“直接”,否则可以在两个其他部分之间布置一个或多个部分。

[0053] 应当理解,尽管本文中可以使用术语“第一”、“第二”等来描述各种要素,但是这些要素不应受这些术语的限制。这些术语仅用于区分一个要素与另一个要素。例如,在不脱离本公开内容的范围的情况下,第一要素可以被称为第二要素,并且类似地,第二要素可以被称为第一要素。

[0054] 在描述本公开内容的要素时,可以使用术语“第一”、“第二”等。这些术语意在识别来自其他要素的对应要素,并且相应要素的基础、顺序或数量不受这些术语的限制。除非特别提到,否则要素“连接”或“耦接”到另一要素的表达应该被理解为:该要素可以直接连接或耦接到另一要素,或者可以不直接连接或耦接到另一要素,或者第三要素可以介于相应的要素之间。

[0055] 因此,本公开内容的显示设备可以包括狭义的显示设备例如液晶模块(LCM)或有机发光显示模块(OLED),并且可以包括成套设备,成套设备是包括LCM、OLED模块的应用产品或最终消费产品等。

[0056] 例如,如果显示面板是OLED显示面板,则显示面板可以包括多条栅极线和数据线以及形成在栅极线和数据线的交叉区域中的像素。此外,显示面板可以包括:阵列基板,其包括作为用于向每个像素选择性地施加电压的元件的薄膜晶体管;阵列基板上的有机发光二极管(OLED)层;以及封装基板,其布置在阵列基板上以覆盖OLED层。封装基板可以保护薄膜晶体管和OLED层免受外部冲击,并且可以防止水或氧气渗透到OLED层中。形成在阵列基板上的层可以包括无机发光层,例如,纳米级材料层或量子点。

[0057] 如本领域技术人员可以充分理解的,本公开内容的各种实施方式的特征可以部分地或整体地彼此耦合或组合,并且可以彼此不同地互操作并且技术上被驱动。本公开内容的实施方式可以彼此独立地执行,或者可以以互相依赖的关系一起执行。

[0058] 在下文中,将参照附图和示例描述本公开内容的实施方式。

[0059] 图1是示出根据本公开内容的一个实施方式的显示设备的平面视图。

[0060] 参照图1,显示设备包括基板110、数据驱动电路部分120、扫描驱动电路部分130和解多路复用电路部140。

[0061] 基板110可以由玻璃或塑料制成。根据一个示例,基板110可以由具有柔性特性的透明塑料例如聚酰亚胺制成。

[0062] 基板110包括通过n条数据线DL1至DLn和m条栅极线GL1至GLm的交叉来提供的多个像素。一个像素可以包括红色子像素、绿色子像素和蓝色子像素,并且相邻的红色子像素、绿色子像素和蓝色子像素可以构成一个单位像素UP。

[0063] 数据驱动电路部分120可以包括多个电路膜121、多个驱动集成电路123、印刷电路

板125和时序控制器127。

[0064] 多个电路膜121中的每一个可以附接在基板110的焊盘部分与印刷电路板125之间。例如,设置在多个电路膜121中的每一个的一侧处的输入端子可以通过膜附接工艺附接到印刷电路板125,并且设置在多个电路膜121中的每一个的另一侧处的输出端子可以通过膜附接工艺附接到基板110的焊盘部分。

[0065] 多个驱动集成电路123中的每一个可以封装在多个电路膜121中的每一个中。多个驱动集成电路123中的每一个可以接收从时序控制器127提供的数据控制信号和像素数据,根据数据控制信号将像素数据转换为每个像素的模拟类型数据信号,并将转换后的数据信号提供给相应的数据线。

[0066] 印刷电路板125可以支承时序控制器127,并且可以在数据驱动电路部分120的元件之间传递信号和功率源。

[0067] 时序控制器127可以封装在印刷电路板125中,并且可以通过设置在印刷电路板125中的用户连接器接收从显示驱动系统提供的图像数据和定时同步信号。时序控制器127可以:基于定时同步信号产生数据控制信号和扫描控制信号中的每一个,通过数据控制信号控制驱动集成电路123中的每一个的驱动时序,并通过扫描控制信号控制扫描驱动电路部分的驱动时序。

[0068] 扫描驱动电路部分130可以布置在基板110的一个侧角处,以连接到 m 条栅极线 $GL1$ 至 GLm 中的每一个。此时,扫描驱动电路部分130可以与每个像素的薄膜晶体管的制造工艺一起形成。扫描驱动电路部分130可以根据从驱动集成电路123提供的栅极控制信号产生扫描脉冲,并且将扫描脉冲顺序地提供给 m 条栅极线 $GL1$ 至 GLm 中的每一条。根据一个示例,扫描驱动电路部分130可以包括分别连接到 m 条栅极线 $GL1$ 至 GLm 的 m 级(未示出)。

[0069] 解多路复用电路部140可以将数据驱动电路部分120提供的数据信号顺序地提供给至少两条数据线 DL 。具体地,解多路复用电路部140可以布置在基板110的一侧处,以连接到驱动集成电路123的输出通道 CH 中的每一个并且电连接到设置在基板110中的 n 条数据线 $DL1$ 至 DLn 中的每一条。解多路复用电路部140可以向 n 条数据线 $DL1$ 至 DLn 顺序地分配一个水平周期中的每多个子水平周期内从驱动集成电路123输入的数据信号。

[0070] 根据一个示例,如果解多路复用电路部140连接到 i 条控制线(i 是2或更大的自然数)并且连接到 n 条数据线 DL ,则数据驱动电路部分120的多个驱动集成电路123可以具有 n/i 个输出通道。因此,由于显示设备包括连接到 i 条控制线的解多路复用电路部140,因此可以减少多个驱动集成电路123的通道数量,并且同时可以实现高分辨率的图像。

[0071] 图2是简要示出图1中所示的解多路复用电路部的示例的电路视图。

[0072] 参照图2,解多路复用电路部140可以包括电压控制器141、开关部143和电压放电部145。

[0073] 电压控制器141可以响应于时分控制信号 $ASW1$ 和 $BSW1$ 控制控制线 CL 的电压 V_A 。电压控制器141可以基于与时分控制信号 $ASW1$ 和 $BSW1$ 部分交叠的辅助信号 $ASW2$ 和 $BSW2$ 来更多地增加控制线 CL 的电压 V_A 。例如,电压控制器141可以通过基于辅助信号 $ASW2$ 和 $BSW2$ 自举控制线 CL 的电压 V_A 来将控制线 CL 的电压驱动为比时分控制信号 $ASW1$ 和 $BSW1$ 的电压更高的电压,从而可以稳定地保持解多路复用电路部140的输出。

[0074] 电压控制器141可以包括第一晶体管 $M1$ 和电容器 C_{bst} 。

[0075] 第一晶体管M1可以基于第一时分控制信号ASW1而导通,以将第一时分控制信号ASW1提供给控制线CL。具体地,第一晶体管M1的漏电极和栅电极可以接收第一时分控制信号ASW1,并且第一晶体管M1的源电极可以与控制线CL连接。因此,如果第一时分控制信号ASW1对应于高电位电压,则控制线CL的电压VA可以保持高电位电压。

[0076] 电容器Cbst可以基于与第一时分控制信号ASW1部分交叠的第一辅助信号ASW2更多地增加控制线CL的电压VA。具体地,电容器Cbst的一端可以接收第一辅助信号ASW2,并且电容器Cbst的另一端可以与控制线CL连接。在这种情况下,第一辅助信号ASW2的第一转变时间段可以对应于第一时分控制信号ASW1的第一转变时间段和第二转变时间段之间的时间段。也就是说,在第一时分控制信号ASW1被施加到第一晶体管M1的漏电极和栅电极之后,第一辅助信号ASW2可以被施加到电容器Cbst的一端。以这种方式,在基于第一时分控制信号ASW1导通第一晶体管M1以将第一时分控制信号ASW1提供给控制线CL之后,电容器Cbst基于第一辅助信号ASW2执行对控制线CL的电压VA的自举,由此电压控制器141可以稳定地保持解多路复用电路部140的输出。同时,如果提供给电容器Cbst的一端的的第一辅助信号ASW2的供给被停止,则控制线CL的电压VA可以返回到自举之前的电压。

[0077] 开关部143可以按照适当的顺序基于控制线CL的电压VA将从数据驱动电路部分120提供的的数据信号提供给至少两条数据线DL。开关部143可以包括第三晶体管M3。

[0078] 第三晶体管M3可以基于控制线CL的电压VA而导通,以将从驱动集成电路123的输出通道CH接收的数据信号顺序地提供给至少两条数据线DL。具体地,第三晶体管M3的栅电极可以与控制线CL连接,第三晶体管M3的漏电极可以与驱动集成电路123的输出通道CH连接,第三晶体管M3的源电极可以与数据线DL连接。因此,第三晶体管M3可以在控制线CL通过第一时分控制信号ASW1具有高电位电压并且由第一辅助信号ASW2自举时导通,从而将数据信号顺序地提供给至少两条数据线DL。

[0079] 根据一个示例,第三晶体管M3可以从第一时分控制信号ASW1的第一转变时间段到与第一时分控制信号ASW1间隔开的第二时分控制信号BSW1的第一转变时间段导通,从而将数据信号顺序地提供给至少两条数据线。具体地,因为控制线CL由第一晶体管M1从第一时分控制信号ASW1的施加时间充电并且由第二晶体管M2从第二时分控制信号BSW1的施加时间放电,所以第三晶体管M3可以从第一时分控制信号ASW1的第一转变时间段到第二时分控制信号BSW1的第一转变时间段导通。

[0080] 电压放电部145可以响应于时分控制信号ASW1和BSW1而对控制线CL的电压VA进行放电。电压放电部145可以基于与时分控制信号ASW1和BSW1部分交叠的辅助信号ASW2和BSW2对控制线CL的电压VA进行另外放电。例如,电压放电部145基于时分控制信号ASW1和BSW1对控制线CL的电压VA进行首次放电,然后基于辅助信号ASW2和BSW2对控制线CL的电压VA进行二次放电,从而可以提高解多路复用电路部140的放电效率,因此可以防止出现被传递到有机发光二极管的截止电流。

[0081] 电压放电部145可以包括第二晶体管M2和放电晶体管M21。

[0082] 第二晶体管M2可以基于与第一时分控制信号ASW1间隔开的第二时分控制信号BSW1而导通,以对控制线CL的电压VA进行放电。具体地,第二晶体管M2的栅电极可以接收第二时分控制信号BSW1,第二晶体管M2的漏电极可以与控制线CL连接,第二晶体管M2的源电极可以接收第一时分控制信号ASW1。此时,如果第二时分控制信号BSW1对应于高电位电压,

则第一时分控制信号ASW1和第二时分控制信号BSW1在它们各自彼此不同的时刻被施加,第一时分控制信号ASW1可以对应于低电位电压。因此,如果高电位电压的第二时分控制信号BSW1被施加到第二晶体管M2的栅电极,则第二晶体管M2可以导通,由于低电位电压的第一时分控制信号ASW1被施加到第二晶体管M2的源电极,因此可以对控制线CL的电压进行放电。

[0083] 放电晶体管M21可以基于与第二时分控制信号BSW1部分交叠的第二辅助信号BSW2而导通,以对控制线CL的电压VA进行另外放电。具体地,放电晶体管M21的栅电极可以接收第二辅助信号BSW2,放电晶体管M21的漏电极可以与控制线CL连接,并且放电晶体管M21的源电极可以接收第一时分控制信号ASW1。在这种情况下,第二辅助信号BSW2的第一转变时间段可以对应于第二时分控制信号BSW1的第一转变时间段和第二转变时间段之间的时间段。也就是说,在第二时分控制信号BSW1被施加到第二晶体管M2的栅电极之后,第二辅助信号BSW2可以被施加到放电晶体管M21的栅电极。以这种方式,在第二晶体管M2基于第二时分控制信号BSW1对控制线CL的电压VA进行首次放电之后,放电晶体管M21基于第二辅助信号BSW2对控制线CL的电压VA进行二次放电,由此电压放电部145可以提高解多路复用电路部140的放电效率,从而防止出现被传递到有机发光二极管的截止电流。

[0084] 图3是示出图2中所示的解多路复用电路部从一个输出通道驱动两条数据线的电路视图,图4是提供给图3中所示的解多路复用电路部的信号的波形。

[0085] 参照图3和图4,如果解多路复用电路部140与两条控制线CL_A和CL_B连接并且与n条数据线DL连接,则数据驱动电路部分120的多个驱动集成电路123可以具有n/2个输出通道CH。因此,由于该显示设备包括与两条控制线CL_A和CL_B连接的解多路复用电路部140,所以与不包括解多路复用电路部140的显示设备相比,可以实现高分辨率的图像,同时多个驱动集成电路123的输出通道CH的数量可以减少到1/2。

[0086] 解多路复用电路部140可以包括第一电压控制器141A、第一开关部143A和第一电压放电部145A,第一电压控制器141A、第一开关部143A和第一电压放电部145A与第一控制线CL_A、第二电压控制器141B、第二开关部143B和第二电压放电部145B连接,第一控制线CL_A、第二电压控制器141B、第二开关部143B和第二电压放电部145B与第二控制线CL_B连接。

[0087] 第一电压控制器141A的第一晶体管M1可以基于第一时分控制信号ASW1而导通以将第一时分控制信号ASW1提供给第一控制线CL_A,并且第一电压控制器141A的电容器Cbst可以基于与第一时分控制信号ASW1部分交叠的第一辅助信号ASW2来自举第一控制线CL_A的电压VA_A。

[0088] 第二电压控制器141B的第一晶体管M1可以基于第二时分控制信号BSW1而导通以将第二时分控制信号BSW1提供给第二控制线CL_B,并且第二电压控制器141B的电容器Cbst可以基于与第二时分控制信号BSW1部分交叠的第二辅助信号BSW2来自举第二控制线CL_B的电压VA_B。

[0089] 以这种方式,第一电压控制器141A可以将第一控制线CL_A的电压VA_A保持在高电位电压处达一个水平周期1H的第一子水平周期SH1,并且第二电压控制器141B可以将第二控制线CL_B的电压VA_B保持在高电位电压处达一个水平周期1H的第二子水平周期SH2。

[0090] 根据一个示例,第一辅助信号ASW2的第一转变时间段t3可以对应于第一时分控制

信号ASW1的第一转变时间段t1和第二转变时间段t2之间的时间段,第二辅助信号BSW2的第一转变时间段t7可以对应于第二时分控制信号BSW1的第一转变时间段t5和第二转变时间段t7之间的时间段。在这种情况下,多个信号中的每个信号的第一转变时间段可以对应于但不限于上升沿,并且其第二转变时间段可以对应于但不限于下降沿。因此,第一控制线CL_A的电压VA_A可以在第一时分控制信号ASW1被施加的时间段t1处首次被增加,并且可以在第一辅助信号ASW2被施加的时间段t3处通过自举二次被增加。此外,第二控制线CL_B的电压VA_B可以在第二时分控制信号BSW1被施加的时间段t5处首次被增加,并且可以在第二辅助信号BSW2被施加的时间段t7处通过自举二次被增加。同时,第一控制线CL_A和第二控制线CL_B中的每一个的电压VA_A和VA_B可以返回到在第一辅助信号ASW2和第二辅助信号BSW2中的每一个的第二转变时间段t4和t8处自举之前的电压。

[0091] 第一开关部143A的第三晶体管M3可以基于第一控制线CL_A的电压VA_A而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS1提供给与多个输出通道CH中的每一个对应的两条数据线的第二数据线的第二数据DL2、DL4、...、DLn。

[0092] 根据一个示例,第一开关部143A的第三晶体管M3可以从第一时分控制信号ASW1的第一转变时间段t1到第二时分控制信号BSW1的第一转变时间段t5导通,以将数据信号DS1提供给与两条数据线的第二数据DL2、DL4、...、DLn。具体地,由于控制线CL由第一晶体管M1从第一时分控制信号ASW1的施加时间段t1充电并且由第二晶体管M2从第二时分控制信号BSW1的施加时间段t5放电,因此第三晶体管M3可以从第一时分控制信号ASW1的第一转变时间段t1到第二时分控制信号BSW1的第一转变时间段t5导通。

[0093] 第二开关部143B的第三晶体管M3可以基于第二控制线CL_B的电压VA_B而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS2提供给与多个输出通道CH中的每一个对应的两条数据线的第二数据DL2、DL4、...、DLn。

[0094] 以这种方式,第一开关部143A可以在一个水平周期1H的第一子水平周期SH1内导通,以将数据信号DS1提供给与多个输出通道CH中的每一个对应的两条数据线的第二数据DL2、DL4、...、DLn。因此,由于该显示设备包括与两条控制线CL_A和CL_B连接的解多路复用电路部140,因此与不包括解多路复用电路部140的显示设备相比,可以实现高分辨率的图像,同时多个驱动集成电路123的输出通道CH的数量可以减少到1/2。

[0095] 第一电压放电部145A的第二晶体管M2可以基于与第一时分控制信号ASW1间隔开的第二时分控制信号BSW1而导通,以对第一控制线CL_A的电压VA_A进行放电;并且第一电压放电部145A的放电晶体管M21可以基于与第二时分控制信号BSW1部分交叠的第二辅助信号BSW2而导通,以对第二控制线CL_B的电压VA_B进行另外放电。

[0096] 第二电压放电部145B的第二晶体管M2可以基于与第二时分控制信号BSW1间隔开的第一时分控制信号ASW1而导通,以对第二控制线CL_B的电压VA_B进行放电;并且第二电压放电部145B的放电晶体管M21可以基于与第一时分控制信号ASW1部分交叠的第一辅助信号ASW2而导通,以对第二控制线CL_B的电压VA_B进行另外放电。

[0097] 如上所述,第一电压放电部145A的第二晶体管M2可以在一个水平周期1H的第一子水平周期SH1结束或第二子水平周期SH2开始时的时间段t5处导通,以对第一控制线CL_A的

电压VA_A进行首次放电。此外,第一电压放电部145A的放电晶体管M21可以在一个水平周期1H的第一子水平周期SH1结束之后施加第二辅助信号BSW2的时间段t7处导通,以对第一控制线CL_A的电压VA_A进行二次放电。因此,由于解多路复用电路部140包括放电晶体管M21,所以即使在第二晶体管M2劣化的情况下,解多路复用电路部140也可以提高控制线CL的电压VA的放电效率,并且可以防止出现被传递到有机发光二极管的截止电流。因此,解多路复用电路部140可以稳定地保持基于控制线CL的电压VA而导通的第三晶体管M3的输出,从而可以防止显示面板的亮度劣化并且可以实现显示面板的高分辨率的图像。

[0098] 根据一个示例,电压控制器141的第一晶体管M1以及电压放电部145的第二晶体管M2和放电晶体管M21可以布置在控制线CL的两端中的每一端处,并且一条控制线CL可以与多个电容器Cbst和多个开关部143连接。以这种方式,布置在控制线CL的两端中的每一端处的第一晶体管M1和第二晶体管M2可以通过对控制线CL的电压VA进行充电或放电来导通或关断与控制线CL连接的多个开关部143。此时,由于电压放电部145包括对控制线CL的电压VA进行另外放电的放电晶体管M21,因此可以提高控制线CL的电压VA的放电效率。

[0099] 图5是示出图2中所示的解多路复用电路部从一个输出通道驱动三条数据线的电路视图,图6是提供给图5中所示的解多路复用电路部的信号的波形。

[0100] 参照图5和图6,如果解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接并且与n条数据线DL连接,则数据驱动电路部分120的多个驱动集成电路123可以具有n/3个输出通道CH。因此,由于该显示设备包括与三条控制线CL_A、CL_B和CL_C连接的解多路复用电路部140,所以与不包括解多路复用电路部140的显示设备相比,可以实现高分辨率的图像,同时多个驱动集成电路123的输出通道CH的数量可以减少到1/3。

[0101] 解多路复用电路部140可以包括第一电压控制器141A、第一开关部143A和第一电压放电部145A,第一电压控制器141A、第一开关部143A和第一电压放电部145A与第一控制线CL_A、第二电压控制器141B、第二开关部143B和第二电压放电部145B连接,第一控制线CL_A、第二电压控制器141B、第二开关部143B和第二电压放电部145B与第二控制线CL_B、第三电压控制器141C、第三开关部143C和第三电压放电部145C连接,第二控制线CL_B、第三电压控制器141C、第三开关部143C和第三电压放电部145C与第三控制线CL_C连接。

[0102] 第一电压控制器141A的第一晶体管M1可以基于第一时分控制信号ASW1而导通,以将第一时分控制信号ASW1提供给第一控制线CL_A;第一电压控制器141A的电容器Cbst可以基于与第一时分控制信号ASW1部分交叠的第一辅助信号ASW2来自举第一控制线CL_A的电压VA_A。

[0103] 第二电压控制器141B的第一晶体管M1可以基于第二时分控制信号BSW1而导通,以将第二时分控制信号BSW1提供给第二控制线CL_B;第二电压控制器141B的电容器Cbst可以基于与第二时分控制信号BSW1部分交叠的第二辅助信号BSW2来自举第二控制线CL_B的电压VA_B。

[0104] 第三电压控制器141C的第一晶体管M1可以基于第三时分控制信号CSW1而导通,以将第三时分控制信号CSW1提供给第三控制线CL_C;第三电压控制器141C的电容器Cbst可以基于与第三时分控制信号CSW1部分交叠的第三辅助信号CSW2来自举第三控制线CL_C的电压VA_C。

[0105] 以这种方式,第一电压控制器141A可以将第一控制线CL_A的电压VA_A保持在高电

位电压达一个水平周期1H的第一子水平周期SH1,第二电压控制器141B可以将第二控制线CL_B的电压VA_B保持在高电位电压达一个水平周期1H的第二子水平周期SH2,第三电压控制器141C可以将第三控制线CL_C的电压VA_C保持在高电位电压达一个水平周期1H的第三子水平周期SH3。

[0106] 第一开关部143A的第三晶体管M3可以基于第一控制线CL_A的电压VA_A而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS1提供给与多个输出通道CH中的每一个对应的三条数据线DL的第一数据线DL1、DL4、……、DLn-2。

[0107] 第二开关部143B的第三晶体管M3可以基于第二控制线CL_B的电压VA_B而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS2提供给与多个输出通道CH中的每一个对应的三条数据线DL的第二数据线DL2、DL5、……、DLn-1。

[0108] 第三开关部143C的第三晶体管M3可以基于第三控制线CL_C的电压VA_C而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS3提供给与多个输出通道CH中的每一个对应的三条数据线DL的第三数据线DL3、DL6、……、DLn。

[0109] 以这种方式,第一开关部143A可以在一个水平周期1H的第一子水平周期SH1内导通,以将数据信号DS1提供给与多个输出通道CH中的每一个对应的三条数据线DL的第一数据线DL1、DL4、……、DLn-2;第二开关部143B可以在一个水平周期1H的第二子水平周期SH2内导通,以将数据信号DS2提供给与多个输出通道CH中的每一个对应的三条数据线DL的第二数据线DL2、DL5、……、DLn-1;第三开关部143C可以在一个水平周期1H的第三子水平周期SH3内导通,以将数据信号DS3提供给与多个输出通道CH中的每一个对应的三条数据线DL的第三数据线DL3、DL6、……、DLn。因此,由于该显示设备包括与三条控制线CL_A、CL_B和CL_C连接的解多路复用电路部140,所以与不包括解多路复用电路部140的显示设备相比,可以实现高分辨率的图像,同时多个驱动集成电路123的输出通道CH的数量可以减少到1/3。

[0110] 第一电压放电部145A的第二晶体管M2可以基于与第一时分控制信号ASW1间隔开的第二时分控制信号BSW1而导通,以对第一控制线CL_A的电压VA_A进行放电;第一电压放电部145A的放电晶体管M21可以基于与第二时分控制信号BSW1部分交叠的第二辅助信号BSW2而导通,以对第二控制线CL_B的电压VA_B进行另外放电。

[0111] 第二电压放电部145B的第二晶体管M2可以基于与第二时分控制信号BSW1间隔开的第三时分控制信号CSW1而导通,以对第二控制线CL_B的电压VA_B进行放电;第二电压放电部145B的放电晶体管M21可以基于与第三时分控制信号CSW1部分交叠的第三辅助信号CSW2而导通,以对第二控制线CL_B的电压VA_B进行另外放电。

[0112] 第三电压放电部145C的第二晶体管M2可以基于与第三时分控制信号CSW1间隔开的第一时分控制信号ASW1而导通,以对第三控制线CL_C的电压VA_C进行放电;第三电压放电部145C的放电晶体管M21可以基于与第一时分控制信号ASW1部分交叠的第一辅助信号ASW2而导通,以对第三控制线CL_C的电压VA_C进行另外放电。

[0113] 因此,由于解多路复用电路部140包括放电晶体管M21,所以即使在第二晶体管M2劣化的情况下,解多路复用电路部140也可以提高控制线CL的电压VA的放电效率,并且可以防止出现被传递到有机发光二极管的截止电流。因此,解多路复用电路部140可以稳定地保持基于控制线CL的电压VA而导通的第三晶体管M3的输出,从而可以防止显示面板的亮度劣化并且可以实现显示面板的高分辨率的图像。

[0114] 图7是示出图2中所示的解多路复用电路部的放电效果的图。具体地,图7是示出放电控制线CL的电压VA关于第二晶体管M2的尺寸的图。放电控制线CL的栅极低电压VGL对应于-10V。在这种情况下,结构1对应于不包括放电晶体管M21的解多路复用电路部140,结构2对应于根据本公开内容的解多路复用电路部140。

[0115] 参照图7,如果结构1的第二晶体管M2的尺寸为 $150\mu\text{m}$,则放电控制线CL的电压VA大致对应于-2V,如果结构2的第二晶体管M2的尺寸为 $150\mu\text{m}$,则放电控制线CL的电压VA大致对应于-8.5V。也就是说,由于结构2包括放电晶体管M21,因此应当注意,控制线CL的放电效率得到提高。

[0116] 此外,如果结构1的第二晶体管M2的尺寸为 $300\mu\text{m}$,则放电控制线CL的电压VA大致对应于-4V,如果结构2的第二晶体管M2的尺寸为 $300\mu\text{m}$,则放电控制线CL的电压VA大致对应于-7.8V。也就是说,由于结构2包括放电晶体管M21,因此应当注意,控制线CL的放电效率得到提高。

[0117] 如上所述,在解多路复用电路部140基于第二时分控制信号BSW1对控制线CL的电压VA进行首次放电之后,放电晶体管M21基于第二辅助信号BSW2对控制线CL的电压VA进行二次放电,由此电压放电部145可以提高解多路复用电路部140的放电效率,从而防止出现被传递到有机发光二极管的截止电流。

[0118] 图8是示出图2中所示的解多路复用电路部的另一示例的电路视图。

[0119] 参照图8,解多路复用电路部140可以包括布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1和两个第二晶体管M2,其中,一条控制线CL可以与多个电容器Cbst和多个第三晶体管M3连接。此时,布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1可以对控制线CL的电压VA进行充电,布置在一条控制线CL的两端中的每一端处的两个第二晶体管M2可以对控制线CL的电压VA进行放电。多个电容器Cbst中的每一个可以被布置成对应于多个第三晶体管M3中的每一个,从而可以对控制线CL的电压VA进行自举。

[0120] 解多路复用电路部140的电压控制器141还可以包括p个第一晶体管M1(p是自然数1到 $(n/i-2)$),所述p个第一晶体管M1基于第k时分控制信号而导通以将第k时分控制信号提供给第k控制线。具体地,电压控制器141可以包括与布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1分开的附加第一晶体管M1,由此可以提高控制线CL的充电效率,从而可以稳定地保持控制线CL的电压。

[0121] 根据一个示例,解多路复用电路部140的电压控制器141还可以通过以预定单位对多个电容器Cbst和多个第三晶体管M3进行分组以对应于多个组中的每个组来包括第一晶体管M1。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与 $n/3$ 条数据线DL连接,所以解多路复用电路部140可以包括与一条控制线CL连接的 $n/3$ 个第三晶体管M3。此时,解多路复用电路部140还可以通过以10个电容器Cbst和10个第三晶体管M3为单位对多个电容器Cbst和多个第三晶体管M3进行分组来包括 $n/30$ 个第一晶体管M1。以这种方式,解多路复用电路部140的电压控制器141还可以包括与多个电容器Cbst和多个第三晶体管M3的多个组中的每一组对应的第一晶体管M1,从而可以提高控制线CL的所有区域中的充电效率,因此可以稳定地保持控制线CL的电压。

[0122] 根据另一示例,解多路复用电路部140的电压控制器141可以包括与多个电容器

Cbst和多个第三晶体管M3中的每一个对应的第一晶体管M1。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,所以解多路复用电路部140的电压控制器141可以包括n/3个第一晶体管M1,所述n/3个第一晶体管M1包括布置在控制线CL的两端中的每一端处的第一晶体管M1。

[0123] 根据一个示例和另一个示例的解多路复用电路部140的描述仅是示例性的,并且不限于晶体管的数量。因此,解多路复用电路部140的电压控制器141可以提高控制线CL的所有区域中的充电效率,并且将第一晶体管M1的数量控制在不需要过多成本的范围内。

[0124] 图9是示出图2中所示的解多路复用电路部的又一示例的电路视图。

[0125] 参照图9,解多路复用电路部140可以包括布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1和两个第二晶体管M2,其中,一条控制线CL可以与多个电容器Cbst和多个第三晶体管M3连接。此时,布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1可以对控制线CL的电压VA进行充电,布置在一条控制线CL的两端中的每一端处的两个第二晶体管M2可以对控制线CL的电压VA进行放电。多个电容器Cbst中的每一个可以被布置成对应于多个第三晶体管M3中的每一个,从而可以对控制线CL的电压VA进行自举。

[0126] 解多路复用电路部140的电压放电部145还可以包括p个第二晶体管M2(p是自然数1到(n/i-2)),所述p个第二晶体管M2基于第k+1时分控制信号而导通以对第k控制线CL进行放电。具体地,电压放电部145可以包括与布置在一条控制线CL的两端中的每一端处的两个第二晶体管M2分开的附加第二晶体管M2,从而可以提高控制线CL的放电效率,因此可以防止出现被传递到有机发光二极管的截止电流。

[0127] 根据一个示例,解多路复用电路部140的电压放电部145还可以通过以预定单位对多个电容器Cbst和多个第三晶体管M3进行分组以对应于多个组中的每个组来包括第二晶体管M2。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,所以解多路复用电路部140可以包括与一条控制线CL连接的n/3个第三晶体管M3。此时,解多路复用电路部140还可以通过以10个电容器Cbst和10个第三晶体管M3为单位对多个电容器Cbst和多个第三晶体管M3进行分组来包括n/30个第二晶体管M2。以这种方式,解多路复用电路部140的电压放电部145还可以包括与多个电容器Cbst和多个第三晶体管M3的多个组对应的第二晶体管M2,从而可以提高控制线CL的所有区域中的放电效率以克服由第二晶体管M2的劣化引起的限制,因此可以防止出现能够被传递到有机发光二极管的截止电流。

[0128] 根据另一示例,解多路复用电路部140的电压放电部145可以包括与多个电容器Cbst和多个第三晶体管M3中的每一个对应的第二晶体管M2。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,所以解多路复用电路部140的电压放电部145可以包括n/3个第二晶体管M2,所述n/3个第二晶体管M2包括布置在控制线CL的两端中的每一端处的第二晶体管M2。

[0129] 根据一个示例和另一个示例的解多路复用电路部140的描述仅是示例性的,并且不限于晶体管的数量。因此,解多路复用电路部140的电压放电部145可以提高控制线CL的所有区域中的放电效率,并且将第二晶体管M2的数量控制在不需要过多成本的范围内。

[0130] 图10是示出图2中所示的解多路复用电路部的再一示例的电路视图。

[0131] 参照图10,解多路复用电路部140可以包括布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1和两个第二晶体管M2,其中,一条控制线CL可以与多个电容器Cbst和多个第三晶体管M3连接。

[0132] 电压控制器141还可以包括p个第一晶体管M1 (p是自然数1到 $(n/i-2)$),所述p个第一晶体管M1基于第k时分控制信号而导通以将第k时分控制信号提供到第k控制线;电压放电部145还可以包括p个第二晶体管M2 (p是自然数1到 $(n/i-2)$),所述p个第二晶体管M2基于第k+1时分控制信号而导通以对第k控制线CL进行放电,从而可以提高控制线CL的充电效率和放电效率。

[0133] 根据一个示例,解多路复用电路部140还可以通过以预定单位对多个电容器Cbst和多个第三晶体管M3进行分组以对应于多个组中的每个组来包括一对第一晶体管M1和第二晶体管M2。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,所以解多路复用电路部140可以包括与一条控制线CL连接的n/3个第三晶体管M3。此时,解多路复用电路部140还可以通过以10个电容器Cbst和10个第三晶体管M3为单位对多个电容器Cbst和多个第三晶体管M3进行分组来包括成对的n/30个第一晶体管M1和第二晶体管M2。以这种方式,解多路复用电路部140还可以包括与多个电容器Cbst和多个第三晶体管M3的多个组中的每一组对应的第一晶体管M1和第二晶体管M2,从而可以提高控制线CL的所有区域中的充电效率和放电效率以克服由第二晶体管M2的劣化引起的限制,因此可以防止出现能够被传递到有机发光二极管的截止电流。

[0134] 根据另一示例,解多路复用电路部140可以包括与多个电容器Cbst和多个第三晶体管M3中的每一个对应的一对第一晶体管M1和第二晶体管M2。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,所以解多路复用电路部140的电压放电部145可以包括成对的n/3个第一晶体管M1和第二晶体管M2,所述成对的n/3个第一晶体管M1和第二晶体管M2包括布置在控制线CL的两端中的每一端处的一对第一晶体管M1和第二晶体管M2。

[0135] 根据一个示例和另一个示例的解多路复用电路部140的描述仅是示例性的,并且不限于晶体管的数量。因此,解多路复用电路部140可以提高控制线CL的所有区域中的充电效率和放电效率,并且将第一晶体管M1和第二晶体管M2的数量控制在不需要过多成本的范围内。

[0136] 图11是示出图2中所示的解多路复用电路部的另一示例的电路视图。

[0137] 参照图11,解多路复用电路部140可以包括布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1和两个第二晶体管M2,其中,一条控制线CL可以与多个电容器Cbst和多个第三晶体管M3连接。

[0138] 电压控制器141还可以包括p个第一晶体管M1 (p是自然数1到 $(n/i-2)$),所述p个第一晶体管M1基于第k时分控制信号而导通以将第k时分控制信号提供到第k控制线;电压放电部145还可以包括p个第二晶体管M2 (p是自然数1到 $(n/i-2)$),所述p个第二晶体管M2基于第k+1时分控制信号而导通以对第k控制线CL进行放电;电压放电部145还包括q个放电晶体管M21 (q是自然数1到n/i),所述q个放电晶体管M21用于基于与第k+1时分控制信号部分交

叠的第k+1辅助信号对第k控制线CL的电压进行另外放电,因此与不设置放电晶体管M21的情况相比,可以更加提高放电效率。

[0139] 根据一个示例,解多路复用电路部140还可以通过以预定单位对多个电容器Cbst和多个第三晶体管M3进行分组以对应于多个组中的每一组来包括放电晶体管M21。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,所以解多路复用电路部140可以包括与一条控制线CL连接的n/3个第三晶体管M3。此时,解多路复用电路部140还可以通过以10个电容器Cbst和10个第三晶体管M3为单位对多个电容器Cbst和多个第三晶体管M3进行分组来包括n/30个放电晶体管M21。以这种方式,解多路复用电路部140还可以包括与多个电容器Cbst和多个第三晶体管M3的多个组中的每一组对应的放电晶体管M21,从而与在没有设置放电晶体管M21的情况相比,可以更加提高控制线的放电效率以克服由第二晶体管M2的劣化引起的限制,从而可以防止出现能够被传递到有机发光二极管的截止电流。

[0140] 根据另一示例,解多路复用电路部140可以包括与多个电容器Cbst和多个第三晶体管M3中的每一个对应的放电晶体管M21。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,所以解多路复用电路部140的电压放电部145可以包括n/3个放电晶体管M21。

[0141] 根据一个示例,如果第一晶体管M1的数量等于第二晶体管M2的数量,则解多路复用电路部140可以将第k控制线CL划分为与第一晶体管M1和第二晶体管M2的数量相等的控制线并且通过一对第一晶体管M1和第二晶体管M2对划分的第k控制线CL的电压VA进行充电和放电。此时,解多路复用电路部140可以通过划分控制线CL根据连接到控制线CL的电阻器和电容器使时间常数($t=RC$)最小化。因此,解多路复用电路部140可以通过划分控制线CL使能高速驱动,并且可以在减少输出通道CH的数量的同时实现高分辨率的图像。

[0142] 根据一个示例和另一个示例的解多路复用电路部140的描述仅是示例性的,并且不限于晶体管的数量。因此,解多路复用电路部140可以更加改善控制线CL的放电效果,并且将放电晶体管M21的数量控制在不需要过多成本的范围内。

[0143] 图12是简要示出图1中所示的解多路复用电路部的另一示例的电路视图。

[0144] 参照图12,解多路复用电路部140可以包括电压控制器141、开关部143和电压放电部145。

[0145] 电压控制器141可以响应于时分控制信号ASW1和BSW1来控制控制线CL的电压VA。电压控制器141可以基于与时分控制信号ASW1和BSW1部分交叠的辅助信号ASW2和BSW2来更多地增加控制线CL的电压VA。例如,电压控制器141可以通过基于辅助信号ASW2和BSW2自举控制线CL的电压VA来将控制线CL的电压驱动为比时分控制信号ASW1和BSW1的电压更高的电压,从而可以稳定地保持解多路复用电路部140的输出。

[0146] 电压控制器141可以包括第一晶体管M1和电容器Cbst。

[0147] 第一晶体管M1可以基于第一时分控制信号ASW1而导通,以将第一时分控制信号ASW1提供给控制线CL。具体地,第一晶体管M1的漏电极和栅电极可以接收第一时分控制信号ASW1,并且第一晶体管M1的源电极可以与控制线CL连接。因此,如果第一时分控制信号ASW1对应于高电位电压,则控制线CL的电压VA可以保持高电位电压。

[0148] 电容器Cbst可以基于与第一时分控制信号ASW1部分交叠的第一辅助信号ASW2而更多地增加控制线CL的电压VA。详细地,电容器Cbst的一端可以接收第一辅助信号ASW2,并且电容器Cbst的另一端可以与控制线CL连接。在这种情况下,第一辅助信号ASW2的第一转变时间段和第二转变时间段可以对应于第一时分控制信号ASW1的第一转变时间段与第二转变时间段之间的时间段。也就是说,在将第一时分控制信号ASW1施加到第一晶体管M1的漏电极和栅电极之后,第一辅助信号ASW2可以施加到电容器Cbst的一端。以这种方式,在第一晶体管M1基于第一时分控制信号ASW1而导通以将第一时分控制信号ASW1提供给控制线CL之后,电容器Cbst基于第一辅助信号ASW2对控制线CL的电压VA执行自举,由此电压控制器141可以稳定地保持解多路复用电路部140的输出。同时,如果停止提供给电容器Cbst的一端的第一辅助信号ASW2的供给,则控制线CL的电压VA可以返回到自举之前的电压。

[0149] 开关部143可以按照适当的顺序基于控制线CL的电压VA将从数据驱动电路部分120提供的数据信号提供给至少两条数据线DL。开关部143可以包括第三晶体管M3。

[0150] 第三晶体管M3可以基于控制线CL的电压VA而导通,以将从驱动集成电路123的输出通道CH接收的数据信号依次提供给至少两条数据线DL。详细地,第三晶体管M3的栅电极可以与控制线CL连接,第三晶体管M3的漏电极可以与驱动集成电路123的输出通道CH连接,并且第三晶体管M3的源电极可以与数据线DL连接。因此,第三晶体管M3可以在控制线CL借助于第一时分控制信号ASW1具有高电位电压的同时导通,并且由第一辅助信号ASW2进行自举,从而将数据信号依次提供给至少两条数据线DL。

[0151] 根据一个示例,第三晶体管M3可以从第一时分控制信号ASW1的第一转变时间段到第二转变时间段导通,从而将数据信号依次提供给至少两条数据线。详细地,由于以下情况:如果第一时分控制信号ASW1具有高电位电压,则控制线CL由第一晶体管M1充电,而如果第一时分控制信号ASW1具有低电位电压,则控制线CL由第二晶体管M2放电,因此第三晶体管M3可以从第一时分控制信号ASW1的第一转变时间段到其第二转变时间段导通。

[0152] 电压放电部145可以响应于时分控制信号ASW1和BSW1而对控制线CL的电压VA进行放电。详细地,电压放电部145可以基于由时分控制信号ASW1和BSW1控制的放电节点DN的电压VN而导通,以对控制线CL进行放电。例如,电压放电部145可以基于具有与时分控制信号ASW1和BSW1反相的电压的放电节点DN的电压VN来对控制线CL的电压VA进行放电。在这种情况下,由于放电节点DN的电压VN具有与对应于一条控制线CL的一个时分控制信号ASW1反相的电压,因此电压放电部145可以通过仅使用对应于一条控制线CL的一个时分控制信号ASW1来提高解多路复用电路部140的放电效率,并且可以防止出现被传递到有机发光二极管的截止电流。也就是说,与图2中示出的解多路复用电路部140相比,图12中示出的解多路复用电路部140可以通过减少与一条控制线CL相关的时分控制信号的数量来使信号线的布局最小化,并且可以使解多路复用电路部140的端子的数量最小化。

[0153] 电压放电部145可以包括第二晶体管M2、第四晶体管M4和第五晶体管M5。

[0154] 第二晶体管M2可以基于由第一时分控制信号ASW1控制的放电节点DN的电压VN而导通,以对控制线CL的电压VA进行放电。详细地,第二晶体管M2的栅电极可以与放电节点DN连接,第二晶体管M2的漏电极可以与控制线CL连接,并且第二晶体管M2的源电极可以接收第一时分控制信号ASW1。此外,第二晶体管M2的栅电极可以与第四晶体管M4的源电极和第五晶体管M5的漏电极中的每一个连接。此时,放电节点DN可以具有与时分控制信号ASW1反

相的电压。因此,如果将低电位电压的第一时分控制信号ASW1施加到第二晶体管M2的源电极,则第二晶体管M2可以通过具有高电位电压的放电节点DN而导通,并且控制线CL的电压可以被放电。

[0155] 第四晶体管M4可以基于电源电压VDD而导通,以将电源电压VDD提供给放电节点DN。详细地,第四晶体管M4的漏电极和栅电极可以接收电源电压VDD,并且第四晶体管M4的源电极可以与放电节点DN连接。

[0156] 第五晶体管M5可以基于第一时分控制信号ASW1而导通以对放电节点DN进行放电。详细地,第五晶体管M5的栅电极可以接收第一时分控制信号ASW1,第五晶体管M5的漏电极可以与放电节点DN连接,并且第五晶体管M5的源电极可以与接地电压VSS连接。因此,如果第五晶体管M5导通,则放电节点DN可以借助于接地电压VSS具有低电位电压,而如果第五晶体管M5截止,则放电节点DN可以借助于电源电压VDD具有高电位电压。也就是说,放电节点DN的电压VN可以通过根据用于确定第五晶体管M5的导通和截止的第一时分控制信号ASW1来确定。

[0157] 如上所述,由于放电节点DN的电压VN具有与对应于控制线CL的第一时分控制信号ASW1反相的电压,因此电压放电部145可以通过仅使用对应于一条控制线CL的第一时分控制信号ASW1来提高解多路复用电路部140的放电效率,并且可以防止出现被传递到有机发光二极管的截止电流。

[0158] 图13是示出图12中示出的解多路复用电路部从一个输出通道驱动两条数据线的电路视图,以及图14是提供给图13中示出的解多路复用电路部的信号的波形。

[0159] 参照图13和图14,如果解多路复用电路部140与两条控制线CL_A和CL_B连接并且与n条数据线DL连接,则数据驱动电路部分120的多个驱动集成电路123可以具有n/2个输出通道CH。因此,由于显示设备包括与两条控制线CL_A和CL_B连接的解多路复用电路部140,因此与不包括解多路复用电路部140的显示设备相比,可以在多个驱动集成电路123的输出通道CH的数量可以减少到1/2时实施高分辨率的图像。

[0160] 解多路复用电路部140可以包括与第一控制线CL_A连接的第一电压控制器141A、第一开关部143A和第一电压放电部145A以及与第二控制线CL_B连接的第二电压控制器141B、第二开关部143B和第二电压放电部145B。

[0161] 第一电压控制器141A的第一晶体管M1可以基于第一时分控制信号ASW1而导通,以将第一时分控制信号ASW1提供给第一控制线CL_A,并且第一电压控制器141A的电容器Cbst可以基于与第一时分控制信号ASW1交叠的第一辅助信号ASW2来对第一控制线CL_A的电压VA_A进行自举。

[0162] 第二电压控制器141B的第一晶体管M1可以基于第二时分控制信号BSW1而导通,以将第二时分控制信号BSW1提供给第二控制线CL_B,并且第二电压控制器141B的电容器Cbst可以基于与第二时分控制信号BSW1交叠的第二辅助信号BSW2来对第二控制线CL_B的电压VA_B进行自举。

[0163] 以这种方式,第一电压控制器141A可以在一个水平周期1H的第一子水平周期SH1将第一控制线CL_A的电压VA_A保持在高电位电压,并且第二电压控制器141B可以在一个水平周期1H的第二子水平周期SH2将第二控制线CL_B的电压VA_B保持在高电位电压。

[0164] 根据一个示例,第一辅助信号ASW2的第一转变时间段t2和第二转变时间段t3可以

对应于第一时分控制信号ASW1的第一转变时间段t1与第二转变时间段t4之间的时间段,并且第二辅助信号BSW2的第一转变时间段t5和第二转变时间段t6可以对应于第二时分控制信号BSW1的第一转变时间段t4与第二转变时间段t7之间的时间段。在这种情况下,多个信号中的每一个的第一转变时间段可以对应于但不限于上升沿,并且其第二转变时间段可以对应于但不限于下降沿。因此,第一控制线CL_A的电压VA_A可以在施加第一时分控制信号ASW1的时间段t1处首次增加,并且可以在施加第一辅助信号ASW2的时间段t2处通过自举而二次增加。此外,第二控制线CL_B的电压VA_B可以在施加第二时分控制信号BSW1的时间段t4处首次增加,并且可以在施加第二辅助信号BSW2的时间段t5处通过自举而二次增加。同时,第一控制线CL_A和第二控制线CL_B中的每一个的电压VA_A和VA_B可以在第一辅助信号ASW2和第二辅助信号BSW2中的每一个的第二转变时间段t3和t6处返回到自举之前的电压。

[0165] 第一开关部143A的第三晶体管M3可以基于第一控制线CL_A的电压VA_A而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS1提供给对应于多个输出通道CH中的每一个的两条数据线的第二数据线的第二数据DL2、DL4、...、DLn。

[0166] 根据一个示例,第一开关部143A的第三晶体管M3可以从第一时分控制信号ASW1的第一转变时间段t1到第一时分控制信号ASW1的第二转变时间段t4导通,以将数据信号DS1提供给两条数据线的第二数据DL2、DL4、...、DLn。详细地,由于控制线CL由第一晶体管M1从第一时分控制信号ASW1具有高电位电压的时间段t1充电,并且由第二晶体管M2从第一时分控制信号ASW1具有低电位电压的时间段t4放电,因此第三晶体管M3可以从第一时分控制信号ASW1的第一转变时间段t1到第一时分控制信号ASW1的第二转变时间段t4导通。

[0167] 第二开关部143B的第三晶体管M3可以基于第二控制线CL_B的电压VA_B而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS2提供给对应于多个输出通道CH中的每一个的两条数据线的第二数据DL2、DL4、...、DLn。

[0168] 以这种方式,第一开关部143A可以在一个水平周期1H的第一子水平周期SH1导通,以将数据信号DS1提供给对应于多个输出通道CH中的每一个的两条数据线的第二数据DL2、DL4、...、DLn,并且第二开关部143B可以在一个水平周期1H的第二子水平周期SH2导通,以将数据信号DS2提供给对应于多个输出通道CH中的每一个的两条数据线的第二数据DL2、DL4、...、DLn。因此,由于显示设备包括与两条控制线CL_A和CL_B连接的解多路复用电路部140,因此与不包括解多路复用电路部140的显示设备相比,可以在多个驱动集成电路123的输出通道CH的数量可以减少到1/2时实施高分辨率的图像。

[0169] 第一电压放电部145A的第二晶体管M2可以基于与第一时分控制信号ASW1反相的放电节点DN_A的电压VN_A而导通,以对第一控制线CL_A的电压VA_A进行放电,第一电压放电部145A的第四晶体管M4可以基于电源电压VDD而导通,以将电源电压VDD提供给放电节点DN_A,并且第一电压放电部145A的第五晶体管M5可以基于第一时分控制信号ASW1而导通以对放电节点DN_A进行放电。

[0170] 第二电压放电部145B的第二晶体管M2可以基于与第二时分控制信号BSW1反相的放电节点DN_B的电压VN_B而导通,以对第二控制线CL_B的电压VA_B进行放电,第二电压放电部145B的第四晶体管M4可以基于电源电压VDD而导通,以将电源电压VDD提供给放电节点DN_B,并且第二电压放电部145B的第五晶体管M5可以基于第二时分控制信号BSW1而导通以对放电节点DN_B进行放电。

[0171] 如上所述,第一电压放电部145A的第二晶体管M2可以在一个水平周期1H的第一子水平周期SH1结束或第二子水平周期SH2开始的时间段 t_4 处导通,以对第一控制线CL_A的电压 V_{A_A} 进行放电。此时,用于使电压放电部145的第二晶体管M2导通的放电节点DN的电压VN可以由第四晶体管M4和第五晶体管M5稳定地保持。因此,由于解多路复用电路部140的电压放电部145包括第四晶体管M4和第五晶体管M5,因此即使在第二晶体管M2劣化的情况下电压放电部145也可以提高控制线CL的电压VA的放电效率,并且可以防止出现被传递到有机发光二极管的截止电流。因此,解多路复用电路部140可以稳定地保持基于控制线CL的电压VA而导通的第三晶体管M3的输出,由此可以防止显示面板的亮度劣化并且可以实施显示面板的高分辨率的图像。

[0172] 根据一个示例,电压控制器141的第一晶体管M1和电压放电部145的第二晶体管M2、第四晶体管M4和第五晶体管M5中的每一个可以布置在一条控制线CL的两端中的每一端处,并且一条控制线CL可以与多个电容器Cbst和多个开关部143连接。以这种方式,布置在控制线CL的两端中的每一端处的第一晶体管M1和第二晶体管M2可以通过对控制线CL的电压VA进行充电或放电来使与控制线CL连接的多个开关部143导通或截止。此时,由于电压放电部145包括用于稳定地保持放电节点DN的电压VN的第四晶体管M4和第五晶体管M5,因此可以提高控制线CL的电压VA的放电效率。

[0173] 图15是示出图12中示出的解多路复用电路部从一个输出通道驱动三条数据线的电路视图,以及图16是提供给图15中示出的解多路复用电路部的信号的波形。

[0174] 参照图15和图16,如果解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接并且与n条数据线DL连接,则数据驱动电路部分120的多个驱动集成电路123可以具有 $n/3$ 个输出通道CH。因此,由于显示设备包括与三条控制线CL_A、CL_B和CL_C连接的解多路复用电路部140,因此与不包括解多路复用电路部140的显示设备相比,可以在多个驱动集成电路123的输出通道CH的数量可以减少到 $1/3$ 时实施高分辨率的图像。

[0175] 解多路复用电路部140可以包括与第一控制线CL_A连接的第一电压控制器141A、第一开关部143A和第一电压放电部145A、与第二控制线CL_B连接的第二电压控制器141B、第二开关部143B和第二电压放电部145B以及与第三控制线CL_C连接的第三电压控制器141C、第三开关部143C和第三电压放电部145C。

[0176] 第一电压控制器141A的第一晶体管M1可以基于第一时分控制信号ASW1而导通,以将第一时分控制信号ASW1提供给第一控制线CL_A,并且第一电压控制器141A的电容器Cbst可以基于与第一时分控制信号ASW1交叠的第一辅助信号ASW2来对第一控制线CL_A的电压 V_{A_A} 进行自举。

[0177] 第二电压控制器141B的第一晶体管M1可以基于第二时分控制信号BSW1而导通,以将第二时分控制信号BSW1提供给第二控制线CL_B,并且第二电压控制器141B的电容器Cbst可以基于与第二时分控制信号BSW1交叠的第二辅助信号BSW2来对第二控制线CL_B的电压 V_{A_B} 进行自举。

[0178] 第三电压控制器141C的第一晶体管M1可以基于第三时分控制信号CSW1而导通,以将第三时分控制信号CSW1提供给第三控制线CL_C,并且第三电压控制器141C的电容器Cbst可以基于与第三时分控制信号CSW1交叠的第三辅助信号CSW2来对第三控制线CL_C的电压 V_{A_C} 进行自举。

[0179] 以这种方式,第一电压控制器141A可以将第一控制线CL_A的电压VA_A保持在高电位电压一个水平周期1H的第一子水平周期SH1,第二电压控制器141B可以将第二控制线CL_B的电压VA_B保持在高电位电压一个水平周期1H的第二子水平周期SH2,并且第三电压控制器141C可以将第三控制线CL_C的电压VA_C保持在高电位电压一个水平周期1H的第三子水平周期SH3。

[0180] 第一开关部143A的第三晶体管M3可以基于第一控制线CL_A的电压VA_A而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS1提供给对应于多个输出通道CH中的每一个的三条数据线的第二数据线DL1、DL4、...、DLn-2。

[0181] 第二开关部143B的第三晶体管M3可以基于第二控制线CL_B的电压VA_B而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS2提供给对应于多个输出通道CH中的每一个的三条数据线的第二数据线DL2、DL5、...、DLn-1。

[0182] 第三开关部143C的第三晶体管M3可以基于第三控制线CL_C的电压VA_C而导通,以将从驱动集成电路123的多个输出通道CH提供的数据信号DS3提供给对应于多个输出通道CH中的每一个的三条数据线的第三数据线DL3、DL6、...、DLn。

[0183] 以这种方式,第一开关部143A可以导通一个水平周期1H的第一子水平周期SH1,以将数据信号DS1提供给对应于多个输出通道CH中的每一个的三条数据线DL的第一数据线DL1、DL4、...、DLn-2,第二开关部143B可以导通一个水平周期1H的第二子水平周期SH2,以将数据信号DS2提供给对应于多个输出通道CH中的每一个的三条数据线DL的第二数据线DL2、DL5、...、DLn-1,并且第三开关部143C可以导通一个水平周期1H的第三子水平周期SH3,以将数据信号DS3提供给对应于多个输出通道CH中的每一个的三条数据线DL的第三数据线DL3、DL6、...、DLn。因此,由于显示设备包括与三条控制线CL_A、CL_B和CL_C连接的解多路复用电路部140,因此与不包括解多路复用电路部140的显示设备相比,可以在多个驱动集成电路123的输出通道CH的数量可以减少到1/3时实施高分辨率的图像。

[0184] 第一电压放电部145A的第二晶体管M2可以基于与第一时分控制信号ASW1反相的放电节点DN_A的电压VN_A而导通,以对第一控制线CL_A的电压VA_A进行放电,第一电压放电部145A的第四晶体管M4可以基于电源电压VDD而导通,以将电源电压VDD提供给放电节点DN_A,并且第一电压放电部145A的第五晶体管M5可以基于第一时分控制信号ASW1而导通以对放电节点DN_A进行放电。

[0185] 第二电压放电部145B的第二晶体管M2可以基于与第二时分控制信号BSW1反相的放电节点DN_B的电压VN_B而导通,以对第二控制线CL_B的电压VA_B进行放电,第二电压放电部145B的第四晶体管M4可以基于电源电压VDD而导通,以将电源电压VDD提供给放电节点DN_B,并且第二电压放电部145B的第五晶体管M5可以基于第二时分控制信号BSW1而导通以对放电节点DN_B进行放电。

[0186] 第三电压放电部145C的第二晶体管M2可以基于与第三时分控制信号CSW1反相的放电节点DN_C的电压VN_C而导通,以对第三控制线CL_C的电压VA_C进行放电,第三电压放电部145C的第四晶体管M4可以基于电源电压VDD而导通,以将电源电压VDD提供给放电节点DN_C,并且第三电压放电部145C的第五晶体管M5可以基于第三时分控制信号CSW1而导通以对放电节点DN_C进行放电。

[0187] 因此,由于解多路复用电路部140的电压放电部145包括第四晶体管M4和第五晶体

管M5,因此即使在第二晶体管M2劣化的情况下电压放电部145也可以提高控制线CL的电压VA的放电效率,并且可以防止出现被传递到有机发光二极管的截止电流。因此,解多路复用电路部140可以稳定地保持基于控制线CL的电压VA而导通的第三晶体管M3的输出,由此可以防止显示面板的亮度劣化并且可以实施显示面板的高分辨率的图像。

[0188] 图17是示出图12中示出的解多路复用电路部的放电效果的图。详细地,图17是示出放电控制线CL的电压VA相对于第二晶体管M2的尺寸的图。放电控制线CL的栅极低电压VGL对应于-10V。在这种情况下,结构1对应于不包括放电晶体管M21以及第四晶体管M4和第五晶体管M5中的任何一个的解多路复用电路部140,结构2对应于包括图2中示出的放电晶体管M21的解多路复用电路部140,以及结构3对应于包括图12中示出的第四晶体管M4和第五晶体管M5的解多路复用电路部140。

[0189] 参照图17,如果结构1的第二晶体管M2的尺寸为150 μm ,则放电控制线CL的电压VA近似对应于-2V,如果结构2的第二晶体管M2的尺寸为150 μm ,则放电控制线CL的电压VA近似对应于-8.5V,以及如果结构3的第二晶体管M2的尺寸为150 μm ,则放电控制线CL的电压VA近似对应于-9V。也就是说,由于结构2包括放电晶体管M21,因此注意到控制线CL的放电效率比结构1的放电效率更高,并且由于结构3包括第四晶体管M4和第五晶体管M5,因此注意到控制线CL的放电效率比结构1和结构2中的每一个的放电效率更高。

[0190] 此外,如果结构1的第二晶体管M2的尺寸为300 μm ,则放电控制线CL的电压VA近似对应于-4V,如果结构2的第二晶体管M2的尺寸为300 μm ,则放电控制线CL的电压VA近似对应于-7.8V,以及如果结构3的第二晶体管M2的尺寸为300 μm ,则放电控制线CL的电压VA近似对应于-9V。也就是说,由于结构2包括放电晶体管M21,因此注意到控制线CL的放电效率比结构1的放电效率更高,并且由于结构3包括第四晶体管M4和第五晶体管M5,因此注意到控制线CL的放电效率比结构1和结构2中的每一个的放电效率更高。

[0191] 如上所述,在解多路复用电路部140(结构2)基于第二时分控制信号BSW1对控制线CL的电压VA进行首次放电之后,放电晶体管M21基于第二辅助信号BSW2对控制线CL的电压VA进行二次放电,由此电压放电部145可以提高解多路复用电路部140的放电效率并且因此防止出现被传递到有机发光二极管的截止电流。

[0192] 此外,根据本公开内容的另一示例的解多路复用电路部140(结构3)的第二晶体管M2可以基于由第一时分控制信号ASW1控制的放电节点DN的电压VN来对控制线CL的电压VA进行放电。在这种情况下,由于放电节点DN的电压VN具有与对应于一条控制线CL的一个时分控制信号ASW1反相的电压,因此电压放电部145可以通过仅使用对应于一条控制线CL的一个时分控制信号ASW1来提高解多路复用电路部140的放电效率,并且可以防止出现被传递到有机发光二极管的截止电流。也就是说,与根据结构1和结构2的解多路复用电路部140相比,根据结构3的解多路复用电路部140可以通过减少与一条控制线CL相关的时分控制信号的数量来使信号线的布局最小化,并且可以使解多路复用电路部140的端子的数量最小化。

[0193] 图18是示出图12中示出的解多路复用电路部的驱动方法的一个示例的波形。

[0194] 参照图18,如果解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接并且与n条数据线DL连接,则数据驱动电路部分120的多个驱动集成电路123可以具有n/3个输出通道CH。此时,时分控制信号可以包括在一个水平周期1H中依次提供的第一至第三时分控制

信号ASW1、BSW1和CSW1,并且第一至第三时分控制信号ASW1、BSW1和CSW1中的每一个可以对应于第一至第三控制线CL_A、CL_B和CL_C中的每一个。

[0195] 此时,由于根据本公开内容的解多路复用电路部140在使用基于氧化物的薄膜晶体管的同时在一个水平周期1H中向三条数据线DL中的每一条提供数据信号DS,因此与没有提供解多路复用电路部140的情况相比,可以减少三条控制线CL中的每一条的像素充电时间。在这种情况下,当三条控制线CL中的每一条具有高电位电压时,像素充电时间可以对应于关于三条控制线CL中的每一条的开关部143的导通时间。因此,当解多路复用电路部140与*i*条控制线CL连接(*i*是2或更大的自然数)时,与没有提供解多路复用电路部140的情况相比,关于*i*条控制线CL中的每一条的像素充电时间可以减少得与1/*i*一样多。

[0196] 根据一个示例,第一时分控制信号ASW1和第二时分控制信号BSW1可以彼此部分地交叠,并且第二时分控制信号BSW1和第三时分控制信号CSW1可以彼此部分地交叠。

[0197] 如果第一至第三时分控制信号ASW1、BSW1和CSW1彼此间隔开而不彼此交叠,则像素不会从第一至第三时分控制信号ASW1、BSW1和CSW1之一的第二转变时间段到施加的下一个时分控制信号的第一转变时间段被充电。因此,解多路复用电路部140的像素充电时间减少得与第一至第三时分控制信号中的每一个与另一个间隔开的时间一样多。

[0198] 因此,通过使第一至第三时分控制信号ASW1、BSW1和CSW1彼此部分地交叠,根据本公开内容的解多路复用电路部140可以在不浪费时间的情况下充分增加像素充电时间一个水平周期1H。例如,第二时分控制信号BSW1的第一转变时间段 t_3 在第一时分控制信号ASW1的第二转变时间段 t_4 之前,由此第一时分控制信号ASW1和第二时分控制信号BSW1可以彼此部分地交叠,并且第二时分控制信号BSW1的像素充电时间可以增加得与交叠时间 T_{OL} 一样多。同样,第三时分控制信号CSW1的第一转变时间段 t_6 在第二时分控制信号BSW1的第二转变时间段 t_7 之前,由此第二时分控制信号BSW1和第三时分控制信号CSW1可以彼此部分地重叠,并且第三时分控制信号CSW1的像素充电时间可以增加得与交叠时间 T_{OL} 一样多。以这种方式,如果第一至第三时分控制信号ASW1、BSW1和CSW1彼此部分地交叠,则第一至第三时分控制信号ASW1、BSW1和CSW1中的每一个的像素充电时间的总和可以长于一个水平周期1H。因此,当三条控制线CL中的每一条的像素充电时间被最大化时,与没有提供解多路复用电路部140的情况相比,根据本公开内容的解多路复用电路部140可以在将多个驱动集成电路123的输出通道CH的数量减少到1/3的同时实施高分辨率的图像。

[0199] 多个驱动集成电路123可以通过一个输出通道CH将分别对应于第一至第三时分控制信号ASW1、BSW1和CSW1的第一至第三数据信号DS1、DS2和DS3提供给解多路复用电路部140。根据一个示例,第一至第三数据信号DS1、DS2和DS3中的每一个的第一转变时间段可以比第一至第三时分控制信号ASW1、BSW1和CSW1中的每一个的第一转变时间段延迟。

[0200] 如果第一至第三数据信号DS1、DS2和DS3中的每一个的施加时间等于第一至第三时分控制信号ASW1、BSW1和CSW1中的每一个的施加时间,则当第一至第三数据信号DS1、DS2和DS3由于开关部143的栅极延迟而分别彼此交叠时,可能出现颜色混合的问题。此外,为了解决颜色混合的问题,如果第一至第三数据信号DS1、DS2和DS3中的每一个被延迟空白时间,则出现以下问题:像素充电时间减少得与空白时间一样多。

[0201] 因此,根据本公开内容的解多路复用电路部140可以比第一至第三时分控制信号ASW1、BSW1和CSW1中的每一个的施加时间延迟第一至第三数据信号DS1、DS2和DS3中的每一

个的施加时间预定时间 T_D 。例如,第一数据信号DS1的施加时间段 t_2 可以比第一时分控制信号ASW1的施加时间段 t_1 延迟预定时间 T_D ,并且第二数据信号DS2的施加时间段 t_5 可以比第二时分控制信号BSW1的施加时间段 t_3 延迟预定时间 T_D 。因此,由于不发生第一至第三数据信号DS1、DS2和DS3之间的交叠,因此解多路复用电路部140可以防止出现颜色混合的问题,并且可以对开关部143进行预充电延迟时间 T_D ,由此像素充电率可以显著增加。因此,解多路复用电路部140可以通过防止发生第一至第三数据信号DS1、DS2和DS3之间的交叠来防止出现颜色混合,并且通过使关于三条控制线CL中的每一条的像素充电时间最大化,与没有提供解多路复用电路部140的情况相比,可以在将多个驱动集成电路123的输出通道CH的数量减少到1/3的同时实施高分辨率的图像。

[0202] 图19是示出根据图18中示出的驱动方法的像素充电率改善效果的图。详细地,图19是示出具有全高清晰度(FHD)的分辨率的解多路复用电路部140的像素充电率和具有超高清晰度(UHD)的分辨率的解多路复用电路部140的像素充电率的图。在这种情况下,结构4对应于同时施加数据信号和时分控制信号的解多路复用电路部140,以及结构5对应于如图18中示出的施加数据信号比时分控制信号延迟的解多路复用电路部140。

[0203] 参照图19,具有FHD的分辨率的结构4的解多路复用电路部140具有大约90%的像素充电率,并且具有FHD的分辨率的结构5的解多路复用电路部140具有大约92%的像素充电率。因此,即使数据信号不比时分控制信号延迟,具有FHD的分辨率的解多路复用电路部140也具有充分的像素充电率。

[0204] 然而,具有UHD的分辨率的结构4的解多路复用电路部140具有大约62%的像素充电率,并且具有UHD的分辨率的结构5的解多路复用电路部140具有大约72%的像素充电率。详细地,具有UHD的分辨率的解多路复用电路部140具有比具有FHD的分辨率的解多路复用电路部140的一个水平周期 $1H$ 短的一个水平周期 $1H$,并且用于驱动解多路复用电路部140的时间相应地变短,由此像素充电时间不足。因此,出现了像素充电率降低的问题。

[0205] 因此,因为第一至第三数据信号DS1、DS2和DS3中的每一个的施加时间可以比第一至第三时分控制信号ASW1、BSW1和CSW1中的每一个的施加时间延迟预定时间 T_D ,所以通过使关于多条控制线中的每一条的像素充电时间最大化,解多路复用电路部140(结构5)可以实施分辨率高于结构4的解多路复用电路部140的分辨率的图像。

[0206] 图20是示出图12中示出的解多路复用电路部的另一示例的电路视图。

[0207] 参照图20,解多路复用电路部140可以包括布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1和两个第二、第四和第五晶体管M2、M4和M5,其中,一条控制线CL可以与多个电容器 C_{bst} 和多个第三晶体管M3连接。此时,布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1可以对控制线CL的电压 V_A 进行充电,并且布置在一条控制线CL的两端中的每一端处的两个第二、第四和第五晶体管M2、M4和M5可以对控制线CL的电压 V_A 进行放电。多个电容器 C_{bst} 中的每一个可以被布置成对应于多个第三晶体管M3中的每一个,由此可以对控制线CL的电压 V_A 进行自举。

[0208] 解多路复用电路部140的电压控制器141还可以包括基于第 k 时分控制信号而导通以将第 k 时分控制信号提供给第 k 控制线的 p 个数量的第一晶体管M1(p 是1到 $(n/i-2)$ 的自然数)。详细地,电压控制器141可以包括与布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1分开的附加第一晶体管M1,由此可以提高控制线CL的充电效率并且因此可以

稳定地保持控制线CL的电压。

[0209] 根据一个示例,解多路复用电路部140的电压控制器141还可以包括通过以预定单位对多个电容器Cbst和多个第三晶体管M3进行分组以对应于多个组中的每一个的第一晶体管M1。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,因此解多路复用电路部140可以包括与一条控制线CL连接的n/3个第三晶体管M3。此时,通过以10个电容器Cbst和10个第三晶体管M3为单位对多个电容器Cbst和多个第三晶体管M3进行分组,解多路复用电路部140还可以包括n/30个第一晶体管M1。以这种方式,解多路复用电路部140的电压控制器141还可以包括与多个电容器Cbst和多个第三晶体管M3的多个组中的每一个相对应的第一晶体管M1,由此可以提高控制线CL的所有区域中的充电效率并且因此可以稳定地保持控制线CL的电压。

[0210] 根据另一示例,解多路复用电路部140的电压控制器141可以包括与多个电容器Cbst和多个第三晶体管M3中的每一个相对应的第一晶体管M1。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,因此解多路复用电路部140的电压控制器141可以包括n/3个第一晶体管M1,其包括布置在控制线CL的两端中的每一端处的第一晶体管M1。

[0211] 根据一个示例和另一示例的解多路复用电路部140的描述仅是示例性的,并且不限于晶体管的数量。因此,解多路复用电路部140的电压控制器141可以提高控制线CL的所有区域中的充电效率,并且将第一晶体管M1的数量控制在不需要过多成本的范围内。

[0212] 图21是示出图12中示出的解多路复用电路部的又一示例的电路视图。

[0213] 参照图21,解多路复用电路部140可以包括布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1和两个第二、第四和第五晶体管M2、M4和M5,其中,一条控制线CL可以与多个电容器Cbst和多个第三晶体管M3连接。此时,布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1可以对控制线CL的电压VA进行充电,并且布置在一条控制线CL的两端中的每一端处的两个第二、第四和第五晶体管M2、M4和M5可以对控制线CL的电压VA进行放电。多个电容器Cbst中的每一个可以被布置成对应于多个第三晶体管M3中的每一个,由此可以对控制线CL的电压VA进行自举。

[0214] 解多路复用电路部140的电压放电部145还可以包括基于由第k时分控制信号控制的放电节点DN的电压VN而导通以对第k控制线进行放电的p个数量的第二晶体管M2(p是1到(n/i-2)的自然数)。详细地,电压放电部145可以包括与布置在一条控制线CL的两端中的每一端处的两个第二晶体管M2分开的附加第二晶体管M2,由此可以提高控制线CL的放电效率并且因此可以防止出现被传递到有机发光二极管的截止电流。

[0215] 根据一个示例,解多路复用电路部140的电压放电部145还可以包括通过以预定单位对多个电容器Cbst和多个第三晶体管M3进行分组以对应于多个组中的每一个的第二晶体管M2。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,因此解多路复用电路部140可以包括与一条控制线CL连接的n/3个第三晶体管M3。此时,通过以10个电容器Cbst和10个第三晶体管M3为单位对多个电容器Cbst和多个第三晶体管M3进行分组,解多路复用电路部140还可以包括n/30个第二晶体管M2。以这种方式,解多路复用电路部140的电

压放电部145还可以包括与多个电容器Cbst和多个第三晶体管M3的多个组中的每一个相对应的第二晶体管M2,由此可以提高控制线CL的所有区域中的放电效率并且因此可以防止出现能够被传递到有机发光二极管的截止电流。

[0216] 根据另一示例,解多路复用电路部140的电压放电部145可以包括与多个电容器Cbst和多个第三晶体管M3中的每一个相对应的第二晶体管M2。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,因此解多路复用电路部140的电压放电部145可以包括n/3个第二晶体管M2,其包括布置在控制线CL的两端中的每一端处的第二晶体管M2。

[0217] 解多路复用电路部140的电压放电部145还可以包括基于电源电压VDD而导通以将电源电压VDD提供给放电节点DN的多个第四晶体管M4和基于第k时分控制信号而导通以对放电节点DN进行放电的多个第五晶体管M5,并且多个第四晶体管M4和多个第五晶体管M5中的每一个的数量可以等于第二晶体管M2的数量。因此,第二、第四和第五晶体管M2、M4和M5可以构成一个电压放电部145,由此可以提高控制线CL的放电效率。

[0218] 根据一个示例和另一示例的解多路复用电路部140的描述仅是示例性的,并且不限于晶体管的数量。因此,解多路复用电路部140的电压放电部145可以提高控制线CL的所有区域中的放电效率,并且将第二、第四和第五晶体管M2、M4和M5的数量控制在不需要过多成本的范围内。

[0219] 图22是示出图12中示出的解多路复用电路部的再一示例的电路视图。

[0220] 参照图22,解多路复用电路部140可以包括布置在一条控制线CL的两端中的每一端处的两个第一晶体管M1和两个第二晶体管M2,其中,一条控制线CL可以与多个电容器Cbst和多个第三晶体管M3连接。

[0221] 电压控制器141还可以包括基于第k时分控制信号而导通以将第k时分控制信号提供给第k控制线的p个数量的第一晶体管M1 (p是1到(n/i-2)的自然数),并且电压放电部145还可以包括基于由第k时分控制信号控制的放电节点的电压VN而导通以对第k控制线CL进行放电的p个数量的第二晶体管M2 (p是1到(n/i-2)的自然数),由此可以提高控制线CL的充电效率和放电效率两者。

[0222] 根据一个示例,解多路复用电路部140还可以包括通过以预定单位对多个电容器Cbst和多个第三晶体管M3进行分组以对应于多个组中的每一个的一对第一晶体管M1和第二晶体管M2。例如,如果显示设备包括n条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,因此解多路复用电路部140可以包括与一条控制线CL连接的n/3个第三晶体管M3。此时,通过以10个电容器Cbst和10个第三晶体管M3为单位对多个电容器Cbst和多个第三晶体管M3进行分组,解多路复用电路部140还可以包括n/30个成对的第一晶体管M1和第二晶体管M2。以这种方式,解多路复用电路部140还可以包括与多个电容器Cbst和多个第三晶体管M3的多个组中的每一个相对应的第一晶体管M1和第二晶体管M2,由此可以同时提高控制线CL的所有区域中的充电效率和放电效率,以稳定地保持控制线CL的电压VA并克服由第二晶体管M2的劣化导致的限制,并且因此可以防止出现能够被传递到有机发光二极管的截止电流。

[0223] 根据另一示例,解多路复用电路部140可以包括与多个电容器Cbst和多个第三晶体管M3中的每一个相对应的一对第一晶体管M1和第二晶体管M2。例如,如果显示设备包括n

条数据线DL1至DLn并且解多路复用电路部140与三条控制线CL_A、CL_B和CL_C连接,则由于一条控制线CL与n/3条数据线DL连接,因此解多路复用电路部140可以包括n/3个成对的第一晶体管M1和第二晶体管M2,其包括布置在控制线CL的两端中的每一端处的一对第一晶体管M1和第二晶体管M2。

[0224] 根据一个示例,如果第一晶体管M1的数量等于第二晶体管M2的数量,则解多路复用电路部140可以将第k控制线CL划分为等于第一晶体管M1和第二晶体管M2的数量的控制线,并且通过一对第一晶体管M1和第二晶体管M2对划分的第k控制线CL的电压VA进行充电和放电。此时,解多路复用电路部140可以通过划分控制线CL来根据连接至控制线CL的电阻器和电容器使时间常数($t=RC$)最小化。因此,解多路复用电路部140可以通过划分控制线CL来实现高速驱动,并且可以在减少输出通道CH的数量的同时实施高分辨率的图像。

[0225] 解多路复用电路部140的电压放电部145还可以包括基于电源电压VDD而导通以将电源电压VDD提供给放电节点DN的多个第四晶体管M4和基于第k时分控制信号而导通以对放电节点DN进行放电的多个第五晶体管M5,并且多个第四晶体管M4和多个第五晶体管M5中的每一个的数量可以等于第二晶体管M2的数量。因此,第二、第四和第五晶体管M2、M4和M5可以构成一个电压放电部145,由此可以提高控制线CL的放电效率。

[0226] 根据一个示例和另一示例的解多路复用电路部140的描述仅是示例性的,并且不限于晶体管的数量。因此,解多路复用电路部140可以提高控制线CL的所有区域中的充电效率和放电效率,并且将成对的第一、第二、第四和第五晶体管M1、M2、M4和M5的数量控制在不需要过多成本的范围内。

[0227] 图23是简要示出图1中示出的解多路复用电路部的布局的平面视图,以及图24是部分地示出图23中示出的解多路复用电路部的示例的视图。

[0228] 参照图23和图24,如果解多路复用电路部140与两条控制线CL_A和CL_B连接并且与n条数据线DL连接,则数据驱动电路部分120的多个驱动集成电路123可以具有n/2个输出通道CH。因此,由于显示设备包括与两条控制线CL_A和CL_B连接的解多路复用电路部140,因此与不包括解多路复用电路部140的显示设备相比,可以在多个驱动集成电路123的输出通道CH的数量可以减少到1/2时实施高分辨率的图像。

[0229] 多个驱动集成电路123中的每一个可以通过与数据链路连接的多个输出通道CH将数据信号提供给解多路复用电路部140。第一控制线CL_A和第二控制线CL_B可以在第一方向上延伸,并且可以被布置成在第二方向上彼此间隔开。在这种情况下,解多路复用电路部140可以通过使与第一控制线CL_A连接的第三晶体管M3导通来将数据信号DS1提供给与多个输出通道CH中的每一个相对应的两条数据线DL的第一数据线DL1、DL3、...、DLn-1,并且可以通过使与第二控制线CL_B连接的第三晶体管M3导通来将数据信号DS2提供给与多个输出通道CH中的每一个相对应的两条数据线DL的第二数据线DL2、DL4、...、DLn。在这种情况下,第一辅助信号ASW2的输入线可以布置在第一控制线CL_A与显示区域A/A之间,并且第二辅助信号BSW2的输入线可以布置在第二控制线CL_B与数据链路之间,但可以不限于这种布置。第一时分控制信号ASW1和第二时分控制信号BSW1可以自由地布置在第一控制线CL_A和第二控制线CL_B中的每一个的一侧或另一侧处。

[0230] 电容器Cbst可以包括设置在与第三晶体管M3的栅电极相同的层上的第一电极和在与第三晶体管M3的源电极和漏电极相同的层上与第三晶体管M3的源电极和漏电极间隔

开的第二电极。

[0231] 根据一个示例,电容器Cbst可以布置在第一控制线CL_A与第一辅助信号ASW2的输入线之间或第二控制线CL_B与第二辅助信号BSW2的输入线之间。例如,电容器Cbst可以被布置成对应于开关部143的第三晶体管M3中的每一个。又例如,电容器Cbst可以通过以预定单位对多个第三晶体管M3进行分组以对应于多个组中的每一个来布置。

[0232] 根据一个示例,第三晶体管M3的漏电极可以与驱动集成电路123的输出通道CH连接,并且可以具有两个分支。第三晶体管M3的源电极可以与数据线DL连接,并且可以具有两个分支。第三晶体管M3的漏电极的两个分支和第三晶体管M3的源电极的两个分支可以交替地布置在与第三晶体管M3的栅电极交叠的区域中。例如,第三晶体管M3的漏电极的一个分支可以布置在第三晶体管M3的源电极的两个分支之间,并且第三晶体管M3的源电极的一个分支可以布置在第三晶体管M3的漏电极的两个分支之间。以这种方式,由于第三晶体管M3的漏电极和源电极中的每一个可以包括两个分支,因此解多路复用电路部140可以使布置有一个第三晶体管M3的布局区域最小化。

[0233] 图25是部分地示出图23中示出的解多路复用电路部的另一示例的视图。

[0234] 参照图25,控制线CL可以在在第一方向上延伸的同时与第三晶体管M3的栅电极连接,并且第一辅助信号ASW2的输入线可以在在第一方向上与控制线CL间隔开地延伸的同时与电容器Cbst的第二电极连接。第三晶体管M3的栅电极可以布置在控制线CL与第一辅助信号ASW2的输入线之间。第三晶体管M3的漏电极可以在与驱动集成电路123的输出通道CH连接的同时与第三晶体管M3的栅电极交叠,并且第三晶体管M3的源电极可以在与数据线DL连接的同时与第三晶体管M3的栅电极交叠。也就是说,第三晶体管M3的漏电极和源电极可以被布置成在同一层上彼此间隔开。

[0235] 电容器Cbst可以在布置在控制线CL与第一辅助信号ASW2的输入线之间的同时布置在第三晶体管M3的栅电极的一侧处。此时,电容器Cbst可以具有与第三晶体管M3的漏电极和源电极的长度相对应的尺寸,第三晶体管M3的漏电极和源电极与栅电极交叠。例如,如果第三晶体管M3的漏电极和源电极中的每一个不具有多个分支,则其与栅电极交叠的长度可以长于第三晶体管M3的漏电极和源电极中的每一个具有多个分支的情况。此时,如果与栅电极交叠的第三晶体管M3的漏电极和源电极中的每一个的长度变长,则电容器Cbst的长度可以增加。

[0236] 根据其他内容,可以在前述控制线CL、前述第一辅助信号ASW2的输入线、前述第三晶体管M3和前述电容器Cbst的布局中进行各种设计和修改,而限于前述描述和附图。

[0237] 图26是沿图25中示出的线A-B截取的截面视图的一个示例。

[0238] 参照图26,第三晶体管M3可以包括栅电极GE、栅极绝缘膜GI、氧化物半导体层ACT、源电极SE和漏电极DE。

[0239] 栅电极GE可以布置在基板110上并且与控制线CL电连接。根据一个示例,栅电极GE可以包括A1基金属诸如A1和A1合金、Ag基金属诸如Ag和Ag合金、Cu基金属诸如Cu和Cu合金、Mo基材料诸如Mo和Mo合金、Cr、Ta、Nd和Ti中的至少一种。此外,栅电极GE可以具有包括至少两个导电膜的多层结构,所述导电膜各自的物理特性彼此不同。

[0240] 栅极绝缘膜GI可以布置在栅电极GE上。根据一个示例,栅极绝缘膜GI可以包括氧化物和硅氮化物中的至少一种,或者可以包括Al₂O₃。栅极绝缘膜GI可以具有单个膜结构

或多层结构。

[0241] 氧化物半导体层ACT可以布置在栅极绝缘膜GI上以与栅电极GE部分地交叠。氧化物半导体层ACT可以对应于沟道层或有源层。根据一个示例,氧化物半导体层ACT可以包括氧化物半导体材料。例如,氧化物半导体层ACT可以由诸如以下的氧化物半导体材料制成:IZO (InZnO)、IGO (InGaO)、ITO (InSnO)、IGZO (InGaZnO)、IGZTO (InGaZnSnO)、GZTO (GaZnSnO)、GZO (GaZnO) 以及ITZO (InSnZnO) 基氧化物半导体材料。然而,氧化物半导体层ACT不限于以上材料,并且可以由本领域已知的其他氧化物半导体材料制成。

[0242] 源电极SE可以布置在氧化物半导体层ACT上并且与数据线DL电连接。漏电极DE可以被布置成与氧化物半导体层ACT上的源电极SE间隔开并且与驱动集成电路123的输出通道CH电连接。

[0243] 源电极SE和漏电极DE可以包括Mo、Al、Cr、Au、Ti、Ni、Nd、Cu及其合金中的至少一种。源电极SE和漏电极DE中的每一个可以由金属或金属合金的单层或两层或更多层的多层制成。

[0244] 如上所述,解多路复用电路部140可以由基于氧化物的薄膜晶体管制成。详细地,解多路复用电路部140的晶体管具有背沟道蚀刻(BCE)结构,其中,在形成源电极SE和漏电极DE的过程期间暴露沟道区域。由于根据本公开内容的显示设备使用通过BCE工艺的基于氧化物的薄膜晶体管来实施解多路复用电路部,因此可以使掩模工艺最小化,改善光刻工艺余量并且提供优异的可靠性。

[0245] 图27是沿图25中示出的线A-B截取的截面视图的另一示例。

[0246] 参照图27,第三晶体管M3可以包括栅电极GE、栅极绝缘膜GI、氧化物半导体层ACT、源电极SE和漏电极DE,其中,氧化物半导体层ACT可以包括第一氧化物半导体层ACT1和第二氧化物半导体层ACT2。

[0247] 第一氧化物半导体层ACT1可以布置在栅极绝缘膜GI上以与栅电极GE部分地交叠。第一氧化物半导体层ACT1可以对应于沟道层或有源层。根据一个示例,第一氧化物半导体层ACT1可以包括氧化物半导体材料。例如,第一氧化物半导体层ACT1可以由诸如以下的氧化物半导体材料制成:IZO (InZnO)、IGO (InGaO)、ITO (InSnO)、IGZO (InGaZnO)、IGZTO (InGaZnSnO)、GZTO (GaZnSnO)、GZO (GaZnO) 以及ITZO (InSnZnO) 基氧化物半导体材料。然而,第一氧化物半导体层ACT1不限于以上材料,并且可以由本领域已知的其他氧化物半导体材料制成。

[0248] 第二氧化物半导体层ACT2可以布置在第一氧化物半导体层ACT1上以保护第一氧化物半导体层ACT1。详细地,第二氧化物半导体层ACT2可以包括浓度高于第一氧化物半导体层ACT1的氮的氮,并且可以具有比第一氧化物半导体层ACT1的膜稳定性更优异的膜稳定性。例如,包含在第二氧化物半导体层ACT2中的氮可以与氧形成稳定的键合,并且可以稳定地布置在金属元素之间。以这种方式,包含氮的第二氧化物半导体层ACT2可以具有优异的膜稳定性。由于第二氧化物半导体层ACT2关于用于制造薄膜晶体管的诸如曝光、蚀刻、图案化和热处理的工艺具有优异的耐久性,因此第二氧化物半导体层ACT2可以保护其下面的第一氧化物半导体层ACT1。

[0249] 如上所述,解多路复用电路部140可以由基于氧化物的薄膜晶体管制成。详细地,解多路复用电路部140的晶体管具有背沟道蚀刻(BCE)结构,其中,在形成源电极SE和漏电

极DE的过程期间暴露沟道区域。例如,通过在制造BCE结构的薄膜晶体管的过程期间进行蚀刻和图案化以形成源电极SE和漏电极DE,可以从源电极SE和漏电极DE暴露出解多路复用电路部140的沟道区域。此时,氧化物半导体层ACT可以暴露于蚀刻气体或蚀刻溶液。尽管第二氧化物半导体层ACT2暴露于蚀刻气体或蚀刻溶液,但由于第二氧化物半导体层ACT2包括氮并且因此具有优异的膜稳定性,因此根据本公开内容的解多路复用电路部140不会被蚀刻气体或蚀刻溶液损坏。因此,由于第二氧化物半导体层ACT2在所有区域上具有优异的膜稳定性,因此第二氧化物半导体层ACT2可以有效地保护第一氧化物半导体层ACT1。

[0250] 因此,由于根据本公开内容的显示设备使用通过BCE工艺的基于氧化物的薄膜晶体管来实施解多路复用电路部,因此可以使掩模工艺最小化,改善光刻工艺余量并且提供优异的可靠性。

[0251] 此外,由于根据本公开内容的显示设备包括使用基于氧化物的薄膜晶体管的解多路复用电路部,因此通过响应于时分控制信号而增强控制线的放电功能,解多路复用电路部能够通过克服由于与基于LTPS的薄膜晶体管相比低的迁移率和劣化导致的限制来保持稳定的输出。由于显示设备包括使用基于氧化物的薄膜晶体管的解多路复用电路部,因此可以防止出现能够被传递到有机发光二极管的截止电流,可以使边框区域最小化,并且可以实施显示面板的高分辨率的图像。此外,使用基于氧化物的薄膜晶体管的解多路复用电路部通过背沟道蚀刻(BCE)工艺实施,由此可以使掩模工艺最小化,改善光刻工艺余量并且提供优异的可靠性。

[0252] 对于本领域技术人员将明显的是,上述本公开内容不限于上述实施方式和附图,并且可以在不脱离公开内容的精神或范围的情况下在本公开内容中进行各种替换、修改和变型。因此,本公开内容的范围由所附权利要求限定,并且旨在从权利要求的含义、范围和等同概念得出的所有变型或修改都落入本公开内容的范围内。

[0253] 上述各种实施方式可以被组合以提供另外的实施方式。本说明书中提及并且/或者在申请数据表中列出的美国专利、美国专利申请公开、美国专利申请、外国专利、外国专利申请和非专利公开中的所有通过引用以其整体并入本文。如果必要的话,可以修改实施方式的各方面以采用各种专利、申请和公开的概念来提供其他实施方式。

[0254] 根据以上详细描述,可以对实施方式进行这些和其他改变。通常,在以下权利要求中,使用的术语不应被解释为将权利要求限制于说明书和权利要求中公开的特定实施方式,而是应当被解释为包括所有可能的实施方式以及这样的权利要求所赋予的等同物的全部范围。因此,权利要求不受本公开内容的限制。

[0255] 本公开还包括以下配置:

[0256] 1. 一种显示设备,包括用于将从数据驱动电路提供的数据信号顺序地提供给至少两条数据线的解多路复用电路部,所述解多路复用电路部包括:

[0257] 开关部,用于基于控制线的电压将所述数据信号顺序地提供给至少两条数据线;

[0258] 电压控制器,用于响应于时分控制信号对所述控制线的电压进行控制;以及

[0259] 电压放电部,用于响应于所述时分控制信号对所述控制线的电压进行放电。

[0260] 2. 根据1所述的显示设备,其中,所述电压控制器包括第一晶体管,所述第一晶体管基于第一时分控制信号而导通,以将所述第一时分控制信号提供给所述控制线。

[0261] 3. 根据2所述的显示设备,其中,所述电压控制器还包括电容器,所述电容器用于

基于与所述第一时分控制信号部分交叠的第一辅助信号更多地增加所述控制线的电压。

[0262] 4. 根据3所述的显示设备,其中,所述第一辅助信号的第一转变时间段对应于所述第一时分控制信号的第一转变时间段和第二转变时间段之间的时间段。

[0263] 5. 根据2所述的显示设备,其中,所述电压放电部包括第二晶体管,所述第二晶体管基于与所述第一时分控制信号间隔开的第二时分控制信号而导通,以对所述控制线进行放电。

[0264] 6. 根据5所述的显示设备,其中,所述电压放电部还包括放电晶体管,所述放电晶体管用于基于与所述第二时分控制信号部分交叠的第二辅助信号对所述控制线的电压进行另外放电。

[0265] 7. 根据6所述的显示设备,其中,所述第二辅助信号的第一转变时间段对应于所述第二时分控制信号的第一转变时间段和第二转变时间段之间的时间段。

[0266] 8. 根据5所述的显示设备,其中,所述开关部包括第三晶体管,所述第三晶体管从所述第一时分控制信号的第一转变时间段到与所述第一时分控制信号间隔开的第二时分控制信号的第一转变时间段导通,以将所述数据信号顺序地提供给至少两条数据线。

[0267] 9. 根据2所述的显示设备,其中,所述电压放电部包括第二晶体管,所述第二晶体管基于由所述第一时分控制信号控制的放电节点的电压而导通,以对所述控制线进行放电。

[0268] 10. 根据9所述的显示设备,其中,所述电压放电部还包括:

[0269] 第四晶体管,其基于电源电压而导通,以将所述电源电压提供给所述放电节点;以及

[0270] 第五晶体管,其基于所述第一时分控制信号而导通,以对所述放电节点进行放电。

[0271] 11. 根据9所述的显示设备,其中,所述放电节点具有与所述第一时分控制信号反相的电压。

[0272] 12. 根据9所述的显示设备,其中,所述开关部包括第三晶体管,所述第三晶体管从所述第一时分控制信号的第一转变时间段到所述第一时分控制信号的第二转变时间段导通,以将所述数据信号顺序地提供给至少两条数据线。

[0273] 13. 根据1所述的显示设备,其中,所述开关部包括第三晶体管,所述第三晶体管基于所述控制线的电压而导通,所述第三晶体管包括:

[0274] 栅电极,其布置在基板上并与所述控制线电连接;

[0275] 栅极绝缘膜,其位于所述栅电极上;

[0276] 氧化物半导体层,其布置在所述栅极绝缘膜上以与所述栅电极部分交叠;

[0277] 源电极,其布置在所述氧化物半导体层上;以及

[0278] 漏电极,其布置成与所述氧化物半导体层上的源电极间隔开。

[0279] 14. 根据13所述的显示设备,其中,所述氧化物半导体层包括:

[0280] 第一氧化物半导体层,其布置在所述栅极绝缘膜上;以及

[0281] 第二氧化物半导体层,其布置在所述第一氧化物半导体层上以保护所述第一氧化物半导体层。

[0282] 15. 根据14所述的显示设备,其中,所述第二氧化物半导体层的氮浓度高于所述第一氧化物半导体层的氮浓度,并且所述第二氧化物半导体层具有比所述第一氧化物半导体

层的膜稳定性更优异的膜稳定性。

[0283] 16. 根据13和14中任一项所述的显示设备,其中,所述电压控制器包括电容器,所述电容器用于基于与所述时分控制信号相关联的辅助信号来更多地增加所述控制线的电压,并且所述电容器包括:

[0284] 第一电极,其设置在与所述第三晶体管的栅电极相同的层上;以及

[0285] 第二电极,其设置在与所述第三晶体管的所述源电极和所述漏电极相同的层上并与所述源电极和所述漏电极间隔开。

[0286] 17. 根据1所述的显示设备,其中,所述时分控制信号包括在一个水平周期内顺序提供的第一时分控制信号、第二时分控制信号和第三时分控制信号,所述第一时分控制信号和所述第二时分控制信号彼此部分交叠,并且所述第二时分控制信号和所述第三时分控制信号彼此部分交叠。

[0287] 18. 根据17所述的显示设备,其中,所述数据驱动电路将与所述第一时分控制信号、所述第二时分控制信号和所述第三时分控制信号分别对应的第一数据信号、第二数据信号和第三数据信号提供给所述解多路复用电路部,并且与所述第一时分控制信号、所述第二时分控制信号和所述第三时分控制信号中的每一个的第一转变时间段相比,所述第一数据信号、所述第二数据信号和所述第三数据信号中的每一个的第一转变时间段更多地被延迟。

[0288] 19. 一种显示设备,包括:

[0289] n条数据线;

[0290] 解多路复用电路部,其连接到第一控制线至第i控制线并连接到所述n条数据线,其中i是2或更大的自然数;以及

[0291] 数据驱动电路,其具有连接到所述解多路复用电路部的第一输出通道至第n/i输出通道,

[0292] 所述解多路复用电路部包括:

[0293] 电压控制器,用于响应于第一时分控制信号至第i时分控制信号对所述第一控制线至所述第i控制线的电压进行控制;

[0294] 开关部,用于基于所述第一控制线至所述第i控制线中的每一个的电压将从所述第一输出通道至所述第n/i输出通道提供的数据信号顺序地提供给所述n条数据线;以及

[0295] 电压放电部,用于响应于所述第一时分控制信号至所述第i时分控制信号对所述第一控制线至所述第i控制线的电压进行放电。

[0296] 20. 根据19所述的显示设备,其中,所述电压控制器包括两个第一晶体管,所述两个第一晶体管连接到第k控制线的两端中的每一端,并基于第k时分控制信号而导通以将所述第k时分控制信号提供给所述第k控制线,其中,k是1到i-1的自然数,并且所述电压放电部包括两个第二晶体管,所述两个第二晶体管连接到所述第k控制线的两端中的每一端,并基于与所述第k时分控制信号间隔开的第k+1时分控制信号而导通以对所述第k控制线进行放电。

[0297] 21. 根据20所述的显示设备,其中,所述电压控制器还包括p个第一晶体管,其中,p是1到n/i-2的自然数,所述p个第一晶体管基于所述第k时分控制信号而导通,以将所述第k时分控制信号提供给所述第k控制线。

[0298] 22. 根据20所述的显示设备,其中,所述电压放电部还包括 p 个第二晶体管,其中, p 是1到 $n/i-2$ 的自然数,所述 p 个第二晶体管基于所述第 $k+1$ 时分控制信号而导通,以对所述第 k 控制线进行放电。

[0299] 23. 根据20所述的显示设备,其中,所述电压控制器还包括 p 个第一晶体管,所述 p 个第一晶体管基于所述第 k 时分控制信号而导通,以将所述第 k 时分控制信号提供给所述第 k 控制线,并且所述电压放电部还包括 p 个第二晶体管,所述 p 个第二晶体管基于所述第 $k+1$ 时分控制信号而导通,以对所述第 k 控制线进行放电,其中, p 是1到 $n/i-2$ 的自然数。

[0300] 24. 根据23所述的显示设备,其中,所述第 k 控制线被划分为所述第一晶体管和所述第二晶体的数量,并且所述第 k 控制线的电压通过一对所述第一晶体管和所述第二晶体管进行充电和放电。

[0301] 25. 根据20至24中任一项所述的显示设备,其中,所述电压放电部还包括 q 个放电晶体管,其中, q 是1到 n/i 的自然数,所述 q 个放电晶体管用于基于与所述第 $k+1$ 时分控制信号部分交叠的第 $k+1$ 辅助信号对所述第 k 控制线的电压进行另外放电。

[0302] 26. 根据19所述的显示设备,其中,所述电压控制器包括两个第一晶体管,所述两个第一晶体管连接到第 k 控制线的两端中的每一端,并基于第 k 时分控制信号而导通以将所述第 k 时分控制信号提供给所述第 k 控制线,其中, k 是1到 $i-1$ 的自然数,并且所述电压放电部包括两个第二晶体管,所述两个第二晶体管连接到所述第 k 控制线的两端中的每一端,并基于由所述第 k 时分控制信号控制的放电节点的电压而导通以对所述第 k 控制线进行放电。

[0303] 27. 根据26所述的显示设备,其中,所述电压控制器还包括 p 个第一晶体管,其中, p 是1到 $n/i-2$ 的自然数,所述 p 个第一晶体管基于所述第 k 时分控制信号而导通,以将所述第 k 时分控制信号提供给所述第 k 控制线。

[0304] 28. 根据26所述的显示设备,其中,所述电压放电部还包括 p 个第二晶体管,其中, p 是1到 $n/i-2$ 的自然数,所述 p 个第二晶体管基于由所述第 k 时分控制信号控制的放电节点的电压而导通,以对所述第 k 控制线进行放电。

[0305] 29. 根据26所述的显示设备,其中,所述电压控制器还包括 p 个第一晶体管,所述 p 个第一晶体管基于所述第 k 时分控制信号而导通以将所述第 k 时分控制信号提供给所述第 k 控制线,并且所述电压放电部还包括 p 个第二晶体管,所述 p 个第二晶体管基于由所述第 k 时分控制信号控制的放电节点的电压而导通以对所述第 k 控制线进行放电,其中, p 是1到 $n/i-2$ 的自然数。

[0306] 30. 根据29所述的显示设备,其中,所述第 k 控制线被划分为所述第一晶体管和所述第二晶体的数量,并且所述第 k 控制线的电压通过一对所述第一晶体管和所述第二晶体管进行充电和放电。

[0307] 31. 根据26至30中任一项所述的显示设备,其中,所述电压放电部还包括:

[0308] 多个第四晶体管,其基于电源电压而导通,以将所述电源电压提供给所述放电节点;以及

[0309] 多个第五晶体管,其基于所述第 k 时分控制信号而导通,以对所述放电节点进行放电,并且

[0310] 所述多个第四晶体的数量和所述多个第五晶体的数量都等于所述第二晶体的数量。

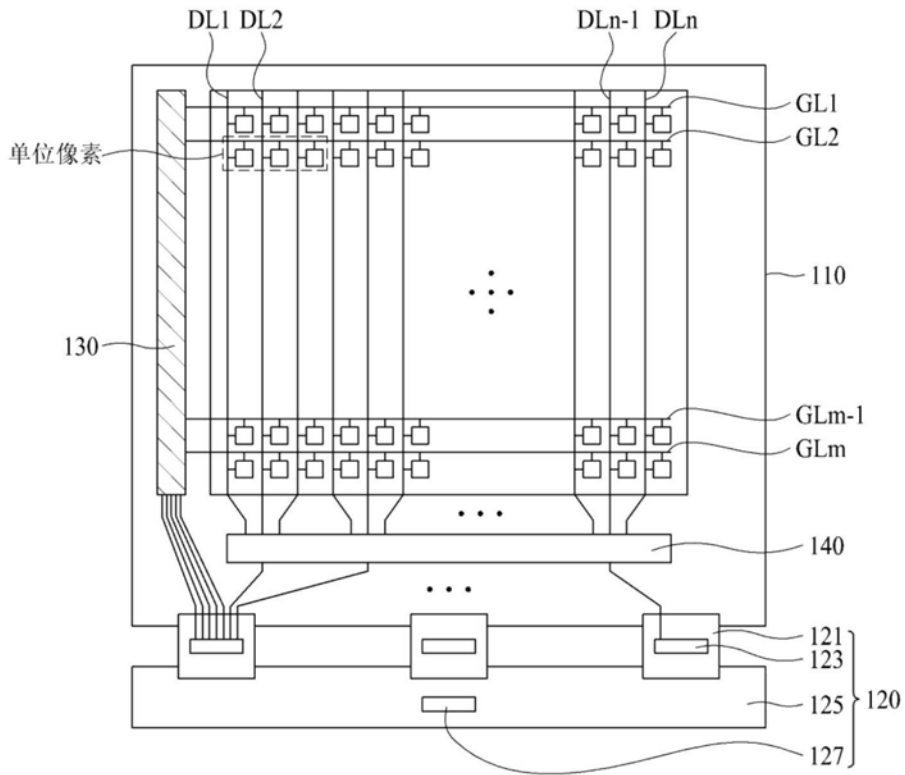


图1

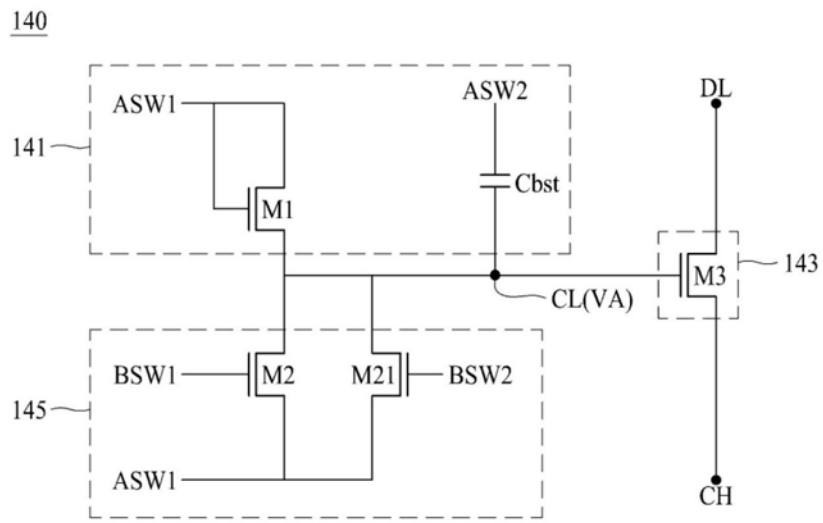


图2

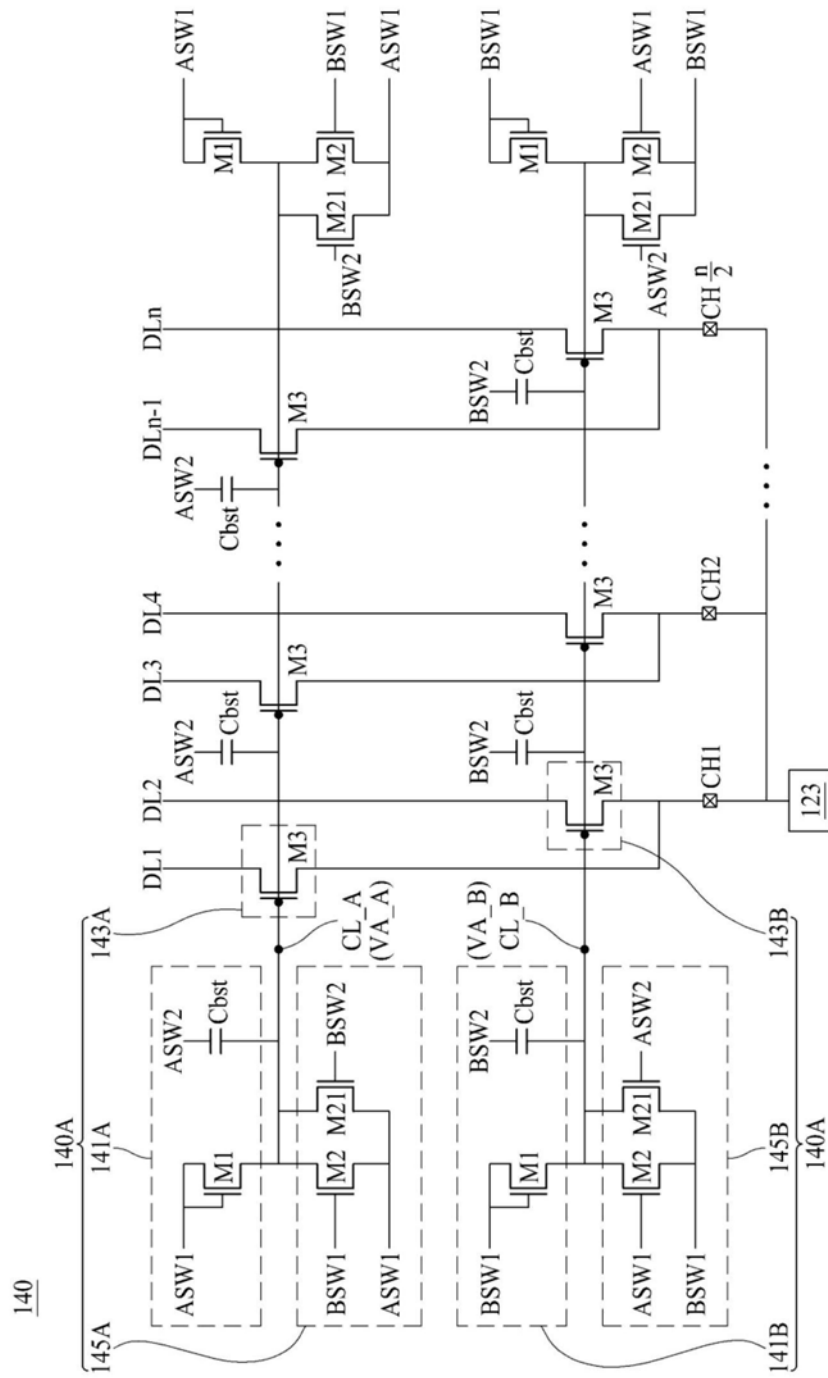


图3

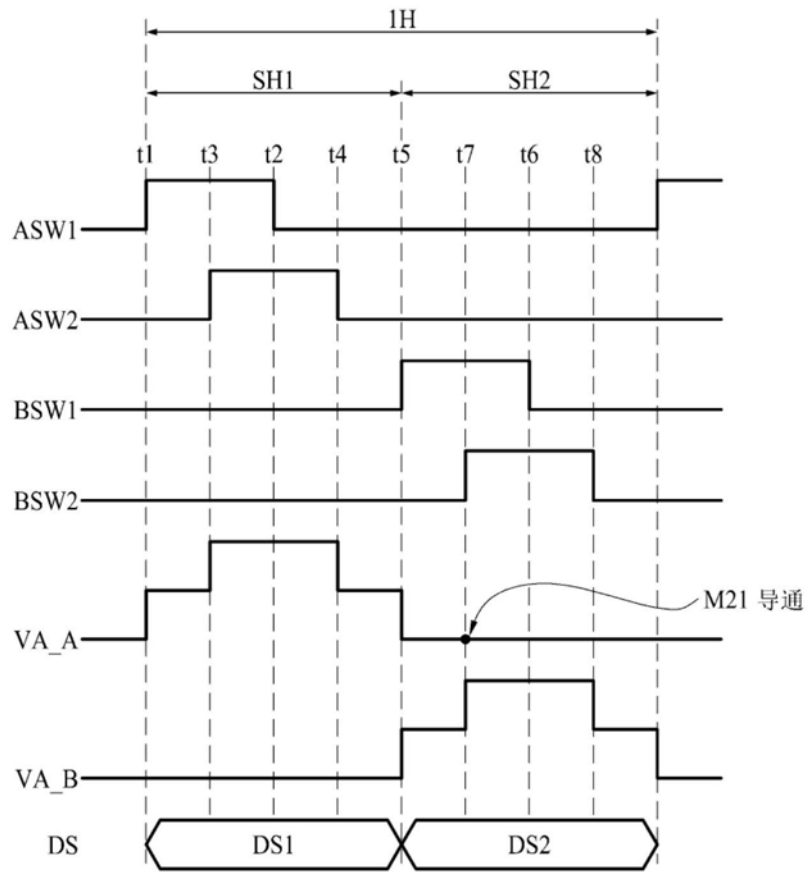


图4

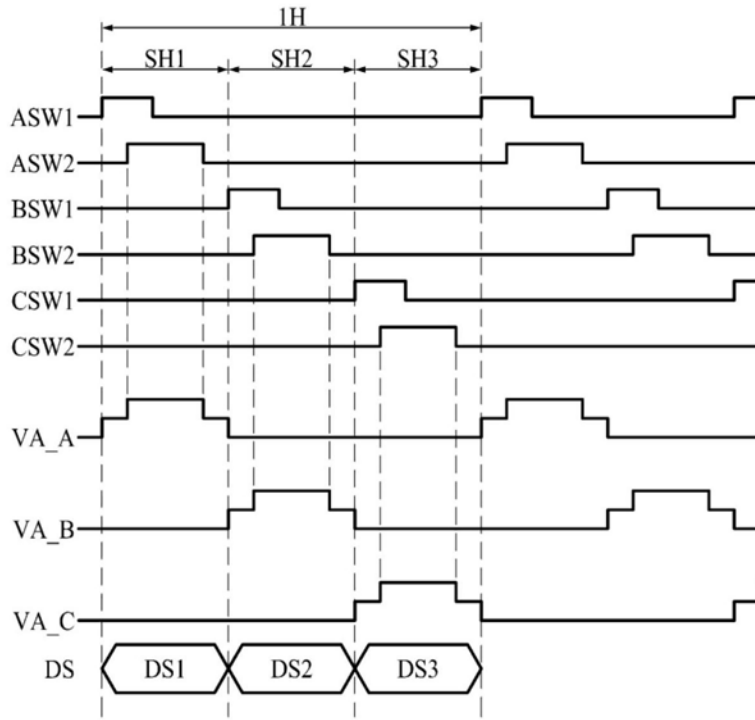


图6

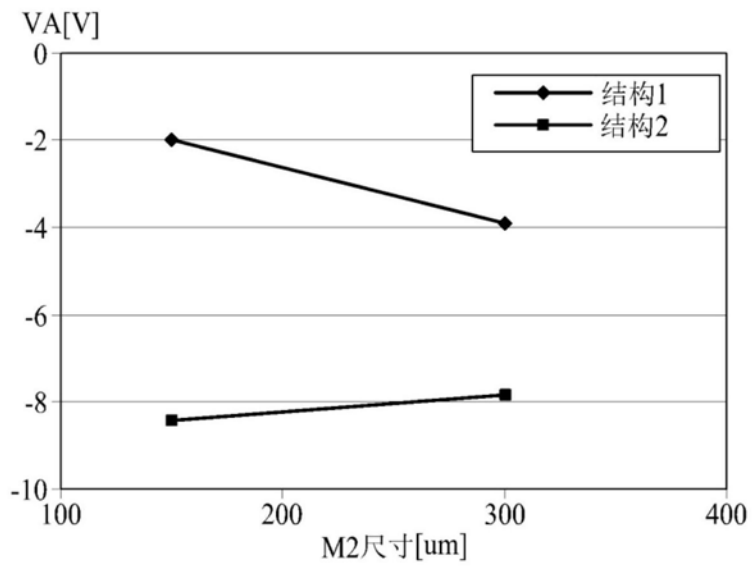


图7

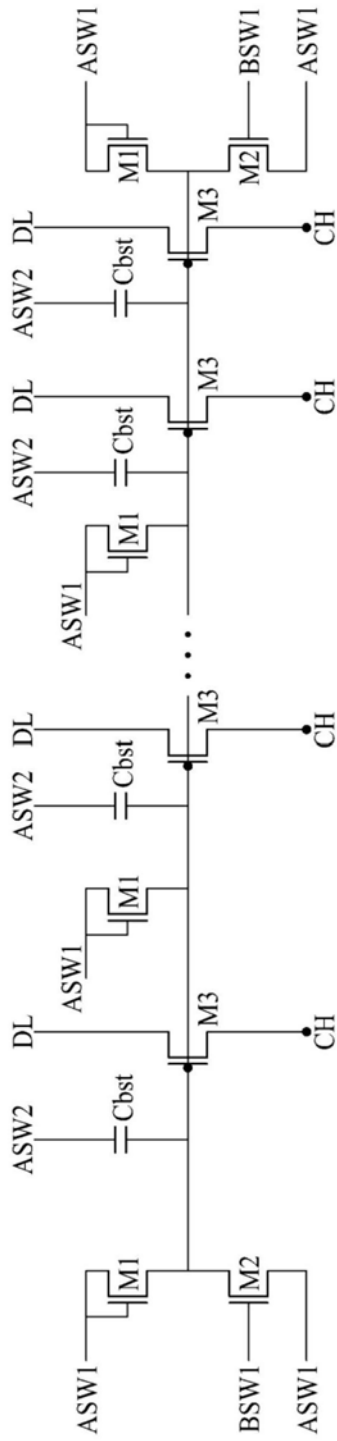


图8

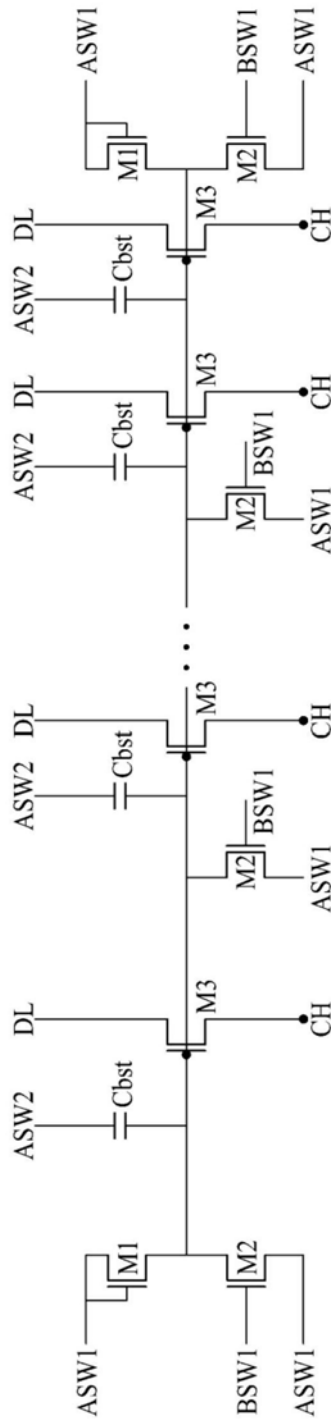


图9

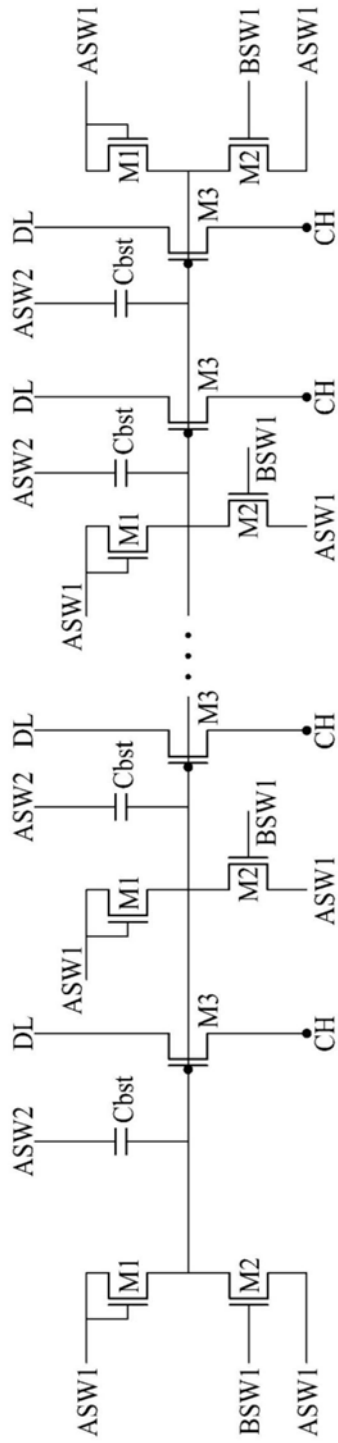


图10

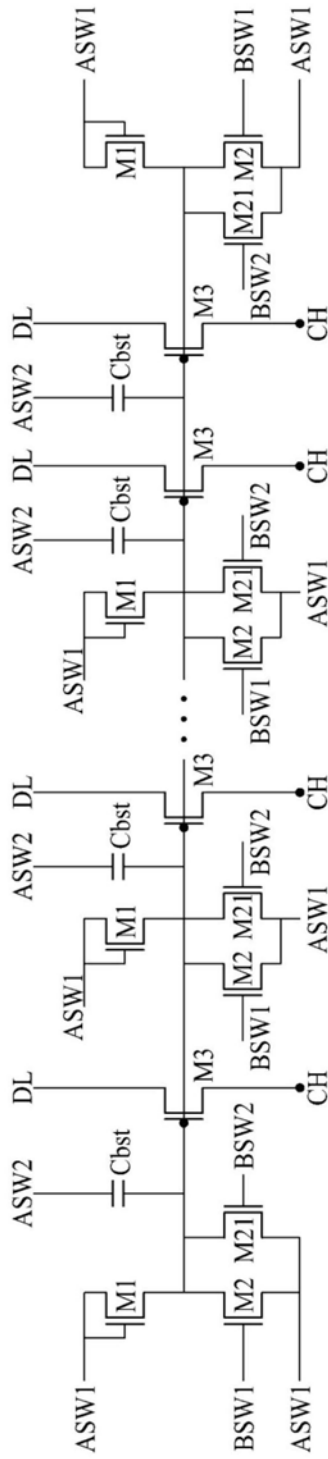


图11

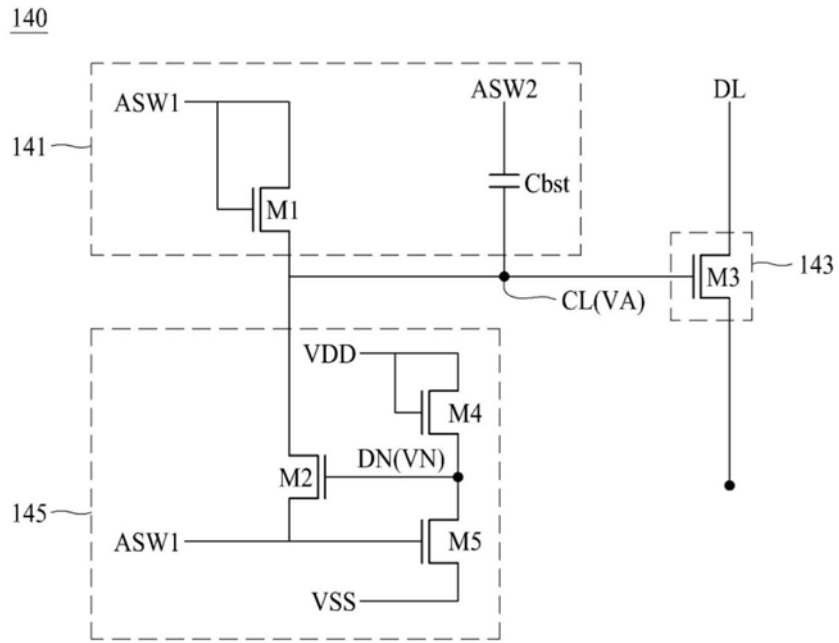


图12

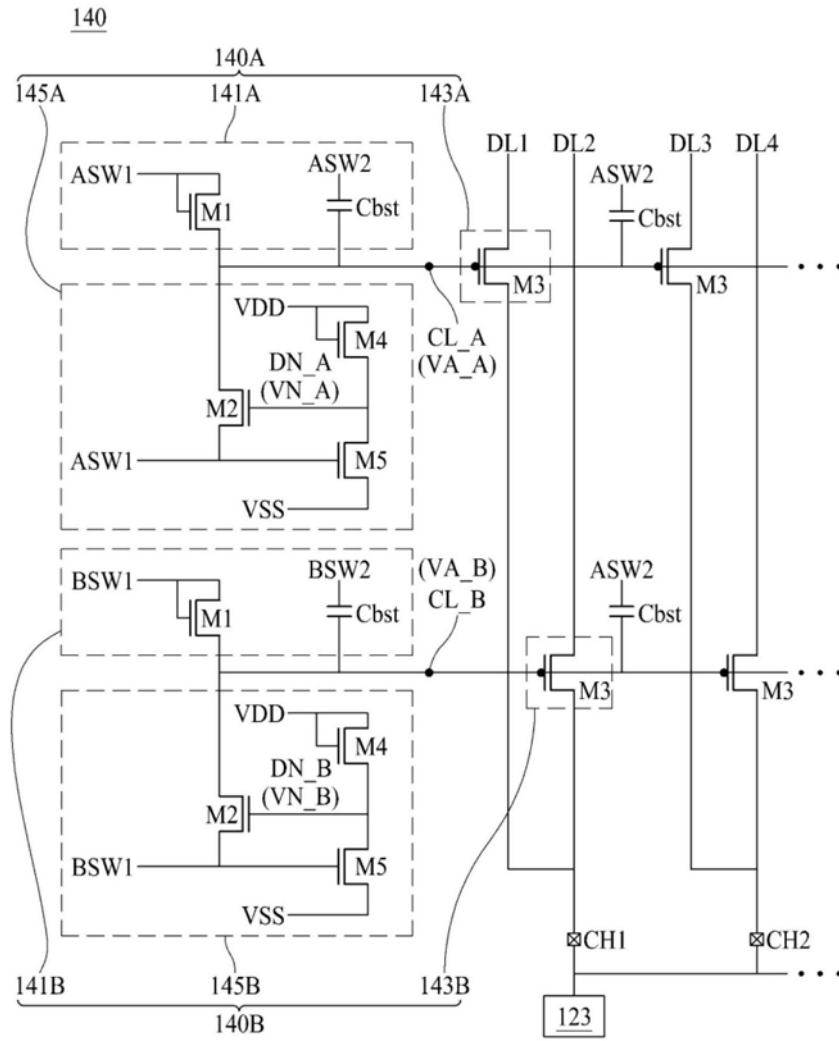


图13

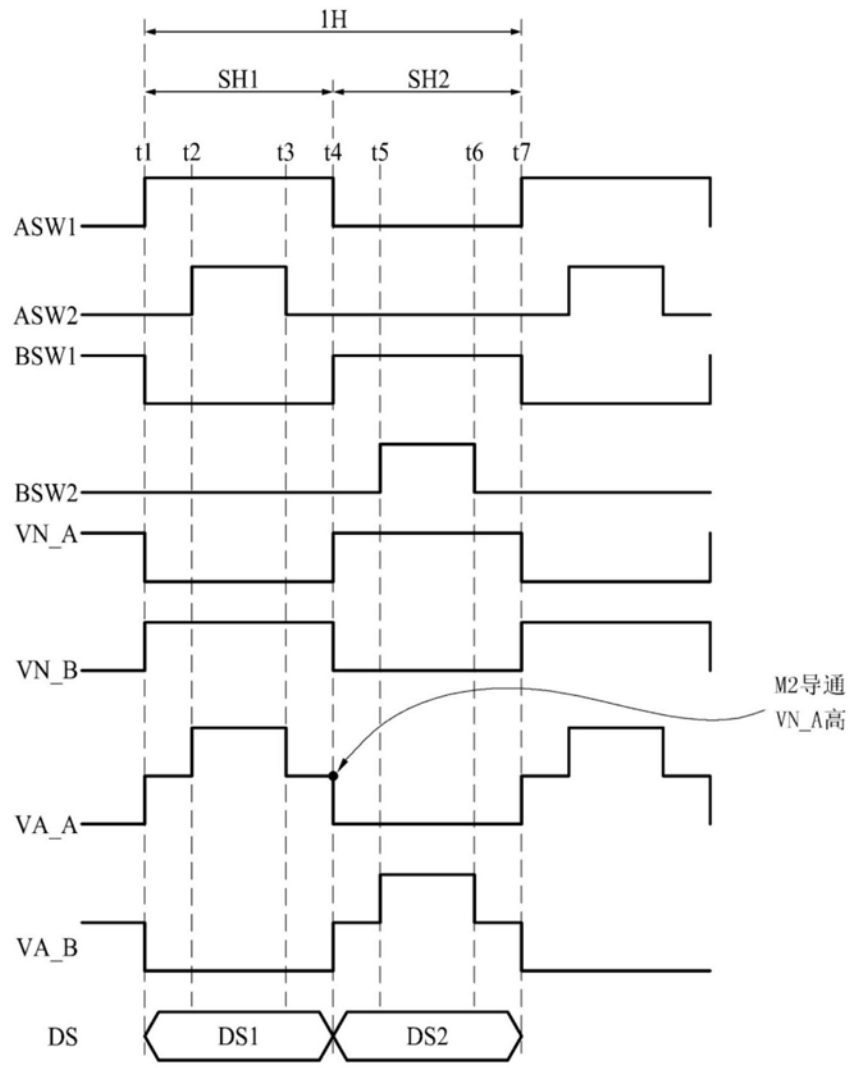


图14

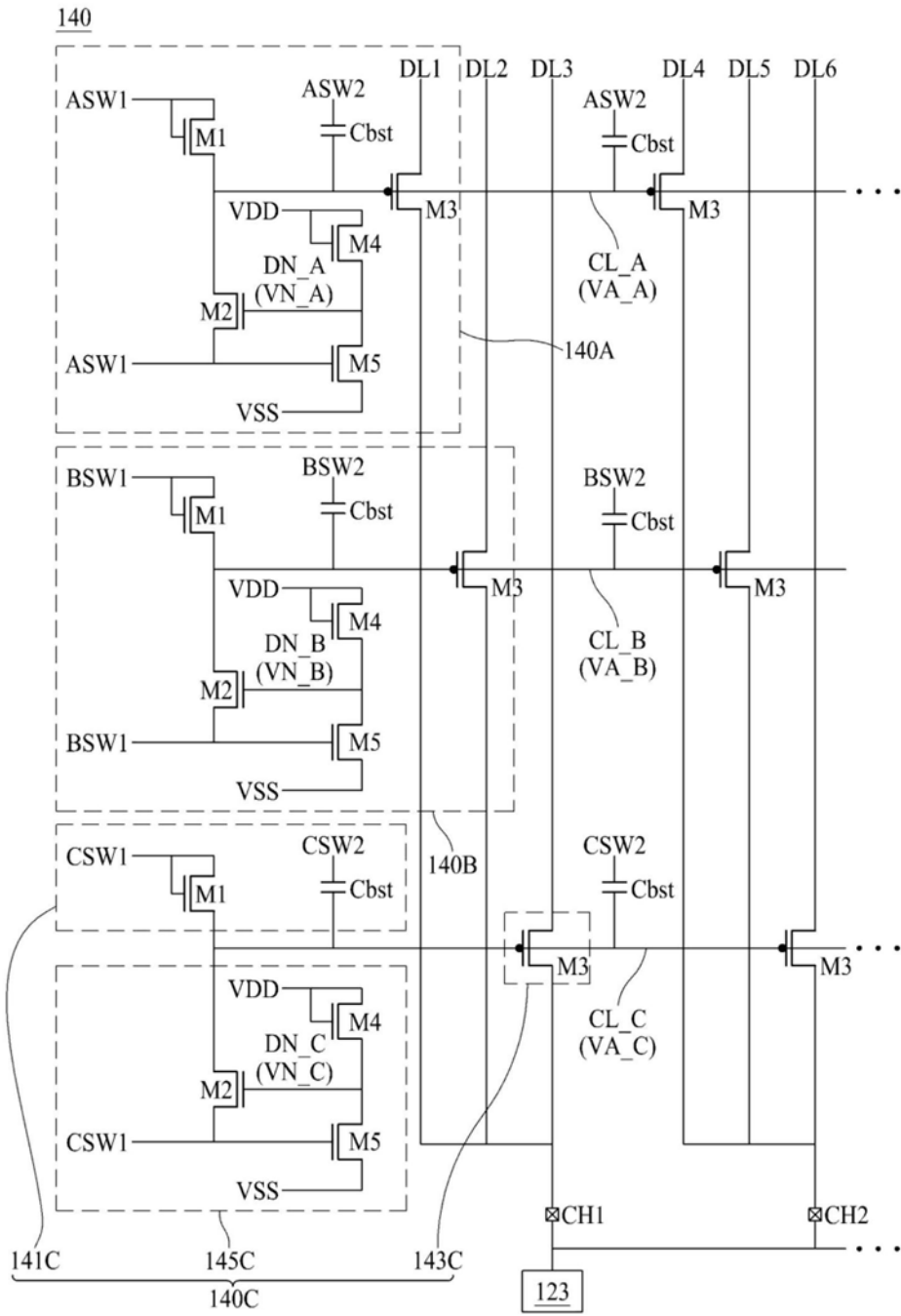


图15

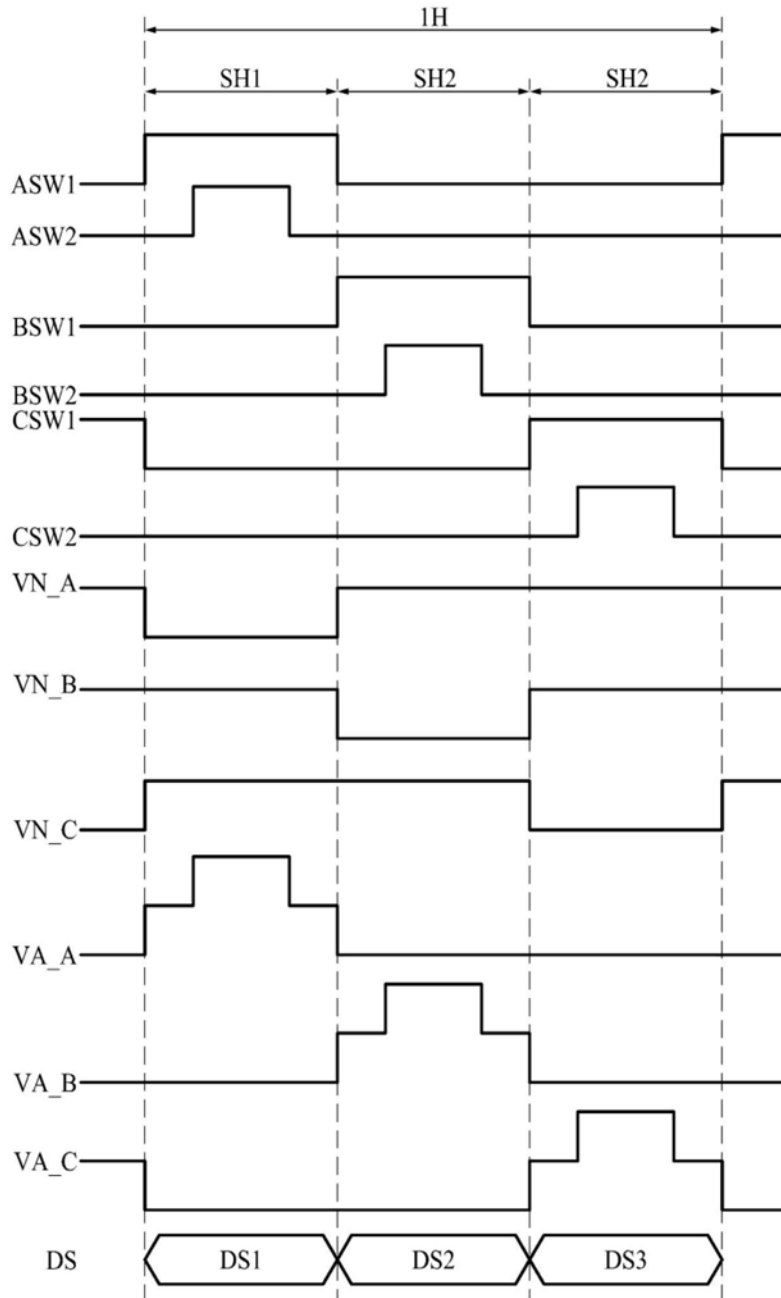


图16

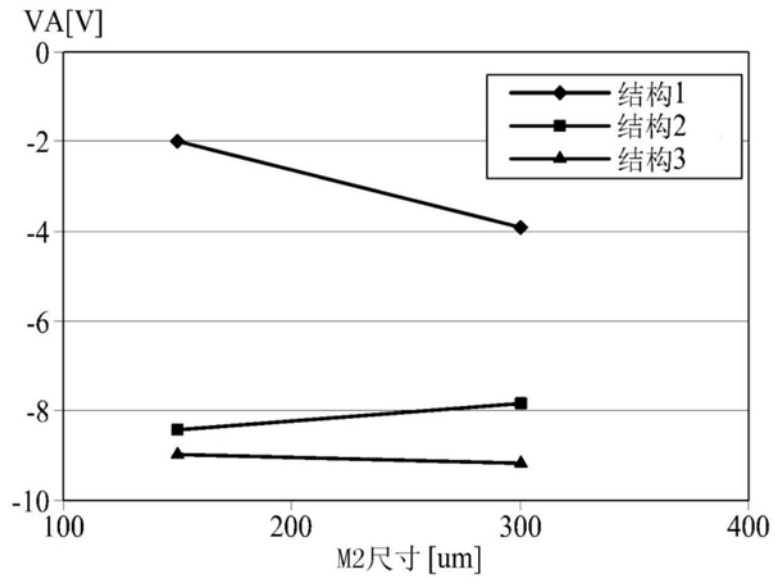


图17

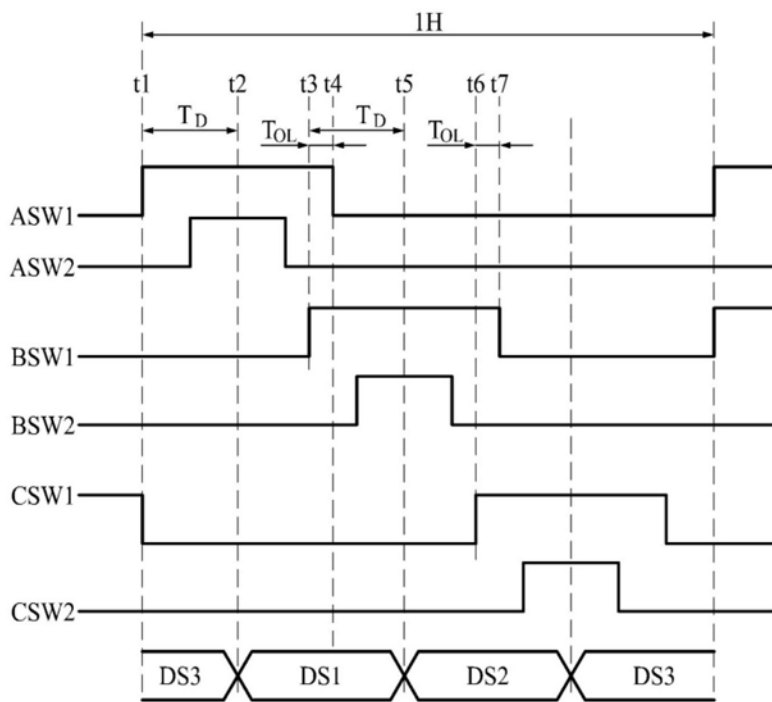


图18

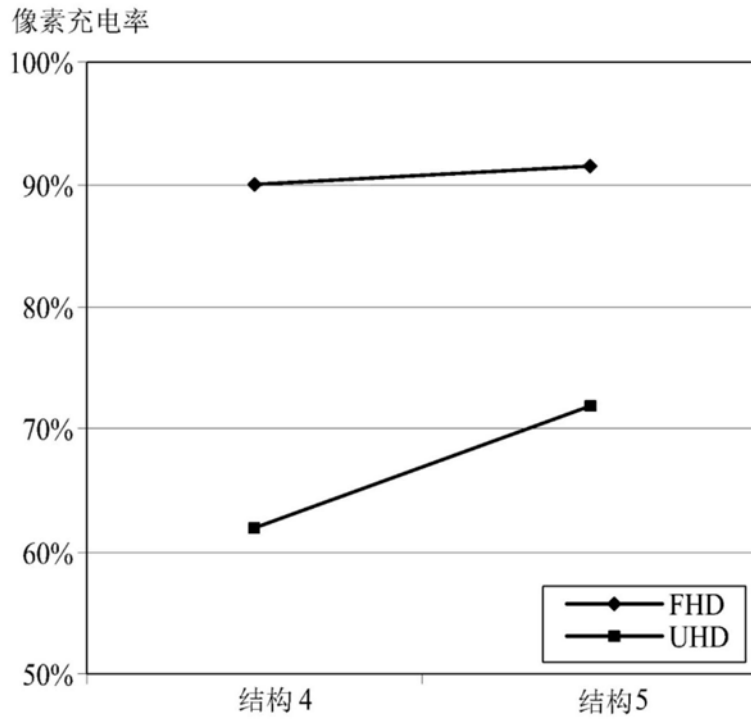


图19

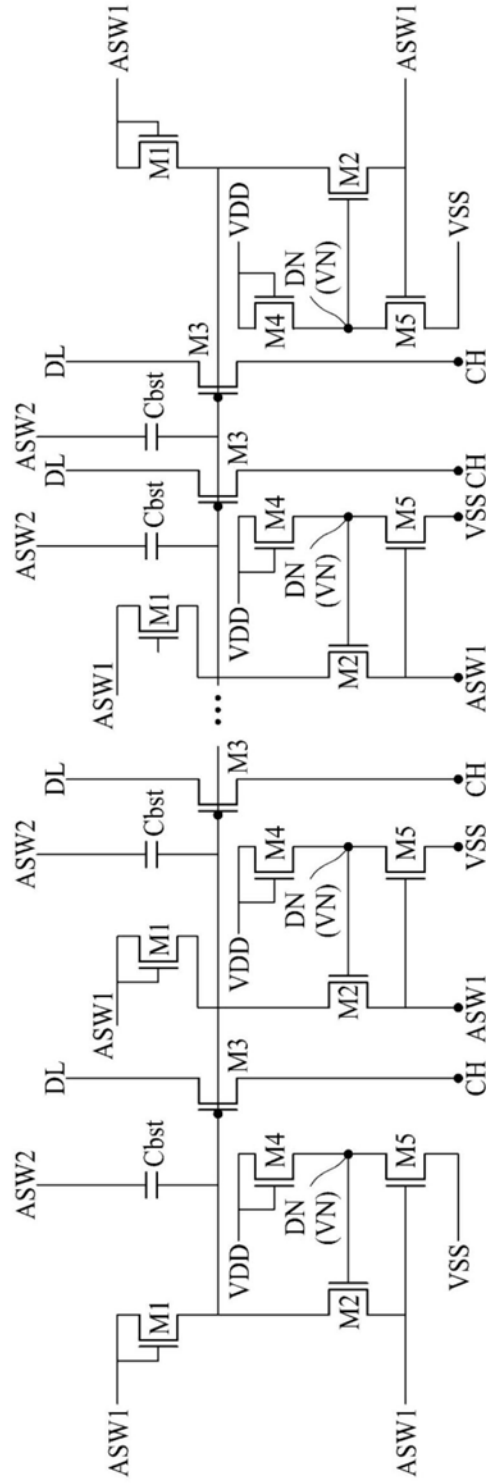


图22

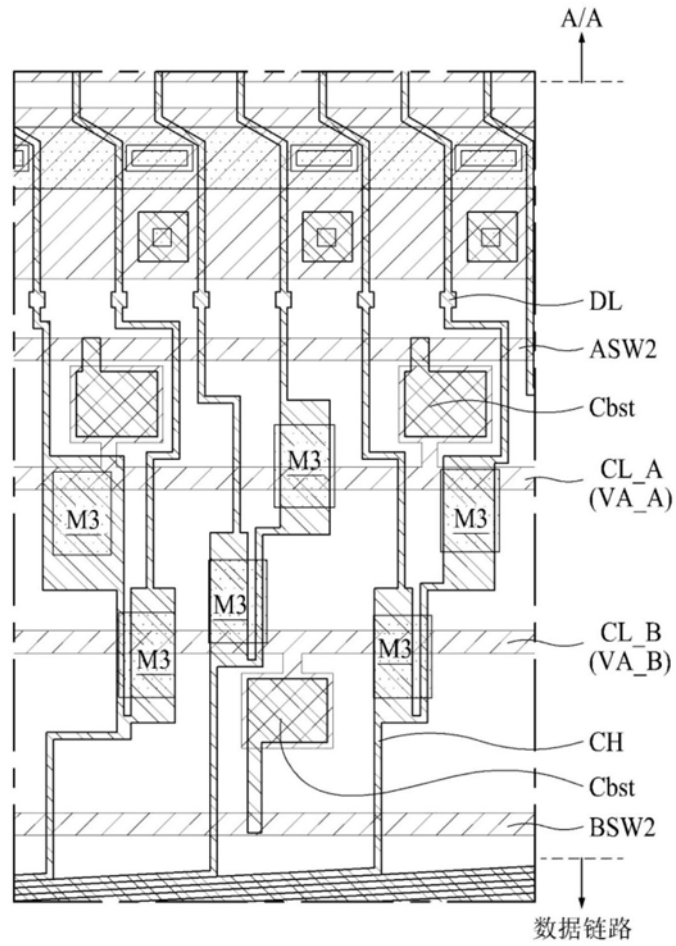


图23

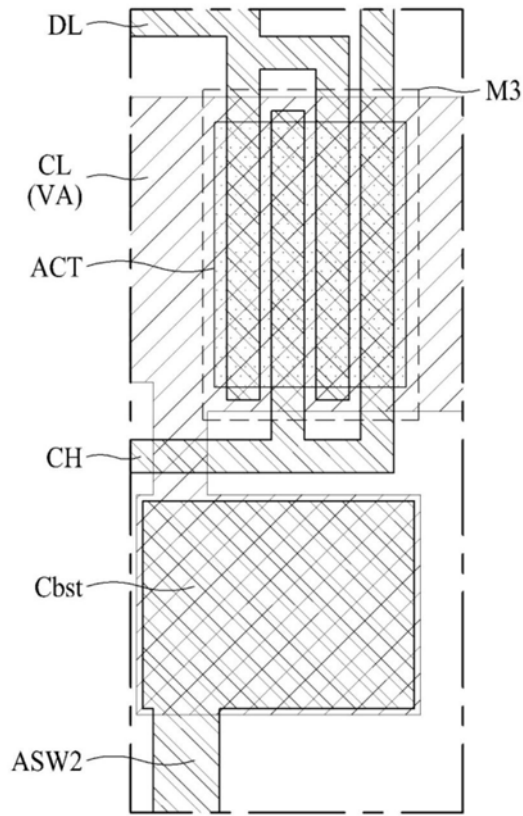


图24

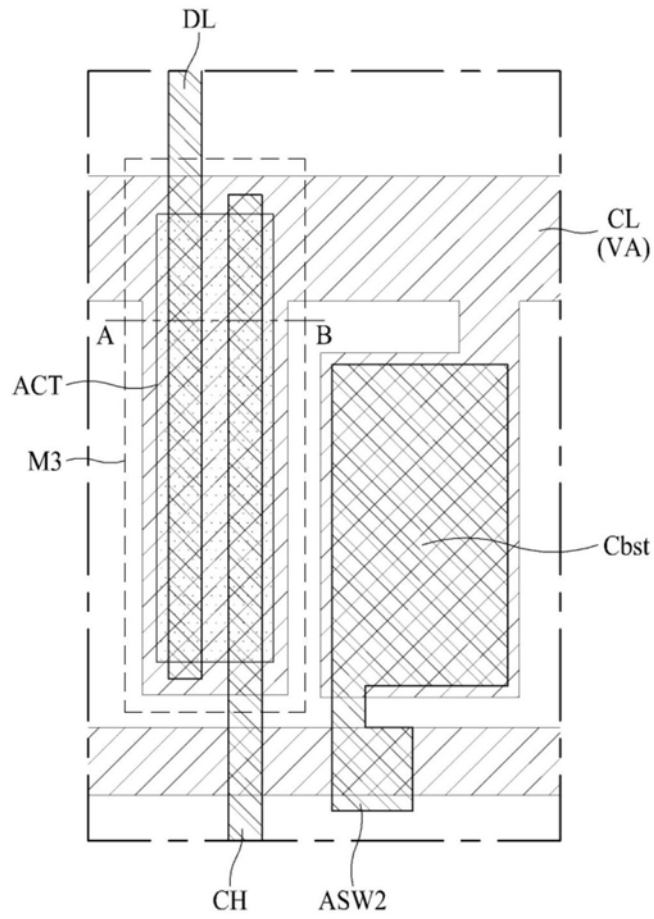


图25

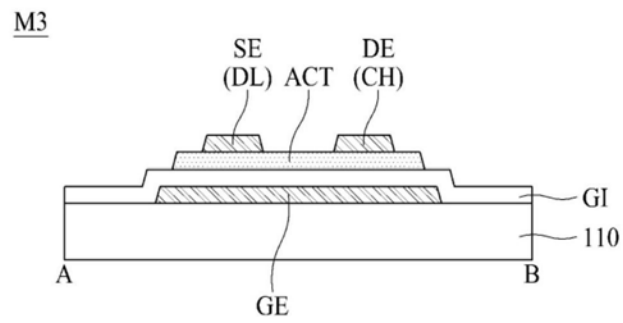


图26

M3

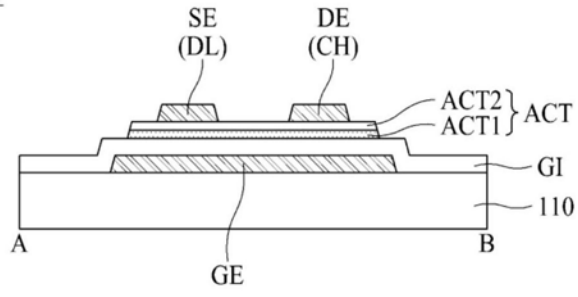


图27

专利名称(译)	显示设备		
公开(公告)号	CN110738967A	公开(公告)日	2020-01-31
申请号	CN201910649813.6	申请日	2019-07-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	李正贤		
发明人	李正贤 洪礼媛		
IPC分类号	G09G3/3275		
CPC分类号	G09G3/3275 G09G2310/0251 G09G2310/0297 G09G2310/08 G09G3/325		
代理人(译)	刘焯		
优先权	1020180084953 2018-07-20 KR		
外部链接	Espacenet SIPO		

摘要(译)

本申请公开了一种显示设备，该显示设备包括用于将从数据驱动电路提供的数据信号顺序地提供给至少两条数据线的解多路复用电路部，该解多路复用电路部包括：开关部，用于基于控制线的电压将数据信号顺序地提供给至少两条数据线；电压控制器，用于响应于时分控制信号对控制线的电压进行控制；以及电压放电部，用于响应于时分控制信号对控制线的电压进行放电。因此，可以防止出现能够被传递到有机发光二极管的截止电流，可以使边框区域最小化，并且可以实现显示面板的高分辨率的图像。

