



(12) 实用新型专利

(10) 授权公告号 CN 204834623 U

(45) 授权公告日 2015. 12. 02

(21) 申请号 201520399768. 0

(22) 申请日 2015. 06. 10

(73) 专利权人 信利(惠州)智能显示有限公司
地址 516006 广东省惠州市仲恺高新区仲恺大道 666 号科融创业大厦 13 层

(72) 发明人 罗锦钊

(74) 专利代理机构 广州三环专利代理有限公司
44202
代理人 章兰芳

(51) Int. Cl.
H01L 27/12(2006. 01)
H01L 27/32(2006. 01)

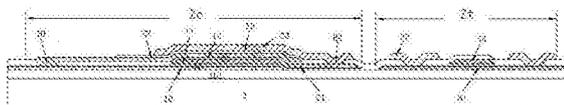
权利要求书1页 说明书4页 附图2页

(54) 实用新型名称

一种用于低温多晶硅有机发光显示器件的堆叠电容结构

(57) 摘要

本实用新型提供一种用于低温多晶硅有机发光显示器件的堆叠电容结构,包括在玻璃基板上堆叠设置的掺杂的多晶硅层、第一介电层、第一导电层、第二介电层、第二导电层、第三介电层、第三导电层;掺杂的多晶硅层与第二导电层通过第一介电层、第二介电层上设置的第一过孔连接,或者,多晶硅层与第三导电层独立段通过第一介电层、第二介电层和第三介电层上设置的第二过孔连接,第三导电层独立段与第二导电层通过第三介电层上设置的第三过孔连接;第一导电层与第三导电层通过第二介电层、第三介电层上设置的第四过孔连接。本实用新型实现了在相同的版图设计空间下提高约三倍的电容值,进而在保持电容值不变的条件下缩小电容结构所需要的版图设计空间。



1. 一种用于低温多晶硅有机发光显示器件的堆叠电容结构,其特征在于:包括在玻璃基板上堆叠设置的掺杂的多晶硅层、第一介电层、第一导电层、第二介电层、第二导电层、第三介电层、第三导电层;

所述掺杂的多晶硅层与所述第二导电层通过所述第一介电层、第二介电层上设置的第一过孔连接,或者,所述掺杂的多晶硅层与第三导电层独立段通过所述第一介电层、第二介电层和第三介电层上设置的第二过孔连接,所述第三导电层独立段与所述第二导电层通过第三介电层上设置的第三过孔连接;

所述第一导电层与所述第三导电层通过第二介电层、第三介电层上设置的第四过孔连接。

2. 根据权利要求1所述的用于低温多晶硅有机发光显示器件的堆叠电容结构,其特征在于:

所述第一过孔设置在所述第一介电层、第二介电层的前端连接形成的介电层前端叠层上;或者,所述第二过孔设置在所述第一介电层、第二介电层和第三介电层的前端连接形成的介电层前端叠层上,第三过孔设置在第三介电层前端;

所述第四过孔设置在所述第二介电层、第三介电层的后端连接形成的介电层后端叠层上。

3. 根据权利要求1或2所述的用于低温多晶硅有机发光显示器件的堆叠电容结构,其特征在于:第一导电层,第二导电层和第三导电层由包括但不限于MO、MOALMO、TiAlTi、Cu、Ag的金属导体或金属导体的合金制成。

4. 根据权利要求1或2所述的用于低温多晶硅有机发光显示器件的堆叠电容结构,其特征在于:第一介电层、第二介电层和第三介电层由氮化硅或氧化硅制成。

一种用于低温多晶硅有机发光显示器件的堆叠电容结构

技术领域

[0001] 本实用新型涉及低温多晶硅有机发光显示器件的制造领域,具体涉及一种用于低温多晶硅有机发光显示器件的堆叠电容结构。

背景技术

[0002] 有源矩阵有机发光二极管 (Active-matrix organic light emitting diode, 简称:AMOLED) 由低温多晶硅 (Low Temperature Poly-Silicon, 简称:LTPS) 背板和有机发光二极管 (OLED) 组成。其中,多晶硅又简称为 p-Si,是利用准分子激光退火技术将玻璃基板上的非晶硅转变而成的结构。采用低温多晶硅的薄膜电路可以做得更小、功耗更低。

[0003] 有源矩阵有机发光二极管 (AMOLED) 具有自发光、薄轻、对比度高、视角广、可弯曲等特点,是未来显示技术发展的方向。有源矩阵有机发光二极管 (AMOLED) 的每一个像素电路中都有一个独立的薄膜晶体管 (Thin Film Transistor, 简称:TFT) 开关和用于存储显示数据的存储电容 C。显示数据存储在存储电容 C 后,需要存储电容 C 把显示数据保持一帧的时间,以保证屏幕画面的正常显示。显示屏幕分辨率越高,电容需要保持数据的时间越长,需要的电容也就越大。同时在显示屏幕不变的情况下,分辨率越高,PPI (Pixels Per Inch, 表示每英寸所拥有的像素的数目) 也越高,显示画面越精细逼真,而像素电路中留给电容的版图设计空间也就越小。也就是说,电容占用版图空间的大小是影响 AMOLED 显示屏幕往高 PPI 方向发展的因素之一。

[0004] 随着市场对高 PPI 和高分辨率的 AMOLED 显示屏幕的需求,迫切需要一种在有限的空间内实现大电容值的电容设计方案。

实用新型内容

[0005] 本实用新型提供一种用于低温多晶硅有机发光显示器件的堆叠电容结构,解决了在相同的版图设计空间下提高约三倍的电容值,进而在保持电容值不变 的条件下缩小电容结构所需要的版图设计空间的技术问题。

[0006] 为解决上述问题,本实用新型采用的技术方案为:

[0007] 一种用于低温多晶硅有机发光显示器件的堆叠电容结构,包括在玻璃基板上堆叠设置的掺杂的多晶硅层、第一介电层、第一导电层、第二介电层、第二导电层、第三介电层、第三导电层;

[0008] 所述掺杂的多晶硅层与所述第二导电层通过所述第一介电层、第二介电层上设置的第一过孔连接,或者,所述掺杂的多晶硅层与第三导电层独立段通过所述第一介电层、第二介电层和第三介电层上设置的第二过孔连接,所述第三导电层独立段与所述第二导电层通过第三介电层上设置的第三过孔连接;

[0009] 所述第一导电层与所述第三导电层通过第二介电层、第三介电层上设置的第四过孔连接。

[0010] 进一步地,所述第一过孔设置在所述第一介电层、第二介电层的前端连接形成的

介电层前端叠层上；或者，所述第二过孔设置在所述第一介电层、第二介电层和第三介电层的前端连接形成的介电层前端叠层上，第三过孔设置在第三介电层前端；

[0011] 所述第四过孔设置在所述第二介电层、第三介电层的后端连接形成的介电层后端叠层上。

[0012] 更进一步地，第一导电层，第二导电层和第三导电层由包括但不限于 MO、MOALMO、TiAlTi、Cu、Ag 的金属导体或金属导体的合金制成。

[0013] 更进一步地，第一介电层、第二介电层和第三介电层由氮化硅或氧化硅等制成。

[0014] 本实用新型的有益效果在于：

[0015] 相对于现有的双层电极、单层介电层的电容结构，采用本实用新型的电容堆叠结构实现在相同的版图设计空间下提高约三倍的电容值，进而能够在保持电容值不变的条件 下缩小电容结构所需要的版图设计空间，因此，采用本实用新型的电容堆叠结构将满足市 场对高 PPI 和高分辨率的 AMOLED 显示屏幕的需求。

附图说明

[0016] 图 1 是本实用新型的一种用于低温多晶硅有机发光显示器件的堆叠电容结构的 实施例一的剖面示意图；

[0017] 图 2 是本实用新型的一种用于低温多晶硅有机发光显示器件的堆叠电容结构的 实施例二的剖面示意图；

[0018] 图 3 是图 1 或图 2 中本实用新型的简化电容结构图；

[0019] 图 4 是图 1 或图 2 中本实用新型的进一步简化电容结构图。

具体实施方式

[0020] 下面结合附图具体阐明本实用新型的实施方式，附图仅供参考和说明使用，不构 成对本实用新型专利保护范围的限制。

[0021] 实施例 1：

[0022] 如图 1 所示，本实施例提供一种用于低温多晶硅有机发光显示器件的堆叠电容结 构 C，包括在玻璃基板 1 上堆叠设置的缓冲层 101、掺杂的多晶硅层 10、第一介电层 11、第一 导电层 21、第二介电层 12、第二导电层 22、第三介电层 13、第三导电层 23；

[0023] 所述掺杂的多晶硅层 10 与所述第二导电层 22 通过所述第一介电层 11、第二介电 层 12 上设置的第一过孔 H1 连接；

[0024] 所述第一导电层 21 与所述第三导电层 23 通过第二介电层 12、第三介电层 13 上设 置的第四过孔 H4 连接。

[0025] 在本实施例中，所述第一过孔 H1 设置在所述第一介电层 11、第二介电层 12 的前 端连接形成的介电层前端叠层上；所述第四过孔 H4 设置在所述第二介电层 12、第三介电层 13 的后端连接形成的介电层后端叠层上。

[0026] 在本实施例中，第一导电层 21，第二导电层 22 和第三导电层 23 由金属 MO、 MOALMO、TiAlTi、Cu、Ag 等金属导体或金属导体的合金制成。

[0027] 在本实施例中，第一介电层 11、第二介电层 12 和第三介电层 13 由氮化硅或氧化硅 等制成。

[0028] 如图 1 所示,所述掺杂的多晶硅层 10 与第一导电层 21 以及它们中间的第一介电层 11 形成第一电容 C1,所述第一导电层 21 与第二导电层 22 以及它们中间的第二介电层 12 形成第二电容 C2,所述第二导电层 22 与第三导电层 23 以及它们中间的第二介电层 13 形成第三电容 C3。

[0029] 如图 1 所示,所述掺杂的多晶硅层 10 与第二导电层 22 相连接,在第一过孔 H1 处形成第一连接点,第一导电层 21 与第三导电层 23 相连接,在第四过孔 H4 处形成第二连接点,其简化电容结构图如图 3 所示。第一导电层 21 既做第一电容 C1 的一极,也做第二电容 C2 一极,同理,第二导电层 22 既做第二电容 C2 的一极,也做第三电容 C3 的一极。图 3 中的 A、B 点即分别对应图 1 中的第一连接点和第二连接点。

[0030] 进一步简化后电路图后如图 4 所示,第一电容 C1 与第二电容 C2、第三电容 C3 相当于电容的并联关系,按照电容并联的计算公式,A 与 B 点之间的电容值 $C = C1+C2+C3$ 。

[0031] 各个电容大小的计算公式为 $C_n = \epsilon \epsilon_0 S/d$,其中 C_n 为电容值, ϵ 为介电层的相对介电常数, ϵ_0 为真空介电常数,S 为电容面积,d 为电容两极之间的介电层厚度。各个电容的大小可以通过中间介电层的厚度以及介电层材料的相对介电常数经行调节。若第一介电层 11、第二介电层 12 和第三介电层 13 的厚度、材料相对介电常数一致,在有限的 S 面积内,A 与 B 点之间的电容 C 可获得三倍于普通双层电极单层介电层的电容结构的电容值。

[0032] 实施例 2:

[0033] 本实施例与实施例 1 的不同之处在于:

[0034] 如图 2 所示,所述掺杂的多晶硅层 10 与第三导电层 23 独立段通过所述第一介电层 11、第二介电层 12 和第三介电层 13 上设置的第二过孔 H2 连接,所述第三导电层 23 独立段与所述第二导电层 22 通过第三介电层 13 上设置的第三过孔 H3 连接;

[0035] 在本实施例中,所述第二过孔 H2 设置在所述第一介电层 11、第二介电层 12 和第三介电层 13 的前端连接形成的介电层前端叠层上,第三过孔 H3 设置在第三介电层 13 前端。

[0036] 如图 2 所示,本实施例中,所述掺杂的多晶硅层 10 与第二导电层 22 通过第三导电层 23 独立段、第二过孔 H2 和第三过孔 H3 相连接,在第二过孔 H2 和第三过孔 H3 处形成第一连接点,该第一连接点也对应于图 3、图 4 中的 A 点。

[0037] 在上述实施例中,第一过孔 H1、第二过孔 H2、第三过孔 H3、第四过孔 H4 均可由同一张光罩曝光所形成。

[0038] 如图 1、2 所示,上述堆叠电容区域 Z_c 连接 TFT 区域 Z_t ,TFT 区域 Z_t 的 TFT 开关包括不掺杂多晶硅层 31、与所述多晶硅层两端连接的第三导电层独立段 32、第一导电层独立段 33 和介电层。所述电容区域 Z_c 的多晶硅被掺入杂质以便传导,作为电容的一极,TFT 区域 Z_t 的多晶硅通过遮挡,不进行掺杂。

[0039] 掺杂技术主要有两种,即高温(热)扩散和离子注入技术。掺入的杂质主要是提供载流子的受主杂质或施主杂质(如 Si 中的 B, P, As)。

[0040] 本实用新型相对于现有的双层电极、单层介电层的电容结构,实现在相同的版图设计空间下提高约三倍的电容值,进而能够在保持电容值不变的条件下缩小电容结构所需要的版图设计空间,因此,采用本实用新型的电容堆叠结构将满足市场对高 PPI 和高分辨率的 AMOLED 显示屏幕的需求。

[0041] 如上述实施例为本实用新型较佳的实施方式,但本实用新型的实施方式并不受上

述实施例的限制,其他的任何未背离本实用新型的精神实质与原理下所作的改变、修饰、替代、组合、简化,均应为等效的置换方式,都包含在本实用新型的保护范围之内。

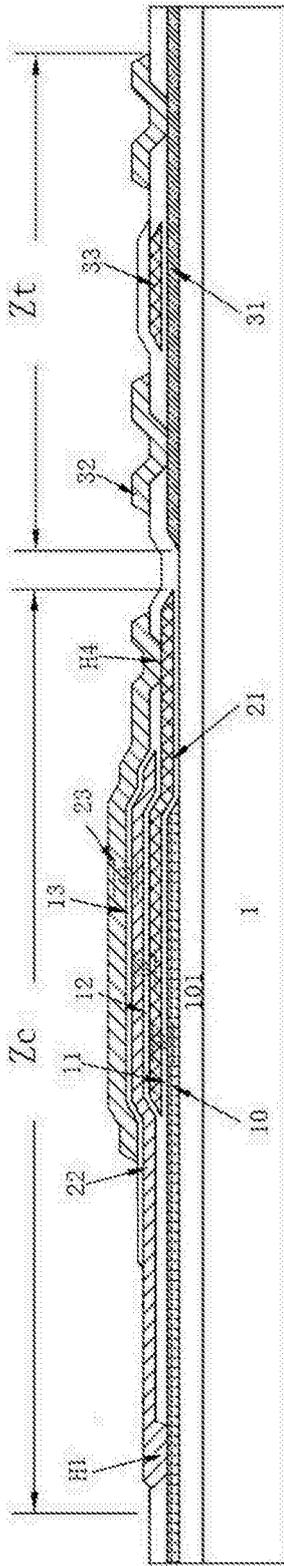


图 1

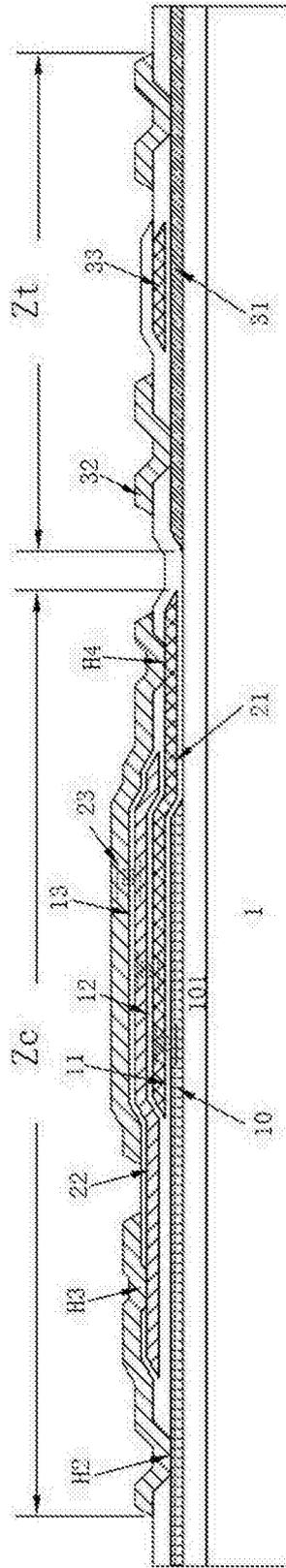


图 2

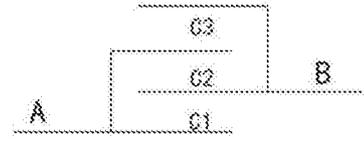


图 3

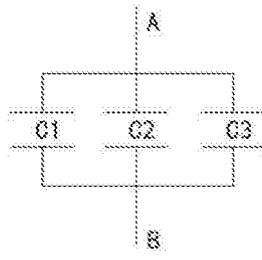


图 4

专利名称(译)	一种用于低温多晶硅有机发光显示器件的堆叠电容结构		
公开(公告)号	CN204834623U	公开(公告)日	2015-12-02
申请号	CN201520399768.0	申请日	2015-06-10
[标]申请(专利权)人(译)	信利(惠州)智能显示有限公司		
申请(专利权)人(译)	信利(惠州)智能显示有限公司		
当前申请(专利权)人(译)	信利(惠州)智能显示有限公司		
[标]发明人	罗锦钊		
发明人	罗锦钊		
IPC分类号	H01L27/12 H01L27/32		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型提供一种用于低温多晶硅有机发光显示器件的堆叠电容结构，包括在玻璃基板上堆叠设置的掺杂的多晶硅层、第一介电层、第一导电层、第二介电层、第二导电层、第三介电层、第三导电层；掺杂的多晶硅层与第二导电层通过第一介电层、第二介电层上设置的第一过孔连接，或者，多晶硅层与第三导电层独立段通过第一介电层、第二介电层和第三介电层上设置的第二过孔连接，第三导电层独立段与第二导电层通过第三介电层上设置的第三过孔连接；第一导电层与第三导电层通过第二介电层、第三介电层上设置的第四过孔连接。本实用新型实现了在相同的版图设计空间下提高约三倍的电容值，进而在保持电容值不变的条件 下缩小电容结构所需要的版图设计空间。

