



(12)发明专利申请

(10)申请公布号 CN 110911449 A  
(43)申请公布日 2020.03.24

(21)申请号 201910863488.3

(22)申请日 2019.09.09

(30)优先权数据

10-2018-0110886 2018.09.17 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72)发明人 方琪皓 李省龙 全相炫

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 尹淑梅 刘灿强

(51)Int.Cl.

H01L 27/32(2006.01)

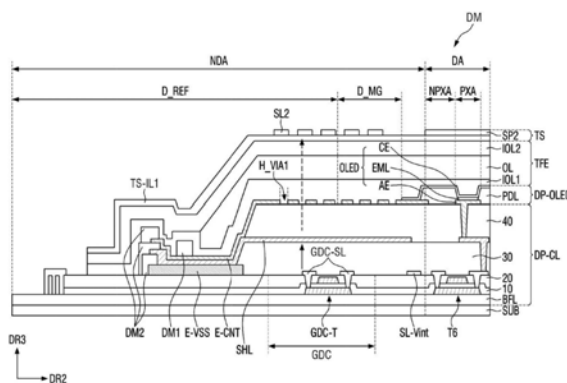
权利要求书3页 说明书21页 附图20页

(54)发明名称

显示装置

(57)摘要

公开了一种显示装置。所述显示装置包括：基体层，包括显示区域(DA)和非DA；电路元件层，位于基体层上，并且包括与非DA叠置的电源电极(PSE)、电路元件和连接到PSE并与一些电路元件叠置的遮蔽电极；显示元件层，位于电路元件层上，并且包括包含第一电极、发光单元和第二电极的发光元件以及使第二电极连接到PSE并包括第一通孔的连接电极；薄膜封装层(TFEL)，位于显示元件层上，并且包括与DA叠置的有机层；以及输入感测层，位于TFEL上，并且包括感测电极和连接到感测电极的感测信号线。感测信号线与连接电极叠置。一些第一通孔与遮蔽电极叠置。



1. 一种显示装置,所述显示装置包括:

基体层,包括显示区域和非显示区域;

电路元件层,设置在所述基体层上,所述电路元件层包括:电源电极,与所述非显示区域叠置;电路元件,位于所述基体层上;以及遮蔽电极,连接到所述电源电极,并与所述电路元件中的至少一些电路元件叠置;

显示元件层,设置在所述电路元件层上,所述显示元件层包括:发光元件,包括第一电极、发光单元和第二电极;以及连接电极,使所述第二电极连接到所述电源电极,所述连接电极包括第一通孔;

薄膜封装层,设置在所述显示元件层上,所述薄膜封装层包括与所述显示区域叠置的有机层;以及

输入感测层,设置在所述薄膜封装层上,所述输入感测层包括感测电极和连接到所述感测电极的感测信号线,

其中:

所述感测信号线与所述连接电极叠置,并且

所述连接电极的所述第一通孔中的至少一些第一通孔与所述遮蔽电极叠置。

2. 根据权利要求1所述的显示装置,其中,所述遮蔽电极与所述第二电极部分地叠置。

3. 根据权利要求2所述的显示装置,其中:

所述感测信号线与所述遮蔽电极叠置,并且

所述感测信号线与所述第二电极不叠置。

4. 根据权利要求3所述的显示装置,其中,所述第一通孔中的每个第一通孔与所述遮蔽电极叠置。

5. 根据权利要求1所述的显示装置,其中:

所述电路元件层还包括:

第一中间绝缘层,设置在所述电路元件与所述遮蔽电极之间;以及

第二中间绝缘层,设置在所述遮蔽电极上,使得所述遮蔽电极设置在所述第二中间绝缘层与所述基体层之间,并且

所述连接电极设置在所述第二中间绝缘层上,使得所述第二中间绝缘层设置在所述连接电极与所述基体层之间。

6. 根据权利要求5所述的显示装置,其中:

所述电路元件包括:

第一晶体管,设置在所述基体层上;

第二晶体管,设置在所述基体层上;

数据线,设置在所述第一中间绝缘层上;以及

数据图案,设置在所述第一中间绝缘层上,

所述数据线通过穿透所述第一中间绝缘层的第一接触孔连接到所述第一晶体管的第一电极,

所述第一晶体管的第二电极电连接到所述第二晶体管的第一电极,

所述第二晶体管的第二电极通过穿透所述第一中间绝缘层的第二接触孔电连接到所述数据图案,并且

所述数据图案通过穿透所述第二中间绝缘层的第三接触孔电连接到所述发光元件的所述第一电极。

7. 根据权利要求5所述的显示装置, 其中:

所述连接电极的所述第一通孔中的第一一些第一通孔与所述遮蔽电极叠置, 并且

所述第一通孔中的第二一些第一通孔与所述第二电极叠置, 所述第一通孔中的所述第二一些第一通孔不同于所述第一通孔中的所述第一一些第一通孔。

8. 根据权利要求7所述的显示装置, 其中:

所述感测信号线中的第一一些感测信号线与所述遮蔽电极叠置, 并且

所述感测信号线中的第二一些感测信号线与所述第二电极叠置, 所述感测信号线中的所述第二一些感测信号线不同于所述感测信号线中的所述第一一些感测信号线。

9. 根据权利要求5所述的显示装置, 其中:

所述遮蔽电极包括使所述第一中间绝缘层暴露的第二通孔,

所述连接电极的所述第一通孔使所述第二中间绝缘层暴露, 并且

所述第二通孔与所述第一通孔不叠置。

10. 根据权利要求9所述的显示装置, 其中:

所述第一通孔和所述第二通孔在平面上布置为多行,

所述多行沿第一方向布置,

所述多行中的第一行包括所述第一通孔中的在与所述第一方向交叉的第二方向上布置的一些第一通孔,

所述多行中的第二行包括所述第二通孔中的在所述第二方向上布置的一些第二通孔,

所述多行中的第三行包括所述第一通孔中的在所述第二方向上布置的一些第一通孔,

并且

所述第二行在所述第一方向上设置在所述第一行与所述第三行之间。

11. 根据权利要求10所述的显示装置, 其中, 沿着所述第二方向, 所述第二通孔中的每个第二通孔设置在所述第一通孔之中的相应地相邻的第一通孔之间。

12. 根据权利要求9所述的显示装置, 其中:

所述第一通孔在平面上以多行布置,

所述多行沿第一方向布置,

所述第二通孔具有狭缝形状, 并且

所述第二通孔中的每个第二通孔设置在所述多行之中的相应地相邻的行之间。

13. 根据权利要求12所述的显示装置, 其中:

所述第二通孔中的每个第二通孔在所述第一方向上的第二宽度小于所述第一通孔中的每个第一通孔在所述第一方向上的第一宽度, 并且

所述第二通孔的总面积大于或等于所述第一通孔的总面积。

14. 根据权利要求9所述的显示装置, 其中:

所述第一通孔和所述第二通孔中的每个具有狭缝形状, 并且

所述第一通孔和所述第二通孔在平面上沿第一方向交替布置。

15. 根据权利要求5所述的显示装置, 其中, 所述遮蔽电极通过穿透所述第二中间绝缘层的第一接触孔连接到连接电极。

16. 根据权利要求15所述的显示装置,其中,所述第一接触孔与所述第二电极叠置。

17. 根据权利要求15所述的显示装置,其中,所述遮蔽电极与所述电源电极不叠置。

18. 根据权利要求1所述的显示装置,其中:

所述非显示区域包括:

第一非显示区域;

第二非显示区域,在第一方向上面对所述第一非显示区域,所述显示区域设置在所述第一非显示区域与所述第二非显示区域之间;

第三非显示区域;以及

第四非显示区域,在与所述第一方向交叉的第二方向上面对所述第三非显示区域,所述显示区域设置在所述第三非显示区域与所述第四非显示区域之间,

所述电源电极设置在所述第一非显示区域、所述第三非显示区域和所述第四非显示区域中,

所述电路元件层包括设置在所述非显示区域中的驱动电路,使得所述驱动电路设置在所述电源电极与所述显示区域之间,

所述驱动电路被构造为产生提供到所述显示区域的像素的信号,并且

所述遮蔽电极设置在所述第一非显示区域中,并覆盖所述驱动电路。

19. 根据权利要求18所述的显示装置,其中,所述遮蔽电极还设置在所述第三非显示区域和所述第四非显示区域中。

20. 一种显示装置,所述显示装置包括:

像素,设置在所述显示装置的显示区域中,所述像素之中的每个像素包括发光元件;

电源线,设置在所述显示装置的非显示区域中,所述非显示区域围绕所述显示区域;

驱动电路,设置在所述电源线与所述显示区域之间,所述驱动电路被构造为向所述像素提供信号;

连接电极,使所述电源线电连接到所述像素的所述发光元件中的每个发光元件;以及

遮蔽电极,连接到所述电源线,所述遮蔽电极设置在所述驱动电路与所述连接电极之间。

## 显示装置

[0001] 本申请要求于2018年9月17日提交的第10-2018-0110886号韩国专利申请的优先权和权益,该韩国专利申请出于所有目的通过引用包含于此,如同在此充分阐述一样。

### 技术领域

[0002] 示例性实施例总体上涉及一种显示装置,更具体地,涉及一种包括输入感测单元的显示装置。

### 背景技术

[0003] 显示装置显示图像,并且可以用于多媒体设备,诸如电视机、便携式电话、平板计算机、导航仪、游戏机等。多媒体设备可以包括键盘或鼠标作为输入装置。一些显示装置可以包括感测面板作为输入装置。

[0004] 本部分中公开的以上信息仅用于理解发明构思的背景,因此可能包含不构成现有技术的信息。

### 发明内容

[0005] 一些示例性实施例提供了一种能够减小对于输入感测单元的噪声的输入感测单元集成的显示装置。

[0006] 另外的方面将在下面的详细描述中进行阐述,并且部分地通过该公开将是明显的,或者可以通过发明构思的实践而获知。

[0007] 根据一些示例性实施例,一种显示装置包括基体层、电路元件层、显示元件层、薄膜封装层和输入感测层。基体层包括显示区域和非显示区域。电路元件层设置在基体层上。电路元件层包括:电源电极,与非显示区域叠置;电路元件,位于基体层上;以及遮蔽电极,连接到电源电极,并与至少一些电路元件叠置。显示元件层设置在电路元件层上。显示元件层包括:发光元件,包括第一电极、发光单元和第二电极;以及连接电极,使第二电极连接到电源电极。连接电极包括第一通孔。薄膜封装层设置在显示元件层上。薄膜封装层包括与显示区域叠置的有机层。输入感测层设置在薄膜封装层上。输入感测层包括感测电极和连接到感测电极的感测信号线。感测信号线与连接电极叠置。连接电极的至少一些第一通孔与遮蔽电极叠置。

[0008] 根据一些示例性实施例,一种显示装置包括像素、电源线、驱动电路、连接电极和遮蔽电极。像素设置在显示装置的显示区域中,像素之中的每个像素包括发光元件。电源线设置在显示装置的非显示区域中,非显示区域围绕显示区域。驱动电路设置在电源线与显示区域之间。驱动电路被构造为向像素提供信号。连接电极使电源线电连接到所述像素的每个发光元件。遮蔽电极连接到电源线。遮蔽电极设置在驱动电路与连接电极之间。

[0009] 上面的总体描述和下面的详细描述是示例性和解释性的,并且旨在提供对所要求保护的主题的进一步解释。

## 附图说明

[0010] 附图示出了发明构思的示例性实施例,且与描述一起用于解释发明构思的原理,其中,附图被包括以提供对发明构思的进一步理解,并且被并入本说明书中并构成本说明书的一部分。在附图中:

[0011] 图1是根据一些示例性实施例的显示装置的透视图;

[0012] 图2是根据一些示例性实施例的沿图1的剖面A-A'截取的显示装置的剖视图;

[0013] 图3是根据一些示例性实施例的包括在图2的显示装置中的显示模块的剖视图;

[0014] 图4是根据一些示例性实施例的包括在图3的显示模块中的显示单元的平面图;

[0015] 图5是根据一些示例性实施例的包括在图4的显示单元中的像素的电路图;

[0016] 图6是根据一些示例性实施例的沿图5的剖面B-B'截取的像素的剖视图;

[0017] 图7是根据一些示例性实施例的包括在图2的显示装置中的输入感测单元的剖视图;

[0018] 图8是根据一些示例性实施例的图7的输入感测单元的平面图;

[0019] 图9是根据一些示例性实施例的包括在图7的输入感测单元中的第一导电层的平面图;

[0020] 图10是根据一些示例性实施例的包括在图7的输入感测单元中的第二导电层的平面图;

[0021] 图11是根据一些示例性实施例的图10的区域BB的放大图;

[0022] 图12是示出根据一些示例性实施例的其中图3中示出的区域AA被放大的显示模块的示例的剖视图;

[0023] 图13是示出显示模块的对比示例的剖视图;

[0024] 图14是示出根据一些示例性实施例的以叠置方式包括在图12的显示模块中的遮蔽电极、连接电极和第二电极的平面图;

[0025] 图15是示出根据一些示例性实施例的其中图3中示出的区域AA被放大的显示模块的另一示例的剖视图;

[0026] 图16是示出根据一些示例性实施例的其中图3中示出的区域AA被放大的显示模块的又一示例的剖视图;

[0027] 图17是示出根据一些示例性实施例的以叠置方式包括在图16的显示模块中的遮蔽电极、连接电极和第二电极的平面图;

[0028] 图18是示出根据一些示例性实施例的图12的显示模块的又一示例的平面图;

[0029] 图19是示出根据一些示例性实施例的沿图18中的剖面C-C'截取的显示模块的示例的剖视图;

[0030] 图20是示出根据一些示例性实施例的图12的显示模块的又一示例的平面图;以及

[0031] 图21是示出根据一些示例性实施例的其中图3中示出的区域AA被放大的显示模块的又一示例的剖视图。

## 具体实施方式

[0032] 在下面的描述中,出于解释的目的,阐述了许多具体细节以提供对各种示例性实施例的彻底的理解。然而,明显的是,可以在没有这些具体细节或者在利用一个或多个等

同布置的情况下实施各种示例性实施例。在其它情况下,为了避免不必要地模糊各种示例性实施例,以框图形式示出了公知的结构和装置。此外,各种示例性实施例可以不同,但是不必是互斥的。例如,在不脱离发明构思的情况下,示例性实施例的具体形状、构造和特性可以在另一示例性实施例中使用或实现。

[0033] 除非另有说明,否则示出的示例性实施例将被理解为提供改变一些示例性实施例的细节的示例性特征。因此,除非另有说明,否则在不脱离发明构思的情况下,可以对各种图示的特征、组件、模块、层、膜、面板、区域、方面等(在下文中,单独地或统一地称为“元件”)进行另外组合、分离、互换和/或重新布置。

[0034] 附图中交叉影线和/或阴影的使用通常用来使相邻元件之间的边界清晰。如此,除非指定,否则交叉影线或阴影存在与否都不表达或表示对特殊材料、材料性质、尺寸、比例、示出的元件之间的共性和/或元件的任何其它特性、属性、性质等的任何偏好或要求。此外,在附图中,为了清楚和/或描述的目的,可以夸大元件的尺寸和相对尺寸。如此,各元件的尺寸和相对尺寸不必限于附图中所示出的尺寸和相对尺寸。当可以不同地实施示例性实施例时,可以不同于所描述的顺序来执行特定的工艺顺序。例如,可以基本同时执行或者以与所描述的顺序相反的顺序来执行两个连续描述的工艺。此外,同样的附图标记表示同样的元件。

[0035] 当元件被称为“在”另一元件“上”、“连接到”或“结合到”另一元件时,该元件可以直接在所述另一元件上、直接连接到或直接结合到所述另一元件,或者可以存在中间元件。然而,当元件被称为“直接在”另一元件“上”、“直接连接到”或“直接结合到”另一元件时,不存在中间元件。用于描述元件之间的关系的其他术语和/或短语应当以类似的方式来解释,例如,“在……之间”与“直接在……之间”、“相邻”与“直接相邻”,“在……上”与“直接在……上”等。此外,术语“连接”可以指物理连接、电连接和/或流体连接。此外,DR1轴、DR2轴和DR3轴不限于直角坐标系的三个轴,而是可以以更宽的意义进行解释。例如,DR1轴、DR2轴和DR3轴可以相互垂直,或者可以表示彼此不垂直的不同方向。为了本公开的目的,“X、Y和Z中的至少一个(种/者)”和“选自于由X、Y和Z组成的组中的至少一个(种/者)”可以被解释为仅X、仅Y、仅Z或者X、Y和Z中的两个(种/者)或更多个(种/者)的任何组合,诸如,以XYZ、XYY、YZ和ZZ为例。如在这里使用的,术语“和/或”包括相关所列项中一个或更多个的任何组合和全部组合。

[0036] 虽然在此可以使用术语“第一”、“第二”等来描述各种元件,但是这些元件不应受这些术语限制。这些术语用于将一个元件与另一元件区分开。因此,在不脱离公开的教导的情况下,下面讨论的第一元件可以被命名为第二元件。

[0037] 为了描述性目的,可以在此使用诸如“在……之下”、“在……下方”、“在……下”、“下”、“在……上方”、“上”、“在……之上”、“较高的”、“侧”(例如,如在“侧壁”中)等的空间相对术语,由此来描述如附图中示出的一个元件与另一(其它)元件的关系。空间相对术语意图包括除了附图中描绘的方位之外的设备在使用、操作和/或制造中的不同方位。例如,如果附图中的设备被翻转,则被描述为“在”其它元件或特征“下方”或“之下”的元件将随后将被定位为“在”所述其它元件或特征“上方”。因此,示例性术语“在……下方”可以包括上方和下方两种方位。此外,设备可以被另外定位(例如,旋转90度或者在其它方位处),并如此相应地解释在此使用的空间相对描述语。

[0038] 在此使用的术语是出于描述特定实施例的目的,而不意图进行限制。如在此所使用的,除非上下文另外清楚地指出,否则单数形式“一个(种/者)”和“所述(该)”也意图包括复数形式。此外,术语“包含”和/或“包括”以及它们的变型用在本说明书中时,说明存在所陈述的特征、整体、步骤、操作、元件、组件和/或它们的组,但不排除存在或附加一个或多个其它特征、整体、步骤、操作、元件、组件和/或它们的组。还要注意的,如在此使用的,术语“基本上”、“大约”和其它类似的术语被用作近似的术语而不是作为程度的术语,如此它们被用来解释将由本领域普通技术人员认识到的在测量值、计算值和/或提供值中的固有偏差。

[0039] 在此参照作为理想化示例性实施例和/或中间结构的示意图的剖视图、等距视图、透视图、平面图和/或分解图示来描述各种示例性实施例。如此,由例如制造技术和/或公差引起的附图的形状的变化将是预期的。因此,在此公开的示例性实施例不应被解释为局限于具体示出的区域的形状,而是将包括由例如制造导致的形状上的偏差。为此,附图中示出的区域在实质上可以是示意性的,并且这些区域的形状可以不反映装置的区域的实际形状,并且如此不意图进行限制。

[0040] 除非另有定义,否则在此使用的所有术语(包括技术术语和科学术语)具有与本公开作为其一部分的领域的普通技术人员通常理解的含义相同的含义。除非这里明确地如此定义,否则术语(诸如在通用字典中定义的术语)应该被解释为具有与它们在相关领域的上下文中的含义一致的含义,并且将不以理想的或过于正式的含义进行解释。

[0041] 作为本领域中的惯例,按照功能块、单元和/或模块在附图中示出并描述了一些示例性实施例。本领域技术人员将理解的是,通过电子(或光学)电路(诸如,逻辑电路、分立组件、微处理器、硬线电路、存储元件、布线连接等)来物理地实现这些块、单元和/或模块,这些块、单元和/或模块可以利用基于半导体的制造技术或其它制造技术来形成。在通过微处理器或其它类似的硬件来实现块、单元和/或模块的情况下,可以利用软件(例如,微码)对它们进行编程和控制以执行在此所讨论的各种功能,并且可以可选地通过固件和/或软件来驱动它们。还预期的是,每个块、单元和/或模块可以通过专用硬件来实现,或者实现为执行某些功能的专用硬件和执行其它功能的处理器(例如,一个或多个编程的微处理器和相关电路)的组合。此外,在不脱离发明构思的情况下,一些示例性实施例的每个块、单元和/或模块可以物理地分离成两个或多个交互的且分立的块、单元和/或模块。此外,在不脱离发明构思的情况下,一些示例性实施例的块、单元和/或模块可以物理地组合成更复杂的块、单元和/或模块。

[0042] 在下文中,将参照附图详细说明各种示例性实施例。

[0043] 图1是根据一些示例性实施例的显示装置的透视图。

[0044] 参照图1,显示装置1可以通过显示表面(或前表面)显示图像。显示表面可以平行于由第一方向轴(即,沿第一方向DR1延伸的轴)和第二方向轴(即,沿第二方向DR2延伸的轴)限定的平面。显示表面的法线方向(即,显示装置1的厚度方向)可以被定义为第三方向DR3。可以沿第三方向DR3划分下面描述的每个构件或单元的前表面(或上表面)和后表面(或下表面)。然而,图1中示出的第一方向DR1、第二方向DR2和第三方向DR3仅是示例,而是可以被转换为不同的方向。

[0045] 显示装置1可以具有平坦的显示表面,但示例性实施例不限于此。例如,显示装置1

可以具有弯曲的显示表面、立体的显示表面等。立体的显示表面可以包括指示不同方向的多个显示区域,并且可以包括例如多边形柱状显示表面。

[0046] 显示装置1可以是刚性显示装置。然而,示例性实施例不限于此。例如,显示装置1可以是柔性显示装置。图1示例性地示出了能够应用于移动电话终端的显示装置。虽然图1中未示出,但安装在主板上的电子模块、相机模块和电源模块等与显示装置1一起设置在支架或壳体等中,从而构成移动电话终端。显示装置1不仅可以应用于诸如电视机和监视器的大型电子设备,而且还可以应用于诸如平板电脑、汽车导航仪、游戏机、智能手表等的中小型电子设备。

[0047] 显示表面包括显示图像的显示区域DA和与显示区域DA相邻的非显示区域NDA。非显示区域NDA是不显示图像的区域。显示区域DA可以具有包括倒圆的角的矩形形状。非显示区域NDA可以围绕显示区域DA。然而,示例性实施例不限于此,而是可以相对地设计显示区域DA的形状和非显示区域NDA的形状。

[0048] 图2是根据一些示例性实施例的沿图1的剖线A-A'截取的显示装置的剖视图。

[0049] 参照图2,显示装置1包括保护膜PM、显示模块DM、光学构件LM、窗WM、第一粘合构件AM1、第二粘合构件AM2和第三粘合构件AM3。

[0050] 窗WM可以设置在显示模块DM之上,光学构件LM可以设置在显示模块DM与窗WM之间。保护膜PM可以设置在显示模块DM下。第一粘合构件AM1使显示模块DM附着到保护膜PM,第二粘合构件AM2使显示模块DM附着到光学构件LM,第三粘合构件AM3使光学构件LM附着到窗WM。

[0051] 保护膜PM保护显示模块DM。保护膜PM提供暴露于外部的第一外表面OS-L,并提供粘合表面以结合到第一粘合构件AM1。粘合表面与第一外表面OS-L背对。保护膜PM防止外部湿气渗透显示模块DM,并吸收外部冲击。

[0052] 保护膜PM可以包括塑料膜作为基体层。保护膜PM可以包括塑料膜作为基体基底。塑料膜可以包括选自于聚醚砜(PES)、聚丙烯酸酯、聚醚酰亚胺(PEI)、聚萘二甲酸乙二醇酯(PEN)、聚对苯二甲酸乙二醇酯(PET)、聚苯硫醚(PPS)、聚芳酯、聚酰亚胺(PI)、聚碳酸酯(PC)、聚(芳醚砜)和至少两种上述材料的任何组合中的任何一种。构成保护膜PM的材料不限于塑料树脂,而是可以包括有机/无机复合材料。

[0053] 保护膜PM可以包括多孔有机层和填充该多孔有机层的孔的无机材料。保护膜PM还可以包括形成在塑料膜上的功能层。功能层可以包括树脂层。功能层可以通过涂覆来形成。可以省略保护膜PM。

[0054] 窗WM可以保护显示模块DM免受外部冲击,并且可以向用户提供输入表面OS-U。窗WM可以包括塑料膜作为基体构件。窗WM可以具有多层结构。窗WM的基体构件可以具有选自于玻璃基底、塑料膜和塑料基底的多层结构。窗WM还可以包括边框图案。多层结构可以通过连续工艺或使用粘合层的粘合工艺来形成。窗WM还可以包括设置在基体构件上的功能层。功能层可以包括硬质涂层、指纹防止层、抗反射层和/或自修复层等。

[0055] 光学构件LM减小外部光反射率。光学构件LM可以包括偏振膜。光学构件LM还可以包括延迟膜。可以省略光学构件LM。

[0056] 显示模块DM可以包括显示单元DP和输入感测单元TS。显示单元DP可以是有机发光显示面板,但是不受具体限制。例如,显示单元DP可以是作为另一种类型的自发光显示面板

的量子点发光显示面板。量子点发光显示面板可以包括包含量子点和量子棒的发光层。在下文中,将描述显示单元DP,假设它是有机发光显示面板。

[0057] 显示单元DP产生与输入图像数据对应的图像。显示单元DP提供在厚度方向DR3上彼此面对的第一显示面板表面BS1-L和第二显示面板表面BS1-U。

[0058] 输入感测单元TS直接设置在显示单元DP上。如在此所使用的,短语“直接设置在……上”指通过连续工艺形成而不使用单独的粘合层进行附着。

[0059] 输入感测单元TS获取外部输入的坐标信息。这里,外部输入可以是由用户或感测笔等产生的感测事件。输入感测单元TS可以例如以电容方式感测外部输入。输入感测单元TS的操作方法不受具体限制。例如,输入感测单元TS可以通过电磁感应和/或压力感测等来感测外部输入。

[0060] 虽然在图2中未示出,但显示模块DM还可以包括抗反射层。抗反射层可以包括滤色器或者导电层/绝缘层/导电层的层叠结构。抗反射层可以通过吸收、相消干涉或偏振从外部入射的光来减小外部光反射率。抗反射层可以代替光学构件LM的功能。

[0061] 第一粘合构件AM1、第二粘合构件AM2和第三粘合构件AM3中的每个可以是有机粘合层,诸如光学透明粘合膜(OCA)、光学透明树脂(OCR)或压敏粘合膜(PSA)。有机粘合层可以包括粘合材料,诸如聚氨酯、聚丙烯酸酯、聚酯、聚环氧树脂或聚乙酸乙烯酯。

[0062] 在下文中,将参照图3至图13详细地描述显示模块DM(即,显示单元DP和输入感测单元TS)。

[0063] 图3是根据一些示例性实施例的包括在图2的显示装置中的显示模块的剖视图。图4是根据一些示例性实施例的包括在图3的显示模块中的显示单元的平面图。

[0064] 首先,参照图3,显示单元DP包括基体层SUB、位于基体层SUB上的电路层(也称为电路元件层)DP-CL、位于电路层DP-CL上的显示元件层DP-OLED以及位于显示元件层DP-OLED上的薄膜封装层TFE。

[0065] 基体层SUB可以包括至少一个塑料膜。基体层SUB可以包括塑料基底、玻璃基底、金属基底或有机/无机复合材料基底作为柔性基底。

[0066] 电路层DP-CL可以包括半导体层、绝缘层(或中间绝缘层)和导电层。电路层DP-CL的导电层可以构成稍后将描述的像素的信号线或驱动电路。

[0067] 显示元件层DP-OLED包括发光元件(例如,有机发光二极管)。

[0068] 薄膜封装层TFE密封(例如,气密地密封)显示元件层DP-OLED。薄膜封装层TFE包括无机层和有机层。薄膜封装层TFE可以包括至少两个无机层和设置在所述至少两个无机层之间的有机层。无机层保护显示元件层DP-OLED免受水/氧的影响,并且有机层保护显示元件层DP-OLED免受诸如灰尘颗粒的外来物质的影响。无机层可以包括氮化硅层、氮氧化硅层、氧化硅层、氧化钛层或氧化铝层。有机层可以包括但不限于丙烯酸有机层。

[0069] 输入感测单元TS直接设置在薄膜封装层TFE上。输入感测单元TS包括感测电极和感测信号线。感测电极和感测信号线可以具有单层结构或多层结构。

[0070] 感测电极和感测信号线可以包括氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)、氧化铟锡锌(ITZO)、聚(3,4-乙撑二氧基噻吩)(PEDOT)、金属纳米线或石墨烯。感测电极和感测信号线可以包括金属层,诸如钼、银、钛、铜、铝或包括至少一种上述材料的合金。感测电极和感测信号线可以具有相同的层结构或不同的层结构。稍后将参照图7至图11描述输

入感测单元TS的细节。同时,稍后将参照图12描述图3中示出的区域AA。

[0071] 参照图4,显示单元DP在平面上包括显示区域DA和非显示区域NDA。

[0072] 如参照图1所描述的,可以沿显示区域DA的边缘来限定非显示区域NDA。显示单元DP的显示区域DA和非显示区域NDA分别对应于显示装置1的显示区域DA和非显示区域NDA。显示单元DP的显示区域DA和非显示区域NDA不必与显示装置1的显示区域DA和非显示区域NDA相同,而是可以根据显示单元DP的结构/设计来改变。

[0073] 显示单元DP包括驱动电路、多条信号线SL-Vint、SL-VDD、ELC、GL、DL和SL-D、电源电极E-VSS以及多个像素PX。布置像素PX的区域可以被定义为显示区域DA。

[0074] 驱动电路可以包括扫描驱动电路GDC。扫描驱动电路GDC产生多个扫描信号,并将所述多个扫描信号输出(例如,顺序地输出)到稍后将描述的多条扫描线GL。此外,扫描驱动电路GDC产生多个发光控制信号,并将所述多个发光控制信号输出到多条发光控制线ELC。

[0075] 虽然图4中示出了扫描信号和发光控制信号从一个扫描驱动电路GDC输出,但示例性实施例不限于此。例如,多个扫描驱动电路可以划分并输出扫描信号,并且可以划分并输出发光控制信号。此外,用于产生并输出扫描信号的驱动电路以及用于产生并输出发光控制信号的驱动电路可以被分开地分类。例如,还可以设置在第二方向DR2上面对图4中示出的扫描驱动电路GDC且与扫描驱动电路GDC不同的另一扫描驱动电路。

[0076] 扫描驱动电路GDC可以包括在电路层DP-CL中。扫描驱动电路GDC可以包括与像素PX中的驱动电路通过同一工艺形成的多个薄膜晶体管。

[0077] 虽然图4中未示出,但显示单元DP还可以包括数据驱动电路,数据驱动电路以膜上芯片(COF)的形式连接到垫(pad,也可以称为“焊盘”)PD。数据驱动电路可以集成在电路层DP-CL中。

[0078] 信号线GL、DL、ELC、SL-VDD、SL-Vint和SL-D可以包括扫描线GL、发光控制线ELC、数据线DL、电源线SL-VDD、初始化电压线SL-Vint和虚设信号线SL-D。信号线GL、DL、ELC、SL-VDD、SL-Vint和SL-D包括在电路层DP-CL中,并且可以省略一些信号线。垫PD可以连接到信号线GL、DL、ELC、SL-VDD、SL-Vint和SL-D的端部。

[0079] 扫描线GL分别连接到像素PX中的对应像素PX,数据线DL分别连接到像素PX中的对应像素PX。发光控制线ELC可以分别与扫描线GL中的对应扫描线GL平行地布置。

[0080] 电源线SL-VDD连接到像素PX,并且可以向像素PX提供第一电源电压。电源线SL-VDD可以包括在第一方向DR1上延伸的多条线和在第二方向DR2上延伸的多条线。

[0081] 初始化电压线SL-Vint可以向像素PX提供初始化电压。初始化电压线SL-Vint可以包括在第一方向DR1上延伸的多条线和在第二方向DR2上延伸的多条线。

[0082] 虚设信号线SL-D可以向扫描驱动电路GDC提供控制信号。虚设信号线SL-D可以向电源电极E-VSS提供第二电源电压。第二电源电压的电平与第一电源电压的电平不同。第二电源电压的电平可以比第一电源电压的电平低。

[0083] 电源电极E-VSS设置在非显示区域NDA中,并且具有沿基体层SUB的一(多)个边缘延伸的形状。如图4中所示,电源电极E-VSS可以具有面对三个边缘的形状。电源电极E-VSS也可以包括在电路层DP-CL中。

[0084] 如图4中所示,电源电极E-VSS设置在扫描驱动电路GDC的外部。电源电极E-VSS可以沿基体层SUB的边缘延伸。非显示区域NDA可以包括在第一方向DR1上彼此面对且使显示

区域DA处于其间的第一非显示区域NDA1和第二非显示区域NDA2。非显示区域NDA可以包括在第二方向DR2上彼此面对且使显示区域DA处于其间的第三非显示区域NDA3和第四非显示区域NDA4。电源电极E-VSS可以设置在第一非显示区域NDA1、第三非显示区域NDA3和第四非显示区域NDA4中的至少一个非显示区域中。如图4中所示,电源电极E-VSS可以设置在第一非显示区域NDA1、第三非显示区域NDA3和第四非显示区域NDA4中。

[0085] 在一些示例性实施例中,显示单元DP还可以包括遮蔽电极(遮蔽层或阻挡层)SHL。

[0086] 如图4中所示,遮蔽电极SHL可以设置在非显示区域NDA中,并且遮蔽电极SHL可以与电源电极E-VSS和扫描驱动电路GDC叠置。如稍后将参照图13描述的,遮蔽电极SHL可以直接连接到电源电极E-VSS,并且可以覆盖扫描驱动电路GDC的至少一部分。遮蔽电极SHL可以与扫描驱动电路GDC电绝缘。遮蔽电极SHL可以覆盖扫描驱动电路GDC,从而阻挡由扫描驱动电路GDC产生并向稍后将描述的输入感测单元TS传播的噪声。因此,可以减小或防止扫描驱动电路GDC对输入感测单元TS的噪声。稍后将参照图12和图13描述遮蔽电极SHL的详细构造和功能。

[0087] 图5是根据一些示例性实施例的包括在图4的显示单元中的像素的电路图。

[0088] 参照图5,像素PX可以包括发光元件EL、第一晶体管T1至第七晶体管T7以及电容器(或存储电容器)Cst。

[0089] 可以向像素PX提供数据信号DATA、第一扫描信号GW、第二扫描信号GI、第三扫描信号GB和发光控制信号EM。这里,第二扫描信号GI可以与前一点或前一行的第一扫描信号GW相同。例如,提供到第n行的像素PX的第二扫描信号GI[n]可以与提供到第n-1行的像素PX的第一扫描信号GW[n-1]相同。类似地,第三扫描信号GB可以与下一点或下一行的第二扫描信号GI相同。例如,提供到第n行的像素PX的第三扫描信号GB[n]可以与提供到第n+1行的像素PX的第二扫描信号GI[n+1]相同。

[0090] 第一晶体管T1至第七晶体管T7中的每个可以包括第一电极、第二电极和栅电极。第一电极和第二电极中的一个可以是源电极,第一电极和第二电极中的另一个可以是漏电极。

[0091] 第一晶体管T1至第七晶体管T7中的每个可以是薄膜晶体管。第一晶体管T1至第七晶体管T7中的每个可以是p沟道金属氧化物半导体场效应晶体管(PMOS晶体管)或n沟道金属氧化物半导体场效应晶体管(NMOS晶体管)。在下文中,将描述第一晶体管T1至第七晶体管T7,假设它们是PMOS晶体管。

[0092] 发光元件EL可以包括阳极电极和阴极电极。发光元件EL的阳极电极可以连接到第四节点N4,并且其阴极电极可以连接到第二电源线(即,用于传输第二电源电压ELVSS的布线)。

[0093] 第一晶体管(或驱动晶体管)T1可以包括:第一电极,连接(或电连接)到第一节点N1;第二电极,连接到第二节点N2;以及栅电极,连接到第三节点N3。第一晶体管T1可以基于第三节点N3的电压(或存储在稍后将描述的电容器Cst中的数据电压)向发光元件EL提供驱动电流Id。

[0094] 第二晶体管(或开关晶体管)T2可以包括:第一电极,连接到数据线(或接收数据信号DATA);第二电极,连接到第一节点N1;以及栅电极,连接到第一扫描线或接收第一扫描信号GW。第二晶体管T2可以响应于第一扫描信号GW而导通,并且可以将数据信号DATA传输到

第一节点N1。

[0095] 第三晶体管T3可以包括：第一电极，连接到第二节点N2；第二电极，连接到第三节点N3；以及栅电极，连接到第一扫描线或接收第一扫描信号GW。第三晶体管T3可以响应于第一扫描信号GW而导通，并且可以将数据信号DATA传输到第三节点N3。

[0096] 电容器Cst可以连接在第三节点N3与第一电源电压ELVDD之间。电容器Cst可以存储或保持被提供的数据信号DATA。

[0097] 第四晶体管T4可以包括：第一电极，连接到第三节点N3；第二电极，连接到初始化电压线SL-Vint或接收初始化电压VINT；以及栅电极，连接到第二扫描线（或接收第二扫描信号GI）。

[0098] 第四晶体管T4可以在数据信号DATA被存储在电容器Cst中之前（或者在发光元件EL发光之后）响应于第二扫描信号GI而导通，并且可以利用初始化电压VINT使第三节点N3（或电容器Cst）初始化。

[0099] 在一些示例性实施例中，第三晶体管T3和第四晶体管T4可以实现为双晶体管（即，呈两个晶体管的组合的形式的晶体管）。在这种情况下，可以防止或减小第三晶体管T3和第四晶体管T4的漏电流以及由漏电流引起的显示品质的劣化。

[0100] 第五晶体管（或第一发光控制晶体管）T5和第六晶体管（或第二发光控制晶体管）T6可以连接在第一电源线与发光元件EL之间，并且可以形成由第一晶体管T1产生的驱动电流Id通过其移动的电流通路。

[0101] 第五晶体管T5可以包括：第一电极，连接到第一电源线以接收第一电源电压ELVDD；第二电极，连接到第一节点N1；以及栅电极，连接到发光控制线ELC或接收发光控制信号EM。

[0102] 第六晶体管T6可以包括：第一电极，连接到第二节点N2；第二电极，连接到第四节点N4（或发光元件EL的阳极电极）；以及栅电极，连接到发光控制线ELC或接收发光控制信号EM。

[0103] 第五晶体管T5和第六晶体管T6响应于发光控制信号EM而导通。在这种情况下，驱动电流Id被提供到发光元件EL，并且发光元件EL可以发射具有与驱动电流Id对应的亮度的光。

[0104] 第七晶体管T7可以包括：第一电极，连接到第四节点N4；第二电极，连接到初始化电压线SL-Vint（或接收初始化电压VINT）；以及栅电极，连接到第三扫描线（或者接收第三扫描信号GB）。

[0105] 第七晶体管T7可以在发光元件EL发光之前（或者在发光元件EL发光之后）响应于第三扫描信号GB而导通，并且可以利用初始化电压VINT使发光元件EL的阳极电极初始化。发光元件EL可以包括寄生电容器，并且寄生电容器可以在发光元件EL发光的同时通过驱动电流Id进行充电或放电，使得发光元件EL的阳极电极可以具有非恒定的电压。因此，可以通过第七晶体管T7使发光元件EL的寄生电容器和辅助电容器初始化。

[0106] 虽然在图5中示出第七晶体管T7接收第三扫描信号GB，但示例性实施例不限于此。例如，第七晶体管T7可以接收第二扫描信号GI。

[0107] 图6是根据一些示例性实施例的沿图5的剖面B-B'截取的像素的剖视图。图6示出了与包括在图5的像素PX中的第二晶体管T2、第一晶体管T1、第六晶体管T6和发光元件EL对

应的剖面。

[0108] 参照图6,像素PX可以包括基体层SUB、电路元件层DP-CL、显示元件层DP-OLED和薄膜封装层TFE。由于基体层SUB与已经参照图4描述的基体层SUB基本相同,因此将不重复冗余的描述。

[0109] 首先,将描述电路元件层DP-CL。

[0110] 电路元件层DP-CL可以包括缓冲层BFL、半导体层100、第一绝缘层10、第一导电层200、第二绝缘层20、第二导电层300、第三绝缘层30、第三导电层400和第四绝缘层40。

[0111] 缓冲层BFL可以设置在基体层SUB上。缓冲层BFL改善基体层SUB与导电图案之间或基体层SUB与半导体图案之间的结合力。缓冲层BFL可以包括无机层。虽然图6中未示出,但还可以在基体层SUB上设置用于防止外部物质的流入的阻挡层。可以选择性地设置或省略缓冲层BFL和阻挡层。

[0112] 半导体层100可以设置在缓冲层BFL上。半导体层100可以包括第二晶体管T2的半导体图案(在下文中,称为第二半导体图案)OSP2、第一晶体管T1的半导体图案(在下文中,称为第一半导体图案)OSP1以及第六晶体管T6的半导体图案(在下文中,称为第六半导体图案)OSP6。第一半导体图案OSP1、第二半导体图案OSP2和第六半导体图案OSP6可以选自于非晶硅图案、多晶硅图案和金属氧化物半导体图案组成的组;然而,示例性实施例不限于此。

[0113] 第一绝缘层10可以设置在半导体层100上。虽然在图6中示出了第一绝缘层10以覆盖第一半导体图案OSP1、第二半导体图案OSP2和第六半导体图案OSP6的层的形式设置,但这仅是说明性的,并且示例性实施例不限于此。例如,第一绝缘层10可以以与第一半导体图案OSP1、第二半导体图案OSP2和第六半导体图案OSP6对应地设置的图案来设置。

[0114] 第一绝缘层10可以包括多个无机层。无机层可以包括氮化硅层、氮氧化硅层和氧化硅层中的至少一种。

[0115] 第一导电层200设置在第一绝缘层10上。第一导电层200可以包括第一晶体管T1的栅电极(在下文中,称为第一栅电极)GE1、第二晶体管T2的栅电极(在下文中,称为第二栅电极)GE2以及第六晶体管T6的栅电极(在下文中,称为第六栅电极)GE6。第一栅电极GE1、第二栅电极GE2和第六栅电极GE6可以通过与扫描线GL(参照图4)相同的光刻工艺来制造。第二绝缘层20可以设置在第一导电层200上。第二绝缘层20可以覆盖第一栅电极GE1、第二栅电极GE2和第六栅电极GE6。

[0116] 第二导电层300设置在第二绝缘层20上。第二导电层300可以包括第一晶体管T1的输入电极(在下文中,称为第一输入电极)SE1和输出电极(在下文中,称为第一输出电极)DE1、第二晶体管T2的输入电极(在下文中,称为第二输入电极)SE2和输出电极(在下文中,称为第二输出电极)DE2以及第六晶体管T6的输入电极(在下文中,称为第六输入电极)SE6和输出电极(在下文中,称为第六输出电极)DE6。

[0117] 第一输出电极DE1通过穿透第一绝缘层10和第二绝缘层20的第一接触孔CNT1连接到第一半导体图案OSP1。类似地,第一输入电极SE1通过穿透第一绝缘层10和第二绝缘层20的第二接触孔CNT2连接到第一半导体图案OSP1。第二输入电极SE2和第二输出电极DE2分别通过穿透第一绝缘层10和第二绝缘层20的第四接触孔CNT4和第三接触孔CNT3电连接到第二半导体图案OSP2。第二输入电极SE2可以电连接到第一输出电极DE1或者可以与第一输出电极DE1集成。第六输入电极SE6和第六输出电极DE6分别通过穿透第一绝缘层10和第二绝

缘层20的第五接触孔CNT5和第六接触孔CNT6电连接到第六半导体图案OSP6。第六输入电极SE6可以电连接到第一输入电极SE1或者可以与第一输入电极SE1集成。虽然在附图中示出了第一晶体管T1、第二晶体管T2和第六晶体管T6具有顶栅结构,但示例性实施例不限于此。例如,第一晶体管T1、第二晶体管T2和第六晶体管T6中的至少一个可以被修改为底栅结构或双栅结构。

[0118] 第三绝缘层30设置在第二导电层300(和第二绝缘层20)上。第三绝缘层30可以覆盖第一输入电极SE1、第二输入电极SE2、第六输入电极SE6、第一输出电极DE1、第二输出电极DE2和第六输出电极DE6。第三绝缘层30包括有机层和/或无机层。第三绝缘层30可以包括有机材料以提供平坦的表面。

[0119] 第三导电层400可以设置在第三绝缘层30上。第三导电层400可以包括数据线DL和数据图案410。数据线DL通过穿透第三绝缘层30的第七接触孔CNT7连接到第二晶体管T2的第二输出电极DE2。数据图案410通过穿透第三绝缘层30的第八接触孔CNT8连接到第六晶体管T6的第六输出电极DE6。

[0120] 虽然图6中未示出,但第三导电层400还可以包括遮蔽电极SHL。遮蔽电极SHL设置在非显示区域NDA中。稍后将参照图12描述遮蔽电极SHL的详细结构以及非显示区域NDA的层叠结构。

[0121] 第四绝缘层40可以设置在第三导电层400(和第三绝缘层30)上。第四绝缘层40可以覆盖数据线DL和数据图案410。第四绝缘层40包括有机层和/或无机层。第四绝缘层40可以包括有机材料以提供平坦的表面。

[0122] 第一绝缘层10、第二绝缘层20、第三绝缘层30和第四绝缘层40可以被定义为中间绝缘层。根据像素PX的电路结构,可以省略第一绝缘层10、第二绝缘层20、第三绝缘层30和第四绝缘层40中的至少一个,或者可以添加至少一个其它绝缘层。

[0123] 在下文中,将描述显示元件层DP-OLED。

[0124] 像素限定层PDL和有机发光二极管OLED设置在第四绝缘层40上。第一电极AE设置在第四绝缘层40上。第一电极AE通过穿透第四绝缘层40的第九接触孔CNT9连接到数据图案410。由于数据图案410连接到第六输出电极DE6,所以第一电极AE可以通过数据图案410电连接到第六输出电极DE6(即,第六晶体管T6)。

[0125] 开口OP被限定在像素限定层PDL中。像素限定层PDL的开口OP暴露第一电极AE的至少一部分。

[0126] 像素PX可以在平面上设置在像素区域中。像素区域可以包括发光区域PXA和与发光区域PXA相邻的非发光区域NPXA。非发光区域NPXA可以围绕发光区域PXA。发光区域PXA被限定为对应于第一电极AE的由开口OP暴露的部分。

[0127] 空穴控制层HCL可以公共地设置在发光区域PXA和非发光区域NPXA中。虽然图6中未示出,但诸如空穴控制层HCL的公共层可以针对多个像素PX(参照图4)公共地形成。

[0128] 发光层EML设置在空穴控制层HCL上。发光层EML可以设置在与开口OP对应的区域中。也就是说,发光层EML可以单独地形成在每个像素PX中。发光层EML可以包括有机材料和/或无机材料。虽然图6示出了图案化的发光层EML,但发光层EML可以针对像素PX公共地设置。此时,发光层EML可以产生白光;然而,示例性实施例不限于此。发光层EML可以具有多层结构。

[0129] 电子控制层ECL设置在发光层EML上。电子控制层ECL可以针对像素PX(参照图5)公共地形成。

[0130] 第二电极CE设置在电子控制层ECL上。第二电极CE针对像素PX公共地设置。

[0131] 薄膜封装层TFE设置在第二电极CE上。薄膜封装层TFE针对像素PX公共地设置。薄膜封装层TFE可以直接覆盖第二电极CE。还可以在薄膜封装层TFE与第二电极CE之间设置覆盖第二电极CE的盖层。在这种情况下,薄膜封装层TFE可以直接覆盖盖层。

[0132] 图7是根据一些示例性实施例的包括在图2的显示装置中的输入感测单元的剖视图。图8是根据一些示例性实施例的图7的输入感测单元的平面图。

[0133] 参照图7,输入感测单元TS包括第一导电层TS-CL1、第一绝缘层(在下文中,称为第一感测绝缘层)TS-IL1、第二导电层TS-CL2和第二绝缘层(在下文中,称为第二感测绝缘层)TS-IL2。第一导电层TS-CL1直接设置在薄膜封装层TFE上。然而,示例性实施例不限于此,而是可以在第一导电层TS-CL1与薄膜封装层TFE之间设置另一无机层或有机层。第一导电层TS-CL1和第二导电层TS-CL2中的每个可以具有单层结构,或者可以具有沿第三方向DR3层叠的多层结构。具有多层结构的导电层可以包括透明导电层和金属层的至少两层或更多层。具有多层结构的导电层可以包括含有不同金属的金属层。透明导电层可以包括氧化铟锡(ITO)、氧化铟锌(IZO)、氧化锌(ZnO)、氧化铟锡锌(ITZO)、PEDOT、金属纳米线或石墨烯。金属层可以包括钼、银、钛、铜、铝或至少一种上述材料的合金。例如,第一导电层TS-CL1和第二导电层TS-CL2中的每个可以具有钛/铝/钛的三层结构。

[0134] 第一导电层TS-CL1和第二导电层TS-CL2中的每个包括多个图案。在下文中,假设第一导电层TS-CL1包括第一导电图案并且第二导电层TS-CL2包括第二导电图案。第一导电图案和第二导电图案中的每个可以包括感测电极和感测信号线。

[0135] 第一感测绝缘层TS-IL1和第二感测绝缘层TS-IL2中的每个可以包括无机材料或有机材料。无机材料可以包括氧化铝、氧化钛、氧化硅、氮氧化硅、氧化锆和氧化铪中的至少一种。有机材料可以包括丙烯酸树脂、甲基丙烯酸树脂、聚异戊二烯、乙烯基树脂、环氧树脂、聚氨酯树脂、纤维素树脂、硅氧烷树脂、聚酰亚胺树脂、聚酰胺树脂和茛树脂中的至少一种。

[0136] 第一感测绝缘层TS-IL1和第二感测绝缘层TS-IL2中的每个可以具有单层结构或多层结构。第一感测绝缘层TS-IL1和第二感测绝缘层TS-IL2中的每个可以具有无机层和有机层的至少一层。无机层和有机层可以通过化学气相沉积来形成。

[0137] 第一感测绝缘层TS-IL1使第一导电层TS-CL1和第二导电层TS-CL2绝缘,并且其形状不受限制。可以根据第一导电图案的形状和第二导电图案的形状来改变第一感测绝缘层TS-IL1的形状。第一感测绝缘层TS-IL1可以覆盖整个薄膜封装层TFE,或者可以包括多个绝缘图案。多个绝缘图案与稍后将描述的第一连接单元CP1或第二连接单元CP2叠置就足够了。

[0138] 虽然图7中示出了双层输入感测单元TS,但这仅是示例性示例,并且示例性实施例不限于此。例如,单层输入感测单元包括导电层和覆盖该导电层的绝缘层。导电层包括感测电极和连接到这些感测电极的感测信号线。单层输入感测单元可以以自电容方式获取坐标信息。

[0139] 参照图8,输入感测单元TS可以包括:第一感测电极(或第一驱动电极至第四驱动

电极) TE1-1至TE1-4(即, TE1-1、TE1-2、TE1-3和TE1-4); 第一感测信号线(或第一驱动信号线至第四驱动信号线) SL1-1至SL1-4(即, SL1-1、SL1-2、SL1-3和SL1-4), 连接到第一感测电极TE1-1至TE1-4; 第二感测电极(或第一第二感测电极至第五第二感测电极) TE2-1至TE2-5(即, TE2-1、TE2-2、TE2-3、TE2-4和TE2-5); 第二感测信号线(或第一第二感测信号线至第五第二感测信号线) SL2-1至SL2-5(即, SL2-1、SL2-2、SL2-3、SL2-4和SL2-5), 连接到第二感测电极TE2-1至TE2-5; 以及垫单元PADa, 连接到第一感测信号线SL1-1至SL1-4以及第二感测信号线SL2-1至SL2-5(在下文中, 可以称为“第二感测信号线SL2(参照图14)”)。虽然图8中示出了输入感测单元TS包括四个第一感测电极TE1-1至TE1-4以及五个第二感测电极TE2-1至TE2-5, 但这仅是说明性示例, 并且示例性实施例不限于此。

[0140] 第一感测电极TE1-1至TE1-4中的每个可以具有其中限定有多个感测开口的网格形状。第一感测电极TE1-1至TE1-4中的每个包括多个第一感测传感器单元SP1和多个第一连接单元CP1。第一感测传感器单元SP1沿第一方向DR1布置。每个第一连接单元CP1连接第一感测传感器单元SP1之中的两个相邻的第一感测传感器单元SP1。第一感测信号线SL1-1至SL1-4也可以具有网格形状。

[0141] 第二感测电极TE2-1至TE2-5与第一感测电极TE1-1至TE1-4绝缘, 并与第一感测电极TE1-1至TE1-4交叉。第二感测电极TE2-1至TE2-5中的每个可以具有其中限定有多个感测开口的网格形状。第二感测电极TE2-1至TE2-5中的每个包括多个第二感测传感器单元SP2和多个第二连接单元CP2。第二感测传感器单元SP2沿第二方向DR2布置。每个第二连接单元CP2连接第二感测传感器单元SP2之中的两个相邻的第二感测传感器单元SP2。第二感测信号线SL2-1至SL2-5也可以具有网格形状。

[0142] 第一感测电极TE1-1至TE1-4静电地连接到第二感测电极TE2-1至TE2-5。当向第一感测电极TE1-1至TE1-4施加感测信号时, 在第一感测传感器单元SP1与第二感测传感器单元SP2之间形成电容器。

[0143] 第一感测传感器单元SP1、第一连接单元CP1、第一感测信号线SL1-1至SL1-4、第二感测传感器单元SP2、第二连接单元CP2以及第二感测信号线SL2-1至SL2-5中的一些可以通过使图7中示出的第一导电层TS-CL1图案化而形成, 而它们中的其它可以通过使图7中示出的第二导电层TS-CL2图案化而形成。

[0144] 至此, 已经示例性地示出并描述了其中第一连接单元CP1和第二连接单元CP2彼此交叉的输入感测单元TS, 但示例性实施例不限于此。例如, 每个第一连接单元CP1可以变形为V形, 以不与第二连接单元CP2叠置。

[0145] 此外, 至此, 已经示例性地示出并描述了均具有菱形形状的第一感测传感器单元SP1和第二感测传感器单元SP2, 但示例性实施例不限于此。

[0146] 参照图9至图11来描述输入感测单元TS的更详细的构造。

[0147] 图9是根据一些示例性实施例的包括在图7的输入感测单元中的第一导电层的平面图。图10是根据一些示例性实施例的包括在图7的输入感测单元中的第二导电层的平面图。图11是根据一些示例性实施例的图10的区域BB的放大图。

[0148] 参照图7和图9, 第一导电图案设置在薄膜封装层TFE上。第一导电图案可以包括第一连接单元(或桥接图案)CP1。第一连接单元CP1可以直接设置在薄膜封装层TFE上。第一连接单元CP1对应于图8中示出的第一连接单元CP1。

[0149] 虽然图10中未示出,但覆盖第一连接单元CP1的第一感测绝缘层TS-IL1设置在薄膜封装层TFE上。用于部分暴露第一连接单元CP1的接触孔被限定在第一感测绝缘层TS-IL1中。接触孔可以通过光刻工艺来形成。

[0150] 参照图7和图10,第二导电图案设置在第一感测绝缘层TS-IL1上。第二导电图案可以包括第一感测传感器单元SP1、第二连接单元CP2、第一感测信号线SL1-1至SL1-4、第二感测传感器单元SP2以及第二感测信号线SL2-1至SL2-5。虽然图10中未示出,但覆盖第二导电图案的第二感测绝缘层TS-IL2设置在第一感测绝缘层TS-IL1上。

[0151] 在一些示例性实施例中,第一导电图案可以包括第一感测电极TE1-1至TE1-4以及第一感测信号线SL1-1至SL1-4。第二导电图案可以包括第二感测电极TE2-1至TE2-5以及第二感测信号线SL2-1至SL2-5。在这种情况下,在第一感测绝缘层TS-IL1中不限定接触孔。

[0152] 在一些示例性实施例中,第一导电图案和第二导电图案可以互换。也就是说,第二导电图案可以包括第一连接单元CP1。

[0153] 在一些示例性实施例中,第一导电图案还可以包括与第一感测信号线SL1-1至SL1-4以及第二感测信号线SL2-1至SL2-5对应的虚设信号线。彼此对应的虚设信号线和感测信号线可以通过穿透第一感测绝缘层TS-IL1的接触孔彼此连接。虚设信号线可以降低感测信号线的电阻。

[0154] 参照图11,第一感测传感器单元SP1和第二感测传感器单元SP2与非发光区域NPXA叠置。多个网格孔TS-OPR、TS-OPG和TS-OPB被限定在第一感测传感器单元SP1和第二感测传感器单元SP2中。网格孔TS-OPR、TS-OPG和TS-OPB可以与发光区域PXA-R、PXA-G和PXA-B一一对应。

[0155] 发光区域PXA-R、PXA-G和PXA-B可以与图6的发光区域PXA基本相同。针对发光区域PXA-R、PXA-G和PXA-B中的每个发光区域设置有机发光二极管OLED。有机发光二极管OLED可以包括用于产生第一颜色的光的第一有机发光二极管、用于产生第二颜色的光的第二有机发光二极管和用于产生第三颜色的光的第三有机发光二极管。

[0156] 发光区域PXA-R、PXA-G和PXA-B可以根据从有机发光二极管OLED(参照图6)的发光层EML(参照图6)发射的光的颜色而具有不同的面积。发光区域PXA-R、PXA-G和PXA-B的面积可以根据有机发光二极管OLED的种类来确定。发光区域PXA-R、PXA-G和PXA-B可以被划分为至少两组。

[0157] 虽然图11示出了被划分为三组的发光区域PXA-R、PXA-G和PXA-B,但这仅是说明性示例,并且示例性实施例不限于此。例如,网格孔TS-OPR、TS-OPG和TS-OPB可以被划分为成具有不同面积的两组或者四组或更多组。

[0158] 图11示出了具有第一面积的第一网格孔TS-OPR、具有与第一面积不同的第二面积的第二网格孔TS-OPG以及具有与第一面积和第二面积不同的第三面积的第三网格孔TS-OPB。网格孔TS-OPR、TS-OPG和TS-OPB的面积可以根据与网格孔TS-OPR、TS-OPG和TS-OPB叠置的有机发光二极管OLED的种类来确定。

[0159] 第一感测传感器单元SP1和第二感测传感器单元SP2中的每个可以包括限定网格孔TS-OPR、TS-OPG和TS-OPB的网格线。网格线可以包括:第一网格线,在与第一方向DR1和第二方向DR2交叉的第四方向DR4上延伸;以及第二网格线,在与第四方向DR4交叉的第五方向DR5上延伸。第一网格线和第二网格线的线宽可以是几微米。

[0160] 图11示出了限定一个网格孔TS-OPR的四个网格线单元M1、M2、M3和M4。网格线单元M1、M2、M3和M4构成第一网格线和第二网格线的一部分。第一网格线单元M1和第二网格线单元M2在第四方向DR4上彼此面对,第三网格线单元M3和第四网格线单元M4在第五方向DR5上彼此面对。虽然图11中示出了网格孔TS-OPR、TS-OPG和TS-OPB与发光区域PXA-R、PXA-G和PXA-B一一对应,但示例性实施例不限于此。例如,一个网格孔TS-OPR、TS-OPG或TS-OPB可以与两个或更多个发光区域PXA-R、PXA-G和PXA-B对应。

[0161] 虽然图11中示出了发光区域PXA-R、PXA-G和PXA-B的面积是不同的,但示例性实施例不限于此。例如,发光区域PXA-R、PXA-G和PXA-B的尺寸可以彼此相等,并且网格孔TS-OPR、TS-OPG和TS-OPB的尺寸也可以彼此相等。

[0162] 图12是示出根据一些示例性实施例的其中图3中示出的区域AA被放大的显示模块的示例的剖视图。图13是示出显示模块的对比示例的剖视图。图13示出了与图12对应的区域。图14是示出根据一些示例性实施例的以叠置方式包括在图12的显示模块中的遮蔽电极、连接电极和第二电极的平面图。图14示出了根据一些示例性实施例的与图12的剖面对应的平面区域。

[0163] 首先,参照图12,由于设置在显示区域DA中的电路层DP-CL、显示元件层DP-OLED和薄膜封装层TFE的层叠结构与已经参照图6描述的层叠结构基本相同,所以将不重复冗余的描述。为了便于解释,将省略空穴控制层HCL和电子控制层ECL,但应理解的是,显示元件层DP-OLED包括空穴控制层HCL和电子控制层ECL。

[0164] 类似地,由于设置在显示区域DA中的输入感测单元TS的层叠结构与已经参照图7至图11描述的层叠结构基本相同,因此将不重复冗余的描述。为了便于解释,将省略第一导电层TS-CL1和第二感测绝缘层TS-IL2,但应理解的是,输入感测单元TS包括第一导电层TS-CL1和第二感测绝缘层TS-IL2。

[0165] 图12中示出了薄膜封装层TFE包括第一无机层IOL1、有机层OL和第二无机层IOL2。

[0166] 在下文中,将主要描述非显示区域NDA。

[0167] 构成电路层DP-CL的扫描驱动电路GDC设置在非显示区域NDA中。扫描驱动电路GDC包括与第六晶体管T6通过同一工艺形成的至少一个晶体管GDC-T。扫描驱动电路GDC包括与第六晶体管T6的输入电极SE6布置在同一层上的信号线GDC-SL。初始化电压线SL-Vint和电源电极E-VSS也与第六晶体管T6的输入电极SE6设置在同一层上。由于初始化电压线SL-Vint、电源电极E-VSS和第六晶体管T6的输入电极SE6通过同一工艺形成,因此它们可以具有相同的层结构并且可以包括相同的材料。

[0168] 如已经参照图4描述的,电源电极E-VSS设置在扫描驱动电路GDC的外部。

[0169] 遮蔽电极(或遮蔽层)SHL设置在第三绝缘层30上。遮蔽电极SHL可以直接连接到电源电极E-VSS,并且可以与扫描驱动电路GDC的至少一部分叠置。此外,遮蔽电极SHL可以与稍后将描述的第二电极CE的至少一部分叠置,或者可以与第二电极CE部分地叠置。遮蔽电极SHL可以与数据线DL通过同一工艺形成,并且可以与数据图案410(或数据线DL(参照图6))包括相同的层结构和相同的材料。此外,遮蔽电极SHL可以具有与数据图案410(或数据线DL)的厚度相同的厚度。

[0170] 遮蔽电极SHL设置在已经参照图4描述的第一非显示区域NDA1、第三非显示区域NDA3和第四非显示区域NDA4的至少一个非显示区域中。如图4中所示,遮蔽电极SHL可以设

置在第一非显示区域NDA1、第三非显示区域NDA3和第四非显示区域NDA4中。

[0171] 连接电极E-CNT设置在第四绝缘层40上。连接电极E-CNT使电源电极E-VSS(或遮蔽电极SHL)连接到第二电极CE。连接电极E-CNT可以与电源电极E-VSS叠置,可以与遮蔽电极SHL叠置,并且可以与第二电极CE叠置。连接电极E-CNT将第二电源电压从电源电极E-VSS传输到第二电极CE。由于连接电极E-CNT与第一电极AE通过同一工艺形成,因此连接电极E-CNT可以与第一电极AE包括相同的层结构和相同的材料。连接电极E-CNT和第一电极AE可以具有相同的厚度。

[0172] 类似于遮蔽电极SHL,连接电极E-CNT设置在第一非显示区域NDA1、第三非显示区域NDA3和第四非显示区域NDA4中的至少一个非显示区域中。例如,连接电极E-CNT可以设置在第一非显示区域NDA1、第三非显示区域NDA3和第四非显示区域NDA4中。

[0173] 多个第一通孔H\_VIA1被限定在连接电极E-CNT中。第一通孔H\_VIA1排出在形成第四绝缘层40的工艺中产生的气体。

[0174] 在一些示例性实施例中,连接电极E-CNT的每个第一通孔H\_VIA1可以与遮蔽电极SHL叠置,或者可以被遮蔽电极SHL覆盖。作为参考,当连接电极E-CNT包括第一通孔H\_VIA1时,噪声从扫描驱动电路GDC通过连接电极E-CNT的第一通孔H\_VIA1传播到输入感测单元TS,并且噪声影响第二感测信号线SL2,从而使输入感测单元TS的灵敏度劣化。因此,遮蔽电极SHL(即,连接到电源电极E-VSS的遮蔽电极SHL)可以基于扫描驱动电路GDC而覆盖连接电极E-CNT的第一通孔H\_VIA1,从而阻挡从扫描驱动电路GDC通过连接电极E-CNT的第一通孔H\_VIA1向输入感测单元TS传播的噪声。因此,可以防止由于噪声引起的输入感测单元TS的灵敏度的劣化。

[0175] 第二电极CE可以与遮蔽电极SHL的至少一部分叠置,或者可以与遮蔽电极SHL部分地叠置。在连接电极E-CNT与遮蔽电极SHL不叠置的区域中,噪声可以从扫描驱动电路GDC通过连接电极E-CNT的一些第一通孔H\_VIA1(参照稍后描述的图15)传播到输入感测单元TS。如此,第二电极CE可以覆盖遮蔽电极SHL与连接电极E-CNT不叠置的区域,从而阻挡从扫描驱动电路GDC向输入感测单元TS传播的噪声。

[0176] 作为参考,考虑到公差(或工艺误差,例如,可能在形成子构造期间出现的误差),第二电极CE与显示模块DM的边缘间隔开预定距离D\_REF或更大。由于显示模块DM包括遮蔽电极SHL,因此第二电极CE可以与显示模块DM的边缘间隔开比预定距离D\_REF大裕量D\_MG的距离,并且输入感测单元TS的第二感测信号线SL2可以在更宽松的条件下布置。也就是说,由于显示模块DM包括遮蔽电极SHL,所以第二电极CE和第二感测信号线SL2可以在更宽松的条件(即,更宽松的位置和限制)下布置。例如,第二感测信号线SL2可以与第二电极CE不叠置。图13是关于第二电极CE和第二感测信号线SL2的布置条件而被提及的。

[0177] 参照图13,根据对比示例的显示模块DM\_C不会包括遮蔽电极SHL。第二电极CE\_C可以与显示模块DM\_C的边缘隔开预定距离D\_REF,并且可以覆盖连接电极E-CNT的一些第一通孔H\_VIA1。在这种情况下,连接电极E-CNT的其它第一通孔H\_VIA1(即,布置在距显示模块DM\_C的边缘预定距离D\_REF之内的区域中的通孔)不会被第二电极CE\_C覆盖。因此,噪声会从扫描驱动电路GDC通过所述其它第一通孔H\_VIA1传播到虚设感测信号线SL2\_V,并且输入感测单元TS的灵敏度会因噪声而劣化。为了消除噪声的影响,可以不形成虚设感测信号线SL2\_V,而是可以仅在叠置区域BTWA(即,连接电极E-CNT的第一通孔H\_VIA1被第二电极CE\_C

覆盖的区域)中设置第二感测信号线SL2。随着其中可以布置第二感测信号线SL2的叠置区域BTWA相对减小,可能发生第二感测信号线SL2之间的短路,或者第二感测信号线SL2的电阻会随着第二感测信号线SL2的宽度减小而减小,并且输入感测单元TS的灵敏度会劣化。

[0178] 因此,根据各种示例性实施例的显示模块DM可以利用遮蔽电极SHL覆盖连接电极E-CNT的第一通孔H\_VIA1,从而不仅防止或减小输入感测单元TS的灵敏度的劣化,而且还减小第二电极CE和第二感测信号线SL2的布置位置的限制。

[0179] 再次参照图12,坝状部DM1和DM2可以设置在非显示区域NDA中。坝状部DM1和DM2可以包括第一坝状部DM1和第二坝状部DM2。第一坝状部DM1和第二坝状部DM2可以在第二方向DR2上彼此间隔开。虽然图12中未示出,但第一坝状部DM1和第二坝状部DM2可以在平面上设置为围绕显示区域DA。第一坝状部DM1和第二坝状部DM2可以设置在第一非显示区域NDA1、第三非显示区域NDA3和第四非显示区域NDA4中的至少一个中。

[0180] 第一坝状部DM1可以设置在电源电极E-VSS上。第一坝状部DM1可以是单层,并且可以与像素限定层PDL同时形成。由于第一坝状部DM1与像素限定层PDL通过同一工艺形成,因此第一坝状部DM1的厚度可以与像素限定层PDL的厚度相同,并且第一坝状部DM1和像素限定层PDL可以包括相同的材料。在一些示例性实施例中,第一坝状部DM1的厚度可以小于像素限定层PDL的厚度。

[0181] 第二坝状部DM2可以设置在第一坝状部DM1的外部。例如,第二坝状部DM2与显示区域DA之间的距离可以大于第一坝状部DM1与显示区域DA之间的距离。

[0182] 第二坝状部DM2可以覆盖电源电极E-VSS的一部分。第二坝状部DM2可以具有多层结构。第二坝状部DM2的下部可以与第三绝缘层30同时形成,第二坝状部DM2的中心部分可以与第四绝缘层40同时形成,并且第二坝状部DM2的上部可以与像素限定层PDL同时形成。

[0183] 第一无机层IOL1可以覆盖第一坝状部DM1和第二坝状部DM2。第一无机层IOL1的边缘可以与第二绝缘层20接触。有机层OL可以与电路元件(例如,扫描驱动电路GDC的晶体管GDC-T)叠置,并且有机层OL的边缘可以不与第一坝状部DM1和第二坝状部DM2叠置。在一些示例性实施例中,有机层OL的边缘不设置在第二坝状部DM2的外部。第二无机层IOL2可以与第一坝状部DM1和第二坝状部DM2叠置。第二无机层IOL2的边缘可以与第一无机层IOL1接触。

[0184] 第一感测绝缘层TS-IL1可以与第一坝状部DM1和第二坝状部DM2叠置。第一感测绝缘层TS-IL1的边缘可以与第二无机层IOL2接触。

[0185] 设置在第一感测绝缘层TS-IL1上的至少一些第二感测信号线SL2与遮蔽电极SHL叠置。不需要所有的感测信号线SL2与遮蔽电极SHL叠置,而是一些第二感测信号线SL2与遮蔽电极SHL叠置就足够了。

[0186] 参照图14,连接电极E-CNT的第一通孔H\_VIA1限定多个行H-L1至H-L4,并且多个行H-L1至H-L4布置在第一方向DR1上。多个行H-L1至H-L4可以包括在第二方向DR2上布置的孔(即,第一通孔H\_VIA1),并且多个行H-L1至H-L4可以包括相同数量的孔。然而,示例性实施例不限于此。例如,多个行H-L1至H-L4可以包括不同数量的孔。多个第一通孔H\_VIA1中的每个第一通孔H\_VIA1的平面形状为矩形,但不限于此。

[0187] 多个行H-L1至H-L4中的第一行H-L1中的孔可以被定义为第一孔,多个行H-L1至H-L4中的第二行H-L2中的孔可以被定义为第二孔。多个行H-L1至H-L4中的第三行H-L3中的孔

可以被定义为第三孔。第一行H-L1和第三行H-L3可以包括相同数量的孔。第一孔、第二孔和第三孔可以对齐。然而,示例性实施例不限于此。例如,第一孔和第三孔可以对齐,而第二孔可以设置在第一孔之间。

[0188] 图15是示出根据一些示例性实施例的其中图3中示出的区域AA被放大的显示模块的另一示例的剖视图。

[0189] 参照图12和图15,显示模块DM\_1与图12的显示模块DM的不同之处在于显示模块DM\_1包括遮蔽电极SHL\_1和第二电极CE\_1。

[0190] 除了其中设置有遮蔽电极SHL\_1的区域之外,遮蔽电极SHL\_1可以与已经参照图12描述的遮蔽电极SHL基本相同。因此,将不重复冗余的描述。

[0191] 遮蔽电极SHL\_1可以与扫描驱动电路GDC部分地叠置。也就是说,遮蔽电极SHL\_1可以仅覆盖扫描驱动电路GDC的一部分(例如,与显示模块DM的边缘相邻的部分)。数据线DL(参照图4)可以设置在第三导电层400(参照图6)上,即,设置在第三绝缘层30上。为了防止与数据线DL断开,遮蔽电极SHL\_1可以与显示区域DA间隔开预定距离。在这种情况下,遮蔽电极SHL\_1可以被设置为仅与扫描驱动电路GDC的一部分叠置。

[0192] 除了其处设置有第二电极CE\_1的位置之外,第二电极CE\_1可以与已经参照图6和图12描述的第二电极CE基本相同。因此,将不重复冗余的描述。

[0193] 如图15中所示,第二电极CE\_1可以延伸为距显示模块DM\_1的边缘预定距离D\_REF。第二感测信号线SL2中的一些可以与遮蔽电极SHL\_1叠置,并且第二感测信号线SL2中的另一些可以与第二电极CE\_1叠置,第二感测信号线SL2中的所述一些不同于第二感测信号线SL2中的所述另一些。由于第二电极CE\_1与遮蔽电极SHL\_1部分地叠置,因此第二电极CE\_1与遮蔽电极SHL\_1一起可以阻挡从扫描驱动电路GDC(或电路元件层DP-CL)向输入感测单元TS传播的噪声。

[0194] 图16是示出根据一些示例性实施例的其中图3中示出的区域AA被放大的显示模块的又一示例的剖视图。图17是示出根据一些示例性实施例的以叠置方式包括在图16的显示模块中的遮蔽电极、连接电极和第二电极的平面图。图17示出了与图16的剖面对应的区域。

[0195] 参照图12、图14、图16和图17,图16和图17的显示模块DM\_2与图12和图14的显示模块DM的不同之处在于,显示模块DM\_2包括遮蔽电极SHL\_2。除了在遮蔽电极SHL\_2中包括第二通孔H\_VIA2之外,遮蔽电极SHL\_2可以与已经参照图12描述的遮蔽电极SHL基本相同。因此,将不重复冗余的描述。

[0196] 多个第二通孔H\_VIA2被限定在遮蔽电极SHL\_2中。第二通孔H\_VIA2排出在形成第三绝缘层30的工艺中产生的气体。也就是说,当第三绝缘层30包括有机材料时,在形成第三绝缘层30的工艺中产生气体,并且气体通过第二通孔H\_VIA2排出到外部。

[0197] 遮蔽电极SHL\_2的第二通孔H\_VIA2可以被连接电极E-CNT覆盖。连接电极E-CNT的第一通孔H\_VIA1可以与遮蔽电极SHL\_2的第二通孔H\_VIA2不叠置。

[0198] 类似于连接电极E-CNT的第一通孔H\_VIA1,噪声可以从扫描驱动电路GDC通过遮蔽电极SHL\_2的第二通孔H\_VIA2传播到输入感测单元TS,但是连接电极E-CNT覆盖遮蔽电极SHL\_2的第二通孔H\_VIA2,或者连接电极E-CNT的第一通孔H\_VIA1被布置为与遮蔽电极SHL\_2的第二通孔H\_VIA2不叠置,从而阻止噪声的传播。

[0199] 参照图17,示出了连接电极E-CNT和遮蔽电极SHL\_2彼此叠置。由于连接电极E-CNT

的第一通孔H\_VIA1与已经参照图12描述的连接电极E-CNT的第一通孔H\_VIA1相同,因此将不重复冗余的描述。

[0200] 遮蔽电极SHL\_2的第二通孔H\_VIA2可以被布置为与连接电极E-CNT的第一通孔H\_VIA1交错。

[0201] 类似于连接电极E-CNT的第一通孔H\_VIA1,遮蔽电极SHL\_2的第二通孔H\_VIA2限定多个行H-L11至H-L13,并且多个行H-L11至H-L13布置在第一方向DR1上。多个行H-L11至H-L13可以包括在第二方向DR2上布置的孔,并且多个行H-L11至H-L13可以包括不同数量的孔。多个第二通孔H\_VIA2中的每个第二通孔H\_VIA2的平面形状与多个第一通孔H\_VIA1中的每个第一通孔H\_VIA1的平面形状相同或相似,但示例性实施例不限于此。

[0202] 遮蔽电极SHL\_2的行H-L11至H-L13可以设置在连接电极E-CNT的行H-L1至H-L4之间。也就是说,遮蔽电极SHL\_2的行H-L11至H-L13和连接电极E-CNT的行H-L1至H-L4交替地(或可选地)布置。例如,遮蔽电极SHL\_2的行H-L11至H-L13和连接电极E-CNT的行H-L1至H-L4可以彼此交错。此外,当遮蔽电极SHL\_2的第二通孔H\_VIA2限定多个列V-L2时,或者当连接电极E-CNT的第一通孔H\_VIA1限定多个列V-L1时,遮蔽电极SHL\_2的列V-L2和连接电极E-CNT的列V-L1可以在第二方向DR2上交替地布置。也就是说,在该平面上,遮蔽电极SHL\_2的第二通孔H\_VIA2和连接电极E-CNT的第一通孔H\_VIA1可以具有棋盘结构或栅格结构,并且可以被布置为相互不叠置。

[0203] 连接电极E-CNT可以连接到电源电极E-VSS和第二电极CE以降低总电阻并降低第二电源电压ELVSS的电压降。随着连接电极E-CNT的第二通孔H\_VIA2的面积减小,连接电极E-CNT的总电阻(以及第二电源电压ELVSS的电压降)可以减小。如此,连接电极E-CNT可以具有网格结构。

[0204] 此外,由于遮蔽电极SHL\_2连接到电源电极E-VSS,但不直接连接到第二电极CE,所以与连接电极E-CNT的第一通孔H\_VIA1中的每个的形状相比,遮蔽电极SHL\_2的形状(或遮蔽电极SHL\_2的第二通孔H\_VIA2中的每个的形状)可以是自由的(例如,受到较少的设计约束)。

[0205] 图18是示出根据一些示例性实施例的图12的显示模块的又一示例的平面图。图19是示出根据一些示例性实施例的沿图18中的剖线C-C'截取的显示模块的示例的剖视图。图20是示出根据一些示例性实施例的图12的显示模块的又一示例的平面图。在图18和图20(其描绘对应于图14)示出了包括在显示模块DM\_3或DM\_3\_1中的遮蔽电极SHL\_3、连接电极E-CNT或E-CNT\_1以及第二电极CE彼此叠置。

[0206] 首先,参照图18至图20,图18的显示模块DM\_3或图20的显示模块DM\_3\_1与图14的显示模块DM的不同之处在于显示模块DM\_3或DM\_3\_1包括遮蔽电极SHL\_3。除了与遮蔽电极SHL\_2中的第二通孔H\_VIA2相比遮蔽电极SHL\_3中包括第三通孔H\_VIA3之外,遮蔽电极SHL\_3可以与已经参照图16描述的遮蔽电极SHL\_2基本相同。因此,将不重复冗余的描述。

[0207] 多个第三通孔H\_VIA3被限定在遮蔽电极SHL\_3中。遮蔽电极SHL\_3的第三通孔H\_VIA3可以被连接电极E-CNT或E-CNT\_1覆盖。遮蔽电极SHL\_3的第三通孔H\_VIA3可以被布置为与连接电极E-CNT中的第一通孔H\_VIA1或连接电极E-CNT\_1中的第四通孔H\_VIA4交错。例如,第三通孔H\_VIA3可以设置在连接电极E-CNT或E-CNT\_1的行H-L1至H-L4之间。

[0208] 每个第三通孔H\_VIA3可以具有第二方向DR2上的长度大于第一方向DR1上的宽度

的矩形形状。例如,每个第三通孔H\_VIA3是狭缝,并且在一行中可以仅设置一个第三通孔H\_VIA3。每个第三通孔H\_VIA3可以对应于连接电极E-CNT的一行(例如,第一行H-L1)中包括的所有第一通孔H\_VIA1或者连接电极E-CNT\_1的一行(例如,第一行H-L1)中包括的第四通孔H\_VIA4中的每个第四通孔H\_VIA4。

[0209] 关于至少显示模块DM\_3,每个第三通孔H\_VIA3的在第一方向DR1上的第二宽度W2可以小于每个第一通孔H\_VIA1的在第一方向DR1上的第一宽度W1。然而,由于每个第三通孔H\_VIA3具有在第二方向DR2上伸长的形状,因此每个第三通孔H\_VIA3的面积大于或等于连接电极E-CNT的一行(例如,第一行H-L1)中包括的第一通孔H\_VIA1的总面积。由于每个第三通孔H\_VIA3具有相对大的面积,因此在形成第三绝缘层30的工艺中产生的气体可以更容易地通过第三通孔H\_VIA3排出,并且可以更有效地阻挡从扫描驱动电路GDC朝向输入感测单元TS传播的噪声。

[0210] 如图19中所示,噪声可以沿倾斜方向DRD从扫描驱动电路GDC传播。当噪声沿倾斜方向DRD传播时,随着噪声的传播路径变得相对较长,噪声被减弱,但被减弱的噪声会影响输入感测单元TS(或第二感测信号线SL2)。

[0211] 随着每个第三通孔H\_VIA3的第二宽度W2减小,噪声可以从扫描驱动电路GDC通过第三通孔H\_VIA3传播的范围角(即,传播范围角)可以变窄,并且在相应的范围(即,与范围角对应的范围)内,穿过第三通孔H\_VIA3的噪声可以被连接电极E-CNT阻挡。噪声通过第三通孔H\_VIA3传播的范围角可以由遮蔽电极SHL\_3的厚度、每个第三通孔H\_VIA3的第二宽度W2、第四绝缘层40的厚度(即,第三方向上的厚度DR3)等来确定。随着遮蔽电极SHL\_3的厚度增大,随着每个第三通孔H\_VIA3的第二宽度W2减小,并且随着第四绝缘层40的厚度(即,第三方向DR3上的厚度)减小,可以减小噪声的范围角。然而,遮蔽电极SHL\_3的厚度和第四绝缘层40的厚度(即,第三方向DR3上的厚度)可以由其它电路元件(例如,形成在显示区域DA中的晶体管和像素PX)等预先确定。因此,可以通过减小每个第三通孔H\_VIA3的第二宽度W2(即,可以独立地确定的第二宽度W2)来减小噪声的范围角。

[0212] 然而,随着每个第三通孔H\_VIA3的第二宽度W2减小,每个第三通孔H\_VIA3的面积会减小,因此,气体可能不容易被排出。因此,考虑到气体排出的容易性,每个第三通孔H\_VIA3的第二宽度W2可以是每个第一通孔H\_VIA1的第一宽度W1的0.3倍至0.7倍,例如,0.4倍至0.6倍,诸如0.5倍。

[0213] 虽然图18中示出了遮蔽电极SHL\_3包括狭缝型的第三通孔H\_VIA3,但示例性实施例不限于此。例如,连接电极E-CNT可以包括狭缝型的第一通孔H\_VIA1。作为另一示例,如图20中所示,遮蔽电极SHL\_3可以包括狭缝型的第三通孔H\_VIA3,并且连接电极E-CNT\_1可以包括狭缝型的第四通孔H\_VIA4。

[0214] 图21是示出根据一些示例性实施例的其中图3中示出的区域AA被放大的显示模块的又一示例的剖视图。

[0215] 参照图12至图21,图21的显示模块DM\_4与图12的显示模块DM的不同之处在于,显示模块DM\_4包括遮蔽电极SHL\_4。除了其处设置有遮蔽电极SHL\_4的位置和遮蔽电极SHL\_4的连接关系之外,遮蔽电极SHL\_4可以与已经参照图12描述的遮蔽电极SHL基本相同或相似。因此,将不重复冗余的描述。

[0216] 遮蔽电极SHL\_4可以与电源电极E-VSS不叠置,并且可以通过穿透第四绝缘层40以

暴露遮蔽电极SHL\_4的第十接触孔CNT10连接到连接电极E-CNT。也就是说,遮蔽电极SHL\_4电连接到电源电极E-VSS,并且可以通过连接电极E-CNT电连接到电源电极E-VSS。

[0217] 在一些示例性实施例中,第十接触孔CNT10可以包括(或连接到)第二电极CE,即,可以与显示区域DA相邻地形成,并且可以与已经参照图6描述的第九接触孔CNT9通过同一工艺形成。在这种情况下,类似于图12,遮蔽电极SHL\_4覆盖连接电极E-CNT的第一通孔H-VIA1,从而阻止噪声从扫描驱动电路GDC通过第一通孔H-VIA1向输入感测单元TS传播。在示例性实施例中,第十接触孔CNT10可以与第二电极CE叠置。

[0218] 虽然图21中示出了遮蔽电极SHL\_4通过一个第十接触孔CNT10连接到连接电极E-CNT,但示例性实施例不限于此。例如,遮蔽电极SHL\_4可以通过多个接触孔(未示出)连接到连接电极E-CNT,所述多个接触孔可以沿第二方向DR2形成。此外,虽然图21中示出了遮蔽电极SHL\_4不包括第二通孔H\_VIA2(参照图16),但遮蔽电极SHL\_4可以包括第二通孔H\_VIA2。

[0219] 根据各种示例性实施例,显示装置可以包括设置在驱动电路与连接电极之间并且与输入感测单元的感测信号线叠置的遮蔽电极,从而减小了否则将传播到输入感测单元并干扰输入感测单元的噪声。然而,应注意的是,发明构思的效果不受上述内容的限制或不限于上述内容,并且其它各种效果在此是预期的。

[0220] 虽然在此已经描述了某些示例性实施例和实施方式,但是通过该描述,其它实施例和修改将是明显的。因此,发明构思不限于这样的实施例,而是限于所附权利要求以及如对本领域普通技术人员而言将显而易见的各种明显的修改和等同布置的更宽的范围。

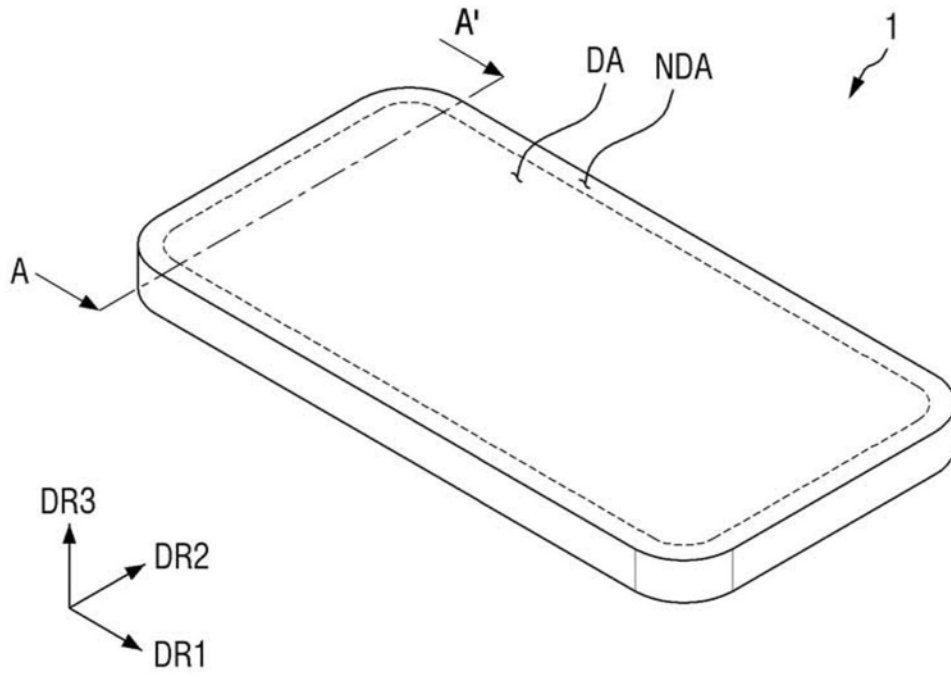


图1

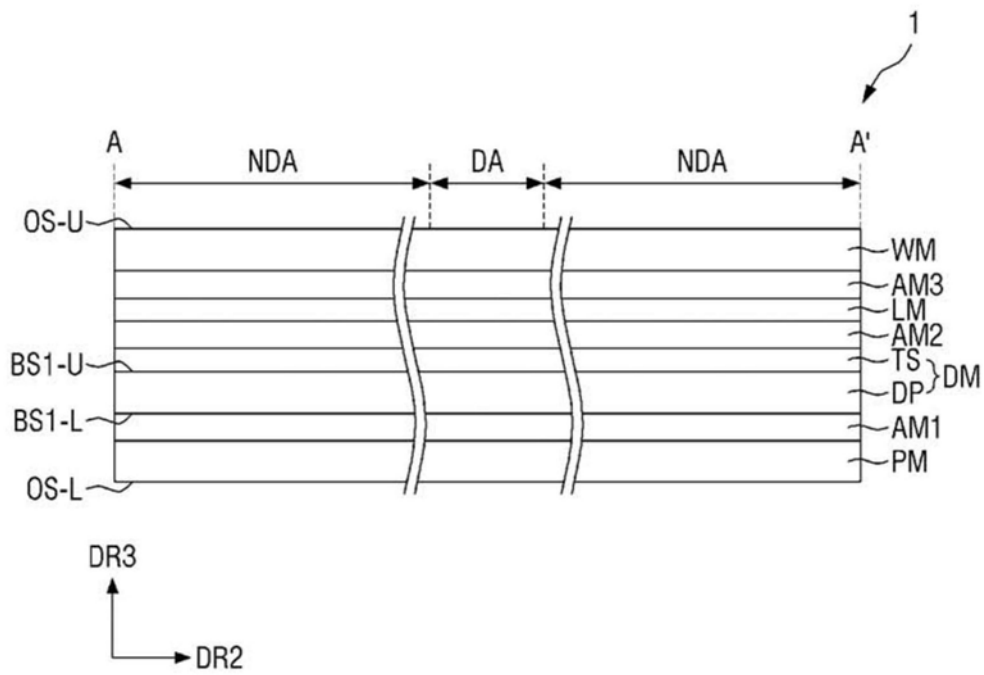


图2

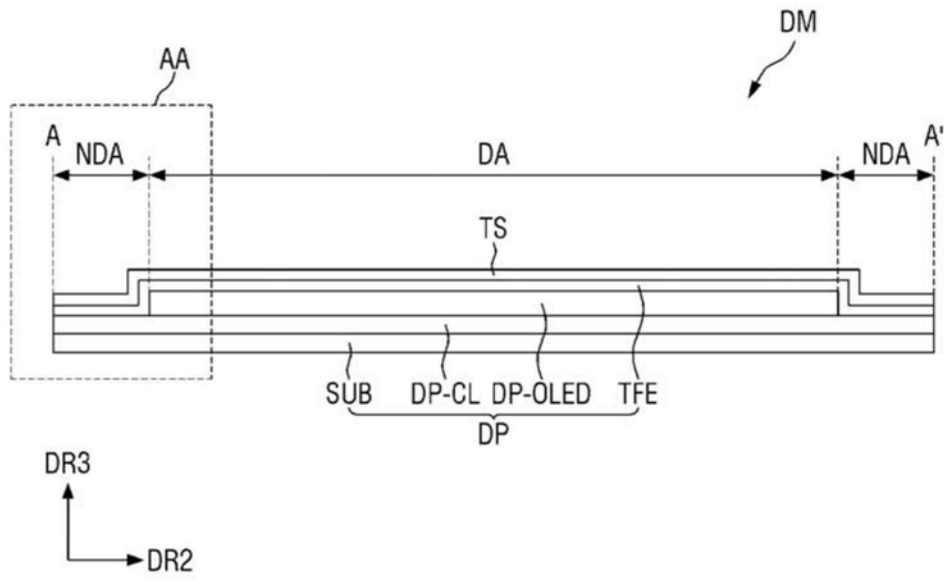


图3

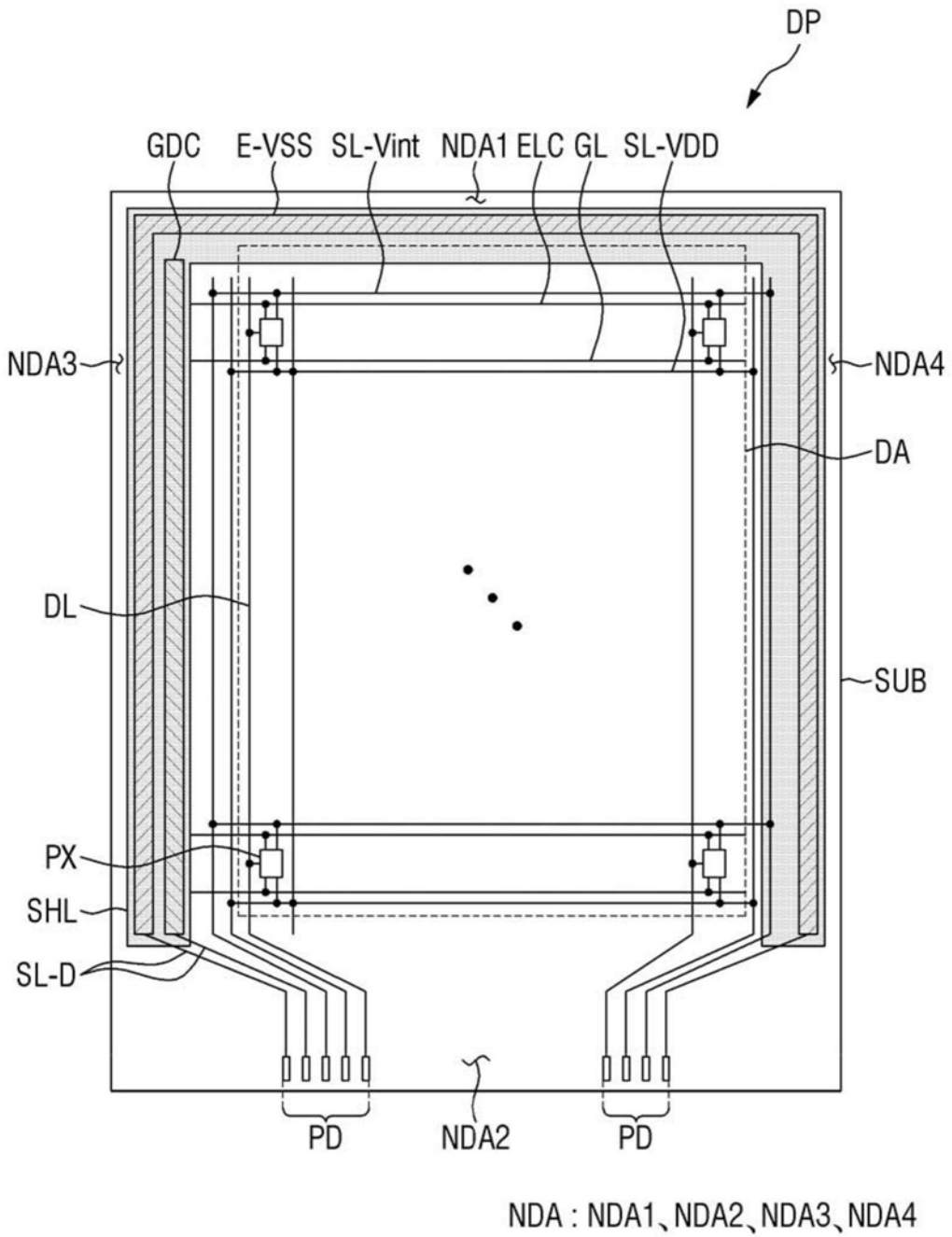


图4

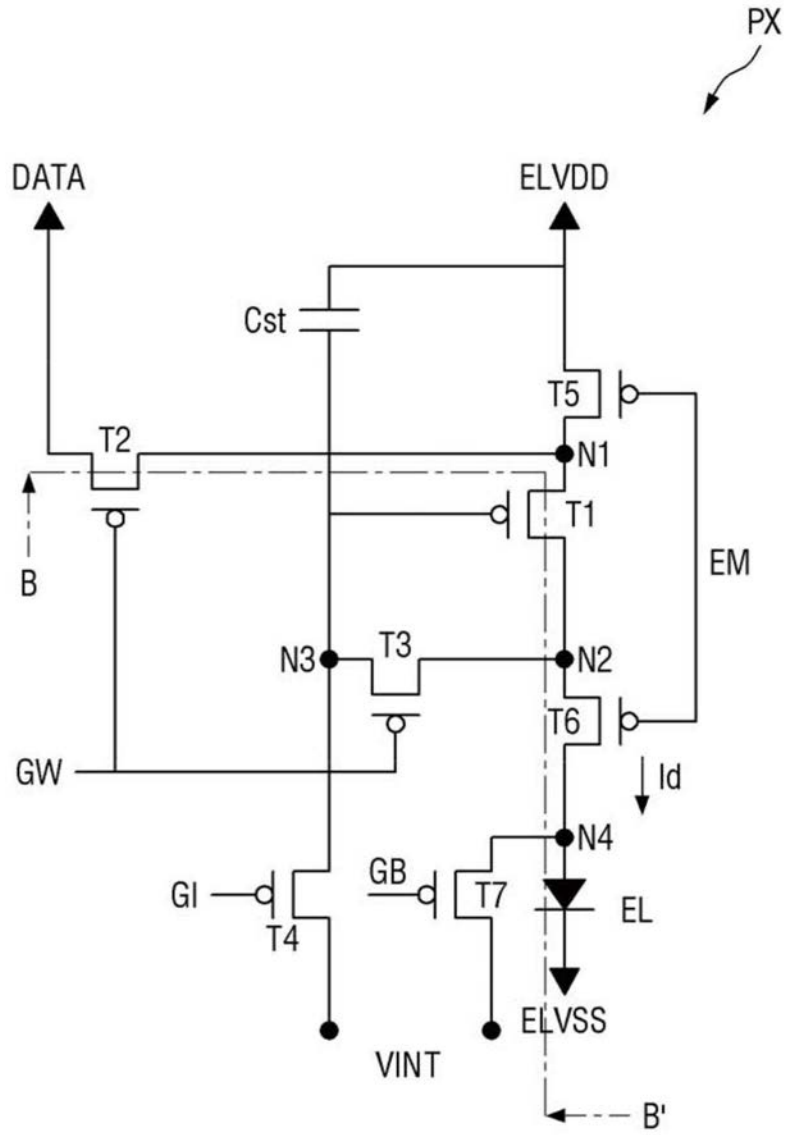


图5

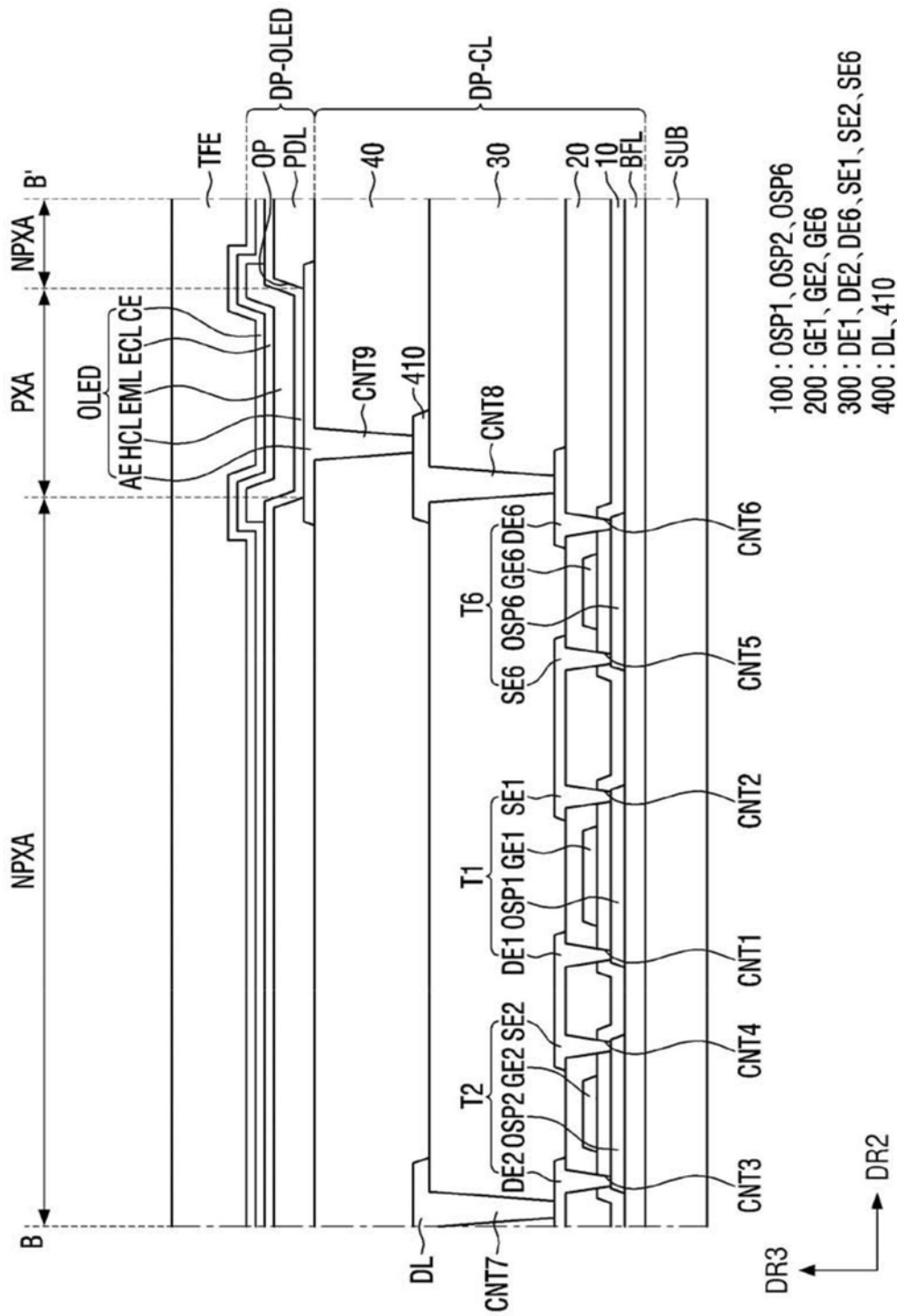


图6

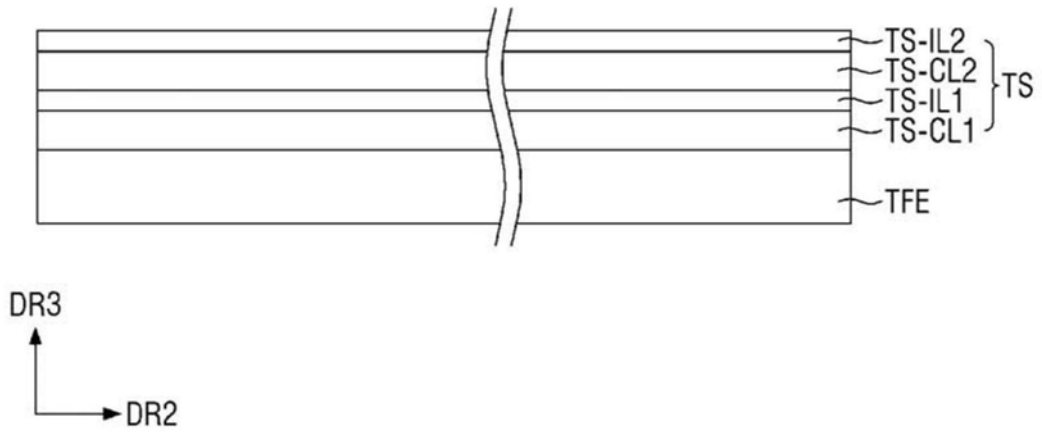


图7

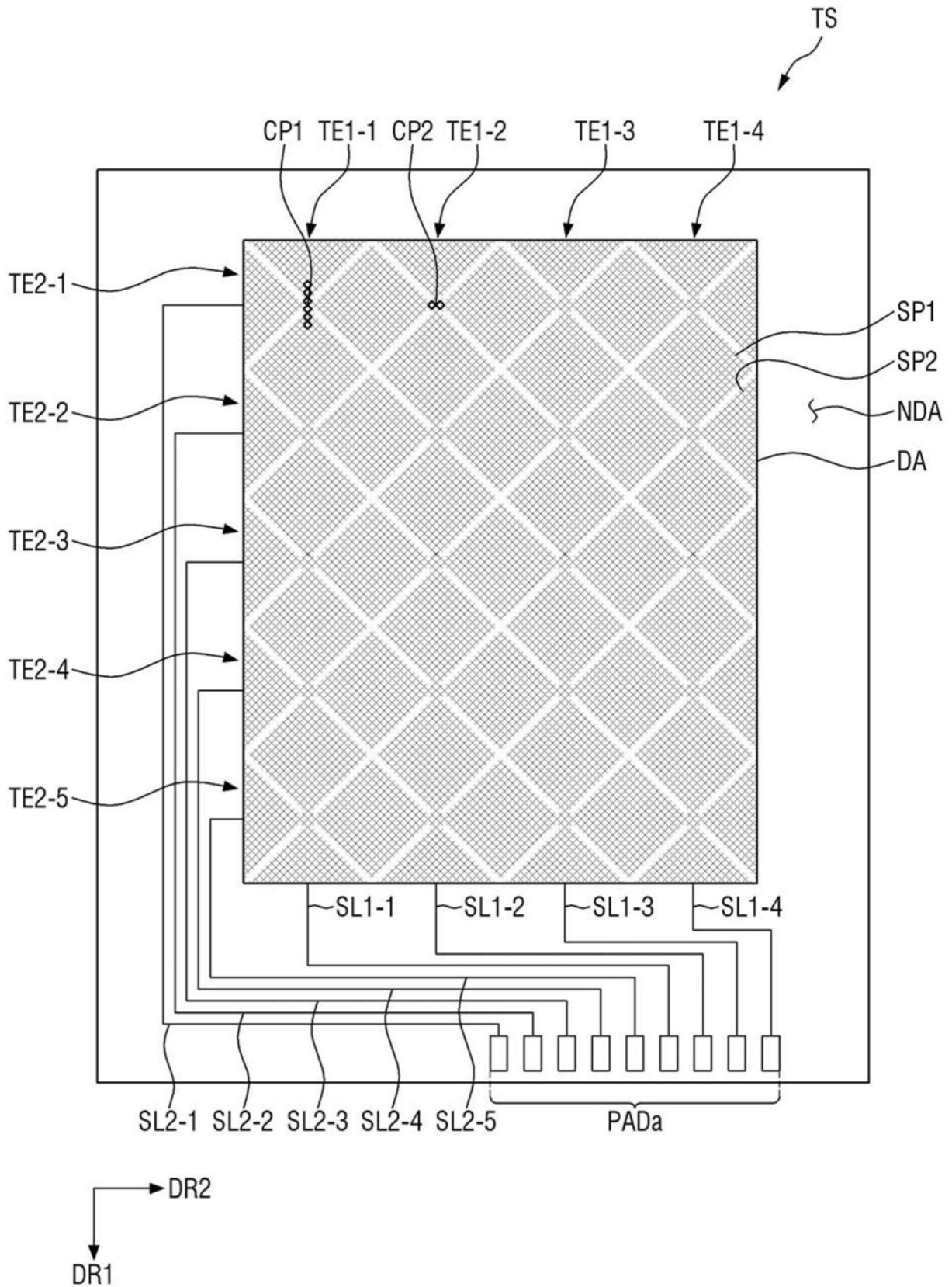


图8

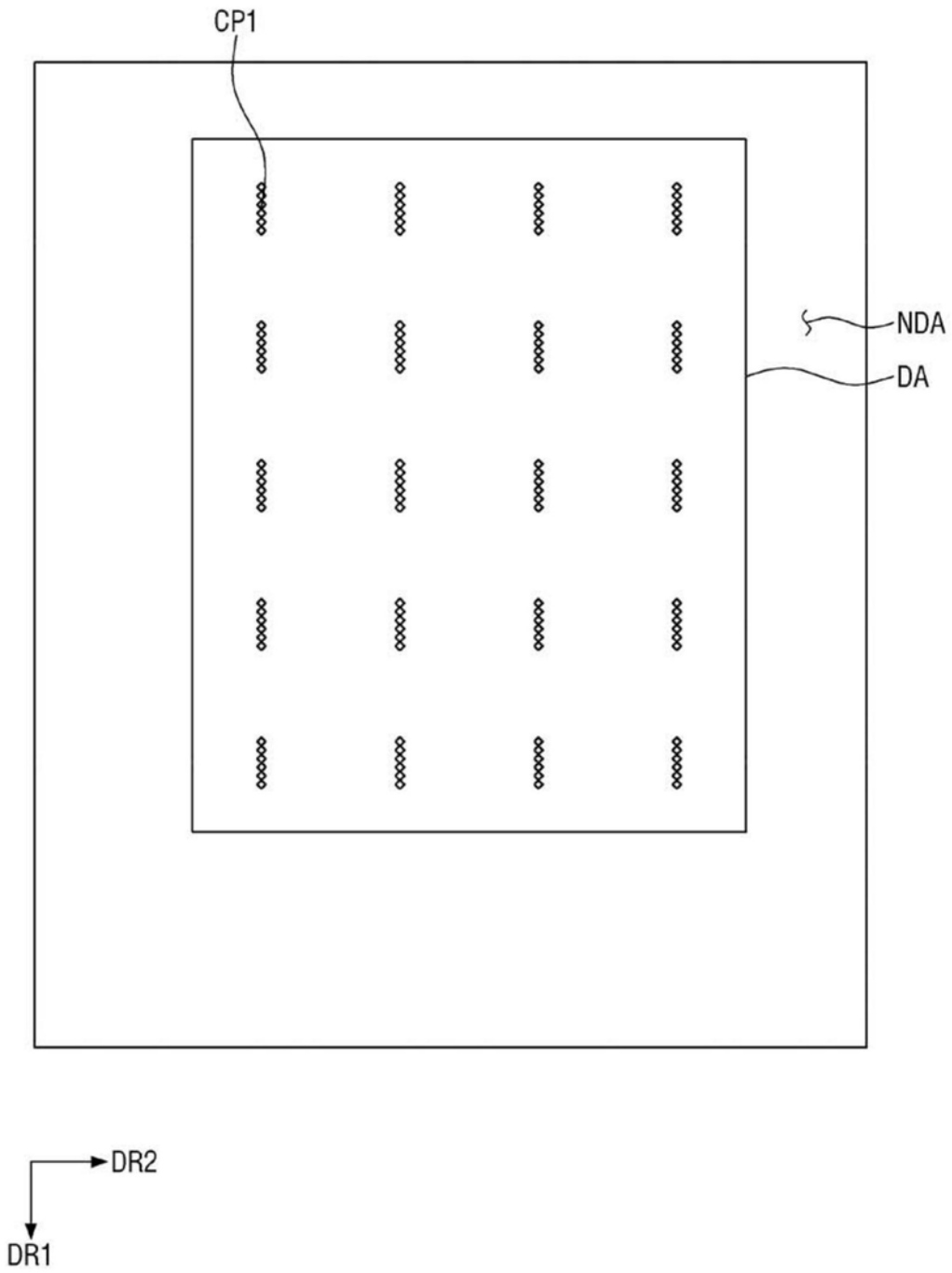


图9

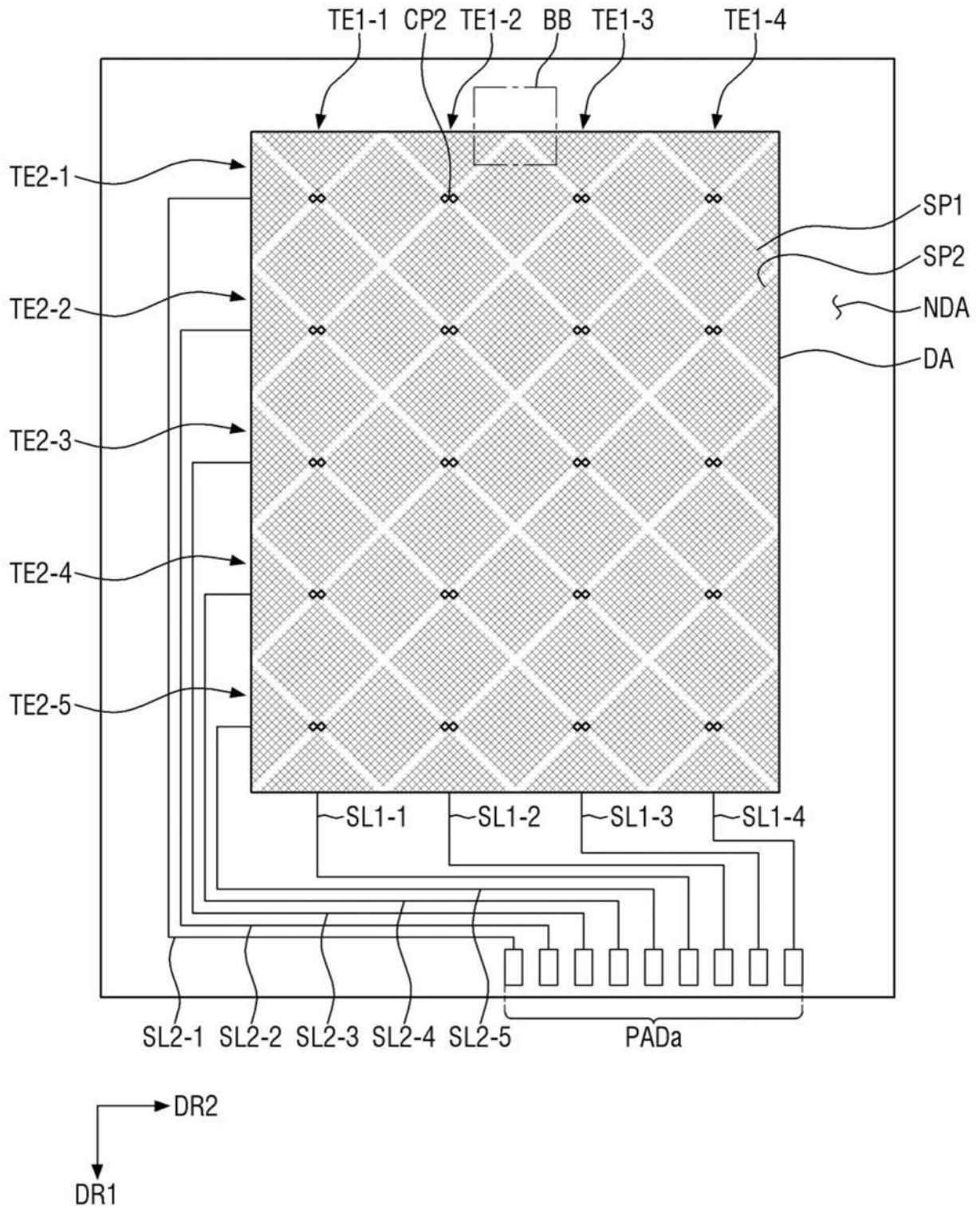


图10

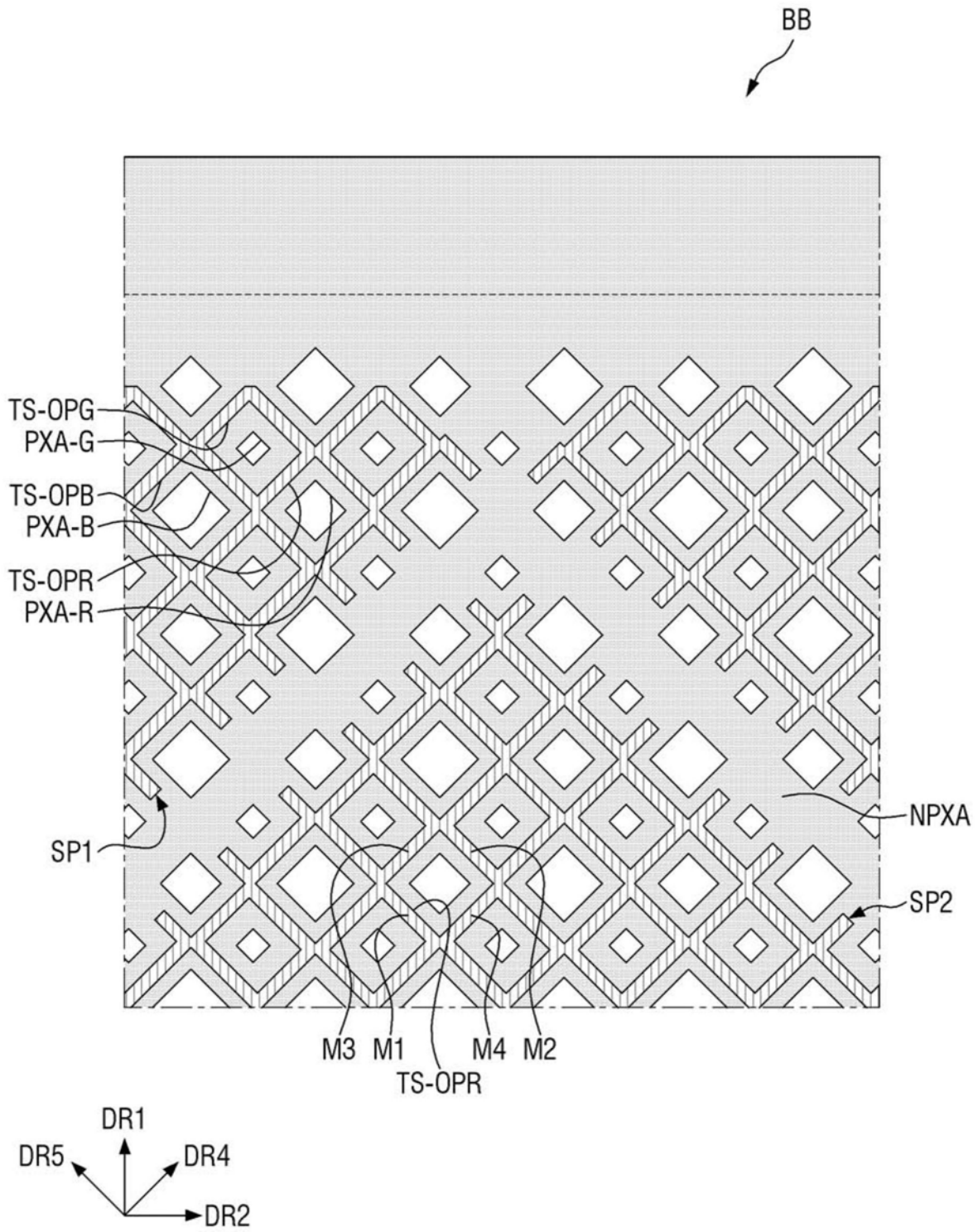


图11

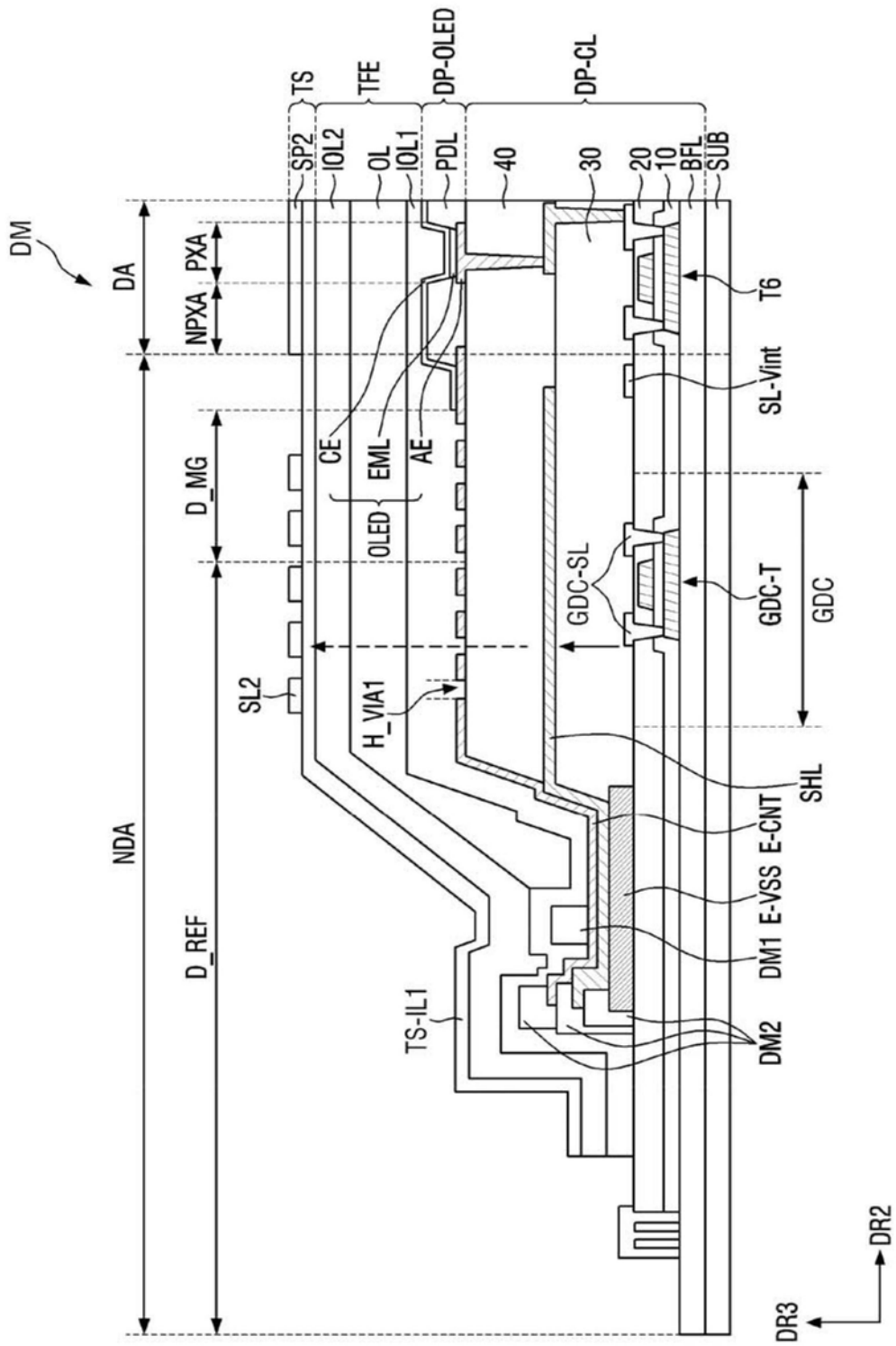


图12



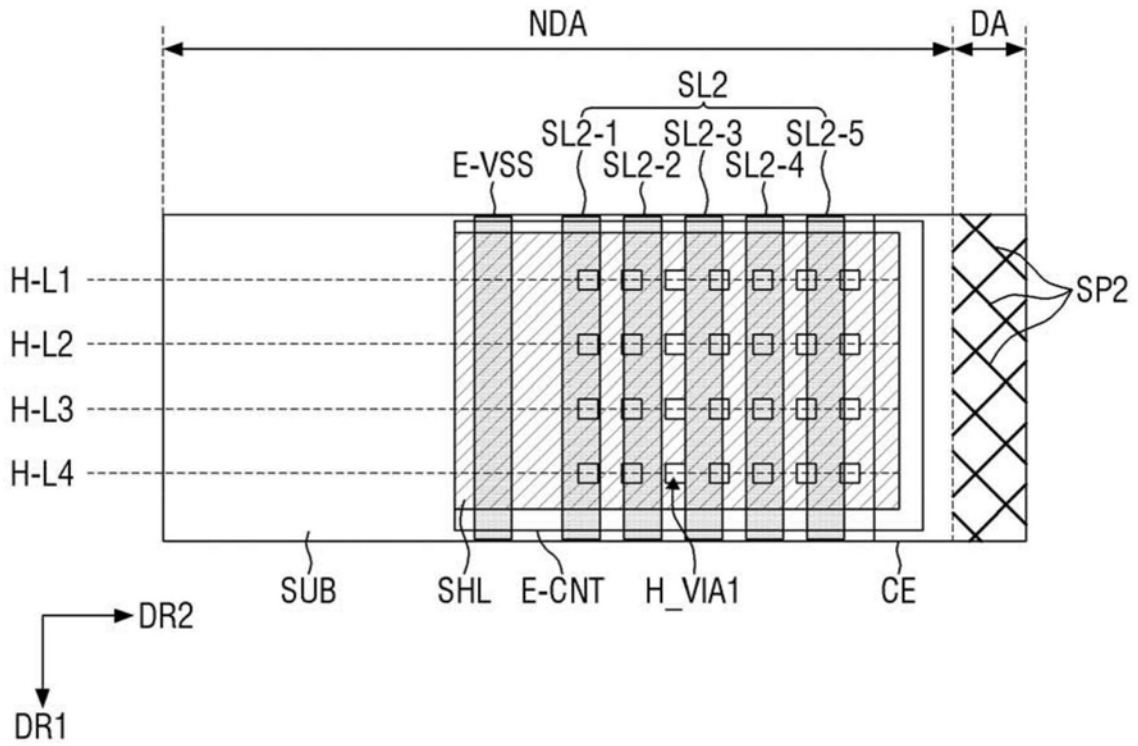


图14





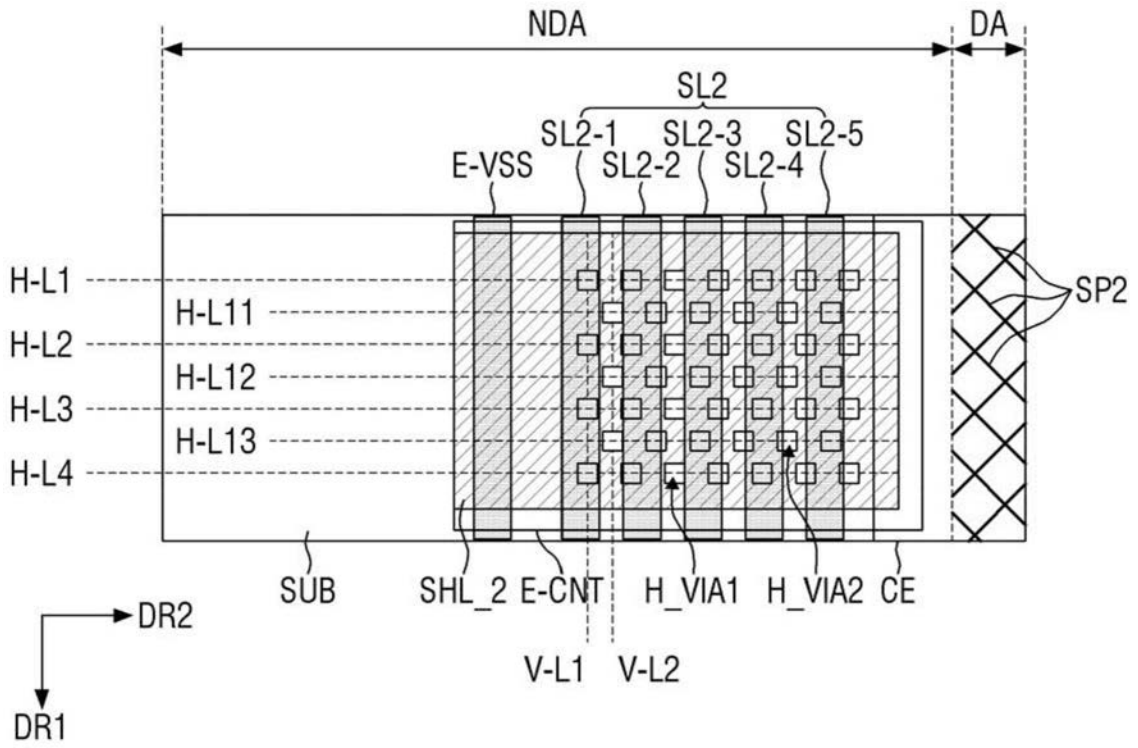


图17

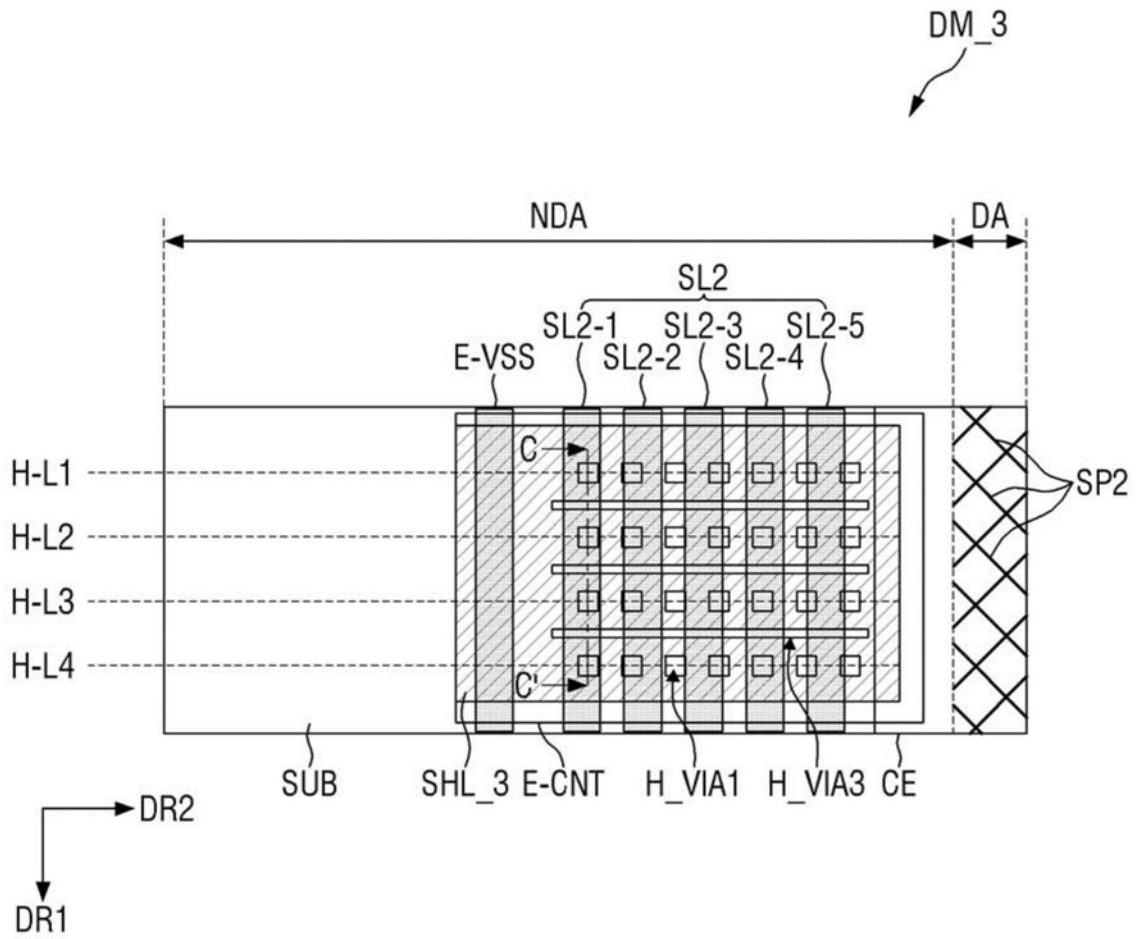


图18

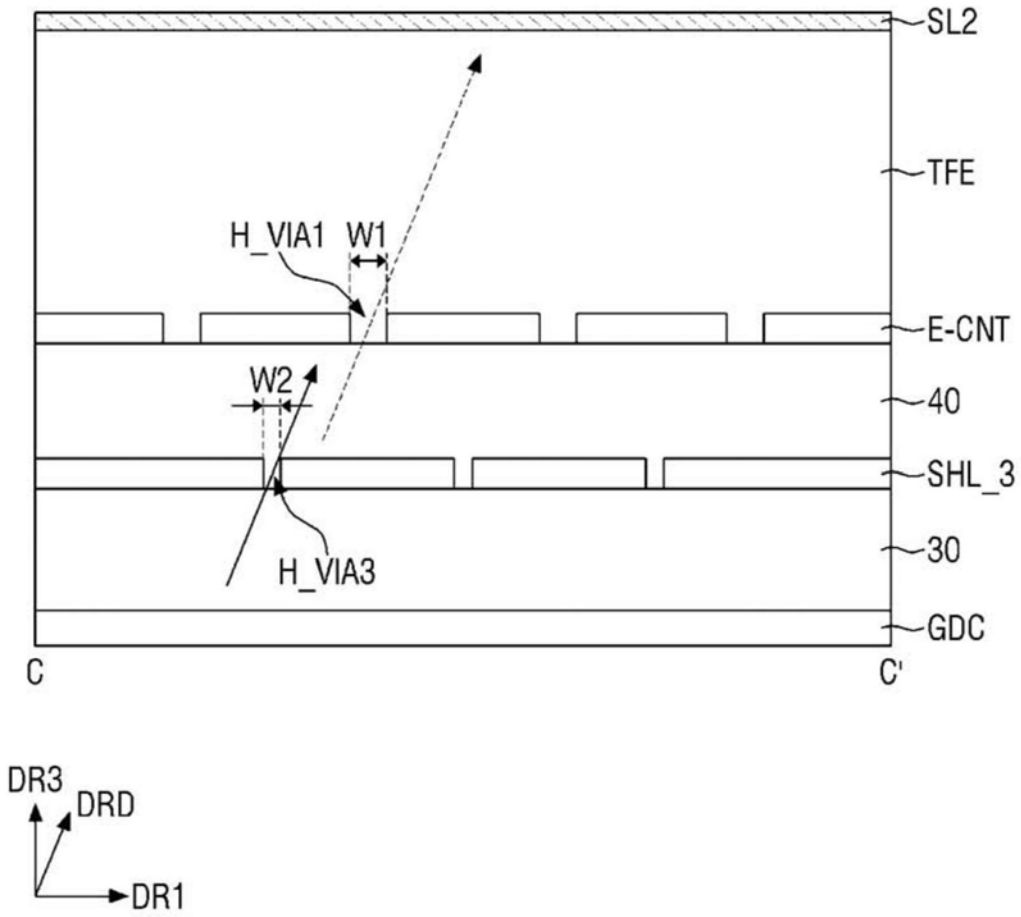


图19

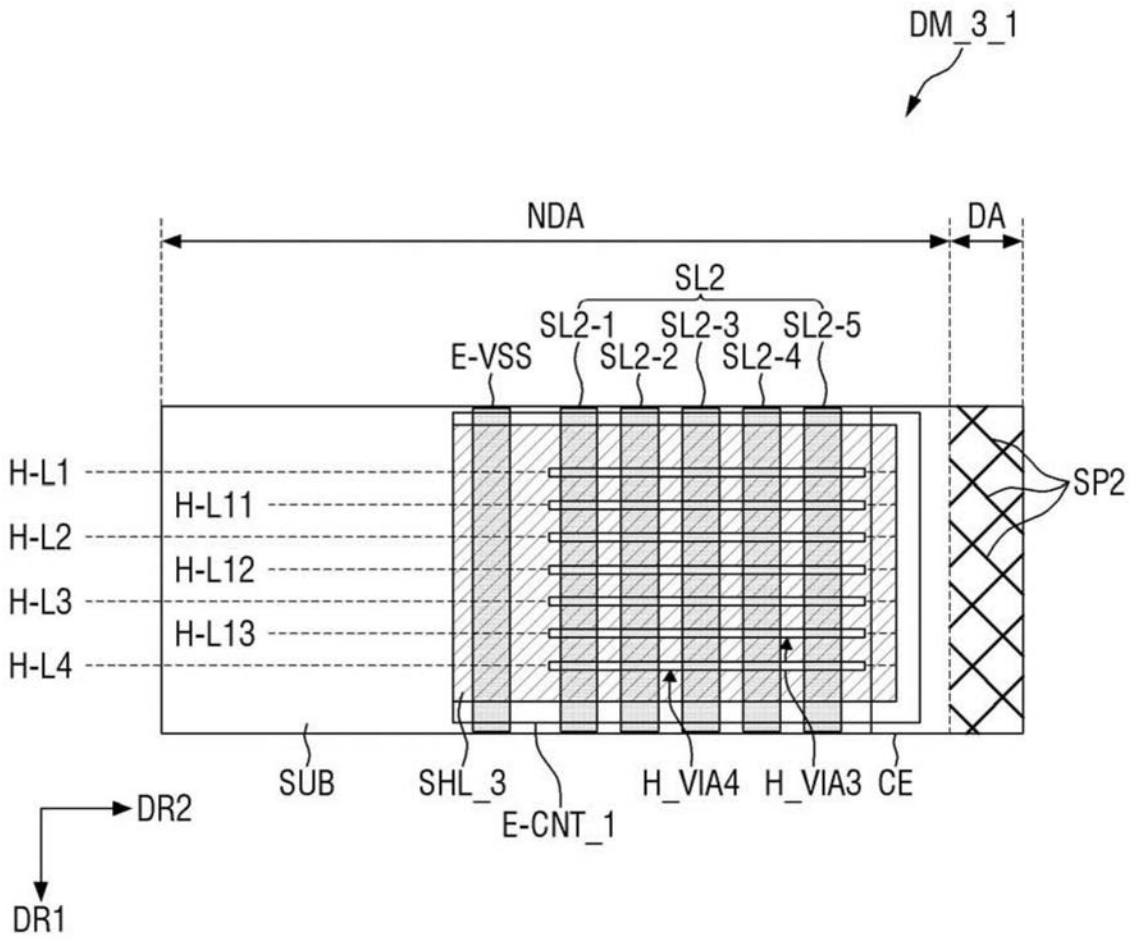


图20



专利名称(译)	显示装置		
公开(公告)号	<a href="#">CN110911449A</a>	公开(公告)日	2020-03-24
申请号	CN201910863488.3	申请日	2019-09-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	方琪皓 李省龙 全相炫		
发明人	方琪皓 李省龙 全相炫		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3225 H01L27/3248 H01L27/3258 H01L27/3272 H01L27/3279 G06F3/0412 G06F3/04164 G06F3/0443 G06F3/0446 G06F2203/04111 H01L27/323 H01L27/3276 H01L27/3232 H01L27/326 H01L51/5253		
代理人(译)	刘灿强		
优先权	1020180110886 2018-09-17 KR		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

公开了一种显示装置。所述显示装置包括：基体层，包括显示区域(DA)和非DA；电路元件层，位于基体层上，并且包括与非DA叠置的电源电极(PSE)、电路元件和连接到PSE并与一些电路元件叠置的遮蔽电极；显示元件层，位于电路元件层上，并且包括包含第一电极、发光单元和第二电极的发光元件以及使第二电极连接到PSE并包括第一通孔的连接电极；薄膜封装层(TFEL)，位于显示元件层上，并且包括与DA叠置的有机层；以及输入感测层，位于TFEL上，并且包括感测电极和连接到感测电极的感测信号线。感测信号线与连接电极叠置。一些第一通孔与遮蔽电极叠置。

