



(12)发明专利

(10)授权公告号 CN 108932929 B

(45)授权公告日 2020.06.30

(21)申请号 201710371003.X

(56)对比文件

(22)申请日 2017.05.23

CN 103943067 A, 2014.07.23,

(65)同一申请的已公布的文献号

CN 104409042 A, 2015.03.11,

申请公布号 CN 108932929 A

US 2004201557 A1, 2004.10.14,

(43)申请公布日 2018.12.04

CN 106097976 A, 2016.11.09,

(73)专利权人 上海视欧光电科技有限公司

审查员 杜昕

地址 201206 上海市浦东新区中国(上海)  
自由贸易试验区新金桥路27号13号楼  
2层

(72)发明人 钱栋 吴桐 刘波

(74)专利代理机构 北京品源专利代理有限公司  
11332

代理人 孟金喆

(51)Int.Cl.

G09G 3/3233(2016.01)

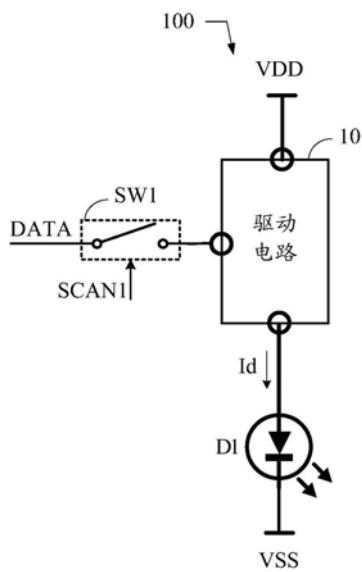
权利要求书2页 说明书8页 附图4页

(54)发明名称

OLED像素电路及图像显示装置

(57)摘要

一种OLED像素电路及图像显示装置，所述OLED像素电路包括：OLED元件，其第一端接入第一电源电压；驱动电路，其输出端耦接所述OLED元件的第二端，其输入端接入第二电源电压，所述驱动电路适于产生驱动电流，所述驱动电流用于驱动所述OLED元件发光；第一开关，响应于第一扫描电压，所述第一开关适于将图像数据电压传输至所述驱动电路的控制端，所述图像数据电压用于控制所述驱动电流的大小；其中，所述第一电源电压和第二电源电压的符号相反，且均落入由正边界电压和负边界电压界定的工艺极限电压范围。采用本发明技术方案可以提高图像显示装置的PPI和分辨率。



B

CN 108932929

1. 一种OLED像素电路，其特征在于，包括：

OLED元件，其第一端接入第一电源电压；

驱动电路，其输出端耦接所述OLED元件的第二端，其输入端接入第二电源电压，所述驱动电路适于产生驱动电流，所述驱动电流用于驱动所述OLED元件发光；所述驱动电路包括：驱动晶体管、第三开关和电压维持电路；

第一开关，响应于第一扫描电压，所述第一开关适于将图像数据电压传输至所述驱动电路的控制端，所述图像数据电压用于控制所述驱动电流的大小；

第二开关，其一端耦接所述OLED元件的阳极，其另一端接入复位电压，响应于第二扫描电压，所述第二开关将所述复位电压传输至所述OLED元件的阳极，其中，所述复位电压用于对所述OLED元件进行复位；

所述第二开关包括第一晶体管，所述第一开关包括第二晶体管，所述第三开关包括第三晶体管；其中，所述第一晶体管、所述第二晶体管、所述第三晶体管和所述驱动晶体管制备于同一衬底，所述第一晶体管、所述第二晶体管、所述第三晶体管和所述驱动晶体管均是采用深阱工艺制备得到的深阱晶体管；

其中，所述第一电源电压和第二电源电压的符号相反，且均落入由正边界电压和负边界电压界定的工艺极限电压范围。

2. 根据权利要求1所述的OLED像素电路，其特征在于，所述第一电源电压小于0V，所述第二电源电压大于0V，所述OLED元件的第一端为阴极，所述OLED元件的第二端为阳极。

3. 根据权利要求2所述的OLED像素电路，其特征在于，所述第一晶体管，其控制端接入所述第二扫描电压，其第一端接入所述复位电压，其第二端耦接所述OLED元件的阳极。

4. 根据权利要求3所述的OLED像素电路，其特征在于，所述复位电压小于0V。

5. 根据权利要求4所述的OLED像素电路，其特征在于，所述第一晶体管为N型MOS晶体管，其栅端接入所述第二扫描电压，其源端和体端接入所述复位电压，其漏端耦接所述OLED元件的阳极，其深阱端接入所述第二电源电压，其衬底端接地。

6. 根据权利要求4所述的OLED像素电路，其特征在于，

所述驱动晶体管，其控制端耦接所述驱动电路的控制端，其第二端耦接所述驱动电路的输出端；

所述第三开关，其一端耦接所述驱动晶体管的第一端，所述第三开关的第二端接入所述第二电源电压，响应于发光控制电压，所述第三开关适于传输所述第二电源电压至所述驱动晶体管；

所述电压维持电路，适于维持所述驱动晶体管的控制端的电压。

7. 根据权利要求6所述的OLED像素电路，其特征在于，所述电压维持电路包括：

电容，所述电容的一端接入所述第二电源电压，所述电容的另一端耦接所述驱动晶体管的控制端。

8. 根据权利要求6所述的OLED像素电路，其特征在于，

所述第二晶体管，其控制端接入所述第一扫描电压，其第一端接入所述图像数据电压，其第二端耦接所述驱动晶体管的控制端；

所述第三晶体管，其控制端接入所述发光控制电压，其第一端接入所述第二电源电压，其第二端耦接所述驱动晶体管。

9. 根据权利要求8所述的OLED像素电路，其特征在于，所述第二晶体管为N型MOS晶体管，所述第三晶体管和驱动晶体管均为P型MOS晶体管；其中，

所述第二晶体管的栅端接入所述第一扫描电压，其源端接入所述图像数据电压，其漏端耦接所述驱动晶体管的控制端，其体端接地，其深阱端接入所述第二电源电压，其衬底端接地；

所述第三晶体管的栅端接入所述发光控制电压，其源端接入所述第二电源电压，其漏端耦接所述驱动晶体管的源端，其体端接入所述第二电源电压，其衬底端接地；

所述驱动晶体管的栅端耦接所述驱动电路的控制端，其漏端耦接所述驱动电路的输出端，其体端接入所述第二电源电压，其衬底端接地。

10. 根据权利要求6所述的OLED像素电路，其特征在于，当所述OLED像素电路工作于复位阶段时，所述第一扫描电压控制所述第一开关关断，所述发光控制电压控制所述第三开关关断，所述第二扫描电压控制所述第二开关导通。

11. 根据权利要求6所述的OLED像素电路，其特征在于，当所述OLED像素电路工作于数据写入阶段时，所述发光控制电压控制所述第三开关关断，所述第二扫描电压控制所述第二开关关断，所述第一扫描电压控制所述第一开关导通。

12. 根据权利要求6所述的OLED像素电路，其特征在于，当所述OLED像素电路工作于发光阶段时，所述第二扫描电压控制所述第二开关关断，所述第一扫描电压控制所述第一开关关断，所述发光控制电压控制所述第三开关导通。

13. 一种图像显示装置，其特征在于，包括权利要求1至12中任一项所述的OLED像素电路。

## OLED像素电路及图像显示装置

### 技术领域

[0001] 本发明涉及图像显示技术领域,特别涉及一种OLED像素电路及图像显示装置。

### 背景技术

[0002] 与常规的液晶显示(Liquid Crystal Display,简称LCD)相比,有机发光二极管(Organic Light-Emitting Diode,简称OLED)拥有不同的发光机理,具有自发光、广视角、几乎无穷高的对比度、较低耗电和极高反应速度等优点。按驱动方式可将OLED分为被动式(Passive Matrix)OLED(简称PMOLED)与主动式(Active Matrix)OLED(简称AMOLED)。一般采用像素数目(或称像素密度)衡量显示器的拟真度。像素数目所表示的是每英寸所拥有的像素数量(Pixels Per Inch,简称PPI),PPI数值越高,代表显示器能够以越高的密度显示图像,拟真度越高。一般来说,PPI越高,显示器的分辨率也越高。

[0003] OLED显示器中包括OLED形成的元件阵列,对比于LCD受电压驱动,OLED是电流驱动型器件,因此,一般为阵列中的每一OLED设置一驱动电路,至少可以将OLED和所述驱动电路称为OLED像素电路。具体地,采用图像数据电压控制驱动电路产生的驱动电流大小,所述驱动电流用于驱动所述OLED发光。其中,所述图像数据电压的有效取值范围越宽,意味着OLED发光强度的精细度越细,则OLED显示器的PPI以及分辨率越高。可选地,为了进一步提高OLED发光的稳定性,还可以设置复位电路在OLED受控发光前对其进行复位,以泄放其残余电荷,防止OLED误发光。

[0004] 目前,绝大多数的OLED显示器集中于低温多晶硅(Low Temperature Poly-silicon,简称LTPS)薄膜晶体管(Thin Film Transistor,简称TFT)玻璃基板上,但其集成度较低,PPI有限,且功耗较大。因此,若要实现便于携带、分辨率高且功耗小的功能,硅基OLED显示器是一个较优的解决方案。

[0005] 在集成电路工艺中,最小线宽(也称特征尺寸)和工艺极限电压范围是确定的。以1850工艺为例,它代表了最小线宽为 $0.18\mu m$ ,集成电路的工艺极限电压范围为[-5V,5V](其正边界电压为5V,负边界电压为-5V),但不限于此。随着技术的进步,集成电路的最小线宽将可能更加精细,工艺极限电压范围也可能变化,如[-3.3V,3.3V]、[-10V,10V]等等。

[0006] 目前,由于受到工艺等多方面因素的限制,硅基OLED显示器中的OLED像素电路一般工作于0至正边界电压之间,或者0至负边界电压之间,而考虑到OLED自身在发光时产生的跨压,使得上述图像数据电压的有效电压取值范围很窄,不利于OLED显示器的高PPI高分辨率的实现。

### 发明内容

[0007] 本发明解决的技术问题是如何提高图像显示装置的PPI和分辨率。

[0008] 为解决上述技术问题,本发明实施例提供一种OLED像素电路,所述OLED像素电路包括:OLED元件,其第一端接入第一电源电压;驱动电路,其输出端耦接所述OLED元件的第二端,其输入端接入第二电源电压,所述驱动电路适于产生驱动电流,所述驱动电流用于驱

动所述OLED元件发光；第一开关，响应于第一扫描电压，所述第一开关适于将图像数据电压传输至所述驱动电路的控制端，所述图像数据电压用于控制所述驱动电流的大小；其中，所述第一电源电压和第二电源电压的符号相反，且均落入由正边界电压和负边界电压界定的工艺极限电压范围。

[0009] 可选地，所述第一电源电压小于0V，所述第二电源电压大于0V，所述OLED元件的第一端为阴极，所述OLED元件的第二端为阳极。

[0010] 可选地，所述OLED像素电路还包括：第二开关，其一端耦接所述OLED元件的阳极，其另一端接入复位电压，响应于第二扫描电压，所述第二开关将所述复位电压传输至所述OLED元件的阳极，其中，所述复位电压用于对所述OLED元件进行复位。

[0011] 可选地，所述第二开关包括：第一晶体管，其控制端接入所述第二扫描电压，其第一端接入所述复位电压，其第二端耦接所述OLED元件的阳极。

[0012] 可选地，所述复位电压小于0V，所述第一晶体管是采用深阱工艺制备得到的深阱晶体管。

[0013] 可选地，所述第一晶体管为N型MOS晶体管，其栅端接入所述第二扫描电压，其源端和体端接入所述复位电压，其漏端耦接所述OLED元件的阳极，其深阱端接入所述第二电源电压，其衬底端接地。

[0014] 可选地，所述驱动电路包括：驱动晶体管，其控制端耦接所述驱动电路的控制端，其第二端耦接所述驱动电路的输出端；第三开关，其一端耦接所述驱动晶体管的第一端，所述第三开关的第二端接入所述第二电源电压，响应于发光控制电压，所述第三开关适于传输所述第二电源电压至所述驱动晶体管；电压维持电路，适于维持所述驱动晶体管的控制端的电压。

[0015] 可选地，所述电压维持电路包括：电容，所述电容的一端接入所述第二电源电压，所述电容的另一端耦接所述驱动晶体管的控制端。

[0016] 可选地，所述第一开关包括：第二晶体管，其控制端接入所述第一扫描电压，其第一端接入所述图像数据电压，其第二端耦接所述驱动晶体管的控制端；所述第三开关包括：第三晶体管，其控制端接入所述发光控制电压，其第一端接入所述第二电源电压，其第二端耦接所述驱动晶体管；其中，所述第一晶体管、第二晶体管、第三晶体管和驱动晶体管制备于同一衬底，所述第二晶体管、第三晶体管和驱动晶体管均是采用深阱工艺制备得到的深阱晶体管。

[0017] 可选地，所述第二晶体管为N型MOS晶体管，所述第三晶体管和驱动晶体管均为P型MOS晶体管；其中，所述第二晶体管的栅端接入所述第一扫描电压，其源端接入所述图像数据电压，其漏端耦接所述驱动晶体管的控制端，其体端接地，其深阱端接入所述第二电源电压，其衬底端接地；所述第三晶体管的栅端接入所述发光控制电压，其源端接入所述第二电源电压，其漏端耦接所述驱动晶体管的源端，其体端接入所述第二电源电压，其衬底端接地；所述驱动晶体管的栅端耦接所述驱动电路的控制端，其漏端耦接所述驱动电路的输出端，其体端接入所述第二电源电压，其衬底端接地。

[0018] 可选地，当所述OLED像素电路工作于复位阶段时，所述第一扫描电压控制所述第一开关关断，所述发光控制电压控制所述第三开关关断，所述第二扫描电压控制所述第二开关导通。

[0019] 可选地，当所述OLED像素电路工作于数据写入阶段时，所述发光控制电压控制所述第三开关关断，所述第二扫描电压控制所述第二开关关断，所述第一扫描电压控制所述第一开关导通。

[0020] 可选地，当所述OLED像素电路工作于发光阶段时，所述第二扫描电压控制所述第二开关关断，所述第一扫描电压控制所述第一开关关断，所述发光控制电压控制所述第三开关导通。

[0021] 为解决上述技术问题，本发明实施例还提供一种图像显示装置，所述图像显示装置包括上述OLED像素电路。

[0022] 与现有技术相比，本发明实施例的技术方案具有以下有益效果：

[0023] 本发明实施例的OLED像素电路可以包括OLED元件、驱动电路和第一开关，所述第一开关的一端接入图像数据电压，所述OLED像素电路工作于第一电源电压和第二电源电压之间，所述第一电源电压和第二电源电压的符号相反，且均落入由正边界电压和负边界电压界定的工艺极限电压范围，也就是说，本发明实施例中的所述第一电源电压和第二电源电压所界定的供电电压范围是预设的工艺允许的最大供电电压范围。其中，所述驱动电路可以工作的电压范围是在最大供电电压范围中除去所述OLED元件占用的压降的部分，在所述预设的工艺下是最大的，这决定了所述图像数据电压的有效电压取值范围在所述预设的工艺下是最宽的，相比于现有技术的方案而言，本发明实施例的方案更加有利于图像显示装置的高PPI高分辨率的实现。

[0024] 进一步而言，本发明实施例的OLED像素电路还可以包括第二开关，其一端耦接所述OLED元件的阳极，其另一端接入复位电压；所述第二开关可以包括：第一晶体管；所述复位电压可以小于0V，所述第一晶体管可以是采用深阱工艺制备得到的深阱晶体管，可以在保证OLED像素电路的供电电压范围的同时，使得OLED像素电路具有良好的噪声性能。

[0025] 进一步而言，所述驱动电路可以包括驱动晶体管、第三开关。所述第一开关可以包括第二晶体管，所述第三开关包括第三晶体管。所述第一晶体管、第二晶体管、第三晶体管和驱动晶体管可以制备于同一衬底，所述第二晶体管、第三晶体管和驱动晶体管可以均是采用深阱工艺制备得到的深阱晶体管，可以有效地避免在半导体工艺中造成孤岛效应，提高图像显示装置的像素集成度，更加有利于高PPI高分辨率的实现。

## 附图说明

[0026] 图1是本发明实施例的一种OLED像素电路的示意性结构框图。

[0027] 图2是本发明实施例的另一种OLED像素电路的示意性结构框图。

[0028] 图3是本发明实施例的一种OLED像素电路的电路图。

[0029] 图4是本发明实施例的第一晶体管的器件结构图。

[0030] 图5是本发明实施例的第一晶体管和三晶体管的器件剖面图。

[0031] 图6是本发明实施例的第三晶体管的器件结构图。

[0032] 图7是本发明实施例的另一种OLED像素电路的电路图。

## 具体实施方式

[0033] 如背景技术部分所述，目前，由于受到工艺等多方面因素的限制，硅基有机发光二

极管(Organic Light-Emitting Diode,简称OLED)显示器中的OLED像素电路一般工作于0至正边界电压之间,或者0至负边界电压之间,而考虑到OLED自身在发光时产生的跨压,使得上述图像数据电压的有效电压取值范围很窄,不利于OLED显示器的高PPI高分辨率的实现。

[0034] 本发明提出一种OLED像素电路,充分利用了集成电路工艺中的工艺极限电压范围,可以拓宽的图像数据电压的有效取值范围,有利于OLED显示器的高PPI高分辨率的实现。

[0035] 为使本发明的上述目的、特征和有益效果能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0036] 图1示出了根据本发明实施例的一种OLED像素电路的示意性结构框图。参见图1,OLED像素电路100可以应用于图像显示装置(图未示)中。具体地,所述OLED像素电路100可以包括OLED元件D1、驱动电路10和第一开关SW1。

[0037] 其中,所述OLED元件D1属于电流驱动型元件,在合理的电流大小范围内,流经所述OLED元件D1的电流越大,其发光的强度越高。所述OLED元件D1在发光时自身将占用一部分压降,该压降的大小由所述OLED元件D1的材料决定。

[0038] 在本实施例中,所述OLED元件D1的第一端可以接入第一电源电压VSS。所述驱动电路10的输出端耦接所述OLED元件D1的第二端,所述驱动电路10的输入端可以接入第二电源电压VDD,所述驱动电路10适于产生驱动电流Id,所述驱动电流Id用于驱动所述OLED元件D1发光。

[0039] 所述第一开关SW1响应于第一扫描电压SCAN1,适于将图像数据电压DATA传输至所述驱动电路10的控制端,所述图像数据电压DATA用于控制所述驱动电流Id的大小。其中,所述图像数据电压DATA和第一扫描电压SCAN1可以由控制装置(图未示)产生。一般情况下,所述图像数据电压DATA越大,所述驱动电流Id越大,所述OLED元件D1发光的强度越高。因此,所述图像数据电压DATA的有效取值范围越宽,意味着OLED发光强度的精细度越细,则图像显示装置的PPI以及分辨率越高。

[0040] 在本实施例中,所述第一电源电压VSS和第二电源电压VDD的符号相反,且均落入由正边界电压和负边界电压界定的工艺极限电压范围。例如,所述工艺极限电压为由正边界电压5V和负边界电压-5V界定的工艺极限电压范围[-5V,5V]。此时,所述第一电源电压VSS可以为-5V,所述第二电源电压VDD可以为5V;或者,所述第一电源电压VSS可以为-3.3V,所述第二电源电压VDD可以为4V;再或者,所述第一电源电压VSS可以为-2.5V,所述第二电源电压VDD可以为1.8V等等。当然,所述工艺极限电压范围还可以由其他边界电压来界定,这一般受集成电路的工艺(例如,集成电路制造过程中拟选用的工艺)制约,此处不再一一进行举例。

[0041] 在具体实施中,可以是所述第一电源电压VSS小于0V,所述第二电源电压VDD大于0V,所述OLED元件D1的第一端为阴极,所述OLED元件D1的第二端为阳极,也即是图1中示出的情况。

[0042] 在一变化例中,可以是所述第二电源电压VDD小于0V,所述第一电源电压VSS大于0V,所述OLED元件D1的第二端为阴极,所述OLED元件D1的第一端为阳极。例如,所述第一电源电压VSS可以依次经由所述OLED元件D1的阳极、所述OLED元件D1的阴极、所述驱动电路10

传输至所述第二电源电压VDD所在的端口。

[0043] 所述OLED像素电路100工作于所述第一电源电压VSS和第二电源电压VDD之间,本实施例中的所述第一电源电压VSS和第二电源电压VDD所界定的供电电压范围是预设的工艺允许的最大供电电压范围。所述驱动电路10可以工作的电压范围是在最大供电电压范围中除去所述OLED元件D1占用的压降的部分,在所述预设的工艺下是最大的,这决定了所述图像数据电压DATA的有效电压取值范围在所述预设的工艺下是最宽的,相比于现有技术的方案而言,本发明实施例的方案更加有利于图像显示装置的高PPI高分辨率的实现。例如,所述第一电源电压VSS可以为-5V,所述第二电源电压VDD可以为5V,所述OLED元件D1在发光时占用的压降为2V至5V,也即最大为5V,因此,所述驱动电路10可以工作的电压范围至少为0V至5V,或者-5V至0V。对应地,所述图像数据电压DATA的有效电压取值范围也至少为0V至5V,或者-5V至0V。

[0044] 以下将以所述第一电源电压VSS为-5V,所述第二电源电压VDD为5V,所述OLED元件D1的第一端为阴极,所述OLED元件D1的第二端为阳极为例进行说明。

[0045] 图2示出了根据本发明实施例的另一种OLED像素电路的示意性结构框图。图2中的OLED像素电路200的结构与前文中的OLED像素电路100类似,其主要区别在于,所述OLED像素电路200还可以包括:第二开关SW2,其一端耦接所述OLED元件D1的阳极,其另一端接入复位电压VREF,响应于第二扫描电压SCAN2,例如,当所述第二扫描电压SCAN2为逻辑高电平时,所述第二开关SW2将所述复位电压VREF传输至所述OLED元件D1的阳极,例如,当所述第二扫描电压SCAN2为逻辑低电平时,所述第二开关SW2将切断所述复位电压VREF传输至所述OLED元件D1的阳极的通路。其中,所述复位电压VREF用于对所述OLED元件D1进行复位,由于所述OLED元件D1在受控发光后可能在其阳极有残余电荷,上述复位代表对所述OLED元件D1中的残余电荷进行泄放的过程,以防止OLED元件D1误发光。

[0046] 在具体实施中,一般设置复位电路(图未示)对所述OLED元件D1进行复位,所述复位电路输出有所述复位电压VREF。可选地,所述复位电路中可以流有复位电流(图未示)以使得将上述残余电荷泄放至地。

[0047] 一并结合图2和图3,在具体实施中,所述第二开关SW2包括第一晶体管M1,其控制端接入所述第二扫描电压SCAN2,其第一端接入所述复位电压VREF,其第二端耦接所述OLED元件D1的阳极。

[0048] 在本实施例中,由于所述OLED元件D1在发光时,其阳极的电位趋近于0V,因此,在这种情况下,可以设置所述复位电压VREF是负电压,也即所述复位电压VREF可以小于0V。由于所述OLED像素电路200中既有传输正电压的器件,又有传输负电压的器件,而且所述OLED像素电路200中的所有器件需要制备于同一衬底,因此,本实施例的所述第一晶体管M1是采用深阱工艺制备得到的深阱晶体管,进一步地,所述深阱晶体管可以使得所述OLED像素电路200具有良好的噪声性能。

[0049] 当所述衬底为P型衬底时,所述第一晶体管M1可采用深N阱工艺制备得到;当所述衬底为N型衬底时,所述第一晶体管M1可采用深P阱工艺制备得到。如无特殊说明,本文中的衬底为P型衬底。

[0050] 参见图4,在具体实施中,所述第一晶体管M1可以为N型MOS晶体管,所述第一晶体管M1可以具有栅端(Gate)n1、源端(Source)n2、漏端(Drain)n3、体端(Bulk)n4、深阱端

(Deep Well) n5和衬底端 (Substrate) n6。

[0051] 继续参见图2和图3,所述第一晶体管M1的栅端接入所述第二扫描电压SCAN2,其源端和体端接入所述复位电压VREF,其漏端耦接所述OLED元件D1的阳极,其深阱端n5接入所述第二电源电压VDD,其衬底端n6接地。此处,为了简化,仅单独标示了所述第一晶体管M1的深阱端n5和衬底端n6。

[0052] 进一步而言,在所述OLED像素电路200中,所述驱动电路10可以包括驱动晶体管DM、第三开关SW3以及电压维持电路101。

[0053] 其中,所述驱动晶体管DM的控制端耦接所述驱动电路10的控制端,所述驱动晶体管DM的第二端耦接所述驱动电路10的输出端。所述第三开关SW3的一端耦接所述驱动晶体管DM的第一端,所述第三开关SW3的第二端接入所述第二电源电压VDD,响应于发光控制电压EMIT,所述第三开关SW3适于传输所述第二电源电压VDD至所述驱动晶体管DM,其中,所述发光控制电压EMIT用于控制所述OLED元件D1发光。所述电压维持电路101适于维持所述驱动晶体管DM的控制端的电压,使得所述驱动电流Id的大小稳定,以保证所述OLED元件D1的发光强度稳定。

[0054] 在具体实施中,所述电压维持电路101可以包括电容C1,所述电容C1的一端接入所述第二电源电压VDD,所述电容C1的另一端耦接所述驱动晶体管DM的控制端。

[0055] 需要说明的是,所述电容C1为等效电容,可以是一个电容,也可以是多个电容或者容型阻抗进行串、并联得到的。

[0056] 在具体实施中,所述第三开关SW3可以包括第三晶体管M3,其控制端接入所述发光控制电压EMIT,其第一端接入所述第二电源电压VDD,其第二端耦接所述驱动晶体管DM。

[0057] 在具体实施中,所述第一开关SW1包括第二晶体管M2,其控制端接入所述第一扫描电压SCAN1,其第一端接入所述图像数据电压DATA,其第二端耦接所述驱动晶体管DM的控制端。

[0058] 在本发明实施例中,所述第一晶体管M1和所述第二晶体管M2可以均为N型MOS晶体管,所述第三晶体管M3和驱动晶体管DM可以均为P型MOS晶体管,其中,所述第一晶体管M1是深阱晶体管,而所述第二晶体管M2、所述第三晶体管M3和驱动晶体管DM可以采用深阱工艺以外的常规工艺制备得到。

[0059] 需要说明的是,上述四个晶体管不限于上述类型,例如,所述第三晶体管M3和驱动晶体管DM还可以为N型MOS晶体管,所述第一晶体管M1和所述第二晶体管M2还可以均为P型MOS晶体管。在实际实施时中,可以根据每个晶体管的工作状态决定具体的制备工艺,可以适当地经其中某个或者某几个晶体管采用深阱工艺制备得到,既保证所述OLED像素电路200较宽的供电电压范围,又使得其内部的所有晶体管制备于同一衬底。

[0060] 在本发明实施例中,所述OLED像素电路200至少可以受控工作于复位阶段、数据写入阶段和发光阶段。

[0061] 具体地,当所述OLED像素电路200工作于复位阶段时,所述第一扫描电压SCAN1可以控制所述第一开关SW1关断,所述发光控制电压EMIT可以控制所述第三开关SW3关断,所述第二扫描电压SCAN2可以控制所述第二开关SW2导通。例如,所述第一扫描电压SCAN1为逻辑低电平,所述发光控制电压EMIT为逻辑高电平,所述第二扫描电压SCAN2为逻辑高电平,使得所述图像数据电压DATA不能够被传输至所述驱动晶体管DM,也不能产生所述驱动电流

Id。

[0062] 具体地,当所述OLED像素电路200工作于数据写入阶段时,所述发光控制电压EMIT可以控制所述第三开关SW3关断,所述第二扫描电压SCAN2可以控制所述第二开关SW2关断,所述第一扫描电压SCAN1可以控制所述第一开关SW1导通。例如,所述发光控制电压EMIT为逻辑高电平,所述第二扫描电压SCAN2为逻辑低电平,所述第一扫描电压SCAN1为逻辑高电平,使得所述图像数据电压DATA被传输至所述驱动晶体管DM。

[0063] 具体地,当所述OLED像素电路200工作于发光阶段时,所述第二扫描电压SCAN2可以控制所述第二开关SW2关断,所述第一扫描电压SCAN1可以控制所述第一开关SW1关断,所述发光控制电压EMIT可以控制所述第三开关SW3导通。例如,所述第二扫描电压SCAN2为逻辑低电平,所述第一扫描电压SCAN1为逻辑低电平,所述发光控制电压EMIT为逻辑低电平,使得所述驱动晶体管DM可以工作,根据所述图像数据电压DATA产生所述驱动电流Id。

[0064] 进一步而言,在本发明实施例中,所述第一晶体管M1、第二晶体管M2、第三晶体管M3和驱动晶体管DM制备于同一衬底,优选地,所述第二晶体管M2、第三晶体管M3和驱动晶体管DM可以均是采用深阱工艺制备得到的深阱晶体管。

[0065] 因为如果仅有所述第一晶体管M1为深阱晶体管,在半导体工艺中,独立的深阱器件会形成孤岛,且与其他晶体管连接时,会造成过多的金属孔及连线,使得版图设计及工艺变得困难,并且不利于图像显示装置的高PPI设计,因此,为了避免这一现象,可以将所有晶体管采用深阱工艺制备得到,从而提高图像显示装置的像素集成度,更加有利于高PPI高分辨率的实现。

[0066] 参见图5,此处仅以图5示出的一个N型MOS晶体管和一个P型MOS晶体管的器件剖面图为例对本实施例中的晶体管的制备工艺进行说明。在具体实施中,可以在P型衬底P-sub中进行重掺杂以形成深阱N-well-1,与该N深阱N-well-1相连接的为N型MOS晶体管的深阱端n5,在所述深阱上沉积受主离子形成P深阱P-well1,与该P深阱P-well1相连接的为N型MOS晶体管的体端n4,在所述P深阱P-well1中重掺杂施主离子N+,以分别形成N型MOS晶体管的源端n2和漏端n3,其中,n1为N型MOS晶体管的栅端。P型MOS晶体管也制备于所述P型衬底P-sub中,在深阱N-well-1中沉积施主离子形成深阱N-well-2,与该N深阱N-well-2相连接的为P型MOS晶体管的体端p4,在所述深阱N-well-2中沉积受主离子P+,以分别形成PMOS晶体管的源端p2和漏端p3。其中,N型MOS晶体管的衬底端和P型MOS晶体管的衬底端均连接P型衬底(P-sub)。

[0067] 图6示出了按照图5示出的方式制备得到的第三晶体管M3,所述第三晶体管M3可以具有栅端p1、源端p2、漏端p3、体端p4和衬底端p5。由于所述驱动晶体管DM的结构与所述第三晶体管M3类似,所述第二晶体管M2的结构与图4所示的第一晶体管M1类似,为了简化,此处不再一一赘述。

[0068] 一并参见图2参见图7,图7示出了一种OLED像素电路300,其中,所有晶体管均为深阱晶体管。OLED像素电路300与前文中的OLED像素电路200相类似,其主要区别在于,所述第二晶体管M2的栅端接入所述第一扫描电压SCAN1,其源端接入所述图像数据电压DATA,其漏端耦接所述驱动晶体管DM的控制端,其体端接地,其深阱端n5接入所述第二电源电压VDD,其衬底端n6接地。所述第三晶体管M3的栅端接入所述发光控制电压EMIT,其源端接入所述第二电源电压VDD,其漏端耦接所述驱动晶体管DM的源端,其体端接入所述第二电源电压

VDD，其衬底端p5接地。所述驱动晶体管DM的栅端耦接所述驱动电路10的控制端，其漏端耦接所述驱动电路10的输出端，其体端接入所述第二电源电压VDD，其衬底端p5接地。其中，所述第一晶体管M1和第二晶体管M2的深阱端n5接入所述第二电源电压VDD，体端和衬底端n6均接地，可以防止这两个N型MOS晶体管内部的PN结漏电。此处，为了简化，仅单独标示了N型MOS晶体管的深阱端n5和衬底端n6，以及P型MOS晶体管的衬底端p5。

[0069] 需要说明的是，本文中的“逻辑高电平”和“逻辑低电平”是相对的逻辑电平。其中，“逻辑高电平”指的是可被识别为数字信号“1”的电平范围，“逻辑低电平”指的是可被识别为数字信号“0”的电平范围，其具体电平范围并不做具体限制。

[0070] 本发明实施例还公开了一种图像显示装置，该图像显示装置可以包括上述图1所示的OLED像素电路100、图2所示的OLED像素电路200、图3所示的OLED像素电路200或者图7所示的OLED像素电路300。

[0071] 虽然本发明披露如上，但本发明并非限定于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。

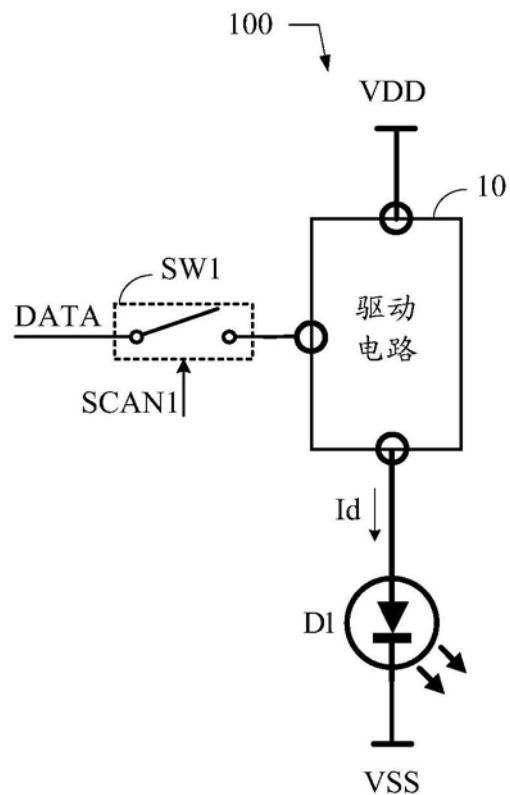


图1

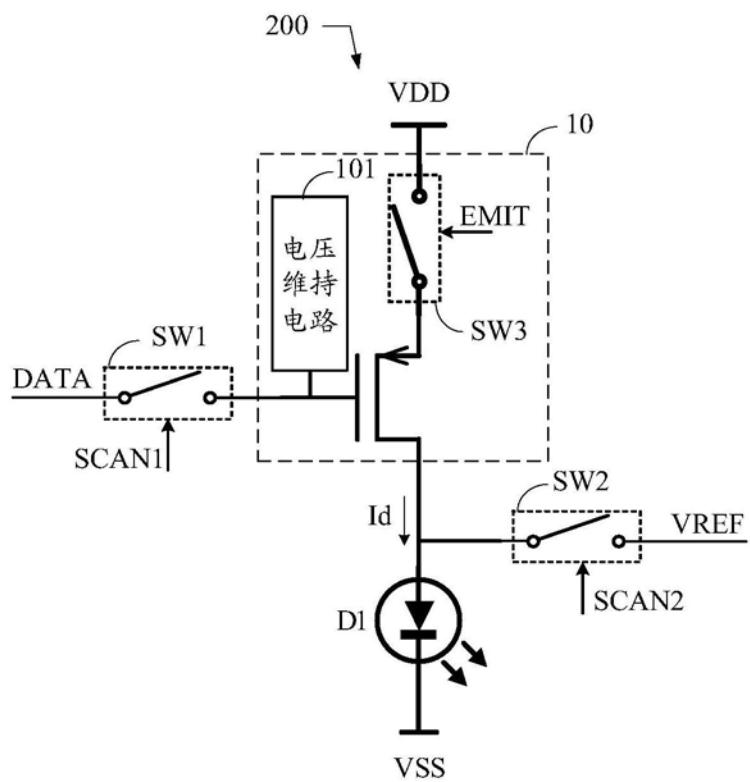


图2

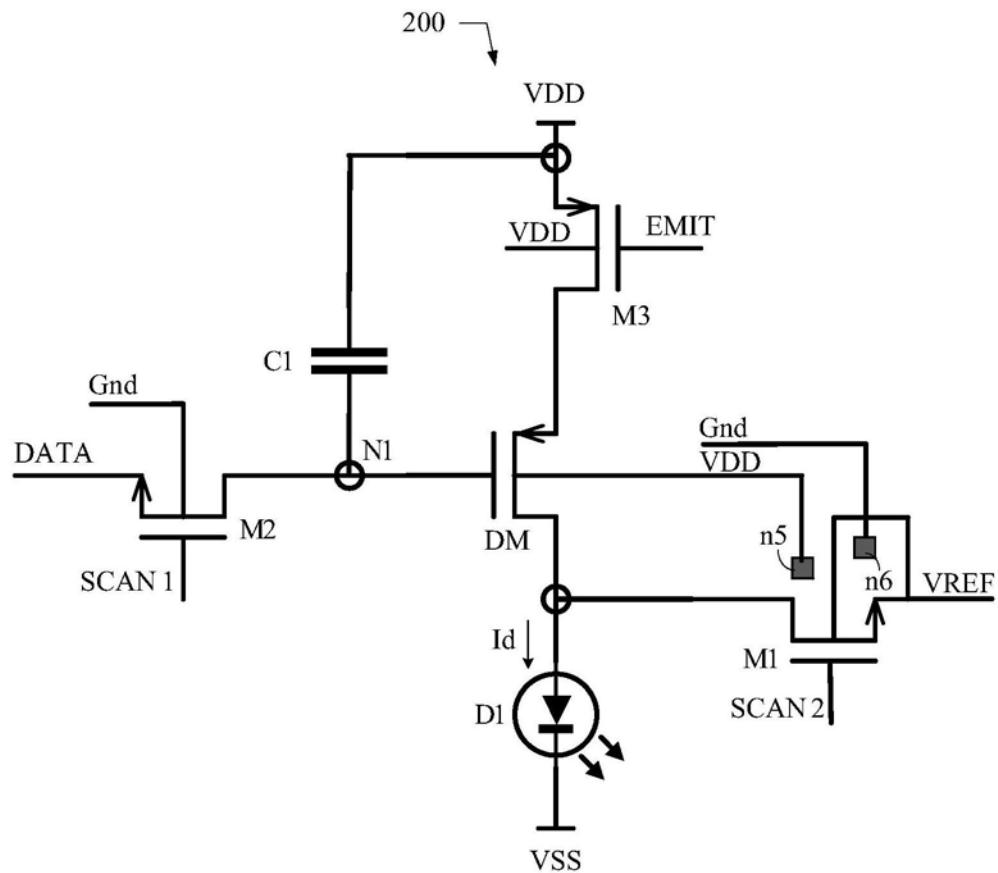


图3

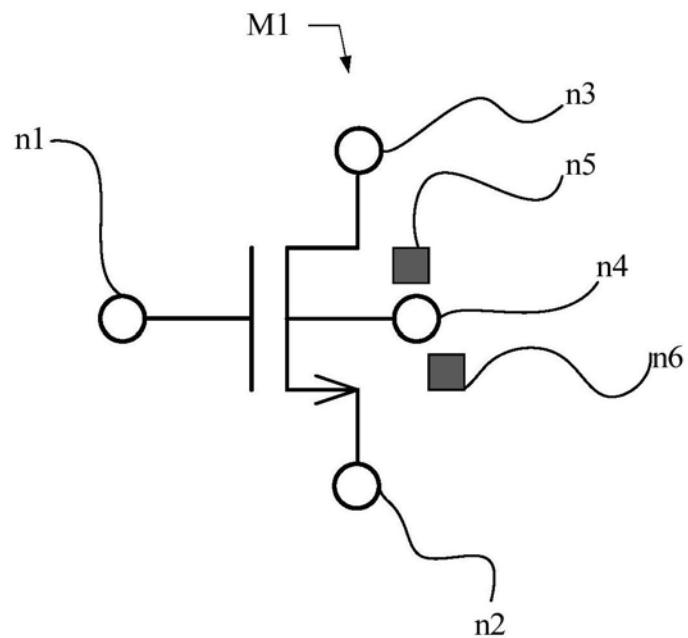


图4

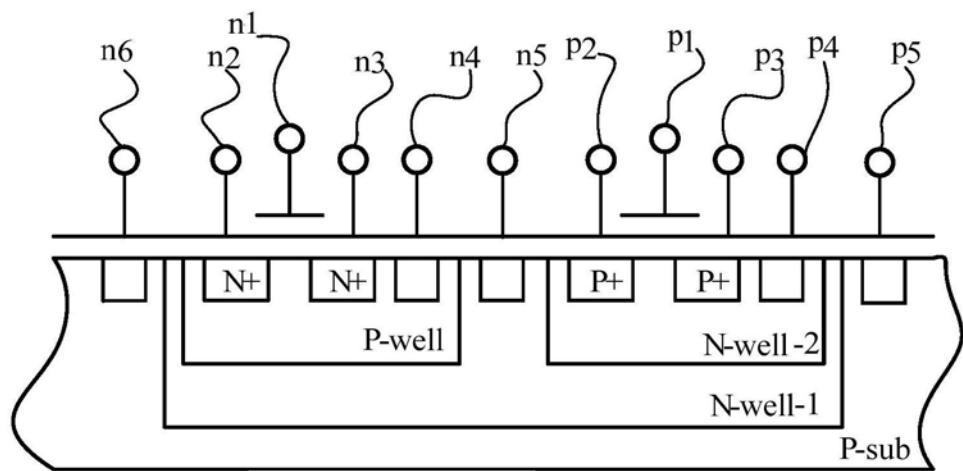


图5

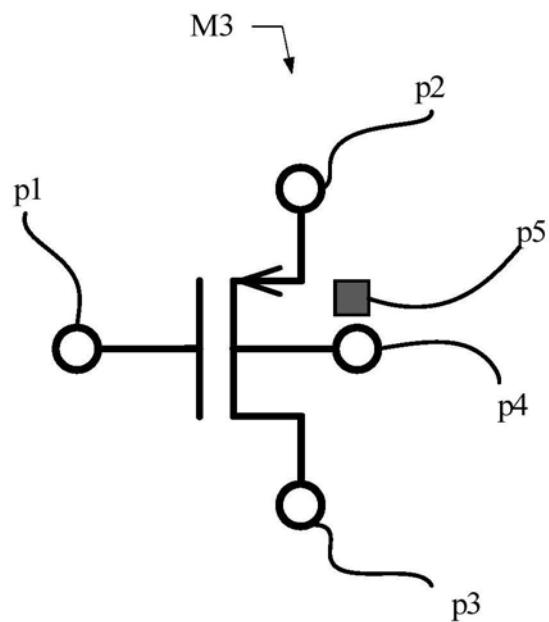


图6

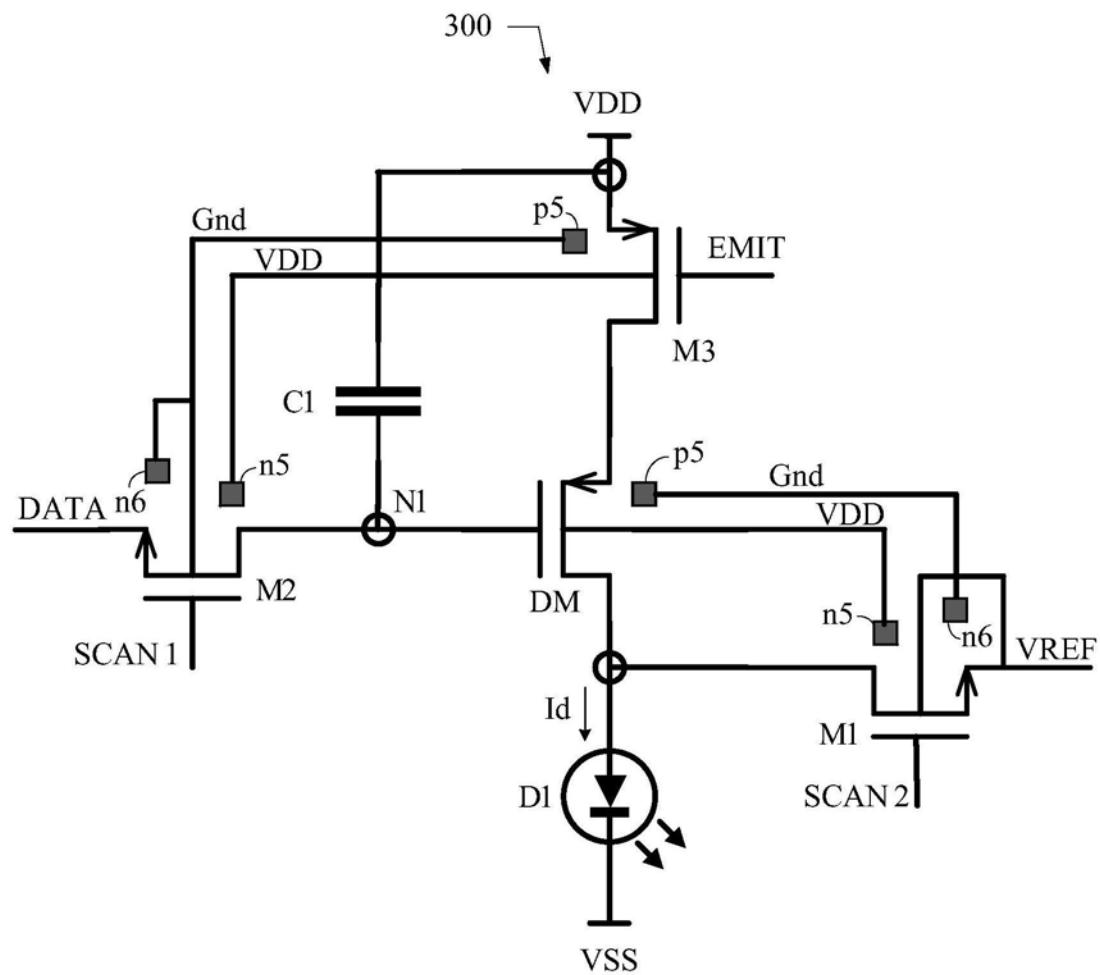


图7

专利名称(译)	OLED像素电路及图像显示装置		
公开(公告)号	<a href="#">CN108932929B</a>	公开(公告)日	2020-06-30
申请号	CN201710371003.X	申请日	2017-05-23
[标]发明人	钱栋 吴桐 刘波		
发明人	钱栋 吴桐 刘波		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233		
审查员(译)	杜昕		
其他公开文献	CN108932929A		
外部链接	<a href="#">Espacenet</a> <a href="#">Sipo</a>		

**摘要(译)**

一种OLED像素电路及图像显示装置，所述OLED像素电路包括：OLED元件，其第一端接入第一电源电压；驱动电路，其输出端耦接所述OLED元件的第二端，其输入端接入第二电源电压，所述驱动电路适于产生驱动电流，所述驱动电流用于驱动所述OLED元件发光；第一开关，响应于第一扫描电压，所述第一开关适于将图像数据电压传输至所述驱动电路的控制端，所述图像数据电压用于控制所述驱动电流的大小；其中，所述第一电源电压和第二电源电压的符号相反，且均落入由正边界电压和负边界电压界定的工艺极限电压范围。采用本发明技术方案可以提高图像显示装置的PPI和分辨率。

