



1. 一种阵列基板,其特征在于,包括衬底基板以及多个阵列设置在所述衬底基板的像素单元;每个所述像素单元包括OLED发光层以及至少一个设置在所述OLED发光层和所述衬底基板之间的驱动晶体管;

每个所述像素单元还包括设置在所述OLED发光层和所述驱动晶体管之间的遮光层,所述遮光层在所述衬底基板的正投影覆盖或部分覆盖同一像素单元中所述驱动晶体管的有源层在所述衬底基板的正投影。

2. 根据权利要求1所述的阵列基板,其特征在于,

所述OLED发光层面向所述驱动晶体管的一侧设有OLED阳极;

至少一个像素单元中的所述遮光层,包括:与所述OLED阳极同层设置且与所述OLED阳极相连的遮光电极层。

3. 根据权利要求2所述的阵列基板,其特征在于,所述遮光电极层与所述OLED阳极一体设置。

4. 根据权利要求1所述的阵列基板,其特征在于,

所述驱动晶体管包括所述有源层以及分别设置在所述有源层背向所述衬底基板的一侧的源极和漏极;

至少一个像素单元中的所述遮光层,包括:与所述源极或所述漏极分层、且设置在所述源极或所述漏极面向所述OLED发光层的一侧的遮光金属层。

5. 根据权利要求4所述的阵列基板,其特征在于,

所述OLED发光层面向所述驱动晶体管的一侧设有OLED阳极;

所述至少一个像素单元中的所述遮光层,还包括:与所述OLED阳极同层设置且与所述OLED阳极相连的遮光电极层;所述遮光金属层在所述衬底基板的正投影与所述遮光电极层在所述衬底基板的正投影相接或部分重叠。

6. 根据权利要求4所述的阵列基板,其特征在于,所述阵列基板还包括电源信号线;所述遮光金属层与电源信号线同层设置且与所述电源信号线相连。

7. 根据权利要求6所述的阵列基板,其特征在于,每个所述像素单元还包括至少一个与所述驱动晶体管串联的开关晶体管;所述遮光金属层与所述开关晶体管的源极及漏极之间设有钝化层,所述遮光金属层通过设置在所述钝化层的过孔与至少一个所述开关晶体管的源极或漏极相连。

8. 根据权利要求1所述的阵列基板,其特征在于,

每个所述像素单元中,所述OLED发光层面向所述驱动晶体管的一侧设有OLED阳极;所述驱动晶体管包括所述有源层以及同层设置在所述有源层背向所述衬底基板的一侧的源极和漏极;

多个所述像素单元包括至少两种具有不同颜色的像素单元;其中,

至少一种具有相同颜色的像素单元的遮光层,包括与所述OLED阳极同层设置、且与所述OLED阳极相连的遮光电极层;

至少一种具有相同颜色的像素单元的遮光层,包括与所述源极或所述漏极分层、且设置在所述源极或所述漏极面向所述OLED发光层的一侧的遮光金属层。

9. 根据权利要求1-8任一项所述的阵列基板,其特征在于,每相邻的两个所述像素单元中的遮光层的最小间距为 $2\mu\text{m}\sim 10\mu\text{m}$ 。

10. 一种显示面板,其特征在于,包括如权利要求1-9任一项所述的阵列基板。
11. 一种显示装置,其特征在于,包括如权利要求10所述的显示面板。

## 一种阵列基板、显示面板及显示装置

### 技术领域

[0001] 本实用新型涉及显示技术领域,尤其涉及一种阵列基板、显示面板及显示装置。

### 背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,简称为OLED),特别是有源矩阵有机发光二极管(Active-matrix Organic Light Emitting Diode,简称为AMOLED),因具有高亮度、全视角、响应速度快以及可柔性显示等优点,已在显示领域得到广泛应用。

[0003] 目前,在AMOLED显示面板中,其阵列基板的显示区通常呈阵列状设置有多个像素单元,每个像素单元均包括OLED以及与OLED相连的像素驱动电路;各像素驱动电路中的驱动晶体管用于向对应的OLED提供驱动电流,以使OLED发光。然而,驱动晶体管的有源层容易因环境光或OLED出射光的散射而影响其导电性能,使得驱动晶体管的导电特性恶化,比如出现阈值电压漂移或漏电流增大等不良导电现象,从而导致驱动晶体管所在的阵列基板难以可靠使用。

### 实用新型内容

[0004] 本实用新型实施例的目的在于提供一种阵列基板、显示面板及显示装置,用于提高阵列基板的使用可靠性。

[0005] 为达到上述目的,本实用新型实施例提供了如下技术方案:

[0006] 本实用新型实施例的第一方面提供了一种阵列基板,该阵列基板包括衬底基板以及多个阵列设置在衬底基板的像素单元;每个所述像素单元包括OLED发光层以及至少一个设置在OLED发光层和衬底基板之间的驱动晶体管;每个所述像素单元还包括设置在OLED发光层和驱动晶体管之间的遮光层,该遮光层在衬底基板的正投影覆盖或部分覆盖同一像素单元中驱动晶体管的有源层在衬底基板的正投影。

[0007] 本实用新型实施例提供的阵列基板,在OLED发光层和对应的驱动晶体管之间设置遮光层,并使得该遮光层在衬底基板上的正投影覆盖或部分覆盖同一像素单元中驱动晶体管的有源层在衬底基板的正投影,可以利用该遮光层对同一像素单元中驱动晶体管的有源层进行光线遮挡,以避免环境光或OLED发光层的出射光散射至驱动晶体管的有源层,确保驱动晶体管的有源层不会因光照而影响其导电性能,即不会因光照而产生漏电流,造成驱动晶体管阈值电压偏移等不良导电现象,有利于提高驱动晶体管的导电稳定性,进而提高阵列基板的使用可靠性。

[0008] 可选的,上述OLED发光层面向驱动晶体管的一侧设有OLED阳极;上述至少一个像素单元中的遮光层,包括:与OLED阳极同层设置且与OLED阳极相连的遮光电极层。

[0009] 进一步的,遮光电极层与OLED阳极一体设置。

[0010] 可选的,上述驱动晶体管包括有源层以及分别设置在有源层背向衬底基板的一侧的源极和漏极;上述至少一个像素单元中的遮光层,包括:与源极或漏极分层、且设置在源极或漏极面向OLED发光层的一侧的遮光金属层。

[0011] 进一步的,上述至少一个像素单元中的遮光层,还包括:与OLED阳极同层设置且与OLED阳极相连的遮光电极层;遮光金属层在衬底基板的正投影与遮光电极层在衬底基板的正投影相接或部分重叠。

[0012] 进一步的,上述阵列基板还包括电源信号线;上述遮光金属层与电源信号线同层设置且与电源信号线相连。

[0013] 可选的,每个像素单元还包括至少一个与上述驱动晶体管串联的开关晶体管;上述遮光金属层与开关晶体管的源极及漏极之间设有钝化层,遮光金属层通过设置在钝化层的过孔与至少一个开关晶体管的源极或漏极相连。

[0014] 可选的,多个像素单元包括至少两种具有不同颜色的像素单元;其中,至少一种具有相同颜色的像素单元的遮光层,包括与OLED阳极同层设置、且与OLED阳极相连的遮光电极层;至少一种具有相同颜色的像素单元的遮光层,包括与源极或漏极分层、且设置在源极或漏极面向OLED发光层的一侧的遮光金属层。

[0015] 可选的,每相邻的两个像素单元中的遮光层的最小间距为 $2\mu\text{m}\sim 10\mu\text{m}$ 。

[0016] 基于上述阵列基板的技术方案,本实用新型实施例的第二方面提供了一种显示面板,所述显示面板包括上述技术方案所提供的阵列基板。本实用新型实施例提供的显示面板所能实现的有益效果,与上述技术方案提供的阵列基板所能达到的有益效果相同,在此不做赘述。

[0017] 基于上述显示面板的技术方案,本实用新型实施例的第三方面提供了一种显示装置,所述显示装置包括上述技术方案所提供的显示面板。本实用新型实施例提供的显示装置所能实现的有益效果,与上述技术方案提供的显示面板所能达到的有益效果相同,在此不做赘述。

## 附图说明

[0018] 此处所说明的附图用来提供对本实用新型实施例的进一步理解,构成本实用新型实施例的一部分,本实用新型的示意性实施例及其说明用于解释本实用新型,并不构成对本实用新型的不当限定。在附图中:

[0019] 图1为本实用新型实施例提供的一种阵列基板的结构示意图;

[0020] 图2为图1所示阵列基板的局部剖视图;

[0021] 图3为图1所示阵列基板的制作方法的流程示意图;

[0022] 图4为本实用新型实施例提供的另一种阵列基板的结构示意图;

[0023] 图5为图4所示阵列基板的局部剖视图;

[0024] 图6为图4所示阵列基板的制作方法的流程示意图;

[0025] 图7为本实用新型实施例提供的另一种阵列基板的结构示意图;

[0026] 图8为本实用新型实施例提供的另一种阵列基板的结构示意图;

[0027] 图9为图8所示阵列基板的制作方法的流程示意图;

[0028] 图10为本实用新型实施例提供的另一种阵列基板的结构示意图。

[0029] 附图标记:

[0030] 1-衬底基板, 2-OLED, 21-OLED阳极,

[0031] 22-OLED发光层, 23-OLED阴极, 3-驱动晶体管,

- [0032] 31-有源层, 32-源极, 33-漏极,  
[0033] 34-栅极, 35-第一栅绝缘层, 36-第二栅绝缘层,  
[0034] 37-层间绝缘层, 41-遮光电极层, 42-遮光金属层,  
[0035] 5-缓冲层, 6-钝化层, 7-平坦化层,  
[0036] 8-像素界定层。

### 具体实施方式

[0037] 为便于理解,下面结合说明书附图,对本实用新型实施例提供的技术方案进行详细的描述。显然,所描述的实施例仅仅是所提出的技术方案的一部分实施例,而不是全部的实施例。基于本实用新型实施例,本领域技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例,均属于本发明保护的范围。

[0038] 请参阅图1-图9,本实用新型实施例提供了一种阵列基板,该阵列基板包括衬底基板1以及多个阵列设置在衬底基板1的像素单元;每个所述像素单元包括OLED发光层22以及至少一个设置在OLED发光层22和衬底基板1之间的驱动晶体管3;每个像素单元还包括设置在OLED发光层22和驱动晶体管3之间的遮光层,该遮光层在衬底基板1的正投影覆盖或部分覆盖同一像素单元中驱动晶体管3的有源层31在衬底基板1的正投影。

[0039] 本实施例提供的阵列基板具体为OLED基板,OLED基板的衬底基板1可以为玻璃基板或柔性基板;OLED基板的每个像素单元中均设有OLED2。OLED2通常包括相对设置的OLED阳极21和OLED阴极23,以及形成在OLED阳极21和OLED阴极23之间的OLED发光层22。OLED发光层22可以为单层结构,例如OLED发光层22仅包括设置在OLED阳极21和OLED阴极23之间的有机发光层;OLED发光层22也可以为多层结构,例如OLED发光层22包括设置在OLED阳极21和OLED阴极23之间的空穴传输层、有机发光层以及电子传输层等。

[0040] 上述遮光层在衬底基板1的正投影覆盖同一像素单元中驱动晶体管3的有源层31在衬底基板1的正投影,通常表现为遮光层在衬底基板1上的正投影与同一像素单元中驱动晶体管3的有源层31在衬底基板1的正投影重叠或大略重叠。上述遮光层在衬底基板1的正投影部分覆盖同一像素单元中驱动晶体管3的有源层31在衬底基板1的正投影,通常表现为遮光层在衬底基板1上的正投影与同一像素单元中驱动晶体管3的有源层31在衬底基板1的正投影存在交叠部分。

[0041] 可以理解的是,各像素单元中的OLED2一般通过像素驱动电路驱动发光,该像素驱动电路一般可采用“6T1C”、“7T1C”、“6T2C”、“7T2C”等结构,即该像素驱动电路一般由至少一个开关晶体管、至少一个驱动晶体管以及至少一个存储电容串并联构成。本实施例设置在OLED发光层22和衬底基板1之间的上述驱动晶体管3,具体是指OLED2对应像素驱动电路中与OLED阳极21直接连接的薄膜晶体管,该驱动晶体管3的数量可以为一个或多个。当然,在一些实施例中,遮光层在衬底基板1的正投影还可以同时覆盖或部分覆盖同一像素单元中开关晶体管的有源层在衬底基板1的正投影,以便确保对应开关晶体管的导电性能。

[0042] 本实用新型实施例提供的阵列基板,在OLED发光层22和对应的驱动晶体管3之间设置遮光层,并使得该遮光层在衬底基板1的正投影覆盖或部分覆盖同一像素单元中驱动晶体管3的有源层31在衬底基板1的正投影,可以利用该遮光层对同一像素单元中驱动晶体管3的有源层31进行光线遮挡,以避免环境光或OLED发光层22的出射光散射至驱动晶体管3

的有源层31,确保驱动晶体管3的有源层31不会因光照而影响其导电性能,即不会因光照而产生漏电流,造成驱动晶体管3阈值电压偏移等不良导电现象,有利于提高驱动晶体管3的导电稳定性,进而提高阵列基板的使用可靠性。

[0043] 上述遮光层在阵列基板中的设置,具体可以有多种实现形式。下面列举四种具有不同结构的阵列基板,分别在如下实施例一、实施例二、实施例三和实施例四中详细说明。其中,各个实施例采用递进的方式描述,各个实施例之间相同或相似的部分互相参见即可;每个实施例重点说明的都是与其他实施例的不同之处。尤其,对于实施例二和三而言,由于其基本相似于实施例一,所以描述得比较简单,相关之处参见实施例一的部分说明即可。

[0044] 实施例一:

[0045] 请参阅图1-图3,在本实施例提供的阵列基板中,OLED发光层22面向驱动晶体管3的一侧设有OLED阳极21;上述至少一个像素单元中的遮光层,包括与OLED阳极21同层设置、且与OLED阳极21相连的遮光电极层41。

[0046] 上述遮光电极层41与OLED阳极21同层设置,在OLED阳极21采用遮光材料比如金属材料制作形成时,遮光电极层41可以与OLED阳极21一体设置,即遮光电极层41与OLED阳极21可以采用相同材料在一次构图工艺中制作成型,遮光电极层41可视为OLED阳极21的延伸部。

[0047] 本实施例利用OLED阳极21的延伸部作为遮光电极层41,不仅方便制作,易于提高生产效率,还可以有效提高OLED所在像素单元的空间利用率,以便于实现阵列基板的高分辨率显示,进而提升阵列基板的显示效果。

[0048] 此外,在本实施例提供的阵列基板中,其与OLED阳极21对应连接的像素驱动电路包括至少一个开关晶体管T1、至少一个驱动晶体管T2以及至少一个存储电容。其中,开关晶体管T1和驱动晶体管T2采用相同的顶栅结构,均包括:依次叠设在衬底基板1一侧的有源层31、第一栅绝缘层35、栅极34、第二栅绝缘层36以及层间绝缘层37,层间绝缘层37背离衬底基板1且与有源层31对应的表面分别设有源极32和漏极33,源极32和漏极33分别通过对应的过孔与有源层31相连。存储电容的第一极板C1与栅极34同层设置,存储电容的第二极板C2设置在第二栅绝缘层36和层间绝缘层37之间且与第一极板C1相对。可以理解的是,上述阵列基板在形成开关晶体管T1和驱动晶体管T2的有源层31之前,通常还制作有缓冲层5。

[0049] 本实施例提供的阵列基板在制作时,其制作方法如图3所示:

[0050] 步骤S1,提供一衬底基板1,在衬底基板1上依次层叠形成缓冲层5和有源层31。

[0051] 上述衬底基板1可采用柔性基板,由第一聚酰亚胺层(Polyimide Film,简称PI层)、第一阻隔层、第二PI层以及第二阻隔层层叠构成。

[0052] 上述缓冲层5通常由氮化硅( $\text{SiN}_x$ )和二氧化硅( $\text{SiO}_2$ )叠层构成,具体可采用等离子体增强化学气相沉积(Plasma Enhanced Chemical Vapor Deposition,简称PECVD工艺)制作形成。

[0053] 上述有源层31通常由多晶硅(p-Si)薄膜图案化构成,该有源层31的形成过程具体可表现为:在缓冲层5背离衬底基板1的表面形成非晶硅(a-Si)薄膜;对非晶硅(a-Si)薄膜进行激光退火(Excimer Laser Annealing,简称ELA)或固相结晶(Solid Phase Crystallization,简称SPC)处理,获得多晶硅(p-Si)薄膜;对多晶硅(p-Si)薄膜进行图案化,得到有源层31,并采用离子注入工艺对有源层31的导电沟道进行离子掺杂。

[0054] 步骤S2,在缓冲层5未被有源层31覆盖的表面以及有源层31背离缓冲层5的表面形成第一栅绝缘层35;在第一栅绝缘层35背离缓冲层5的表面沉积第一层金属薄膜,通过光掩膜工艺对第一层金属薄膜进行刻蚀,将其图案化,以在第一栅绝缘层35上形成开关晶体管T1和驱动晶体管T2的栅极34,以及存储电容的第一极板C1。

[0055] 步骤S3,在第一栅绝缘层35以及图案化的第一层金属薄膜上形成第二栅绝缘层36;在第二栅绝缘层36背离第一栅绝缘层35的表面沉积第二层金属薄膜,利用光掩膜工艺对第二层金属薄膜进行刻蚀,将其图案化,以在第二栅绝缘层36与第一极板C1对应的表面上形成存储电容的第二极板C2。

[0056] 上述第一栅绝缘层35和第二栅绝缘层36通常由二氧化硅( $\text{SiO}_2$ )膜层,或者氮化硅( $\text{SiN}_x$ )和二氧化硅( $\text{SiO}_2$ )的叠层构成,具体可采用PECVD工艺制作形成。

[0057] 上述第一层金属薄膜和第二层金属薄膜可以采用铝(Al)、铜(Cu)、钼(Mo)、钛(Ti)或铝钽合金(AlNd)等电阻值较小的金属材料制作形成,优选采用钼(Mo)金属材料,具体可通过磁控溅射工艺或蒸镀工艺制作形成。

[0058] 步骤S4,在第二栅绝缘层36未被第二极板C2覆盖的表面,以及第二极板C2背离第二栅绝缘层36的表面形成层间绝缘层37;在层间绝缘层37、第二栅绝缘层36以及第一栅绝缘层35与有源层31对应的部分形成过孔。

[0059] 上述层间绝缘层37通常由二氧化硅( $\text{SiO}_2$ )和氮化硅( $\text{SiN}_x$ )的叠层构成,具体可采用PECVD工艺制作形成。

[0060] 步骤S5,利用磁控溅射工艺在层间绝缘层37背离第二栅绝缘层36的表面沉积第三层金属薄膜;利用光掩膜工艺对第三层金属薄膜进行刻蚀,将其图案化,以在层间绝缘层37上形成开关晶体管T1和驱动晶体管T2的源极32和漏极33;开关晶体管T1和驱动晶体管T2的源极32及漏极33分别通过过孔与对应的有源层31连接,且开关晶体管T1的漏极还与驱动晶体管T2的源极连接。

[0061] 上述第三层金属薄膜可以由铝(Al)、铜(Cu)、钼(Mo)、钛(Ti)或铝钽合金(AlNd)形成的单层金属薄膜,或者,由铝(Al)、铜(Cu)、钼(Mo)、钛(Ti)或铝钽合金(AlNd)形成的多层金属薄膜,比如:钼/铝/钼(Mo/Al/Mo)薄膜、钛/铝/钛(Ti/Al/Ti)薄膜等。

[0062] 步骤S6,在层间绝缘层37以及图案化的第三层金属薄膜上依次层叠形成钝化层6以及平坦化层7;利用光掩膜工艺,在钝化层6以及平坦化层7与驱动晶体管T2的漏极对应的部分形成过孔。

[0063] 上述钝化层6通常由氮化硅( $\text{SiN}_x$ )膜层构成,具体可采用PECVD制作形成。上述平坦化层7通常由聚酰亚胺薄膜(Polyimide Film,简称PI膜)构成。

[0064] 值得一提的是,在阵列基板中制作完成钝化层6及平坦化层7之后,可以对该阵列基板进行快速热退火或热处理炉退火处理,以便将阵列基板中有源层31的掺杂离子激活,并对有源层31进行氢化处理,以修复有源层31的晶格缺陷。

[0065] 步骤S7,在平坦化层7背离钝化层6的表面沉积一层遮光导电薄膜;利用光掩膜工艺对遮光导电薄膜进行刻蚀,将其图案化,以在平坦化层7上形成OLED阳极21以及与OLED阳极21连接的遮光电极层41。OLED阳极21通过过孔与驱动晶体管T2的漏极连接。遮光电极层41在衬底基板1上的正投影覆盖驱动晶体管T2的有源层31在衬底基板1上的正投影。

[0066] 步骤S8,在平坦化层7以及图案化的遮光导电薄膜上依次形成像素界定层8、OLED

发光层22以及OLED阴极23。

[0067] 上述像素界定层8通常由聚酰亚胺薄膜 (Polyimide Film, 简称PI膜) 构成。

[0068] 可以理解的是, 本实施例中各功能膜层的制作材料以及其形成厚度均可根据实际需求自行设定; 本实施例示例性的提供一种具体实施, 详见表一。

	功能膜层	制作材料	厚度 (单位Å)
[0069]	第一PI层	PI膜	100000
	第一阻隔层	SiO <sub>x</sub>	7000
[0070]	第一PI层	PI膜	50000
	第二阻隔层	SiO <sub>x</sub>	9000
	缓冲层	SiN <sub>x</sub> / SiO <sub>x</sub>	9000
	有源层	P-Si	600
	第一栅绝缘层	SiO <sub>x</sub>	1000
	第一极板	Mo	3000
	第二栅绝缘层	SiN <sub>x</sub>	1000
	第二极板	Mo	3000
	层间绝缘层	SiN <sub>x</sub> / SiO <sub>x</sub>	5000
	源漏极	Ti/Al/Ti	9000
	平坦化层	PI膜	10000~15000
	OLED阳极	ITO/Ag/ITO	700
	像素界定层	PI膜	20000~30000

[0071] 表一

[0072] 实施例二:

[0073] 请参阅图4-图6, 在本实施例提供的阵列基板中, 驱动晶体管3包括依次叠设在衬底基板1一侧的有源层31、第一栅绝缘层35、栅极34、第二栅绝缘层36以及层间绝缘层37, 层间绝缘层37背离衬底基板1且有与有源层31对应的表面分别设有源极32和漏极33, 源极32和漏极33分别通过对应的过孔与有源层31相连。阵列基板的至少一个像素单元中的遮光层, 包括与源极32或漏极33分层、且设置在源极32或漏极33面向OLED发光层22的一侧的遮光金属层42。可选的, 驱动晶体管3的源极32或漏极33的表面设有钝化层6, 遮光金属层42形成在钝化层6背离源极32或漏极33的表面。

[0074] 本实施例提供的阵列基板, 在驱动晶体管3和OLED发光层22之间设置遮光金属层

42作为遮光层,可以在利用遮光金属层42对驱动晶体管3进行遮光的同时,由遮光金属层42和驱动晶体管3中对应的浮置栅极形成辅助存储电容,从而增加阵列基板中存储电容的总电容值,以确保驱动晶体管3的驱动电压稳定,进一步提高阵列基板的使用可靠性。

[0075] 此外,本实施例提供的阵列基板,通过与驱动晶体管3中源极32或漏极33分层、且设置在源极32或漏极33面向OLED发光层22的一侧的遮光金属层42,还可以避免利用OLED阳极21延伸形成遮光层,以确保各像素单元中的OLED阳极21之间具有较大间隔;这样在具有高显示分辨率的阵列基板中形成上述遮光金属层42作为遮光层时,还可以降低不同像素单元中OLED阳极21之间短路的风险,有利于提高阵列基板的生产良率。

[0076] 值得一提的是,请继续参阅图4,本实施例提供的阵列基板还包括电源信号线 $V_{DD}$ ;遮光金属层42可以与电源信号线 $V_{DD}$ 同层设置且与电源信号线 $V_{DD}$ 相连。本实施例将电源信号线 $V_{DD}$ 与遮光金属层42同层设置,方便在一次光掩膜工艺中制作成型,有利于简化阵列基板的制作工艺,以提高生产效率。

[0077] 需要补充的是,请继续参阅图4,在本实施例提供的阵列基板中,每个像素单元还包括至少一个与驱动晶体管T2串联的开关晶体管T1;开关晶体管T1和驱动晶体管T2通常为结构相同的薄膜晶体管,具备相同的制作工艺。遮光金属层42与开关晶体管T1的源极及漏极之间设有钝化层6,遮光金属层42通过设置在钝化层6的过孔与上述至少一个开关晶体管T1的源极或漏极相连,以实现遮光金属层42与开关晶体管T1中源漏极电路的并联,确保遮光金属层42和对应开关晶体管T1以及驱动晶体管T2中的浮置栅极构成辅助存储电容,进而提高阵列基板的使用可靠性。

[0078] 本实施例提供的阵列基板在制作时,其制作方法可如图6所示:

[0079] 步骤S1',在衬底基板1的一侧形成开关晶体管T1和驱动晶体管T2。

[0080] 步骤S2',在开关晶体管T1及驱动晶体管T2的源极32和漏极33上形成钝化层6;通过光掩膜工艺在钝化层6与开关晶体管T1的源极32对应的部分形成过孔。

[0081] 上述钝化层通常由氮化硅( $SiN_x$ )膜层构成,具体可采用PECVD工艺制作形成。在制作完成钝化层6之后,可以对该阵列基板进行快速热退火或热处理炉退火处理,以便将阵列基板中有源层31的掺杂离子激活,并对有源层31进行氢化处理,以修复有源层31的晶格缺陷。

[0082] 步骤S3',利用磁控溅射工艺在钝化层6背离衬底基板1的表面沉积一层金属薄膜;利用光掩膜工艺对该金属薄膜进行刻蚀,将其图案化,以在钝化层6上形成电源信号线 $V_{DD}$ 以及与电源信号线 $V_{DD}$ 连接的遮光金属层42;遮光金属层42通过设置在钝化层6的过孔与开关晶体管T1的源极32相连。

[0083] 上述遮光金属层42通常由钛/铝/钛(Ti/Al/Ti)的叠层金属薄膜构成;遮光金属层42在衬底基板1上的正投影覆盖或部分覆盖上述驱动晶体管T2的有源层31在衬底基板1上的正投影。

[0084] 步骤S4',在钝化层6以及图案化的金属薄膜上形成平坦化层7;利用光掩膜工艺,在钝化层6以及平坦化层7与驱动晶体管T2的漏极33对应的部分形成过孔。

[0085] 上述平坦化层7通常由聚酰亚胺薄膜(Polyimide Film,简称PI膜)构成。

[0086] 步骤S5',在平坦化层7背离钝化层6的表面沉积一层导电薄膜;利用光掩膜工艺对导电薄膜进行刻蚀,将其图案化,以在平坦化层7上形成OLED阳极21。在平坦化层7以及OLED

阳极21上依次形成像素界定层8、OLED发光层22以及OLED阴极23。

[0087] 上述导电薄膜可以为由氧化铟锡 (ITO) 或氧化铟锌 (IZO) 等氧化物形成的单层导电薄膜,或者,为氧化铟锡/银/氧化铟锡 (ITO/Ag/ITO) 或氧化铟锌/银 (IZO/Ag) 等复合薄膜。本实施例优选采用氧化铟锡/银/氧化铟锡 (ITO/Ag/ITO) 复合薄膜形成OLED阳极21,以确保OLED阳极21具有较为优良的导电性能。上述像素界定层8通常可由聚酰亚胺薄膜 (Polyimide Film,简称PI膜) 构成。

[0088] 可以理解的是,本实施例中各功能膜层的制作材料以及其形成厚度均可根据实际需求自行设定;本实施例示例性的提供一种具体实施,详见表二。

功能膜层	制作材料	厚度 (单位Å)
第一PI层	PI膜	100000
[0089] 第一阻隔层	SiO <sub>x</sub>	6000
第一PI层	PI膜	50000
第二阻隔层	SiO <sub>x</sub>	5000
缓冲层	SiN <sub>x</sub> / SiO <sub>x</sub>	4000
有源层	P-Si	600
第一栅绝缘层	SiO <sub>x</sub>	1000
第一极板	Mo	3000
第二栅绝缘层	SiN <sub>x</sub>	1000
第二极板	Mo	2000
[0090] 层间绝缘层	SiN <sub>x</sub> / SiO <sub>x</sub>	5000
源漏极	Ti/Al/Ti	8000
钝化层	SiN <sub>x</sub>	3000
平坦化层	PI膜	10000/8000
遮光金属层	Ti/Al/Ti	7000
OLED阳极	ITO/Ag/ITO	1000
像素界定层	PI膜	30000

[0091] 表二

[0092] 实施例三:

[0093] 请参阅图7和图8,在本实施例提供的阵列基板中,遮光层可由遮光金属层42和遮光电极层41共同构成,即上述至少一个像素单元中的遮光层,既包括与驱动晶体管3的源极32或漏极33分层且设置在该源极32或漏极33面向OLED发光层22的一侧的遮光金属层42,还包括与OLED阳极21同层设置且与OLED阳极21相连的遮光电极层41;遮光金属层42在衬底基板1的正投影可以与遮光电极层41在衬底基板1的正投影相接或部分重叠。

[0094] 上述遮光金属层42在衬底基板1的正投影与遮光电极层41在衬底基板1的正投影相接,通常表现为遮光金属层42在衬底基板1的正投影的一侧边沿、与遮光电极层41在衬底基板1的正投影的一侧边沿平齐,即遮光金属层42与遮光电极层41二者在衬底基板1的正投影并不存在交叠部分,比如图7所示。上述遮光金属层42在衬底基板1的正投影与遮光电极层41在衬底基板1的正投影部分重叠,通常表现为遮光金属层42与遮光电极层41二者在衬底基板1的正投影存在交叠部分,比如图8所示。

[0095] 为了确保遮光层能够具有更好的遮光效果,遮光层的具体设置可以根据实际需要合理设定。本实施例利用遮光电极层41和遮光金属层42共同构成遮光层,可以兼顾遮光电极层41和遮光金属层42的优势,即:本实施例可以利用遮光电极层41有效提高OLED所在像素单元的空间利用率,以便于实现阵列基板的高分辨率显示,进而提升阵列基板的显示效果,还可以利用遮光金属层42增加阵列基板中存储电容的总电容值,以确保阵列基板中驱动晶体管的驱动电压稳定,进而提高阵列基板的使用可靠性。

[0096] 本实施例提供的阵列基板采用图8所示结构时,其制作方法如图9所示,该制作方法的各制作步骤可结合上述实施例二和实施例一获得,本实施例在此不做赘述。

[0097] 实施例四:

[0098] 在本实施例提供的阵列基板中,其多个像素单元可以按照显示颜色的不同划分为至少两种具有不同颜色的像素单元;本实施例按照各像素单元的不同,可以在各像素单元中合理设置遮光层,比如:在至少一种具有相同颜色的像素单元中,设置与OLED阳极同层设置、且与OLED阳极相连的遮光电极层作为遮光层;在至少一种具有相同颜色的像素单元中,设置与驱动晶体管的源极或漏极分层、且设置在该源极或漏极面向OLED发光层的一侧的遮光金属层作为遮光层。

[0099] 示例性的,请参阅图10,本实施例提供的阵列基板采用RGB色彩模式进行显示,该阵列基板的多个像素单元包括多个R像素单元、多个G像素单元以及多个B像素单元。为了有效提高阵列基板的显示分辨率,上述各R像素单元、各G像素单元以及各B像素单元通常采用图10中所示的“品”字形结构进行分布;本实施例根据各像素单元设置位置的不同,可以在其各G像素单元中设置如实施例一所示的遮光电极层作为遮光层,在R像素单元和/或B像素单元中设置如实施例二所示的遮光金属层作为的遮光层。

[0100] 本实施例提供的阵列基板,按照各不同颜色像素单元的不同分布,可以有选择的利用遮光电极层作为遮光层,或利用遮光金属层作为遮光层,从而在各像素单元中合理设置遮光层,以便高效利用阵列基板的像素空间,进而在实现阵列基板高分辨率显示的同时,确保阵列基板具有较高的使用可靠性。

[0101] 为了确保各像素单元中的遮光层相互独立,可选的,在本实施例中,每相邻的两个像素单元中的遮光层的最小间距为 $2\mu\text{m}\sim 10\mu\text{m}$ ,优选为 $4\mu\text{m}$ 。本实施例提供的阵列基板,通过限定每相邻两个像素单元中遮光层的最小间距,不仅可以确保各像素单元中的遮光层相互

独立,方便制作;还可以避免遮光层因彼此间间距过小而出现线路短路等缺陷,有利于提高阵列基板的使用可靠性。

[0102] 本实用新型实施例还提供了一种显示面板,所述显示面板包括上述实施例提供的阵列基板。所述显示面板中的阵列基板与上述实施例中的阵列基板具有的优势相同,此处不再赘述。

[0103] 本实用新型实施例还提供了一种显示装置,所述显示装置包括上述实施例提供的显示面板。所述显示装置中的显示面板与上述实施例中的显示面板具有的优势相同,此处不再赘述。

[0104] 以上所述,仅为本实用新型的具体实施方式,但本实用新型的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本实用新型揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本实用新型的保护范围内。因此,本实用新型的保护范围应以所述权利要求的保护范围为准。

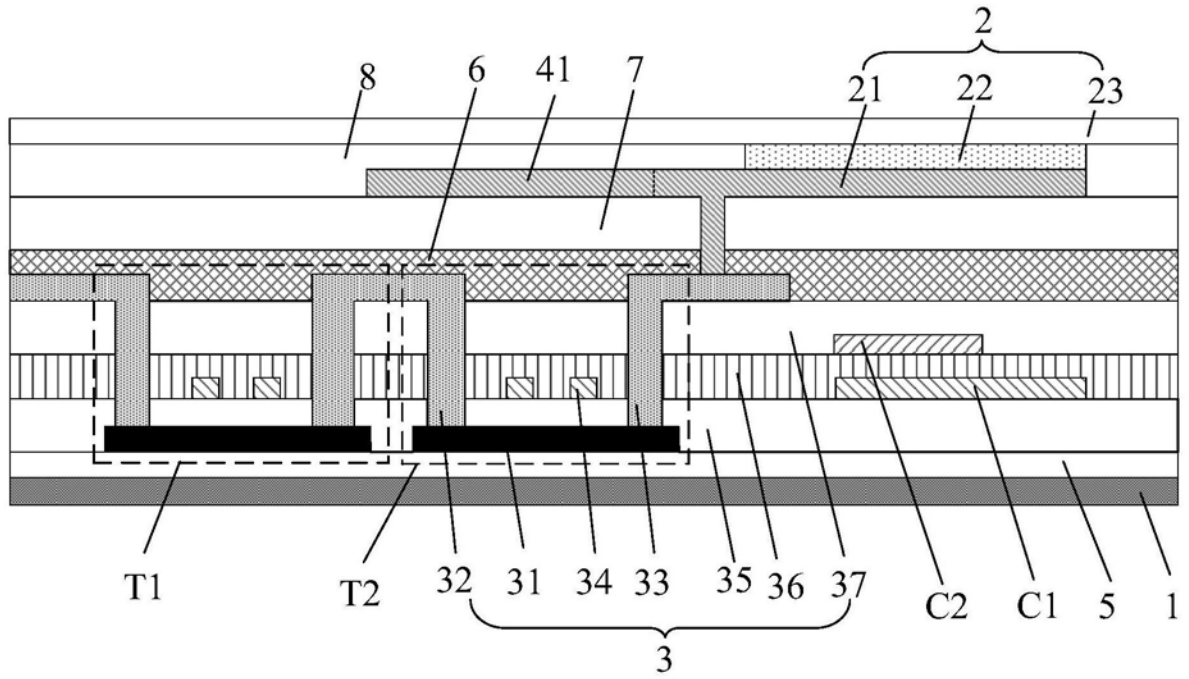


图1

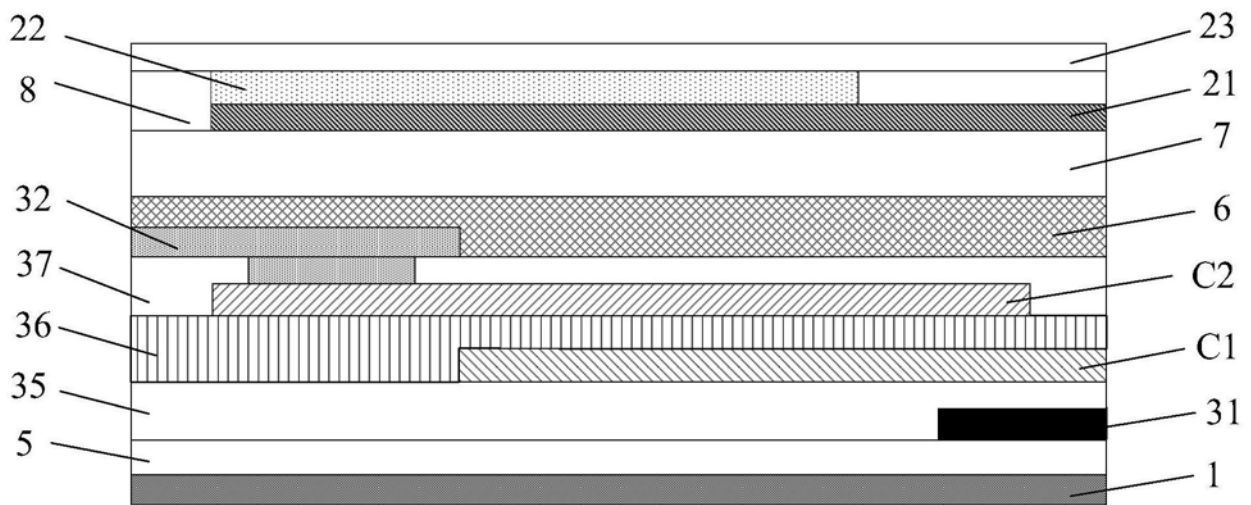


图2

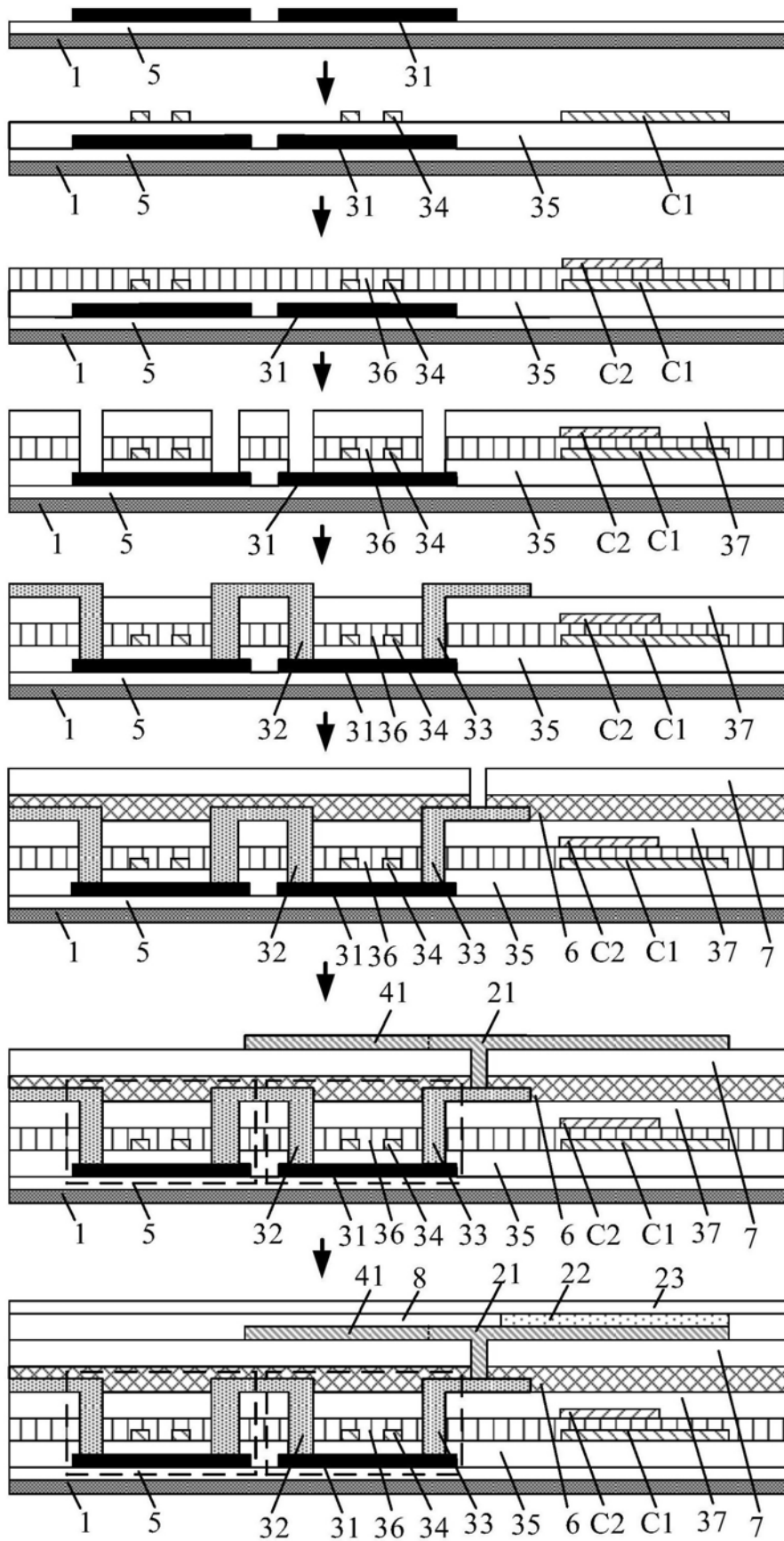


图3

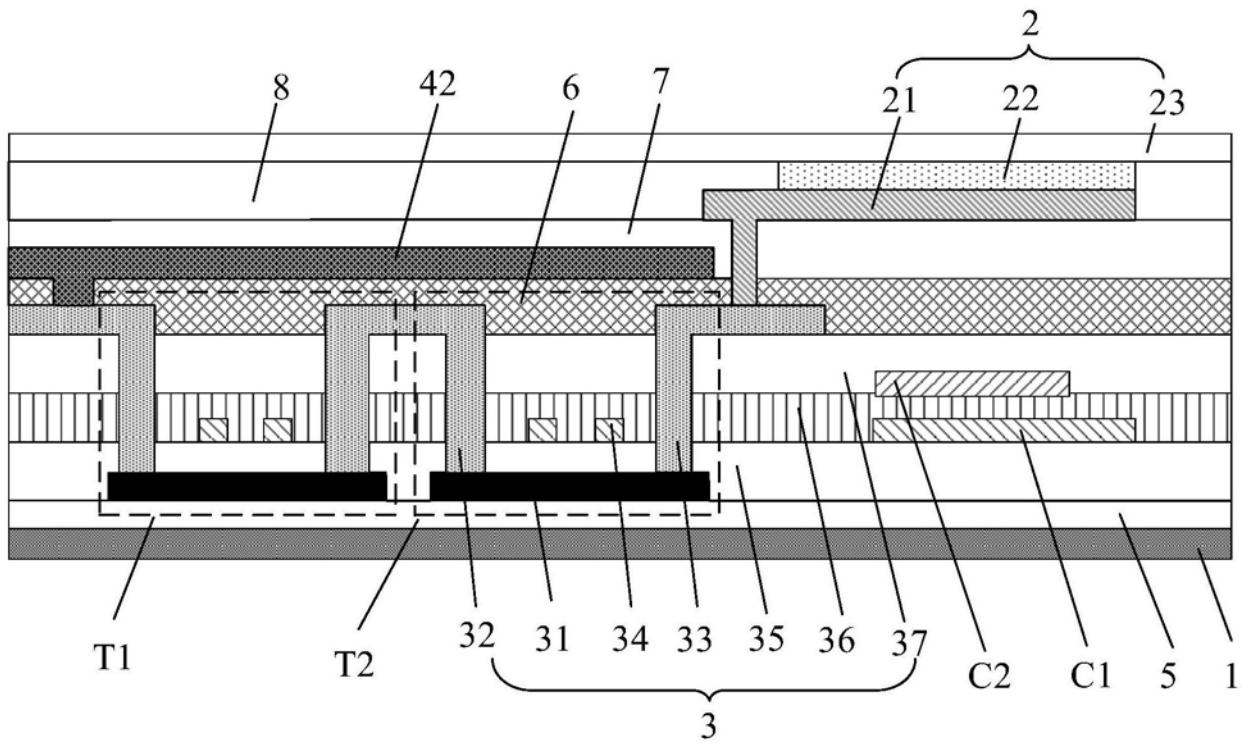


图4

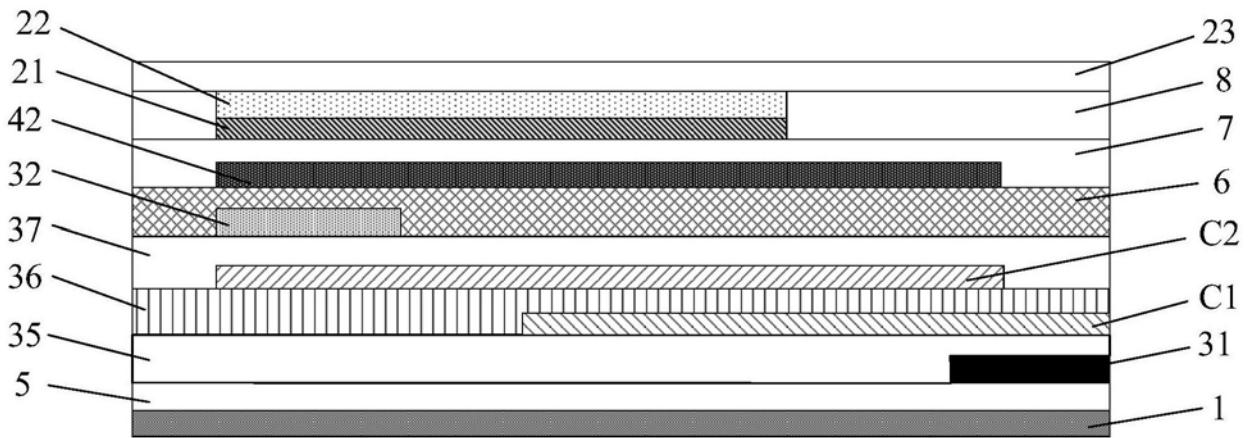


图5

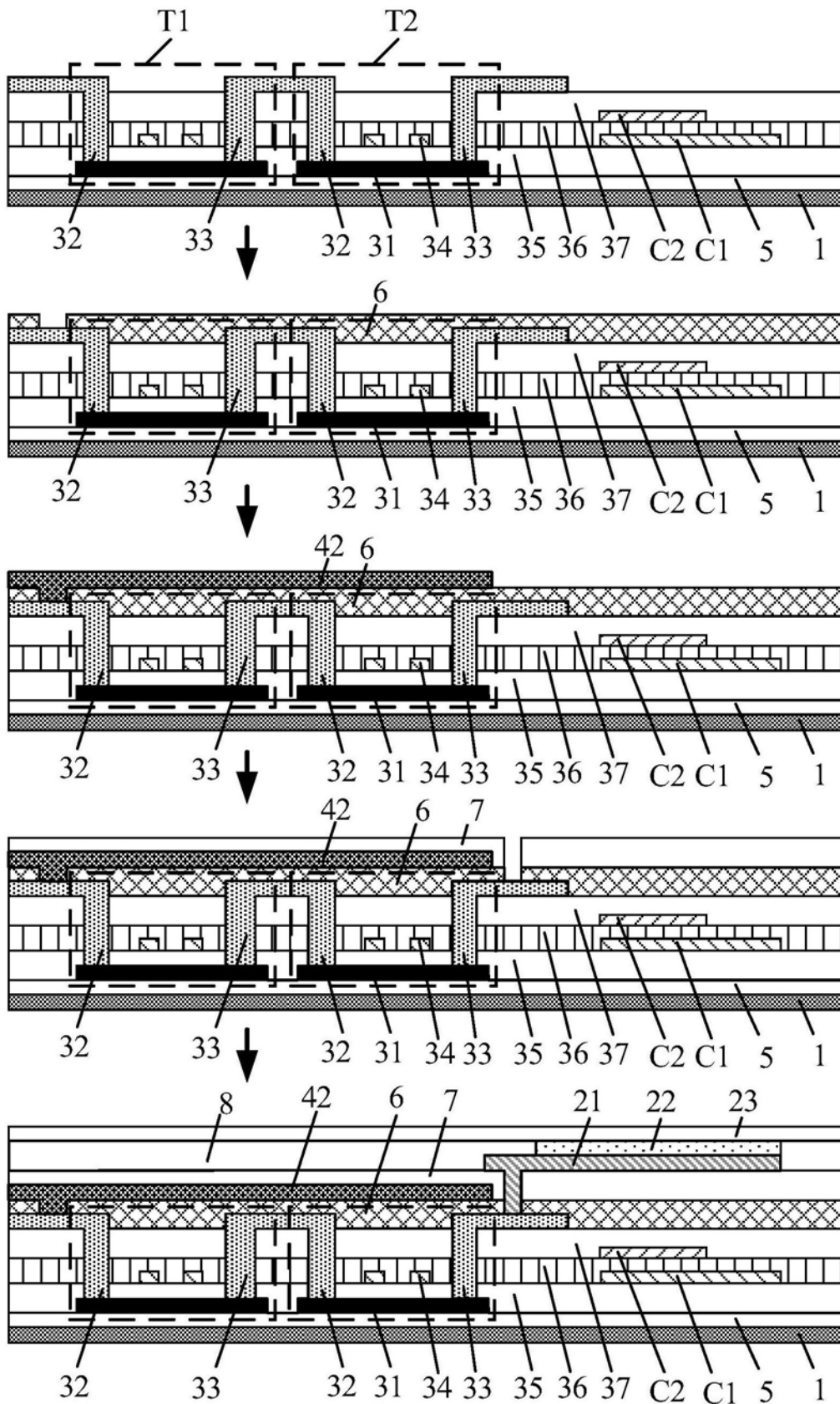


图6

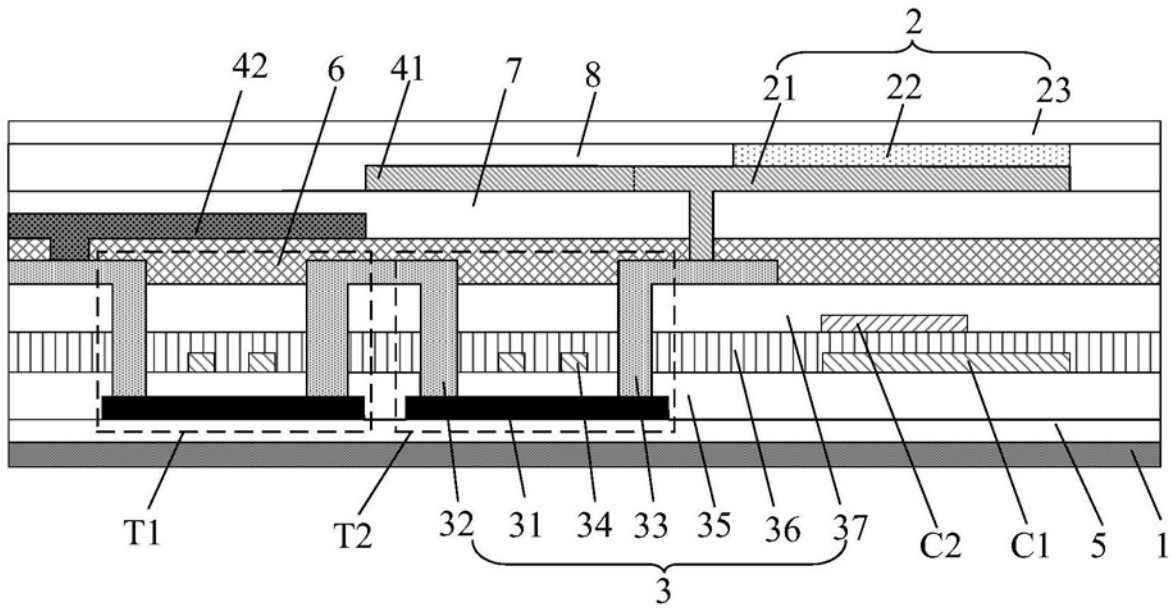


图7

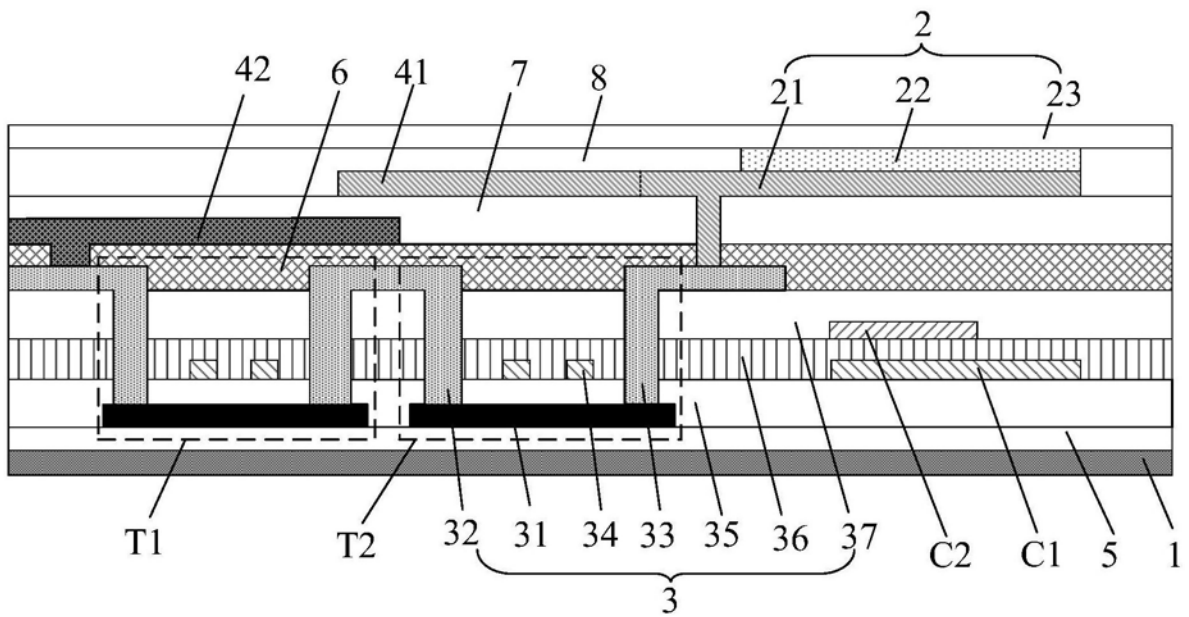


图8

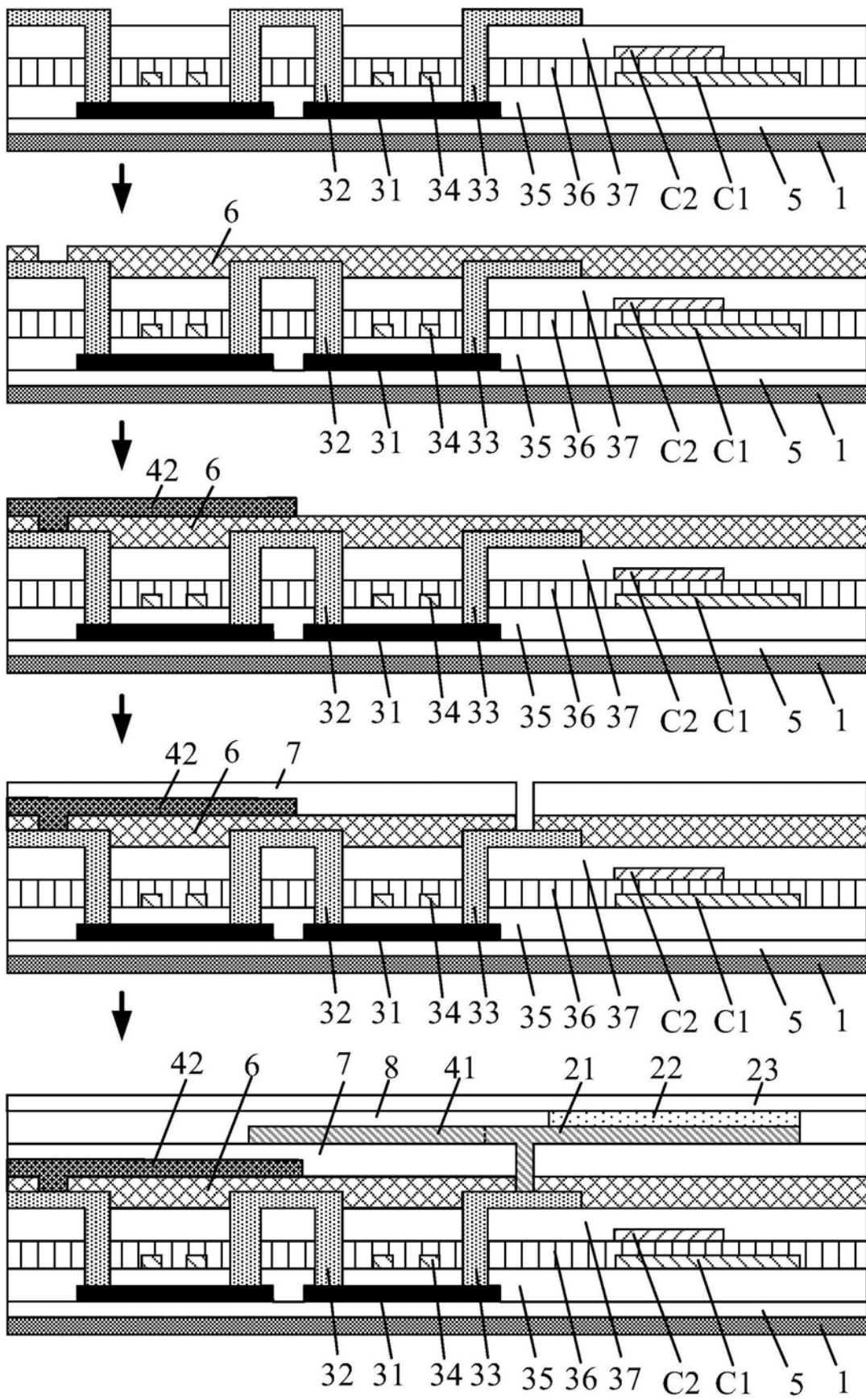


图9

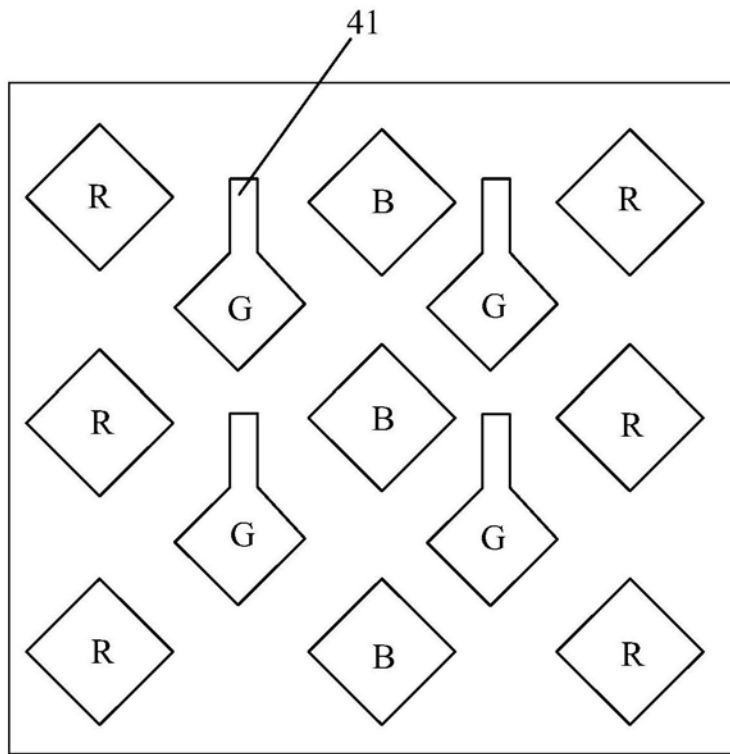


图10

专利名称(译)	一种阵列基板、显示面板及显示装置		
公开(公告)号	<a href="#">CN208622728U</a>	公开(公告)日	2019-03-19
申请号	CN201821472470.8	申请日	2018-09-07
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	龙春平		
发明人	龙春平		
IPC分类号	H01L27/32 G09G3/3208		
代理人(译)	申健		
外部链接	<a href="#">Espacenet</a>	<a href="#">SIPO</a>	

摘要(译)

本实用新型实施例公开了一种阵列基板、显示面板及显示装置，涉及显示技术领域，用于提高阵列基板的使用可靠性。该阵列基板包括衬底基板以及多个阵列设置在衬底基板的像素单元；每个所述像素单元包括 OLED 发光层以及至少一个设置在 OLED 发光层和衬底基板之间的驱动晶体管；每个像素单元还包括设置在 OLED 发光层和驱动晶体管之间的遮光层，遮光层在衬底基板的正投影覆盖或部分覆盖同一像素单元中驱动晶体管的有源层在衬底基板的正投影。本实用新型实施例提供的阵列基板、显示面板及显示装置用于图像显示。

