



(12)发明专利申请

(10)申请公布号 CN 111009563 A

(43)申请公布日 2020.04.14

(21)申请号 201910949086.5

(22)申请日 2019.10.08

(30)优先权数据

10-2018-0119818 2018.10.08 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 李成九 金彬

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 马芸莎 刘久亮

(51)Int.Cl.

H01L 27/32(2006.01)

G09G 3/3225(2016.01)

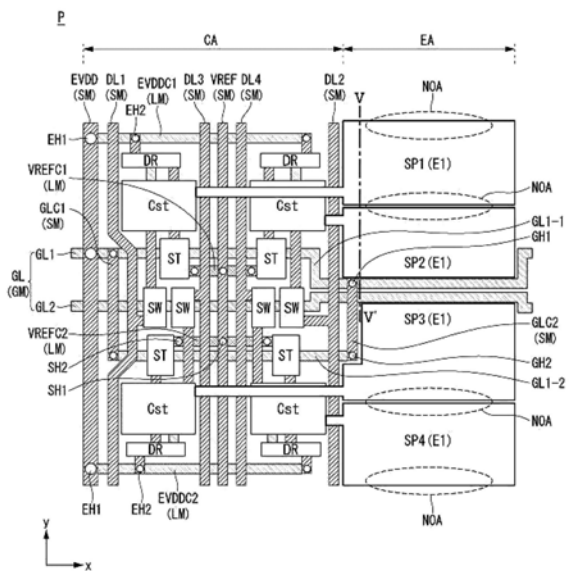
权利要求书3页 说明书14页 附图10页

(54)发明名称

显示装置

(57)摘要

本发明提供了一种显示装置,其包括多个子像素、晶体管、覆盖层、第一电极、堤层、开孔、有机化合物层和第二电极。各个子像素通过在第一方向上延伸的垂直线以及在与第一方向交叉的第二方向上延伸的水平线接收预设信号,并且被划分成发光部分和电路部分。晶体管被联接至电路部分。覆盖层覆盖晶体管。第一电极设置在覆盖层上,并且分别联接至发光部分并电连接到晶体管。堤层设置在第一电极上,并且具有暴露第一电极的开口。开孔设置在邻近的两个第一电极之间,并且穿透堤层。有机化合物层设置在第一电极上。第二电极设置在有机化合物层上,并延伸到开孔的内部。在形成有开孔的区域中,垂直线和水平线没有设置在邻近的两个第一电极之间。



CN 111009563 A

1. 一种显示装置,该显示装置包括:

多个子像素,所述多个子像素包括在像素中,各个子像素通过在第一方向上延伸的垂直线以及在与所述第一方向交叉的第二方向上延伸的水平线接收预设信号,并被划分成发光部分和电路部分;

联接至所述电路部分的晶体管;

覆盖所述晶体管的覆盖层;

第一电极,所述第一电极设置在所述覆盖层上,分别联接至所述发光部分,并且所述第一电极电连接到所述晶体管;

堤层,该堤层设置在所述第一电极上并且包括暴露所述第一电极的开口;

开孔,该开孔设置在邻近的两个第一电极之间并穿透所述堤层;

有机化合物层,该有机化合物层设置在所述第一电极上;以及

第二电极,所述第二电极设置在所述有机化合物层上并延伸到所述开孔的内部,

其中,在形成所述开孔的区域中,所述垂直线和所述水平线没有设置在邻近的两个第一电极之间。

2. 根据权利要求1所述的显示装置,其中,所述开孔穿透所述覆盖层。

3. 根据权利要求1所述的显示装置,其中,所述子像素的所述电路部分设置在相对于在所述第二方向上延伸的虚拟轴的一侧,并且

所述子像素的所述发光部分设置在所述虚拟轴的另一侧,

其中,所述子像素的所述发光部分在所述第二方向上顺序地布置。

4. 根据权利要求3所述的显示装置,其中,所述子像素包括第一子像素、第二子像素、第三子像素和第四子像素,

其中,所述第一子像素的电路部分和所述第二子像素的电路部分在所述第一方向上彼此相邻地设置,

其中,所述第三子像素的电路部分和所述第四子像素的电路部分在所述第一方向上彼此相邻地设置,

其中,所述第一子像素的电路部分和所述第三子像素的电路部分在所述第二方向上彼此相邻地设置,

其中,所述第二子像素的电路部分和所述第四子像素的电路部分在所述第二方向上彼此相邻地设置,并且

其中,所述第一子像素的发光部分、所述第二子像素的发光部分、所述第三子像素的发光部分和所述第四子像素的发光部分在所述第二方向上顺序地布置。

5. 根据权利要求1所述的显示装置,其中,所述子像素的所述电路部分设置在所述像素的中心,并且所述子像素的所述发光部分设置在围绕所述电路部分的外侧。

6. 根据权利要求5所述的显示装置,其中,所述子像素包括第一子像素、第二子像素、第三子像素和第四子像素,

其中,所述第一子像素和所述第二子像素在所述第一方向上彼此相邻地设置,

其中,所述第三子像素和所述第四子像素在所述第一方向上彼此相邻地设置,

其中,所述第一子像素和所述第三子像素在所述第二方向上彼此相邻地设置,

其中,所述第二子像素和所述第四子像素在所述第二方向上彼此相邻地设置,并且

其中,所述第一子像素至第所述四子像素的发光部分和电路部分布置在所述第一方向上。

7. 根据权利要求3或5所述的显示装置,其中,所述晶体管包括驱动晶体管和开关晶体管,

其中,所述水平线包括第一选通线,

其中,所述垂直线包括电源线和数据线,

其中,所述开关晶体管的栅极、源极和漏极分别连接到所述第一选通线、所述数据线和所述驱动晶体管的所述栅极,并且

所述驱动晶体管的源极和漏极分别连接到所述电源线和所述第一电极。

8. 根据权利要求7所述的显示装置,该显示装置还包括在所述第一方向上延伸的电源联接线,

其中,所述电源线和所述驱动晶体管的源极通过所述电源联接线电连接,并且

其中,所述电源线、所述驱动晶体管的源极和所述电源联接线设置在不同的层上,并且经由穿透插置在所述不同的层之间的绝缘层的电源接触孔电连接。

9. 根据权利要求7所述的显示装置,其中,所述晶体管还包括感测晶体管,

其中,所述水平线还包括第二选通线,

其中,所述垂直线还包括感测线,并且

其中,所述感测晶体管的栅极、源极和漏极分别连接到所述第二选通线、所述感测线和所述第一电极。

10. 根据权利要求9所述的显示装置,该显示装置还包括在所述第一方向上延伸的感测链接线,

其中,所述感测线和所述感测晶体管的源极通过所述感测链接线电连接,

其中,所述感测线、所述感测晶体管的源极和所述感测链接线设置在不同的层上,并且经由穿透插置在所述不同的层之间的绝缘层的感测接触孔电连接。

11. 根据权利要求9所述的显示装置,该显示装置还包括在所述第二方向上延伸的选通链接线,

其中,所述第一选通线或所述第二选通线被划分成经由所述选通链接线连接的两部分,并且

其中,所述两部分和所述选通链接线设置在不同的层上,并且经由穿透插置在所述不同的层之间的绝缘层的栅极接触孔电连接。

12. 根据权利要求9所述的显示装置,其中,所述第一选通线和所述第二选通线一起设置在彼此相邻的两个第一电极之间。

13. 根据权利要求9所述的显示装置,其中,当所述子像素的所述电路部分设置在所述像素的中心时,所述数据线、所述电源线和所述感测线全部设置在所述中心,并且

其中,所述子像素的电路部分设置在相对于在所述第二方向上延伸的虚拟轴的一侧,所述数据线、所述电源线和所述感测线全部设置在相对于所述虚拟轴的所述一侧。

14. 一种显示装置,该显示装置包括:

多条数据线,所述多条数据线被设置在基板上;

多条选通线,所述多条选通线被设置在所述基板上;

覆盖层,所述覆盖层被设置在所述多条数据线和所述多条选通线上;

第一子像素和第二子像素,所述第一子像素和所述第二子像素被设置在所述基板上,所述第一子像素与所述第二子像素相邻;

第一有机发光层,所述第一有机发光层被设置在所述第一子像素中;

第二有机发光层,所述第二有机发光层被设置在所述第二子像素中;

电极,所述电极被设置在所述第一有机发光层和所述第二有机发光层上;以及

开孔,所述开孔被设置在所述第一子像素和所述第二子像素之间的区域中的所述覆盖层中,

其中,所述电极的至少一部分被设置在所述第一子像素和所述第二子像素之间的所述区域中的所述开孔中,所述电极的所述至少一部分被配置为更改从所述第一有机发光层和所述第二有机发光层发射的光的方向朝向所述基板的底部发射,而不被所述多条数据线和所述多条选通线中的任何线阻挡,并且

其中,所述第一子像素和所述第二子像素之间的所述区域中不存在所述多条数据线和所述多条选通线。

## 显示装置

### 技术领域

[0001] 本发明涉及一种具有光收集结构的显示装置。

### 背景技术

[0002] 最近,正在开发与阴极射线管(CRT)相比体积更小且重量更轻的各种显示装置。这些显示装置的示例包括液晶显示器(LCD)、场发射显示器(FED)、等离子体显示面板(PDP)、有机发光显示装置(OLED)等。

[0003] 在这些平板显示器中,有机发光显示器是通过有机化合物的激发来发射光的自发光显示器。与LCD相比,有机发光显示器在没有背光的情况下工作;因此,它们可重量更轻且更薄并且以简化的工艺制成。另外,有机发光显示器由于可在低温下制造,具有1ms或以下的快速响应时间,并且具有低功耗、宽视角和高对比度的特征而被广泛使用。

[0004] 有机发光显示器包括将电能转换为光能的有机发光二极管。各个有机发光二极管包括阳极、阴极以及位于阳极和阴极之间的有机化合物层。空穴和电子分别从阳极和阴极注入,并且它们在发射层中复合以形成激子,由此当激子从激发态衰减到基态时有机发光显示器显示图像。

[0005] 近年来,在有机发光二极管的光学设计中正在努力改进发光效率。例如,已提出传统方法以通过调节光学干涉距离(例如,适当地匹配有机发射层的有机材料的折射率或调节有机膜的膜厚度)来增加发光效率。然而,由于材料的限制,使用输出耦合(out-coupling)技术改进发光效率存在相当大的困难。

### 发明内容

[0006] 本发明提供了一种改进输出耦合效率的显示装置。

[0007] 本发明提供了一种显示装置,其包括多个子像素、晶体管、覆盖层、第一电极、堤层、开孔、有机化合物层和第二电极。所述多个子像素包括在像素中。各个子像素通过在第一方向上延伸的垂直线以及在与第一方向交叉的第二方向上延伸的水平线接收预设信号,并且被划分成发光部分和电路部分。晶体管被联接至电路部分。覆盖层覆盖晶体管。第一电极设置在覆盖层上,并且分别联接至发光部分并电连接到晶体管。堤层设置在第一电极上,并且具有暴露第一电极的开口。开孔设置在邻近的两个第一电极之间,并且穿透堤层。有机化合物层设置在第一电极上。第二电极设置在有机化合物层上,并延伸到开孔的内部。在形成有开孔的区域中,垂直线和水平线没有设置在邻近的两个第一电极之间。

[0008] 本发明还提供了一种显示装置,该显示装置包括:多条数据线,所述多条数据线被设置在基板上;多条选通线,所述多条选通线被设置在所述基板上;覆盖层,所述覆盖层被设置在所述多条数据线和所述多条选通线上;第一子像素和第二子像素,所述第一子像素和所述第二子像素被设置在所述基板上,所述第一子像素与所述第二子像素相邻;第一有机发光层,所述第一有机发光层被设置在所述第一子像素中;第二有机发光层,所述第二有机发光层被设置在所述第二子像素中;电极,所述电极被设置在所述第一有机发光层和所

述第二有机发光层上；以及开孔，所述开孔被设置在所述第一子像素和所述第二子像素之间的区域中的所述覆盖层中，其中，所述电极的至少一部分被设置在所述第一子像素和所述第二子像素之间的所述区域中的所述开孔中，所述电极的所述至少一部分被配置为更改从所述第一有机发光层和所述第二有机发光层发射的来自所述基板的底部的光的方向，而不被所述多条数据线和所述多条选通线中的任何线阻挡，并且其中，所述第一子像素和所述第二子像素之间的所述区域中不存在所述多条数据线和所述多条选通线。

## 附图说明

[0009] 附图被包括以提供本发明的进一步理解并且被并入本说明书并构成本说明书的一部分，附图示出本发明的实施方式并与说明书一起用于说明本发明的原理。附图中：

[0010] 图1是有机发光显示器的示意性框图；

[0011] 图2是子像素的示意性电路图；

[0012] 图3示出子像素的详细电路图；

[0013] 图4示出显示面板的横截面图；

[0014] 图5是示出根据本发明的第一示例性实施方式的显示面板的平面图；

[0015] 图6是图5中的感测晶体管部分的放大平面图；

[0016] 图7是图5中的驱动晶体管部分的放大平面图；

[0017] 图8是图5中的开关晶体管部分的放大平面图；

[0018] 图9是沿图5中的线I-I' 截取的横截面图；

[0019] 图10是沿图6至图8中的线II-II'、III-III' 和IV-IV' 截取的横截面图；

[0020] 图11是示出电源线、驱动晶体管和电源连接线之间的连接的横截面图；

[0021] 图12是示出感测线、感测晶体管和感测链接线之间的连接的横截面图；

[0022] 图13是示出根据本发明的第二示例性实施方式的显示面板的平面图；

[0023] 图14是示出选通线和选通链接线之间的连接的横截面图；

[0024] 图15是沿图13中的线V-V' 截取的横截面图；

[0025] 图16是示出根据本发明的第三示例性实施方式的显示面板的平面图；以及

[0026] 图17是沿图16中的线V-V' 截取的横截面图。

## 具体实施方式

[0027] 以下，将参照附图详细描述本发明的示例性实施方式。贯穿说明书，相似的标号表示基本上相似的组件。在描述本发明时，与本发明有关的已知功能或配置的详细描述在被认为可能不必要地模糊本发明的主题时将被省略。在描述各种示例性实施方式时，相同或相似组件的描述将在开始时给出，但在其它示例性实施方式中被省略。

[0028] 尽管包括诸如“第一”和“第二”的序数的术语可用于描述各种组件，但组件不由这些术语限制。术语仅用于将一个组件与其它组件相区分。

[0029] 图1是有机发光显示器的示意性框图。图2是子像素的示意性电路图。图3示出子像素的详细电路图。图4示出显示面板的横截面图。

[0030] 如图1所示，有机发光显示器包括图像处理器110、定时控制器120、数据驱动器130、扫描驱动器140和显示面板150。

[0031] 图像处理器110将数据使能信号DE等连同外部供应的数据信号DATA一起输出。除了数据使能信号DE之外,图像处理器110可输出垂直同步信号、水平同步信号和时钟信号中的一个或更多个,但为了说明方便,附图中未示出这些信号。

[0032] 定时控制器120从图像处理器110接收数据信号DATA以及数据使能信号DE或包括垂直同步信号、水平同步信号和时钟信号的驱动信号。基于驱动信号,定时控制器120输出用于控制扫描驱动器140的操作定时的选通定时控制信号GDC以及用于控制数据驱动器130的操作定时的定时控制信号DDC。

[0033] 响应于从定时控制器120供应的数据定时控制信号DDC,数据驱动器130采样并锁存从定时控制器120供应的数据信号DATA,将其转换为伽马参考电压,并输出伽马参考电压。数据驱动器130通过数据线DL1至DLn输出数据信号DATA。数据驱动器130可按照IC(集成电路)的形式形成。

[0034] 响应于从定时控制器120供应的选通定时控制信号GDC,扫描驱动器140输出扫描信号。扫描驱动器140通过选通线GL1至GLm输出扫描信号。扫描驱动器140按照IC(集成电路)的形式形成,或者通过面板中栅极(GIP)技术形成在显示面板150上。

[0035] 显示面板150显示与分别从数据驱动器130和扫描驱动器140供应的数据信号DATA和扫描信号对应的图像。显示面板150包括致力于显示图像的子像素SP。

[0036] 子像素SP包括红色子像素、绿色子像素和蓝色子像素,或者包括红色子像素、白色子像素、绿色子像素和蓝色子像素。为了说明方便,下面将描述包括红色子像素、白色子像素、绿色子像素和蓝色子像素的子像素SP。子像素SP可根据其发射特性而具有不同的发射区域。

[0037] 如图2所示,各个子像素包括开关晶体管SW、驱动晶体管DR、电容器Cst、补偿电路CC和有机发光二极管OLED。

[0038] 响应于通过第一选通线GL1供应的扫描信号,开关晶体管SW执行开关操作以使得通过第一数据线DL1供应的数据信号作为数据电压存储在电容器Cst中。驱动晶体管DR操作,使得响应于存储在电容器Cst中的数据电压,驱动电流在电源线EVDD(高电位电压)和阴极电源线EVSS(低电位电压)之间流动。有机发光二极管OLED操作以通过由驱动晶体管DR形成的驱动电流而发射光。

[0039] 补偿电路CC是添加到子像素中以补偿驱动晶体管DR的阈值电压等的电路。补偿电路CC包括一个或更多个晶体管。补偿电路CC根据补偿方法而具有各种各样的配置,其示例将在下面描述。

[0040] 如图3所示,补偿电路CC包括感测晶体管ST和感测线VREF(或参考线)。感测晶体管ST连接在驱动晶体管DR的源极与有机发光二极管OLED的阳极(以下,感测节点)之间。感测晶体管ST操作以将通过感测线VREF传送的重置电压(或感测电压)供应给驱动晶体管DR的感测节点或者感测驱动晶体管DR的感测节点处或感测线VREF处的电压或电流。

[0041] 开关晶体管SW的第一电极连接到第一数据线DL1,并且开关晶体管SW的第二电极连接到驱动晶体管DR的栅极。驱动晶体管DR的第一电极连接到电源线EVDD,并且驱动晶体管DR的第二电极连接到有机发光二极管OLED的阳极。电容器Cst的第一电极连接到驱动晶体管DR的栅极,并且电容器Cst的第二电极连接到有机发光二极管OLED的阳极。有机发光二极管OLED的阳极连接到驱动晶体管DR的第二电极,并且有机发光二极管OLED的阴极连接到

第二电源线EVSS。感测晶体管ST的第一电极连接到感测线VREF,并且感测晶体管ST的第二电极连接到有机发光二极管OLED的阳极和驱动晶体管DR的第二电极。

[0042] 根据外部补偿算法(或补偿电路的配置),感测晶体管ST的操作时间可与开关晶体管SW的操作时间相似/相同。例如,开关晶体管SW的栅极可连接到第一选通线GL1,并且感测晶体管ST的栅极可连接到第二选通线GL2。在这种情况下,扫描信号Scan被发送到第一选通线GL1,并且感测信号Sense被发送到第二选通线GL2。在另一示例中,连接到开关晶体管SW的栅极的第一选通线GL1和连接到感测晶体管ST的栅极的第二选通线GL2可连接以被共同共享。

[0043] 感测线VREF可连接到数据驱动器。在这种情况下,数据驱动器可在图像非显示周期期间或在N个帧(N是等于或大于1的整数)的周期内实时感测子像素的感测节点并生成感测结果。此外,开关晶体管SW和感测晶体管ST可同时导通。在这种情况下,通过感测线VREF的感测操作和输出数据信号的数据输出操作基于数据驱动器的时分方法来彼此区分。

[0044] 可根据感测结果补偿数字数据信号、模拟数据信号或伽马电压。另外,基于感测结果生成补偿信号(或补偿电压)的补偿电路可被实现于数据驱动器内,定时控制器内,或作为单独的电路。

[0045] 遮光层LS可仅形成在驱动晶体管DR的沟道区域下方,或者可形成在开关晶体管SW和感测晶体管ST的沟道区域下方以及驱动晶体管DR的沟道区域下方。遮光层LS可用于简单地阻挡外部光,或者可用作方便连接到其它电极或线并构成电容器等的电极。因此,遮光层LS可由多层金属(多层不同金属)组成以具有遮光性质。

[0046] 此外,尽管图3示出各个子像素具有包括开关晶体管SW、驱动晶体管DR、电容器Cst、有机发光二极管OLED和感测晶体管ST的3T(晶体管)1C(电容器)结构的示例,但如果补偿电路CC被添加到子像素,则各个子像素可具有类似3T2C、4T2C、5T1C、6T2C等的其它结构。下面将关于图3中描绘的示例给出描述。

[0047] 如图4所示,基于参照图3说明的电路在基板(或薄膜晶体管基板)SUB1的显示区域AA中形成子像素。利用保护膜(或封装基板)SUB2封装形成在显示区域AA中的子像素。未说明的标号NA表示非显示区域。基板SUB1可由玻璃或延性材料制成。

[0048] 子像素在显示区域AA中按照红色(R)、白色(W)、蓝色(B)和绿色(G)的次序水平地或垂直地布置。红色子像素R、白色子像素W、蓝色子像素B和绿色子像素G构成单个像素P。这些子像素的布置顺序可随发光材料、发射区域和补偿电路的配置(或结构)而变化。另选地,红色子像素R、蓝色子像素B和绿色子像素G可构成单个像素P。

[0049] <第一示例性实施方式>

[0050] 图5是示出根据本发明的第一示例性实施方式的显示面板的平面图。图6是图5中的感测晶体管部分的放大平面图。图7是图5中的驱动晶体管部分的放大平面图。图8是图5中的开关晶体管部分的放大平面图。图9是沿图5中的线I-I' 截取的横截面图。图10是沿图6至图8中的线II-II'、III-III' 和IV-IV' 截取的横截面图。图11是示出电源线、驱动晶体管和电源连接线之间的连接的横截面图。图12是示出感测线、感测晶体管和感测链接线之间的连接的横截面图。

[0051] 参照图5结合图3,像素P布置在基板SUB1的显示区域AA中。各个像素P包括子像素SP1至SP4,各个子像素包括发光部分EA和电路部分CA。子像素SP1至SP4在第一方向上(例

如,沿着X轴)布置。有机发光二极管(发光元件)形成在发光部分EA中。包括驱动有机发光二极管的开关晶体管SW、感测晶体管ST和驱动晶体管DR的电路形成在电路部分CA中。在第一示范性实施方式中,发光部分EA和电路部分CA在与第一方向交叉的第二方向上(例如,沿着Y轴)布置。在子像素SP1至SP4中的每一个中,位于发光部分EA中的有机发光二极管响应于位于电路部分CA中的开关和驱动晶体管DR的操作而发射光。

[0052] 各个像素P包括水平线和垂直线,驱动信号通过其施加到子像素SP1至SP4。像素P可共享预定水平线和预定垂直线。垂直线被置于子像素SP1至SP4中邻近的两个子像素之间。

[0053] 垂直线可包括电源线EVDD、感测线VREF以及第一数据线DL1至第四数据线DL4。垂直线可指在第一方向上配置在子像素SP1至SP4中彼此相邻的两个子像素之间并在第二方向上延伸的线。

[0054] 水平线可包括第一选通线GL1和第二选通线GL2。水平线可被设置为与垂直线交叉。水平线可指在第一方向上延伸的线。

[0055] 诸如电源线EVDD、感测线VREF、第一数据线DL1至第四数据线DL4以及形成晶体管的电极的线可与插置在它们之间的一个或更多个绝缘层位于同一层上或位于不同的层上,并且可经由穿透绝缘层的接触孔连接在一起以进行电连接。

[0056] 第一数据线DL1至第四数据线DL4可连接到对应子像素SP的开关晶体管SW。第一选通线GL1可连接到子像素SP1至SP4的开关晶体管SW。第二选通线GL2可连接到子像素SP1至SP4的感测晶体管ST。

[0057] 电源线EVDD可通过电源联接线(或电源跳线)EVDDC连接到子像素SP1至SP4的驱动晶体管DR。电源联接线EVDDC被置于电路部分CA中。电源联接线EVDDC在第一方向上延伸并将信号从在第二方向上延伸的电源线EVDD传送至布置在第一方向上的子像素SP1至SP4。电源联接线EVDDC和电源线EVDD位于不同的层上,并且经由第一电源接触孔EH1电连接。电源联接线EVDDC和驱动晶体管DR的源极位于不同的层上,并且经由第二电源接触孔EH2电连接。尽管未示出,与电源线EVDD相邻的子像素SP的驱动晶体管DR可直接连接到电源线EVDD而不经电源联接线EVDDC。

[0058] 感测线VREF可通过(或经由)感测链接线(或感测跳线)VREFC连接到子像素SP1至SP4的感测晶体管ST。感测链接线VREFC被置于电路部分CA中。感测链接线VREFC在第一方向上延伸并将信号从在第二方向上延伸的感测线VREF传送至布置在第一方向上的子像素SP1至SP4。感测链接线VREFC和感测线VREF位于不同的层上,并且经由第一感测接触孔SH1电连接。感测链接线VREFC和感测晶体管ST的源极位于不同的层上,并且经由第二感测接触孔SH2电连接。尽管未示出,与感测线VREF相邻的子像素SP的感测晶体管ST可直接连接到感测线VREF而不经感测链接线VREFC。

[0059] 置于子像素SP1至SP4的发光部分EA中的有机发光二极管的第一电极在电路部分CA布置的第一方向上延伸,并且电连接到对应驱动晶体管DR和电容器Cst。

[0060] 更具体地,进一步参照图6至图10,根据本发明的显示装置包括形成有晶体管以及由晶体管驱动的有机发光二极管的基板SUB1。晶体管可包括开关晶体管SW、驱动晶体管DR和感测晶体管ST。

[0061] 遮光层LS可形成在基板SUB1上。遮光层LS可被设置为在晶体管下方至少与沟道区

域交叠。尽管附图作为示例示出遮光层LS仅形成在驱动晶体管DR下方,但不限于此。上述电源联接线EVDDC和感测线VREFC由与遮光层LS相同的材料LM形成在同一层上。

[0062] 缓冲层BUF形成在遮光层LS上。缓冲层BUF可用于阻挡从基板SUB1扩散的离子或杂质并抵挡来自外部的水分。

[0063] 开关晶体管SW、驱动晶体管DR和感测晶体管ST形成在缓冲层BUF上。

[0064] 开关晶体管SW包括开关半导体层SWSE、开关栅极SWG、开关源极SWS和开关漏极SWD。

[0065] 开关半导体层SWSE位于缓冲层BUF上。开关半导体层SWSE可被划分成沟道区域、设置在沟道区域的一侧的源极区域以及设置在沟道区域的另一侧的漏极区域。

[0066] 开关栅极SWG位于开关半导体层SWSE的沟道区域上方,栅极绝缘层GI插置在它们之间。开关栅极SWG可以是第一选通线GL1的一部分或者从第一选通线GL1分支的部分。即,开关栅极SWG和第一选通线GL1由相同的材料GM形成在同一层上。

[0067] 层间绝缘层ILD位于开关栅极SWG上。栅极绝缘层GI和层间绝缘层ILD可由氧化硅膜SiO<sub>x</sub>或氮化硅膜SiN<sub>x</sub>组成,但不限于此。

[0068] 开关源极SWS和开关漏极SWD位于层间绝缘层ILD上,彼此间隔开。开关源极SWS经由穿透层间绝缘层ILD的开关源极接触孔SWSH连接到开关半导体层SWSE的源极区域。开关漏极SWD经由穿透层间绝缘层ILD的开关漏极接触孔SWDH连接到开关半导体层SWSE的漏极区域。

[0069] 数据线DL可由与晶体管的源极和漏极相同的材料SM形成在同一层上。开关漏极SWD可以是数据线DL的一部分或者从数据线DL分支的部分。

[0070] 驱动晶体管DR包括驱动半导体层DRSE、驱动栅极DRG、驱动源极DRS和漏极DRD。

[0071] 驱动半导体层DRSE位于缓冲层BUF上。驱动半导体层DRSE可被划分成沟道区域、设置在沟道区域的一侧的源极区域以及设置在沟道区域的另一侧的漏极区域。

[0072] 驱动栅极DRG位于驱动半导体层DRSE的沟道区域上方,栅极绝缘层GI插置在它们之间。驱动栅极DRG电连接到开关晶体管SW的开关源极SWS并从其被供应信号。层间绝缘层ILD位于驱动栅极DRG上。

[0073] 驱动源极DRS和驱动漏极DRD位于层间绝缘层ILD上,彼此间隔开。驱动源极DRS经由穿透层间绝缘层ILD的驱动源极接触孔DRSH连接到驱动半导体层DRSE的源极区域。驱动漏极DRD经由穿透层间绝缘层ILD的驱动漏极接触孔DRDH连接到驱动半导体层DRSE的漏极区域。驱动源极DRS可经由穿透层间绝缘层ILD和缓冲层BUF的接触孔LH连接到遮光层LS。

[0074] 电源线EVDD可由与晶体管的源极和漏极相同的材料SM形成在同一层上。进一步参照图11,驱动漏极DRD电连接到电源线EVDD。驱动漏极DRD可通过电源联接线EVDDC连接到电源线EVDD。电源联接线EVDDC的一端和另一端可分别经由穿透缓冲层BUF和层间绝缘层ILD的第一电源接触孔EH1和第二电源接触孔EH2连接到驱动漏极DRD和电源线EVDD。

[0075] 感测晶体管ST包括感测半导体层STSE、感测栅极STG、感测源极STS和感测漏极STD。

[0076] 感测半导体层STSE位于缓冲层BUF上。感测半导体层STSE可被划分成沟道区域、设置在沟道区域的一侧的源极区域以及设置在沟道区域的另一侧的漏极区域。

[0077] 感测栅极STG位于感测半导体层STSE的沟道区域上方,栅极绝缘层GI插置在它们

之间。感测栅极STG可以是第二选通线GL2的一部分或从第二选通线GL2分支的部分。即，感测栅极STG和第二选通线GL2由相同的材料GM形成在同一层上。层间绝缘层ILD位于感测栅极STG上。

[0078] 感测源极STS和感测漏极STD位于层间绝缘层ILD上，彼此间隔开。感测源极STS经由穿透层间绝缘层ILD的感测源极接触孔STSH连接到感测半导体层STSE的源极区域。感测漏极STD经由穿透层间绝缘层ILD的感测漏极接触孔STDH连接到感测半导体层STSE的漏极区域。

[0079] 感测线VREF可由与晶体管的源极和漏极相同的材料SM形成在同一层上。参照图12，感测漏极STD电连接到感测线VREF。感测漏极STD可通过感测链接线VREFC连接到感测线VREF。感测链接线VREFC的一端和另一端可分别经由穿透缓冲层BUF和层间绝缘层ILD的第一感测接触孔SH1和第二感测接触孔SH2连接到感测漏极STD和感测线VREF。

[0080] 钝化层PAS形成在形成有开关晶体管SW、驱动晶体管DR和感测晶体管ST的基板上。钝化层PAS是保护下面的元件的绝缘膜，并且可以是氧化硅膜(SiO<sub>x</sub>)、氮化硅膜(SiN<sub>x</sub>)或这些化合物的多个层。覆盖层OC位于钝化层PAS上。覆盖层OC可以是用于将下面的结构上的阶梯差异变平的平坦化膜，并且由诸如聚酰亚胺、基于苯并环丁烯的树脂、丙烯酸酯等的有机材料制成。如果需要，钝化层PAS或覆盖层OC可被省略。

[0081] 有机发光二极管OLED位于覆盖层OC上。有机发光二极管包括彼此相对的第一电极E1、有机化合物层OL和第二电极E2。

[0082] 第一电极E1可以是阳极。第一电极E1经由穿透覆盖层OC和钝化层PAS的像素接触孔PH连接到驱动晶体管DR的驱动源极DRS。由于根据本发明的显示装置被制成底部发射，所以第一电极E1可用作透射电极。在示例中，第一电极E1可由诸如ITO(铟锡氧化物)、IZO(铟锌氧化物)或ZnO(氧化锌)的透明导电材料制成。

[0083] 堤层BN位于形成有第一电极E1的基板SUB1上。堤层BN可由诸如聚酰亚胺、基于苯并环丁烯的树脂、丙烯酸酯等的有机材料制成。

[0084] 堤层BN包括暴露大部分第一电极E1的开口部分。堤层BN可被设置为暴露第一电极E1的中心并覆盖第一电极E1的侧边缘。通过堤层BN中的开口暴露的第一电极E1的中心可被定义为发光部分。

[0085] 有机化合物层OL位于形成堤层BN的基板SUB1上。有机化合物层OL是通过电子和空穴的复合发射光的层，并且包括发射层EML并且还可包括空穴注入层HIL、空穴传输层HTL、电子传输层ETL和电子注入层EIL中的一个或更多个。

[0086] 第二电极E2位于有机化合物层OL上。第二电极E2可横跨基板SUB1的整个表面广泛地形成。由于根据本发明的显示装置被制成底部发射，所以第二电极E2可用作反射电极。例如，第二电极E2可由具有低功函数的诸如镁(Mg)、钙(Ca)、铝(Al)、银(Ag)或其合金的反射材料制成。

[0087] 根据本发明的第一示例性实施方式的显示装置包括用于改进输出耦合效率的光收集结构CLS。光收集结构CLS包括开孔OH以及设置在开孔OH中的第二电极E2。

[0088] 开孔OH设置在第一方向上彼此相邻的第一电极E1之间(例如，开孔位于两个相邻的子像素之间)。开孔OH可形成为穿透第二电极E2和基板SUB1之间的绝缘膜中的一个或更多个。开孔OH可从堤层BN向下顺序地穿透。即，附图作为示例示出开孔OH穿透堤层BN和覆盖

层0C,但不限于此。

[0089] 第二电极E2的至少部分延伸至开孔0H的内部。即,第二电极随着覆盖有机化合物层0L和堤层BN的顶表面而延伸,并且其一部分被接纳在开孔0H中。并且,第二电极E2可以通过开孔0H从一个子像素向另一相邻子像素一直延伸。

[0090] 第二电极E2的位于开孔0H中的部分允许入射光将传播方向改变为预设方向(例如,第二电极E2在开孔0H中的一部分可以如漏斗或反射部一样,以更改光的方向朝向基板的底部发射,否则这些光会在装置内部被捕获或内反射,或发射到一侧并与相邻子像素的光混合)。取向方向可以是朝着基板SUB1的底部的方向,或者朝着滤色器(如果有的话)的方向。即,在根据本发明的第一示例性实施方式的显示装置中,可使用第二电极E2的插置到开孔0H中的部分以使得从有机化合物层0L提供的光当中未在取向方向上传播的光束(图9的①)(例如,朝着侧面传播并导致颜色混合或丢失的光)可容易地朝着底部改变其路径,或者以使得在薄膜层的界面之间可丢失的任何光可容易地在底部方向上耦合输出。

[0091] 因此,本发明的第一示例性实施方式具有显著改进发光效率的优点。本发明的第一示例性实施方式的另一优点具有减少颜色混合缺陷的优点,因为可以减少朝着相邻的像素传播的不想要的光。

[0092] 顺便一提,在本发明的第一示例性实施方式中,如图5和图9所示,在形成有光收集结构CLS的区域中,在第一方向上延伸的电源线EVDD、感测线VREF和数据线DL1至DL4可被置于第一方向上彼此相邻的第一电极E1之间,并且在第一方向上延伸的感测链接线VREFC可被置于第二方向上彼此相邻的第一电极E1之间。在这种情况下,置于对应区域中的信号线可能阻挡由光收集结构CLS转向并在取向方向上传播的光②的路径。这些信号线可能是降低光效率的因素,这需要改进(例如,数据线可能妨碍被光收集结构CLS更改方向的部分光)。

[0093] <第二示例性实施方式>

[0094] 图13是示出根据本发明的第二示例性实施方式的显示面板的平面图。图14是示出选通线和选通链接线之间的连接的横截面图。图15是沿图13中的线V-V' 截取的横截面图。在描述第二示例性实施方式时,与第一示例性实施方式基本上相同的组件的说明将被省略。

[0095] 参照图13结合图3,像素P布置在基板SUB1的显示区域AA中。各个像素P包括子像素SP1至SP4,各个子像素包括发光部分EA和电路部分CA。有机发光二极管(发光元件)形成在发光部分EA中,并且包括驱动有机发光二极管的开关晶体管SW、感测晶体管ST和驱动晶体管DR的电路形成在电路部分CA中。在子像素SP1至SP4中的每一个中,位于发光部分EA中的有机发光二极管响应于位于电路部分CA中的开关和驱动晶体管DR的操作而发射光。

[0096] 在第二示例性实施方式中,子像素SP1至SP4的电路部分CA1至CA4沿着第二方向相对于虚拟轴置于一侧。子像素SP1至SP4的发光部分EA1至EA4沿着第二方向相对于虚拟轴置于另一侧。

[0097] 具体地,第一子像素SP1的电路部分CA1和第二子像素SP2的电路部分CA2在第一方向上彼此相邻设置。第三子像素SP3的电路部分CA3和第四子像素SP4的电路部分CA4在第一方向上彼此相邻设置。第一子像素SP1的电路部分CA1和第三子像素SP3的电路部分CA3在第二方向上彼此相邻设置。第二子像素SP2的电路部分CA2和第四子像素SP4的电路部分CA4在

第二方向上彼此相邻设置。

[0098] 第一子像素SP1的发光部分EA1、第二子像素SP2的发光部分EA2、第三子像素SP3的发光部分EA3和第四子像素SP4的发光部分EA4在第二方向上顺序地布置。

[0099] 各个像素P包括水平线和垂直线，驱动信号通过其施加到子像素SP1至SP4。像素P可共享水平线和垂直线。

[0100] 垂直线可包括电源线EVDD、感测线VREF和第一数据线DL1至第四数据线DL4。垂直线全部被置于子像素SP1至SP4的第一电极E1的一侧。因此，垂直线不被置于子像素SP1至SP4的第一电极E1的另一侧。垂直线可指在第二方向上延伸的线。例如，如图13所示，几乎所有的布线线路和电路部件可以全部位于同一侧并与单元像素内的子像素的发光区域间隔开（例如，布线和电路部件位于左半部，发光区域位于右半部）。

[0101] 第一子像素SP1至第四子像素SP4可共享一条感测线VREF和一条电源线EVDD。

[0102] 感测线VREF可通过感测链接线VREFC连接到子像素SP1至SP4的感测晶体管ST。感测链接线VREFC被置于电路部分CA中。感测链接线VREFC在第一方向上延伸并将信号从在第二方向上延伸的感测线VREF传送至布置在第一方向上的子像素SP1至SP4。感测链接线VREFC和感测线VREF位于不同的层上，并且经由第一感测接触孔SH1电连接。感测链接线VREFC和感测晶体管ST的源极位于不同的层上，并且经由第二感测接触孔SH2电连接。

[0103] 感测链接线VREFC包括第一感测链接线VREFC1和第二感测链接线VREFC2。第一感测链接线VREFC1连接到在第一方向上彼此相邻的第一子像素SP1和第二子像素SP2，并将信号从感测线VREF传送至第一子像素SP1和第二子像素SP2。第二感测链接线VREFC2连接到在第一方向上彼此相邻的第三子像素SP3和第四子像素SP4，并将信号从感测线VREF传送至第三子像素SP3和第四子像素SP4。

[0104] 电源线EVDD可通过电源联接线EVDDC连接到子像素SP1至SP4的驱动晶体管DR。电源联接线EVDDC被置于电路部分CA中。电源联接线EVDDC在第一方向上延伸并将信号从在第二方向上延伸的电源线EVDD传送至布置在第一方向上的子像素SP1至SP4。电源联接线EVDDC和电源线EVDD位于不同的层上，并且经由第一电源接触孔EH1电连接。电源联接线EVDDC和驱动晶体管DR的源极位于不同的层上，并且经由第二电源接触孔EH2电连接。

[0105] 电源联接线EVDDC包括第一电源联接线EVDDC1和第二电源联接线EVDDC2。第一电源联接线EVDDC1连接到在第一方向上彼此相邻的第一子像素SP1和第二子像素SP2，并将信号从电源线EVDD传送至第一子像素SP1和第二子像素SP2。第二电源联接线EVDDC2连接到在第一方向上彼此相邻的第三子像素SP3和第四子像素SP4，并将信号从电源线EVDD传送至第三子像素SP3和第四子像素SP4。

[0106] 第一数据线DL1至第四数据线DL4可连接到对应子像素SP的开关晶体管SW。第一数据线DL1和第三数据线DL3彼此隔开设置，第一子像素SP1和第三子像素SP3的电路部分CA插置在它们之间。第二数据线DL2和第四数据线DL4彼此隔开设置，第二子像素SP2和第四子像素SP4的电路部分CA插置在它们之间。

[0107] 由于在第一方向上延伸的第一感测链接线VREFC1、第二感测链接线VREFC2、第一电源联接线EVDDC1和第二电源联接线EVDDC2与在第二方向上延伸的感测线VREF、电源线EVDD以及数据线DL3和DL4交叉，所以它们被置于不同的层上，至少一个绝缘层插置在它们之间，以便防止短路。

[0108] 例如,如附图所示,第一感测链接线VREFC1和第二感测链接线VREFC2可被置于与遮光层相同的材料LM的对应层上,第一电源联接线EVDDC1和第二电源联接线EVDD2可被置于与栅极相同的材料GM的对应层上,并且感测线VREF、电源线EVDD以及数据线DL3和DL4可被置于与源极/漏极相同的材料SM的对应层上。

[0109] 在另一示例中,尽管未示出,第一感测链接线VREFC1、第二感测链接线VREFC2、第一电源联接线EVDDC1和第二电源联接线EVDDC2可由相同的材料形成,因为它们彼此不交叉。例如,第一感测链接线VREFC1、第二感测链接线VREFC2、第一电源联接线EVDDC1和第二电源联接线EVDDC2可全部由与遮光层相同的材料LM或与栅极相同的材料GM形成。

[0110] 在另一示例中,尽管未示出,如果感测线VREF在与电源线EVDD以及第一选通线GL1和第二选通线GL2不同的层上(例如,感测线VREF形成在与遮光层相同的材料LM的对应层上),则感测链接线VREFC可与感测线VREF成一体。即,感测链接线VREFC可以从感测线VREF分支的部分。

[0111] 水平线可包括第一选通线GL1和第二选通线GL2。水平线可被设置为与垂直线交叉。所有水平线(例如,图13中的GL1和GL2)被置于第二方向上彼此相邻的第二子像素SP2和第三子像素SP3之间。因此,水平线不被置于第一子像素SP1和第二子像素SP2之间以及第三子像素SP3和第四子像素SP4之间。水平线可指在第一方向上延伸的线。

[0112] 第一选通线GL1和第二选通线GL2在第一方向上延伸。第一选通线GL1和第二选通线GL2需要将信号施加到在第二方向上邻近的第一子像素SP1和第三子像素SP3以及在第二方向上邻近的第二子像素SP2和第四子像素SP4。因此,第一选通线GL1和第二选通线GL2中的一个可能需要与另一个交叉。

[0113] 这里,由于第一选通线GL1和第二选通线GL2由相同的材料GM形成,所以第一选通线GL1和第二选通线GL2中的至少一个可被划分成两部分,并且这两部分可经由选通链接线连接。

[0114] 例如,第一选通线GL1可包括置于相对侧的第(1-1)选通线GL1-1和第(1-2)选通线GL1-2,第二选通线GL2插置在它们之间。第(1-1)选通线GL1-1连接到第一子像素SP1和第二子像素SP2的感测晶体管。第(1-2)选通线GL1-2连接到第三子像素SP3和第四子像素SP4的感测晶体管。第(1-1)选通线GL1-1和第(1-2)选通线GL1-2通过选通链接线GLC1和GLC2连接。即,参照图14,第(1-1)选通线GL1-1和第(1-2)选通线GL1-2位于与选通链接线GLC不同的层上,并且选通链接线GLC的一端和另一端分别经由第一栅极接触孔GH1和第二栅极接触孔GH2连接到第(1-1)选通线GL1-1和第(1-2)选通线GL1-2。选通链接线GLC位于与第二选通线GL2不同的层上,并且在第二方向上延伸并与第二选通线GL2交叉。

[0115] 置于子像素SP1至SP4的发光部分EA中的有机发光二极管的第一电极E1在电路部分CA所在的第一方向上延伸,并且电连接到对应驱动晶体管DR和电容器C<sub>st</sub>。第一子像素SP1和第三子像素SP3的第一电极E1可横跨第二子像素SP2和第四子像素SP4的电路部分CA电连接到对应驱动晶体管DR和电容器C<sub>st</sub>。

[0116] 在第二示例性实施方式中,利用上述结构,在至少一个区域中没有信号线被置于彼此相邻的第一电极E1之间。例如,没有信号线被置于第二方向上彼此相邻的第一子像素SP1和第二子像素SP2之间并且没有信号线位于第二方向上彼此相邻的第三子像素SP3和第四子像素SP4之间。例如,如图13所示,在可能阻挡相邻的子像素SP1和SP2之间的区域中的

光以及相邻的子像素SP3和SP4之间的区域中的光的地方没有信号线。准确地说,这些相邻的子像素之间的该区域是没有信号线的。

[0117] 参照图15,根据本发明的第二示例性实施方式的显示装置包括形成在邻近第一电极E1之间的光收集结构CLS。光收集结构CLS包括开孔OH以及接纳在开孔OH中的第二电极E2。

[0118] 第二电极E2的位于开孔OH中的部分允许入射光将传播方向改变为预设方向。取向方向可以是朝着基板SUB1的底部的方向,或者朝着滤色器(如果有的话)的方向。即,在根据本发明的第二示例性实施方式的显示装置中,可使用第二电极E2的插置到开孔OH中的部分以使得未在取向方向上传播的光束可容易地朝着底部改变其路径,或者以使得在薄膜层的界面之间可丢失的任何光可容易地在底部方向上耦合输出。

[0119] 在第二示例性实施方式中,与第一示例性实施方式不同,提供在邻近第一电极E1之间不设置信号线的至少一个区域NOA(例如,信号线不存在在设置光收集结构CLS的区域NOA中,以使得更改方向的光不被这些信号线阻挡,因为信号线在该区域中不存在)。因此,本发明的第二示例性实施方式提供了一种能够实现极致亮度的显示装置,因为与第一示例性实施方式相比,其使用光收集结构提供更好的光效率。

[0120] <第三示例性实施方式>

[0121] 图16是示出根据本发明的第三示例性实施方式的显示面板的平面图。图17是沿图16中的线V-V' 截取的横截面图。在描述第三示例性实施方式时,与第一示例性实施方式基本上相同的组件的说明将被省略。

[0122] 参照图16结合图3,像素P布置在基板SUB1的显示区域AA中。各个像素P包括子像素SP1至SP4,各个子像素包括发光部分EA和电路部分CA。有机发光二极管(发光元件)形成在发光部分EA中,并且包括驱动有机发光二极管的开关晶体管SW、感测晶体管ST和驱动晶体管DR的电路形成在电路部分CA中。在子像素SP1至SP4中的每一个中,位于发光部分EA中的有机发光二极管响应于位于电路部分CA中的开关和驱动晶体管DR的操作而发射光。

[0123] 在第三示例性实施方式中,第一子像素SP1和第二子像素SP2在第一方向上彼此相邻设置,第三子像素SP3和第四子像素SP4在第一方向上彼此相邻设置,第一子像素SP1和第三子像素SP3在第二方向上彼此相邻设置,第二子像素SP2和第四子像素SP4在第二方向上彼此相邻设置。例如,四个子像素可以被设置为使得发光区域位于与整个像素单元相对应的正方形或长方形区域的各角处,其中,相应的布线和电路部件被设置在中央区域中的近似十字形的区域中。

[0124] 发光部分EA和电路部分CA布置在第一方向上。子像素SP1至SP4的电路部分CA被置于像素P的中心,并且发光部分EA被置于外侧。第一子像素SP1的电路部分CA和第二子像素SP2的电路部分CA彼此相邻设置,并且第一子像素SP1的发光部分EA和第二子像素SP2的发光部分EA彼此隔开设置,第一子像素SP1的电路部分CA和第二子像素SP2的电路部分CA插置在它们之间。第三子像素SP3的电路部分CA和第四子像素SP4的电路部分CA彼此相邻设置,并且第三子像素SP3的发光部分EA和第四子像素SP4的发光部分EA彼此隔开设置,第三子像素SP3的电路部分CA和第四子像素SP4的电路部分CA插置在它们之间。

[0125] 各个像素P包括水平线和垂直线,驱动信号通过其施加到子像素SP1至SP4。像素P可共享水平线和垂直线。垂直线被设置在第一方向上彼此相邻的第一子像素SP1和第二子

像素SP2之间以及在第一方向上彼此相邻的第三子像素SP3和第四子像素SP4之间。

[0126] 垂直线可包括电源线EVDD、感测线VREF以及第一数据线DL1至第四数据线DL4。垂直线可指在第一方向上配置在彼此相邻的子像素SP1至SP4之间并在第二方向上延伸的线。

[0127] 第一子像素SP1至第四子像素SP4可共享一条感测线VREF和一条电源线EVDD。感测线VREF和电源线EVDD可在第二方向上延伸以配置在第一子像素SP1和第二子像素SP2之间以及第三子像素SP3和第四子像素SP4之间并穿过像素的中心。

[0128] 感测线VREF可通过感测链接线VREFC连接到子像素SP1至SP4的感测晶体管ST。感测链接线VREFC被置于电路部分CA中。感测链接线VREFC在第一方向上延伸并将信号从在第二方向上延伸的感测线VREF传送至布置在第一方向上的子像素SP1至SP4。感测链接线VREFC和感测线VREF位于不同的层上,并且经由第一感测接触孔SH1电连接。感测链接线VREFC和感测晶体管ST的源极位于不同的层上,并且经由第二感测接触孔SH2电连接。

[0129] 感测链接线VREFC包括第一感测链接线VREFC1和第二感测链接线VREFC2。第一感测链接线VREFC1连接到在第一方向上彼此相邻的第一子像素SP1和第二子像素SP2,并将信号从感测线VREF传送至第一子像素SP1和第二子像素SP2。第二感测链接线VREFC2连接到在第一方向上彼此相邻的第三子像素SP3和第四子像素SP4,并将信号从感测线VREF传送至第三子像素SP3和第四子像素SP4。

[0130] 电源线EVDD可通过电源联接线EVDDC连接到子像素SP1至SP4的驱动晶体管DR。电源联接线EVDDC被置于电路部分CA中。电源联接线EVDDC在第一方向上延伸并将信号从在第二方向上延伸的电源线EVDD传送至布置在第一方向上的子像素SP1至SP4。电源联接线EVDDC和电源线EVDD位于不同的层上,并且经由第一电源接触孔EH1电连接。电源联接线EVDDC和驱动晶体管DR的源极位于不同的层上,并且经由第二电源接触孔EH2电连接。

[0131] 电源联接线EVDDC包括第一电源联接线EVDDC1和第二电源联接线EVDDC2。第一电源联接线EVDDC1连接到在第一方向上彼此相邻的第一子像素SP1和第二子像素SP2,并将信号从电源线EVDD传送至第一子像素SP1和第二子像素SP2。第二电源联接线EVDDC2连接到在第一方向上彼此相邻的第三子像素SP3和第四子像素SP4,并将信号从电源线EVDD传送至第三子像素SP3和第四子像素SP4。

[0132] 第一数据线DL1至第四数据线DL4可连接到对应子像素SP的开关晶体管SW。第一数据线DL1和第三数据线DL3可相对于电源线EVDD和感测线VREF设置在一侧,与第一子像素SP1和第三子像素SP3相邻。第二数据线DL2和第四数据线DL4可相对于电源线EVDD和感测线VREF设置在另一侧,与第二子像素SP2和第四子像素SP4相邻。

[0133] 由于在第一方向上延伸的第一感测链接线VREFC1、第二感测链接线VREFC2、第一电源联接线EVDDC1和第二电源联接线EVDDC2与在第二方向上延伸的感测线VREF、电源线EVDD以及数据线DL3和DL4交叉,所以它们被置于不同的层上,至少一个绝缘层插置在它们之间,以便防止短路。

[0134] 例如,如附图所示,第一感测链接线VREFC1和第二感测链接线VREFC2可被置于与遮光层相同的材料LM的对应层上,第一电源联接线EVDDC1和第二电源联接线EVDDC2可被置于与栅极相同的材料GM的对应层上,并且感测线VREF、电源线EVDD以及数据线DL3和DL4可被置于与源极/漏极相同的材料SM的对应层上。

[0135] 在另一示例中,尽管未示出,第一感测链接线VREFC1、第二感测链接线VREFC2、第

一电源联接线EVDDC1和第二电源联接线EVDDC2可由相同的材料形成,因为它们彼此不交叉。例如,第一感测链接线VREFC1、第二感测链接线VREFC2、第一电源联接线EVDDC1和第二电源联接线EVDDC2可全部由与遮光层相同的材料LM或与栅极相同的材料GM形成。

[0136] 在另一示例中,尽管未示出,如果感测线VREF在与电源线EVDD以及第一选通线GL1和第二选通线GL2不同的层上(例如,感测线VREF形成在与遮光层相同的材料LM的对应层上),则感测链接线VREFC可与感测线VREF成一体。感测链接线VREFC可以是感测线VREF分支的部分。

[0137] 水平线可包括第一选通线GL1和第二选通线GL2。水平线可被设置为与垂直线交叉。所有水平线被设置为配置在彼此相邻的第一子像素SP1和第三子像素SP3之间以及彼此相邻的第二子像素SP3和第四子像素SP4之间。水平线可指在第一方向上延伸的线。

[0138] 第一选通线GL1和第二选通线GL2在第一方向上延伸。由于第一选通线GL1和第二选通线GL2需要将信号施加到在第二方向上彼此相邻的第一子像素SP1和第三子像素SP3以及在第二方向上彼此相邻的第二子像素SP2和第四子像素SP4,所以第一选通线GL1和第二选通线GL2中的一个可能需要与另一个交叉。

[0139] 这里,由于第一选通线GL1和第二选通线GL2由相同的材料GM形成,所以第一选通线GL1和第二选通线GL2中的至少一个可被划分成两部分,并且这两部分可经由选通链接线连接。

[0140] 例如,第一选通线GL1可包括置于相对侧的第(1-1)选通线GL1-1和第(1-2)选通线GL1-2,第二选通线GL2插置在它们之间。第(1-1)选通线GL1-1连接到第一子像素SP1和第二子像素SP2的感测晶体管。第(1-2)选通线GL1-2连接到第三子像素SP3和第四子像素SP4的感测晶体管。第(1-1)选通线GL1-1和第(1-2)选通线GL1-2通过选通链接线GLC1和GLC2连接。即,第(1-1)选通线GL1-1和第(1-2)选通线GL1-2位于与选通链接线GLC1和GLC2不同的层上,并且选通链接线GLC1和GLC2的一端和另一端分别经由第一栅极接触孔GH1和第二栅极接触孔GH2连接到第(1-1)选通线GL1-1和第(1-2)选通线GL1-2。选通链接线GLC1和GLC2位于与第二选通线GL2不同的层上,并且与第二选通线GL2交叉。选通链接线GLC1和GLC2可由与源极/漏极相同的材料SM中的任一种形成,但不限于此,可由与遮光层相同的材料LM形成。

[0141] 置于子像素SP1至SP4的发光部分EA中的有机发光二极管的第一电极E1在电路部分CA所在的第一方向上延伸,并且电连接到对应驱动晶体管DR和电容器Cst。

[0142] 在第三示例性实施方式中,利用上述结构,在至少一个区域中没有信号线被置于彼此相邻的第一电极E1之间。在示例中,假设一个像素P和另一像素(未示出)在第一方向上彼此相邻,没有信号线被置于一个像素P的第一子像素SP1和另一像素的第二子像素之间。在另一示例中,假设一个像素P和另一像素(未示出)在第二方向上彼此相邻,没有信号线被置于一个像素P的第一子像素SP1和另一像素的第三子像素之间。

[0143] 参照图17,根据本发明的第三示例性实施方式的显示装置包括形成在邻近第一电极E1之间的光收集结构CLS(例如,在两个彼此相邻的不同的像素单元中的两个不同的子像素的两个发光区域之间)。光收集结构CLS包括开孔OH以及接纳在开孔OH中的第二电极E2。

[0144] 第二电极E2的位于开孔OH中的部分允许入射光将传播方向改变为预设方向。取向方向可以是朝着基板SUB1的底部的方向,或者朝着滤色器(如果有的话)的方向。即,在根据

本发明的第三示例性实施方式的显示装置中,可使用第二电极E2的插入到开孔OH中的部分以使得从有机化合物层OL提供的光当中未在取向方向上传播的光束可容易地朝着底部改变其路径,或者以使得在薄膜层的界面之间可丢失的任何光可容易地在底部方向上耦合输出。

[0145] 在第三示例性实施方式中,与第一示例性实施方式不同,提供在邻近第一电极E1之间不设置信号线的至少一个区域NOA。因此,本发明的第三示例性实施方式提供了一种能够实现极致亮度的显示装置,因为与第一和第二示例性实施方式相比,其使用光收集结构提供更好的光效率。

[0146] 通过以上描述,本领域技术人员将理解,在不脱离本发明的范围和精神的情况下,可进行各种修改和改变。因此,本发明的技术范围应该由所附权利要求限定,而非说明书的详细描述。

[0147] 本申请要求2018年10月8日提交的韩国专利申请No.10-2018-0119818的权益,其出于所有目的通过引用并入本文,如同在本文中充分阐述一样。

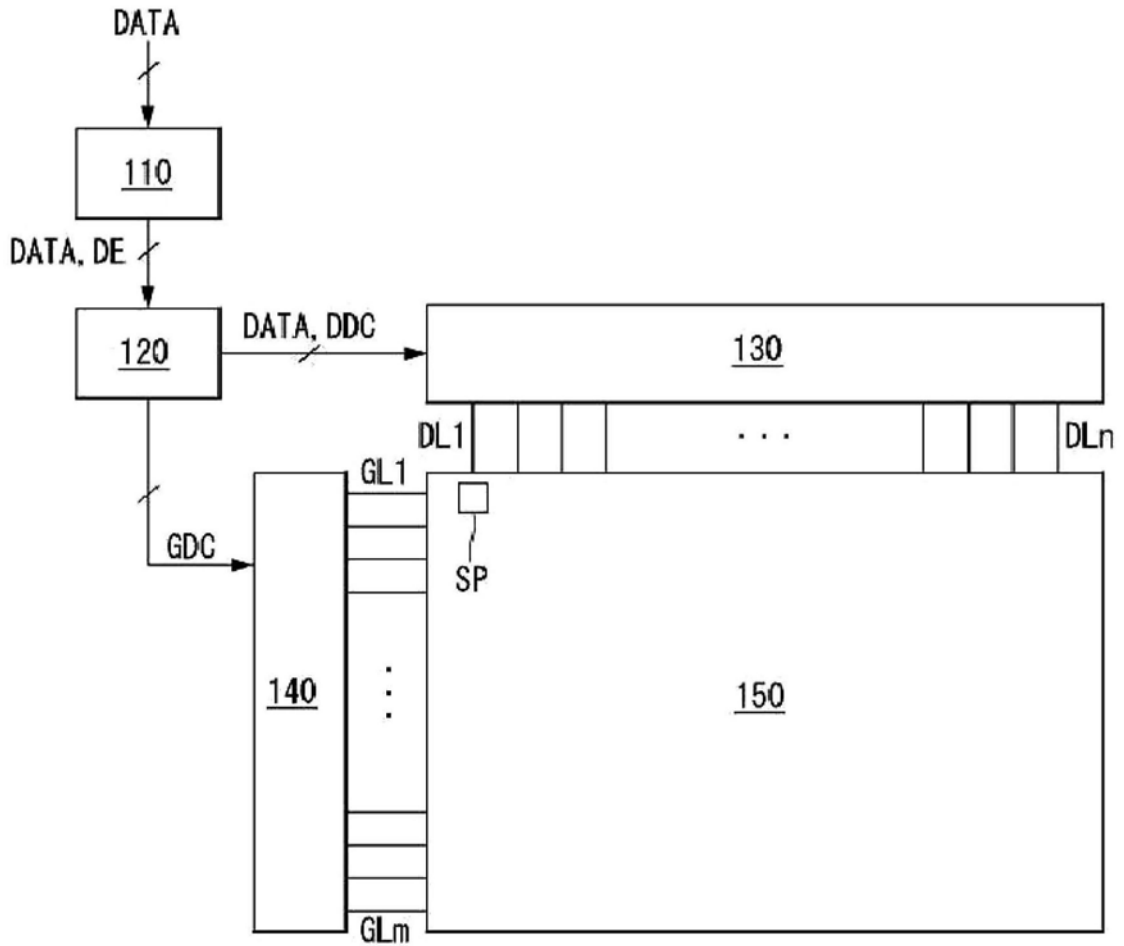


图1

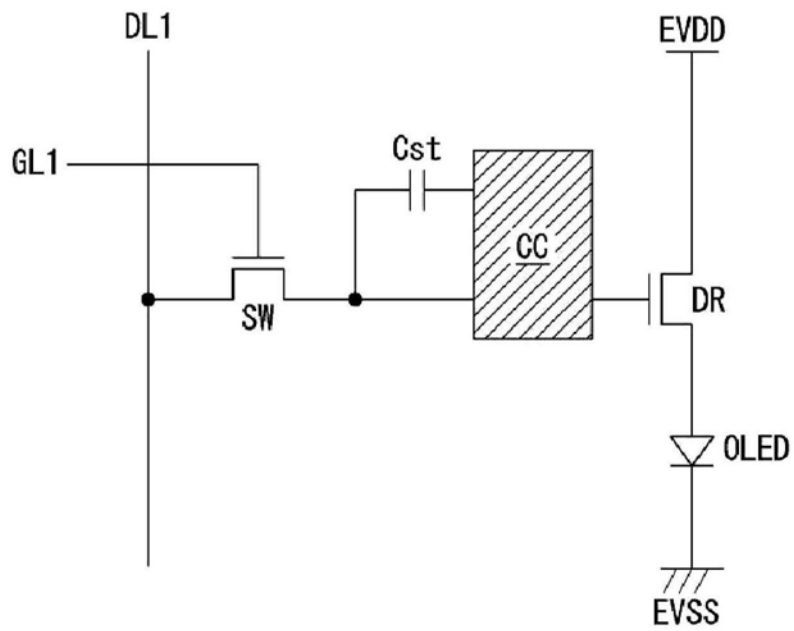


图2

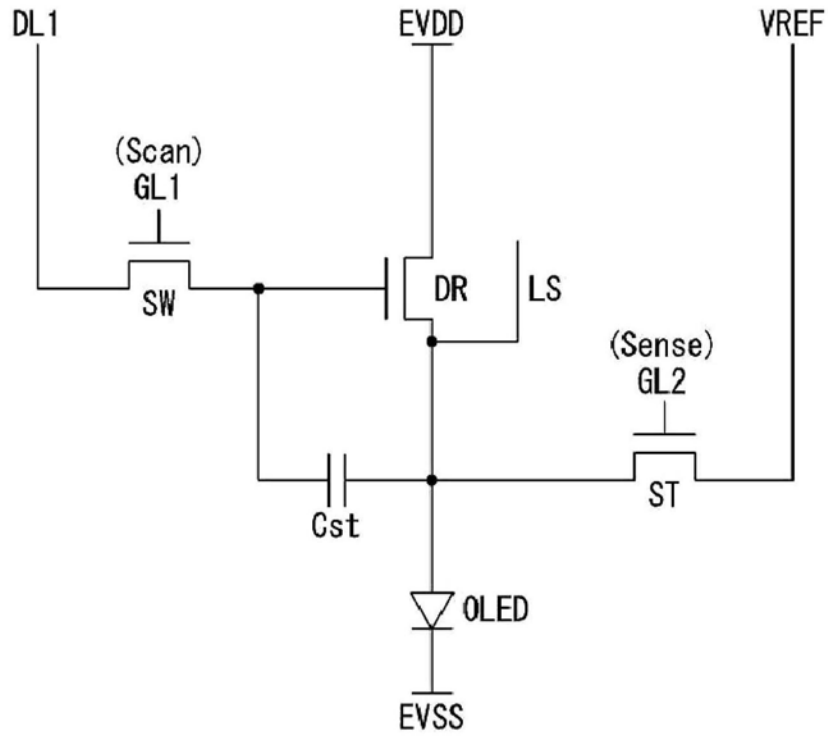


图3

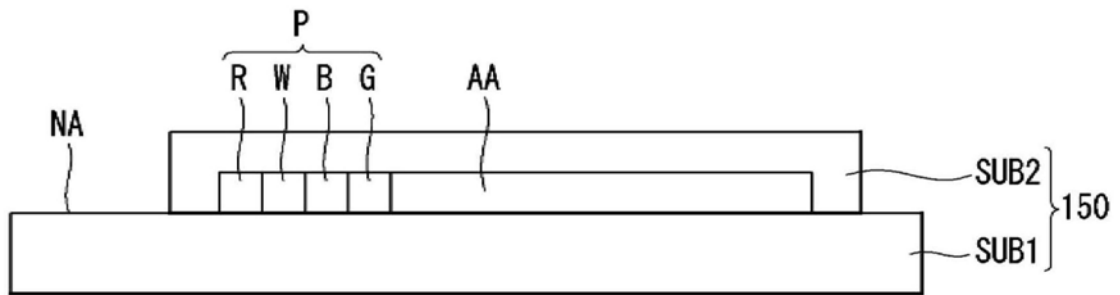


图4

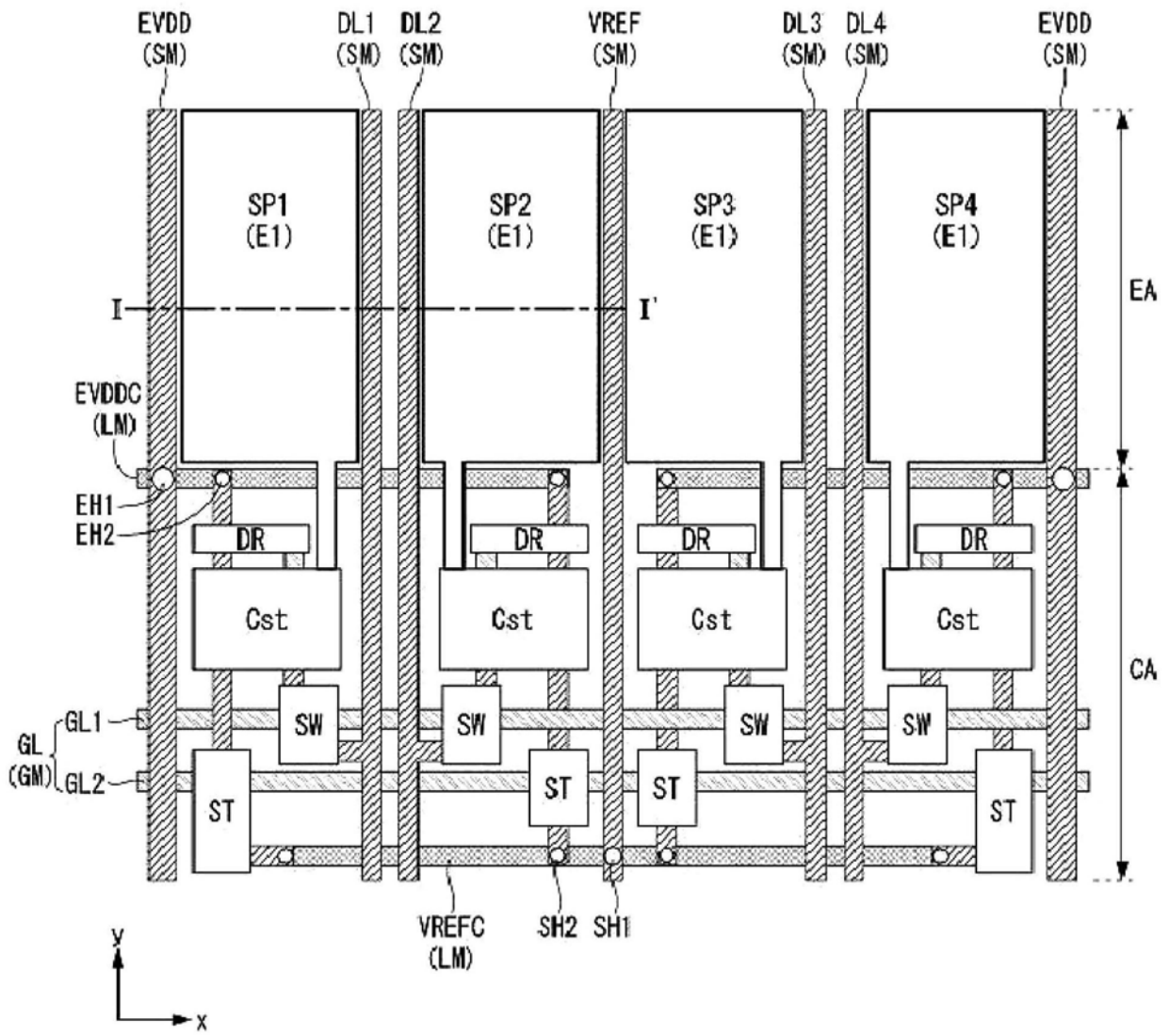


图5

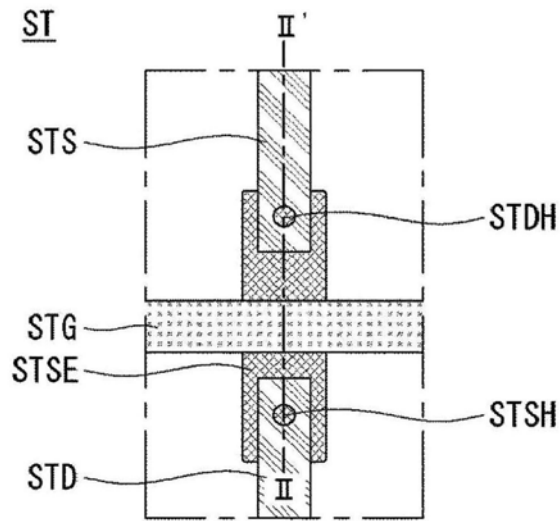


图6

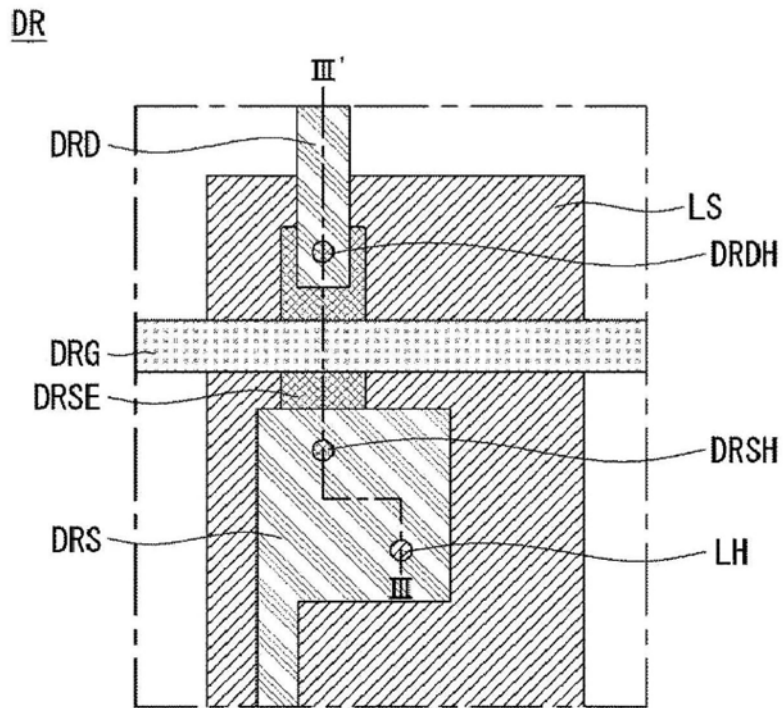


图7

SW

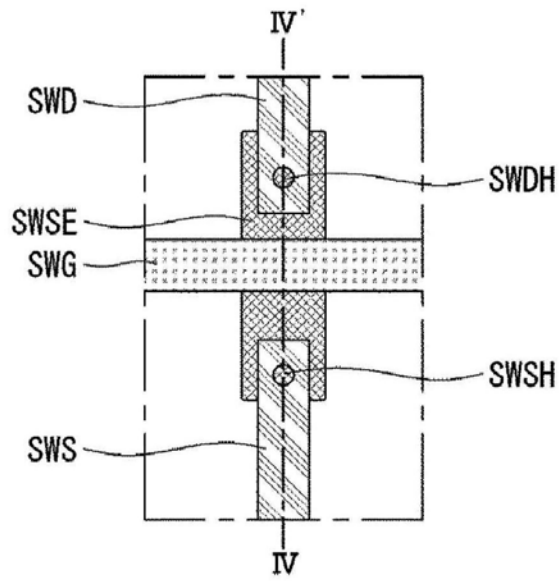


图8

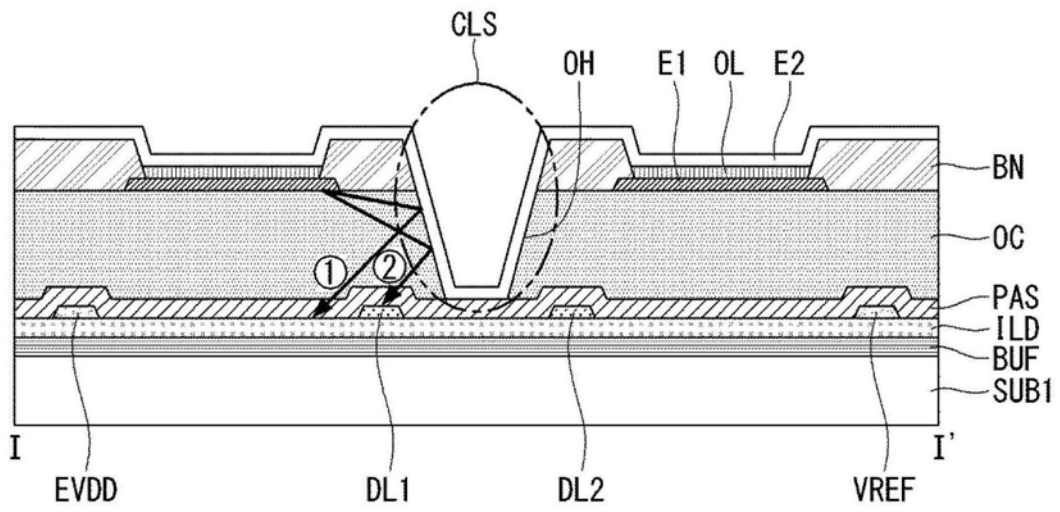


图9

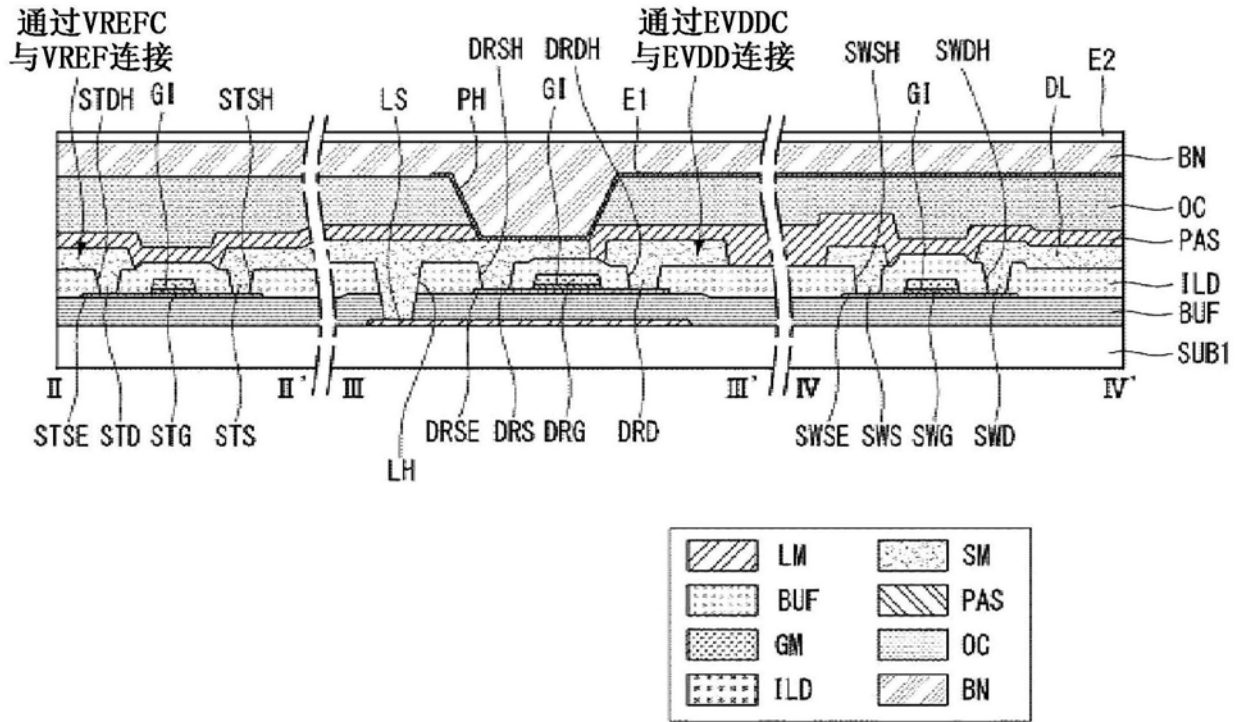


图10

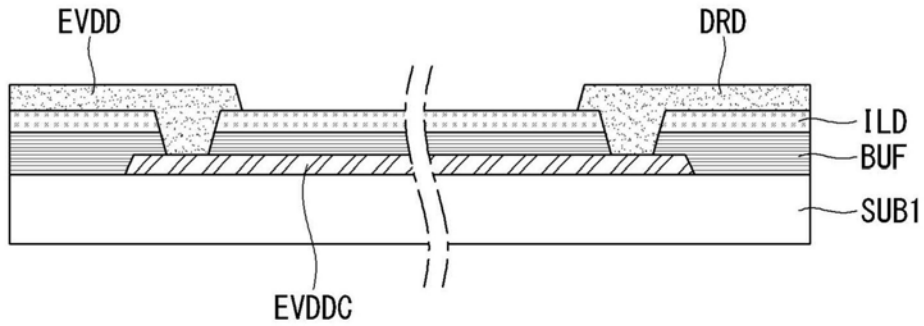


图11

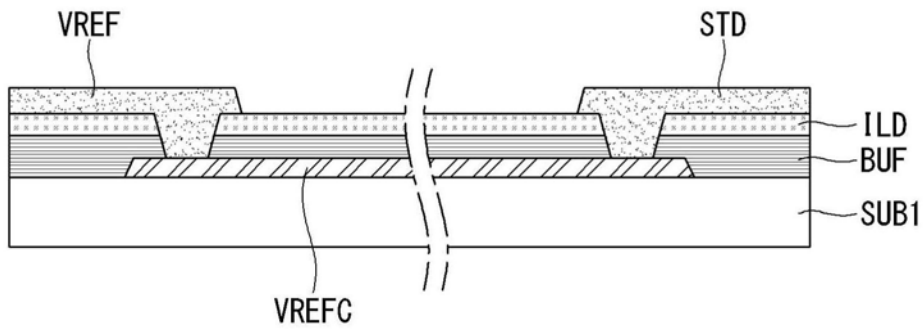


图12

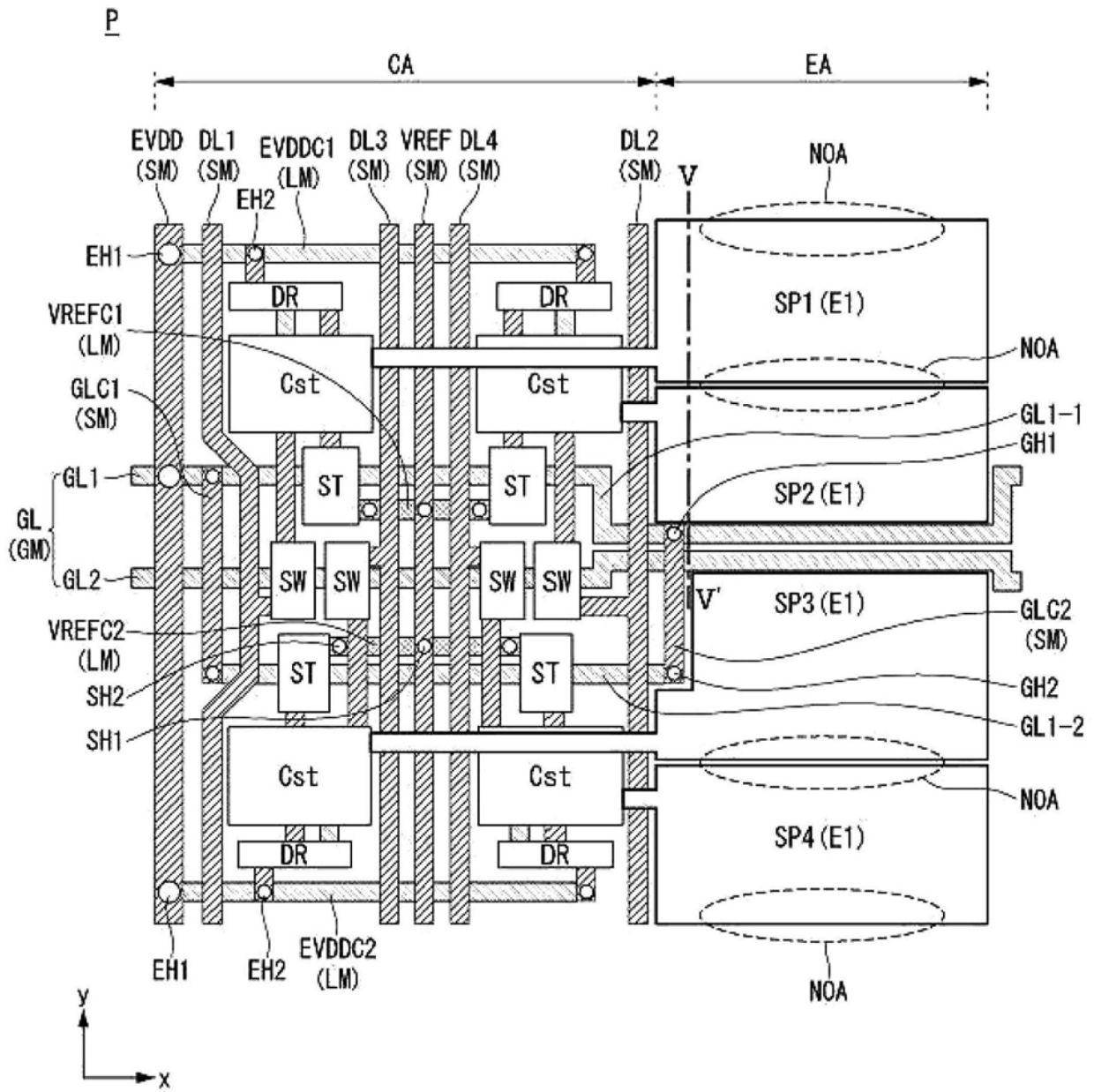


图13

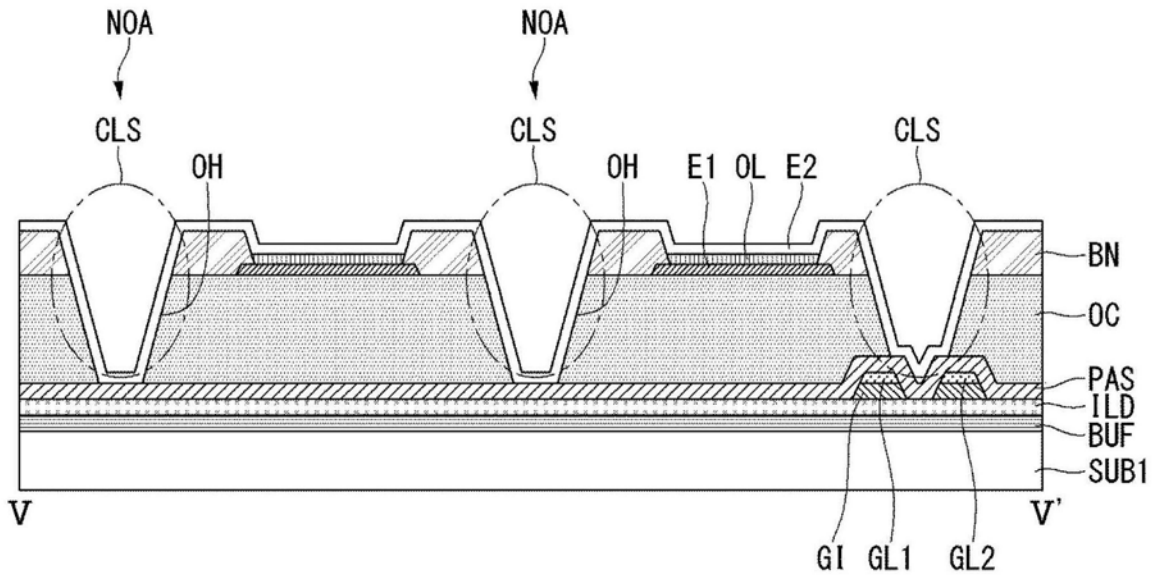


图14

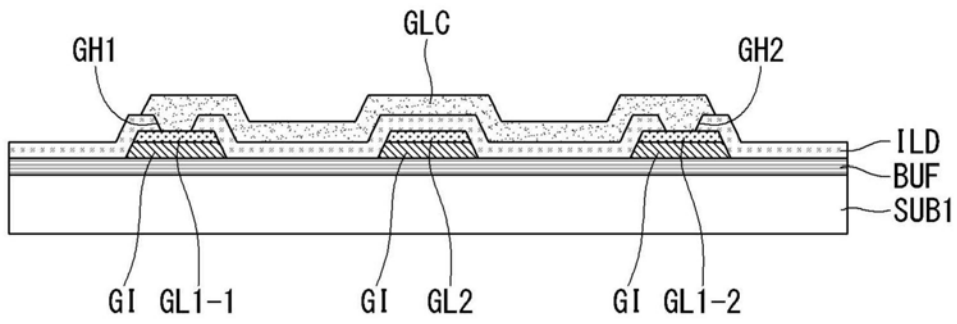


图15

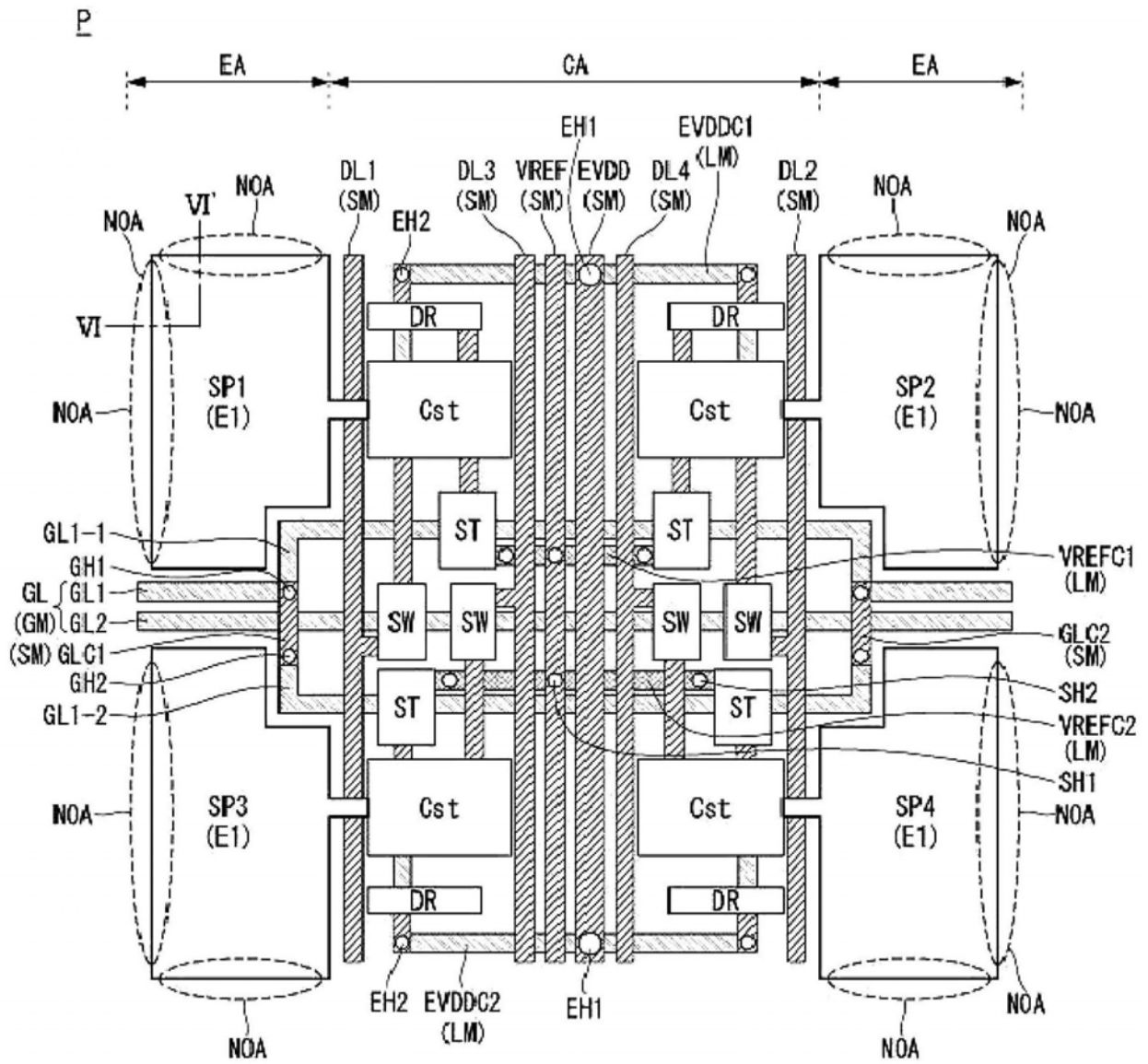


图16

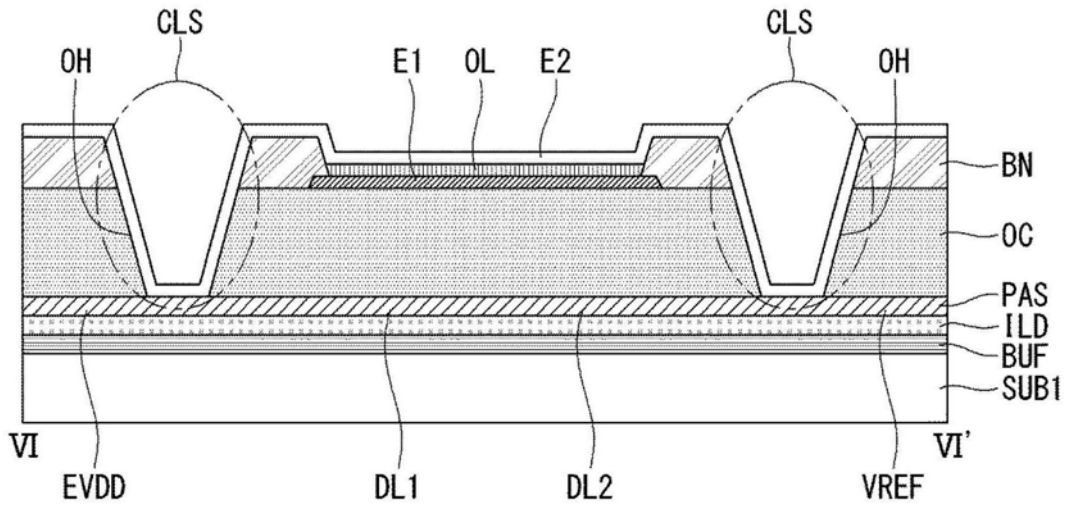


图17

