



(12)发明专利申请

(10)申请公布号 CN 110246454 A
(43)申请公布日 2019.09.17

(21)申请号 201910712810.2

(22)申请日 2019.08.02

(71)申请人 苹果公司
地址 美国加利福尼亚州

(72)发明人 钱闯 蔡宗廷 杨玄 谢承志
A·J·鲁德巴里 常鼎国 张世昌

(74)专利代理机构 北京市汉坤律师事务所
11602
代理人 陈新 吴丽丽

(51) Int. Cl.
G09G 3/3208(2016.01)
G09G 3/3266(2016.01)
G11C 19/28(2006.01)

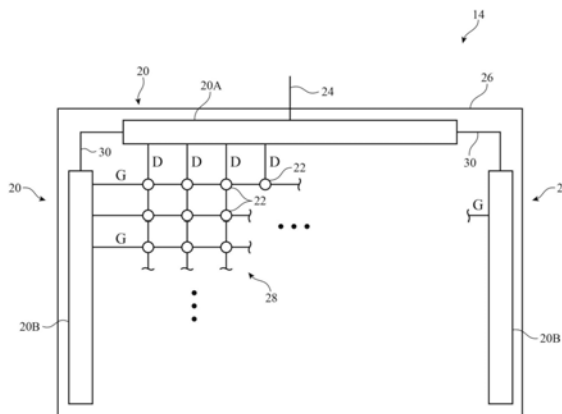
权利要求书5页 说明书17页 附图18页

(54)发明名称

具有包括共享寄存器电路的栅极驱动器电路系统的显示器

(57)摘要

本公开涉及具有包括共享寄存器电路的栅极驱动器电路系统的显示器。电子设备可包括具有有机发光二极管像素的显示器、显示驱动器电路系统和栅极驱动器电路系统。为减少栅极驱动器电路系统在显示器的无效区域中占据的空间量,栅极驱动器电路系统中的移位寄存器中的一个或多个可包括由多行像素共享的寄存器电路。即使当一些寄存器电路共享像素行时,不同驱动器也可使用不同时钟频率来确保显示器的同步操作。为了增大移位寄存器中寄存器电路的布置的灵活性,可将移位寄存器中的一个或多个在显示器的有效区域上分路。在一些情况下,可从栅极驱动器电路系统中省略发射驱动器之一,并且单个发射驱动器可为像素提供多个发射控制信号。



1. 一种显示器,包括:

所述显示器的有效区域中的像素阵列,其中所述像素阵列包括像素的行和列;

所述显示器的无效区域中的显示驱动器电路系统,其中所述显示驱动器电路系统被配置为向所述像素阵列提供图像数据;和

所述显示器的所述无效区域中的栅极驱动器电路系统,其中所述栅极驱动器电路系统被配置为向所述像素阵列提供控制信号,其中所述栅极驱动器电路系统包括扫描驱动器,所述扫描驱动器包括由多个第一寄存器电路形成的第一移位寄存器,其中所述第一寄存器电路中的每一个向相应的单行像素输出扫描控制信号,其中所述栅极驱动器电路系统包括发射驱动器,所述发射驱动器包括由多个第二寄存器电路形成的第二移位寄存器,并且其中所述第二寄存器电路中的每一个向相应的至少两行像素输出发射控制信号。

2. 根据权利要求1所述的显示器,其中所述扫描驱动器是第二扫描驱动器,其中所述发射驱动器是第一发射驱动器,其中所述扫描控制信号是第二扫描控制信号,其中所述发射控制信号是第一发射控制信号,其中所述栅极驱动器电路系统包括第一扫描驱动器,所述第一扫描驱动器包括由多个第三寄存器电路形成的第三移位寄存器,并且其中所述栅极驱动器电路系统包括第二发射驱动器,所述第二发射驱动器包括由多个第四寄存器电路形成的第四移位寄存器。

3. 根据权利要求2所述的显示器,其中所述第三寄存器电路中的每一个向相应的至少两行像素输出第一扫描控制信号,并且其中所述第四寄存器电路中的每一个向相应的至少两行像素输出第二发射控制信号。

4. 根据权利要求3所述的显示器,其中所述栅极驱动器电路系统被配置为在刷新帧期间操作第一像素行和第二像素行,并且其中所述栅极驱动器电路系统被配置为在所述刷新帧期间:

解除断言所述第一发射控制信号并且断言所述第一扫描控制信号,以停止所述第一像素行和所述第二像素行的发射阶段并且开始所述第一像素行和所述第二像素行的初始化阶段;

解除断言所述第二发射控制信号并且断言所述第一像素行的所述第二扫描控制信号,以执行所述第一像素行的数据写入;

在断言所述第一像素行的所述第二扫描控制信号以执行所述第一像素行的数据写入之后,断言所述第二像素行的所述第二扫描控制信号,以执行所述第二像素行的数据写入;以及

断言所述第一像素行和所述第二像素行的所述第一发射控制信号和所述第二发射控制信号,以恢复所述发射阶段。

5. 根据权利要求4所述的显示器,其中所述栅极驱动器电路系统被配置为在阳极复位帧期间操作所述第一像素行和所述第二像素行,并且其中所述栅极驱动器电路系统被配置为在所述阳极复位帧期间:

在附加发射阶段期间断言所述第一发射控制信号和所述第二发射控制信号并且解除断言所述第一扫描控制信号和所述第二扫描控制信号;

解除断言所述第二发射控制信号,以停止所述第一像素行和所述第二像素行的所述附加发射阶段;

在第一行阳极复位阶段中断言所述第一像素行的所述第二扫描控制信号；
在第二行阳极复位阶段中断言所述第二像素行的所述第二扫描控制信号；以及
断言所述第二发射控制信号，以恢复所述附加发射阶段。

6. 根据权利要求2所述的显示器，其中所述第三寄存器电路中的每一个向相应的单行像素输出第一扫描控制信号，并且其中所述第四寄存器电路中的每一个向相应的至少两行像素输出第二发射控制信号。

7. 根据权利要求6所述的显示器，其中所述栅极驱动器电路系统被配置为在刷新帧期间操作第一像素行和第二像素行，并且其中所述栅极驱动器电路系统被配置为在所述刷新帧期间：

解除断言所述第一发射控制信号，以停止所述第一像素行和所述第二像素行的发射阶段；

断言所述第一像素行的所述第一扫描控制信号，以开始所述第一像素行的第一初始化阶段；

断言所述第二像素行的所述第一扫描控制信号，以开始所述第二像素行的第二初始化阶段；

解除断言所述第一像素行和所述第二像素行的所述第二发射控制信号；

断言所述第一像素行的所述第二扫描控制信号，以开始所述第一像素行的第一导通偏压应力阶段；

断言所述第二像素行的所述第二扫描控制信号，以开始所述第二像素行的第二导通偏压应力阶段；

断言所述第一像素行的所述第一扫描控制信号，以执行所述第一像素行的数据写入；

在断言所述第一像素行的所述第一扫描控制信号以执行所述第一像素行的数据写入之后，断言所述第二像素行的所述第一扫描控制信号，以执行所述第二像素行的数据写入；
以及

断言所述第一像素行和所述第二像素行的所述第一发射控制信号和所述第二发射控制信号，以恢复所述发射阶段。

8. 根据权利要求7所述的显示器，其中所述栅极驱动器电路系统被配置为在阳极复位帧期间操作所述第一像素行和所述第二像素行，并且其中所述栅极驱动器电路系统被配置为在所述阳极复位帧期间：

在附加发射阶段期间，断言所述第一发射控制信号和所述第二发射控制信号并且解除断言所述第一扫描控制信号和所述第二扫描控制信号；

解除断言所述第一发射控制信号和所述第二发射控制信号，以停止所述第一像素行和所述第二像素行的所述附加发射阶段；

在第一附加的导通偏压应力阶段中，断言所述第一像素行的所述第二扫描控制信号；

在第二附加的导通偏压应力阶段中，断言所述第二像素行的所述第二扫描控制信号；

断言所述第一发射控制信号，以开始所述第一像素行的第一阳极复位阶段和所述第二像素行的第二阳极复位阶段；以及

断言所述第二发射控制信号，以恢复所述附加发射阶段。

9. 根据权利要求8所述的显示器，其中所述像素阵列中的所述像素中的每个像素包括：

发光二极管；

驱动晶体管，所述驱动晶体管与所述发光二极管串联耦接，其中所述驱动晶体管具有栅极端子；

第一发射控制晶体管，所述第一发射控制晶体管与所述发光二极管和所述驱动晶体管串联耦接，其中所述第一发射控制晶体管介于所述驱动晶体管与所述发光二极管之间；

第二发射控制晶体管，所述第二发射控制晶体管与所述发光二极管和所述驱动晶体管串联耦接，其中所述驱动晶体管介于所述第一发射控制晶体管和所述第二发射控制晶体管之间；

第一开关晶体管，所述第一开关晶体管耦接到所述驱动晶体管的所述栅极端子；

存储电容器，所述存储电容器耦接到所述驱动晶体管的所述栅极端子；

第二开关晶体管，所述第二开关晶体管耦接到所述存储电容器；和

第三开关晶体管，所述第三开关晶体管耦接到介于所述驱动晶体管与所述第一发射控制晶体管之间的节点。

10. 根据权利要求9所述的显示器，其中，对于每个像素：

所述第一发射控制晶体管的栅极端子被配置为从所述第一发射驱动器接收所述第一发射控制信号；

所述第二发射控制晶体管的栅极端子被配置为从所述第二发射驱动器接收所述第二发射控制信号；

所述第三开关晶体管的栅极端子被配置为从所述第二扫描驱动器接收所述第二扫描控制信号；以及

所述第一开关晶体管的栅极端子和所述第二开关晶体管的栅极端子被配置为从所述第一扫描驱动器接收所述第一扫描控制信号。

11. 根据权利要求2所述的显示器，其中所述显示器的所述有效区域具有通过相对的第三侧和第四侧连接的相对的第一侧和第二侧，其中所述第一扫描驱动器从所述有效区域的所述第一侧到所述第二侧扫描所述有效区域中的所述像素，其中所述第一扫描驱动器在所述有效区域的所述第三侧具有至少一个寄存器电路，并且其中所述第一扫描驱动器在所述有效区域的所述第四侧具有至少一个寄存器电路。

12. 根据权利要求1所述的显示器，其中所述扫描驱动器是第二扫描驱动器，其中所述发射驱动器是第一发射驱动器，其中所述扫描控制信号是第二扫描控制信号，并且其中所述栅极驱动器电路系统包括第一扫描驱动器，所述第一扫描驱动器包括由多个第三寄存器电路形成的第三移位寄存器。

13. 根据权利要求12所述的显示器，其中所述第三寄存器电路中的每一个向相应的至少两行像素输出第一扫描控制信号，并且其中所述多个第二寄存器电路中的第一者具有被提供给第一像素行、第二像素行、第三像素行和第四像素行的输出。

14. 根据权利要求13所述的显示器，其中所述像素中的每个像素具有带有第一栅极的第一发射晶体管和带有第二栅极的第二发射晶体管，其中来自所述多个第二寄存器电路中的所述第一者的所述输出被提供给所述第三像素行和所述第四像素行中的像素的所述第一栅极，并且其中来自所述多个第二寄存器电路中的所述第一者的所述输出被提供给所述第一像素行和所述第二像素行中的像素的所述第二栅极。

15. 根据权利要求12所述的显示器,其中所述第三寄存器电路中的每一个向相应的单行像素输出第二扫描控制信号,其中所述多个第二寄存器电路中的第一者具有被提供给第一像素行、第二像素行、第三像素行和第四像素行的输出,其中所述像素中的每个像素具有带有第一栅极的第一发射晶体管和带有第二栅极的第二发射晶体管,其中来自所述多个第二寄存器电路中的所述第一者的所述输出被提供给所述第三像素行和所述第四像素行中的像素的所述第一栅极,并且其中来自所述多个第二寄存器电路中的所述第一者的所述输出被提供给所述第一像素行和所述第二像素行中的像素的所述第二栅极。

16. 一种显示器,包括:

所述显示器的有效区域中的像素阵列,其中所述像素阵列包括第一像素行和第二像素行,并且其中所述像素阵列中的每个像素具有第一端子、第二端子、第三端子和第四端子,所述第一端子被配置为接收第一扫描控制信号,所述第二端子被配置为接收第二扫描控制信号,所述第三端子被配置为接收第一发射控制信号,所述第四端子被配置为接收第二发射控制信号;

所述显示器的无效区域中的显示驱动器电路系统,其中所述显示驱动器电路系统被配置为向所述像素提供图像数据;和

所述显示器的所述无效区域中的栅极驱动器电路系统,其中所述栅极驱动器电路系统包括:

第一寄存器电路,所述第一寄存器电路向所述第一像素行中的像素的所述第一端子提供所述第一扫描控制信号;

第二寄存器电路,所述第二寄存器电路向所述第一像素行中的像素的所述第二端子提供所述第二扫描控制信号;

第三寄存器电路,所述第三寄存器电路向所述第一像素行和所述第二像素行中的像素的所述第三端子提供所述第一发射控制信号;和

第四寄存器电路,所述第四寄存器电路向所述第一像素行和所述第二像素行中的像素的所述第四端子提供所述第二发射控制信号。

17. 根据权利要求16所述的显示器,其中所述第一寄存器电路是包括第一多个寄存器电路的第一移位寄存器的一部分,其中所述第一多个寄存器电路中的每个寄存器电路将所述第一扫描控制信号提供给相应的单行像素中的像素的所述第一端子,其中所述第二寄存器电路是包括第二多个寄存器电路的第二移位寄存器的一部分,并且其中所述第二多个寄存器电路中的每个寄存器电路将所述第二扫描控制信号提供给相应的单行像素中的像素的所述第二端子。

18. 根据权利要求17所述的显示器,其中所述第三寄存器电路是包括第三多个寄存器电路的第三移位寄存器的一部分,其中所述第三多个寄存器电路中的每个寄存器电路将所述第一发射控制信号提供给相应的至少两行像素中的像素的所述第三端子,其中所述第四寄存器电路是包括第四多个寄存器电路的第四移位寄存器的一部分,并且其中所述第四多个寄存器电路中的每个寄存器电路将所述第二发射控制信号提供给相应的至少两行像素中的像素的所述第四端子。

19. 根据权利要求18所述的显示器,其中所述第一移位寄存器接收第一频率的时钟信号,并且其中所述第三移位寄存器接收第二频率的时钟信号,所述第二频率不同于所述第

一频率。

20. 一种显示器,包括:

所述显示器的有效区域中的像素阵列,其中所述显示器的所述有效区域具有通过相对的第三侧和第四侧连接的相对的第一侧和第二侧;

所述显示器的无效区域中的显示驱动器电路系统,其中所述显示驱动器电路系统被配置为向所述像素提供图像数据;和

所述显示器的所述无效区域中的栅极驱动器电路系统,所述栅极驱动器电路系统向所述像素阵列提供控制信号,其中所述栅极驱动器电路系统包括由多个寄存器电路形成的移位寄存器,所述多个寄存器电路被配置为向所述像素阵列提供控制信号,其中所述移位寄存器从所述有效区域的所述第一侧到所述有效区域的所述第二侧扫描所述像素阵列,并且其中所述多个寄存器电路包括在所述有效区域的第三侧的至少一个寄存器电路和在所述有效区域的第四侧的至少一个寄存器电路。

具有包括共享寄存器电路的栅极驱动器电路系统的显示器

技术领域

[0001] 本文整体涉及显示器,并且更具体地涉及具有栅极驱动器电路系统的显示器。

背景技术

[0002] 电子设备通常包括显示器。例如,蜂窝电话和便携式计算机包括用于向用户呈现信息的显示器。电子设备可具有基于有机发光二极管像素的有机发光二极管显示器或基于液晶像素的液晶显示器。

[0003] 显示器可以包括驱动电路系统,其用于向显示器提供信号以操作显示器。如果不小心,驱动器电路系统可能具有大于期望的占有面积并且可能不期望地增加显示器的无效边界区域的尺寸。

[0004] 因此,应当希望能够为电子设备显示器提供改善的驱动器电路系统。

发明内容

[0005] 本发明公开的电子设备可包括显示器诸如发光二极管显示器。电子设备可以是手表设备。

[0006] 显示器可以在正常刷新速率模式下和低刷新速率模式下操作。正常刷新速率模式期间的刷新率可以是60Hz。低刷新速率模式期间的刷新率模式可以是1Hz。在正常刷新速率模式期间,刷新帧可用于更新由像素显示的数据。在低刷新速率模式期间,可以在刷新帧之间间歇地使用阳极复位帧以减少亮度伪影。

[0007] 该显示器可包括:像素阵列,其形成在显示器的有效区域中;显示驱动器电路系统,其形成在显示器的无效区域中,被配置为向像素提供图像数据;和栅极驱动器电路系统,其形成在显示器的无效区域中。栅极驱动器电路系统可以包括由移位寄存器形成的一个或多个驱动器,这些移位寄存器包括多个寄存器电路。栅极驱动器电路系统可以包括第一扫描驱动器和第二扫描驱动器以及第一发射驱动器和第二发射驱动器。

[0008] 为了减少栅极驱动器电路系统在显示器的无效区域中占据的空间量,移位寄存器中的一个或多个可以包括由多行像素共享的寄存器电路。在一种布置中,第二扫描驱动器可以具有用于每行像素的一个寄存器电路,而第一扫描驱动器、第一发射驱动器和第二发射驱动器可以包括寄存器电路,每个寄存器电路由有效区域中的至少两行像素共享。不同的驱动器可以使用不同的时钟频率来确保显示器的同步操作。

[0009] 为了增大移位寄存器中寄存器电路的布置的灵活性,可以在有效区域上将移位寄存器中的一个或多个分路。例如,移位寄存器可以扫描从有效区域的顶部到有效区域的底部的像素。然而,移位寄存器的至少一个寄存器电路可以形成在有效区域的左侧,并且移位寄存器的至少一个寄存器电路可以形成在有效区域的右侧。

[0010] 在一些情况下,可以从栅极驱动器电路系统中省略发射驱动器中的一个。单个发射驱动器可以为像素提供多个发射控制信号。发射驱动器的寄存器电路可以具有输出,该输出被提供给对应的两行像素中的第一发射控制晶体管。也可以将输出提供给前两行像素

中的第二发射控制晶体管。

附图说明

[0011] 图1是根据实施方案的具有显示器的例示性电子设备的示意图。

[0012] 图2是根据实施方案的例示性显示器的示意图。

[0013] 图3是根据实施方案的例示性像素电路的图示。

[0014] 图4是根据实施方案的示出显示器的栅极驱动器电路系统可如何包括一个或多个栅极驱动器和一个或多个发射驱动器的例示性显示器的顶视图。

[0015] 图5是根据实施方案的可用于形成显示器的栅极驱动器和发射驱动器的例示性移位寄存器的示意图。

[0016] 图6是根据实施方案的可用于图5的移位寄存器的例示性寄存器电路的示意图。

[0017] 图7是示出根据实施方案的显示器的例示性刷新率模式的状态图。

[0018] 图8是示出根据实施方案的由图4的栅极驱动器电路系统提供的用于刷新帧的例示性信号的时序图。

[0019] 图9是示出根据实施方案的由图4的栅极驱动器电路系统提供的用于阳极复位帧的例示性信号的时序图。

[0020] 图10是根据实施方案的具有栅极驱动器电路系统的例示性显示器的示意图,该栅极驱动器电路系统具有至少一个驱动器,该驱动器具有在各行像素之间共享的每个寄存器电路。

[0021] 图11是示出根据实施方案的由图10的栅极驱动器电路系统提供的用于刷新帧的例示性信号的时序图。

[0022] 图12是示出根据实施方案的由图10的栅极驱动器电路系统提供的用于阳极复位帧的例示性信号的时序图。

[0023] 图13是根据实施方案的具有栅极驱动器电路系统的例示性显示器的示意图,该栅极驱动器电路系统具有至少一个移位寄存器,该移位寄存器包括在有效区域的相对的第一侧和第二侧上的寄存器电路。

[0024] 图14是根据实施方案的具有栅极驱动器电路系统的例示性显示器的示意图,该栅极驱动器电路系统包括单个发射驱动器,其向显示器像素提供第一发射信号和第二发射信号。

[0025] 图15是示出根据实施方案的由图14的栅极驱动器电路系统提供的用于刷新帧的例示性信号的时序图。

[0026] 图16是示出根据实施方案的由图14的栅极驱动器电路系统提供的用于阳极复位帧的例示性信号的时序图。

[0027] 图17是根据实施方案的具有第一扫描驱动器和第二扫描驱动器的例示性显示器的示意图,这些第一扫描驱动器和第二扫描驱动器具有寄存器电路以及第一发射驱动器和第二发射驱动器,每个寄存器电路向单行提供输出,并且第一发射驱动器和第二发射驱动器各自向第一行和第二行提供输出。

[0028] 图18是示出根据实施方案的由图17的栅极驱动器电路系统提供的用于刷新帧的例示性信号的时序图。

[0029] 图19是示出根据实施方案的由图17的栅极驱动器电路系统提供的用于阳极复位帧的例示性信号的时序图。

[0030] 图20是根据实施方案的具有第一扫描驱动器和第二扫描驱动器的例示性显示器的示意图,这些第一扫描驱动器和第二扫描驱动器具有寄存器电路和单个发射驱动器,每个寄存器电路向单行提供输出,并且单个发射驱动器向显示器像素提供第一发射信号和第二发射信号。

具体实施方式

[0031] 图1中示出了可设置有显示器的类型的例示性电子设备。电子设备10可为计算设备诸如膝上型计算机、包含嵌入式计算机的计算机监视器、平板电脑、蜂窝电话、媒体播放器或其他手持式或便携式电子设备、较小的设备(诸如腕表设备、挂式设备、耳机或听筒设备、被嵌入在眼镜中的设备或者佩戴在用户的头部上的其他设备,或其他可穿戴式或微型设备)、显示器、包含嵌入式计算机的计算机显示器、不包含嵌入式计算机的计算机显示器、游戏设备、导航设备、嵌入式系统(诸如其中具有显示器的电子设备被安装在信息亭或汽车中的系统)或其他电子设备。电子设备10可具有一副眼镜(例如,支撑框架)的形状,可形成具有头盔形状的外壳,或者可具有其他构型,以有助于将一个或多个显示器的部件安装和固定在用户的头部上或眼睛附近。

[0032] 如图1所示,电子设备10可以具有控制电路系统16。控制电路系统16可以包括用于支持设备10的操作的存储和处理电路系统。存储和处理电路系统可以包括存储装置,诸如硬盘驱动器存储装置、非易失性存储器(例如,被配置为形成固态驱动器的闪存存储器或其他电可编程只读存储器)、易失性存储器(例如,静态或动态随机存取存储器)等。控制电路系统16中的处理电路系统可以被用于控制设备10的操作。该处理电路系统可基于一个或多个微处理器、微控制器、数字信号处理器、基带处理器、电源管理单元、音频芯片、专用集成电路等。

[0033] 设备10中的输入输出电路系统诸如输入输出设备18可以被用于允许将数据供应给设备10以及允许将数据从设备10提供给外部设备。输入输出设备18可包括按钮、操纵杆、滚轮、触摸板、小键盘、键盘、麦克风、扬声器、音频发生器、振动器、相机、传感器、发光二极管和其他状态指示器、数据端口等。用户可由通过输入输出设备18供应命令来控制设备10的操作,并且可使用输入输出设备18的输出资源从设备10接收状态信息和其他输出。

[0034] 输入输出设备18可包括一个或多个显示器,诸如显示器14。显示器14可为触摸屏显示器,其包括用于采集来自用户的触摸输入的触摸传感器,或者显示器14可对触摸不敏感。显示器14的触摸传感器可基于电容性触摸传感器电极的阵列、声学触摸传感器结构、电阻性触摸部件、基于力的触摸传感器结构、基于光的触摸传感器或其他合适的触摸传感器布置。

[0035] 可使用控制电路系统16在设备10上运行软件,诸如操作系统代码和应用。在设备10的操作期间,运行在控制电路系统16上的软件可在显示器14上显示图像。

[0036] 显示器14可以是有机发光二极管显示器、由各自由晶体半导体模片形成的分立的发光二极管的阵列形成的显示器或任何其他合适类型的显示器。其中显示器14的像素包括发光二极管的配置在本文中有时作为示例来描述。然而,这仅为例示性的。如果需要,可针

对显示器10使用任何合适类型的显示器(例如,液晶显示器)。

[0037] 在一些情况下,电子设备10可以是手表设备。手表设备的显示器14可以定位于壳体中。手表带可以被耦接到壳体。

[0038] 图2为例示性显示器的图示。如图2所示,显示器14可包括层,诸如基底层26。基底层诸如层26可由矩形平面材料层或具有其他形状(例如,圆形或具有一个或多个弯曲边缘和/或直边缘的其他形状)的材料层形成。显示器14的基底层可包括玻璃层、聚合物层、包括聚合物材料和无机材料的复合膜、金属箔等。

[0039] 显示器14可具有用于为用户显示图像的像素22的阵列,诸如像素阵列28。阵列28中的像素22可被布置成行和列。阵列28(有时称为有效区域28)的边缘可以是直的或者弯曲的(即,阵列28中的每行像素22和/或每列像素22可具有相同的长度或者可具有不同的长度)。在阵列28中可存在任何合适数量的行和列(例如,十个或更多个、一百个或更多个,或者一千个或更多个等等)。显示器14可包括不同颜色的像素22。例如,显示器14可包括红色像素、绿色像素和蓝色像素。如果需要,背光单元可为显示器14提供背光照明。

[0040] 显示驱动器电路系统20可用于控制像素28的操作。显示驱动器电路系统20可由集成电路、薄膜晶体管电路和/或其他合适的电路系统形成。图2的例示性显示驱动器电路系统20包括显示驱动器电路系统20A和附加显示驱动器电路系统诸如栅极驱动器电路系统20B。栅极驱动器电路系统20B可沿显示器14的一个或多个边缘形成。例如,栅极驱动器电路系统20B可沿显示器14的左侧和右侧布置在显示器的无效区域中,如图2所示。栅极驱动器电路系统20B可包括栅极驱动器和发射驱动器。

[0041] 如图2所示,显示驱动器电路系统20A(例如,一个或多个显示驱动器集成电路、薄膜晶体管电路系统等)可包含用于通过信号路径24与系统控制电路系统进行通信的通信电路系统。路径24可由柔性印刷电路上的迹线或其他缆线形成。控制电路系统可被定位在电子设备10中的一个或多个印刷电路上。在操作期间,控制电路系统(例如,图1的控制电路系统16)可为电路系统诸如电路系统20中的显示驱动器集成电路提供图像数据,以用于使图像被显示在显示器14上。图2的显示驱动器电路系统20A被定位在显示器14的顶部处。这仅是例示性的。显示驱动器电路系统20A可被定位在显示器14的顶部和底部两者处或在设备10的其他部分中。

[0042] 为了在像素22上显示图像,显示驱动器电路系统20A可在通过信号路径30向支持性显示驱动器电路系统诸如栅极驱动器电路系统20B发出控制信号时将对应图像数据供应到数据线D(例如,垂直信号线)。利用图2的例示性布置,数据线D竖直穿过显示器14布线,并且与相应列的像素22相关联。在补偿操作期间,列驱动器电路系统20可以使用路径诸如数据线D来提供基准电压。

[0043] 栅极驱动器电路系统20B(有时被称为栅极线驱动器电路系统或水平控制信号电路系统)可使用一个或多个集成电路来实现,并且/或者可使用基底26上的薄膜晶体管电路系统来实现。水平控制线G(有时被称为栅极线、扫描线、发射控制线等)水平穿过显示器14布线。每个栅极线G与相应行的像素22相关联。如果需要,可存在多个水平控制线诸如与每行像素相关联的栅极线G。显示器14中的单独控制的信号路径和/或全局信号路径也可用于发布其他信号(例如,电源信号等)。每行中的水平信号线的数目可由被水平信号线独立控制的显示器像素22中的晶体管数目确定。不同配置的显示器像素可由不同数目的控制线、

数据线、电源线等来操作。

[0044] 栅极驱动器电路系统20B可断言 (assert) 显示器14中的栅极线G上的控制信号。例如,栅极驱动器电路系统20B可在路径30上接收来自电路系统20A的时钟信号和其他控制信号,并可响应于所接收到的信号,从阵列28中的像素22的第一行中的栅极线信号G开始顺序断言栅极线G上的栅极线信号。在每个栅极线被断言时,来自数据线D的数据可被加载到对应行的像素中。通过这种方式,控制电路系统诸如显示驱动器电路系统20A和20B可为像素22提供用于指示像素22在显示器14上显示期望图像的信号。每个像素22可具有对来自显示驱动器电路系统20的控制信号和数据信号进行响应的发光二极管和电路系统(例如,基底26上的薄膜电路系统)。

[0045] 可用于阵列28中的每个像素22的类型的例示性像素电路在图3中被示出。如图3所示,显示器像素22可包括存储电容器Cst和晶体管,诸如n型(即,n沟道)晶体管T1、T2、T3、T4、T5和T6。像素22的晶体管可以是由半导体诸如硅(例如,使用低温工艺沉积的多晶硅,有时称为LTPS或低温多晶硅)、半导电氧化物(例如氧化铟镓锌(IGZO))或其他合适的半导体材料形成的薄膜晶体管。换句话讲,这些薄膜晶体管的有源区和/或沟道区可由多晶硅或半导电氧化物材料形成。

[0046] 显示器像素22可包括发光二极管304。可向正电源端子300提供正电源电压ELVDD(例如,1V、2V、大于1V、0.5V到5V、1V到10V或其他合适的正电压),并且可将接地电源电压ELVSS(例如,0V、-1V、-2V或其他合适的负电压)提供给接地电源端子302。电源电压ELVDD和ELVSS可以从相应的电源迹线提供给端子300和302。例如,导电层可以用作接地电源电压迹线,其向显示器内的所有像素提供接地电源电压ELVSS。晶体管T2的状态控制通过二极管304从端子300流至端子302的电流的量,并且因此控制来自显示器像素22的发射光306的量。因此,晶体管T2有时被称为“驱动晶体管”。二极管304可具有相关联的寄生电容C_{OLED}(未示出)。

[0047] 端子308用于提供初始化电压V_{ini}(例如,诸如1V、2V、低于1V、1到5V的正电压或其他合适的电压),以在二极管304未使用时帮助截止二极管304。来自显示驱动器电路系统诸如图2的栅极驱动器电路系统20B的控制信号被提供至控制端子,诸如端子312、313、314和315。端子312和313可分别用作第一扫描控制端子和第二扫描控制端子,而端子314和315可分别用作第一发射控制端子和第二发射控制端子。扫描控制信号Scan1和Scan2可分别施加于扫描端子312和313。发射控制信号EM1和EM2可分别提供至端子314和315。数据输入端子诸如数据信号端子310耦接至图2的相应数据线D,以用于接收用于显示器像素22的图像数据。

[0048] 晶体管T4、T2、T5和二极管304可串联耦接于电源端子300与电源端子302之间。具体地讲,晶体管T4具有:漏极端子,其耦接至正电源端子300;栅极端子,其接收发射控制信号EM2;和源极端子(标记为节点N1),其耦接到晶体管T2和T3。晶体管的术语“源极”和“漏极”端子有时可互换地使用。驱动晶体管T2具有:漏极端子,其耦接到节点N1;栅极端子,其耦接到节点N2;和源极端子,其耦接到节点N3。晶体管T5具有:漏极端子,其耦接到节点N3;栅极端子,其接收发射控制信号EM1;和源极端子,其耦接到节点N4。节点N4经由有机发光二极管304耦接到接地电源端子302。

[0049] 晶体管T3、电容器Cst和晶体管T6串联耦接于节点N1和端子308之间。具体地讲,晶

晶体管T3具有：漏极端子，其耦接到节点N1；栅极端子，其从扫描线312接收扫描控制信号Scan1；和源极端子，其耦接到节点N2。存储电容器Cst具有：第一端子，其耦接至节点N2；和第二端子，其耦接至节点N4。晶体管T6具有：漏极端子，其耦接至节点N4；栅极端子，其经由扫描线312接收扫描控制信号Scan1；和源极端子，其经由端子308接收初始化电压Vini。

[0050] 晶体管T1具有经由数据线310接收数据信号的漏极端子，经由扫描线313接收扫描控制信号Scan2的栅极端子，以及耦接到节点N3的源极端子。以此方式连接，可断言发射控制信号EM2以启用晶体管T4（例如，信号EM2可被驱动至高电压电平以导通晶体管T4）；可断言发射控制信号EM1以激活晶体管T5；可断言扫描控制信号Scan2以导通晶体管T1；并且可断言扫描控制信号Scan1以同时导通晶体管T3和T6。晶体管T4和T5有时可被称为发射晶体管。晶体管T6有时可被称为初始化晶体管。晶体管T1有时可被称为数据加载晶体管。

[0051] 在一种适当的布置中，晶体管T3可被实现为半导体氧化物晶体管，而保留的晶体管T1、T2和T4-T6为硅晶体管。半导体氧化物晶体管表现出比硅晶体管更低的泄漏，因此将晶体管T3实现为半导体氧化物晶体管将有助于在低刷新率下（例如，当信号Scan1被解除断言（deassert）或驱动至低电平时通过防止电流通过T3泄漏）减少闪烁。

[0052] 图3中的像素22的布置仅是例示性的，并且如果需要，可以使用其他期望的像素布置。例如，晶体管T1-T6中的每一个可以由半导体氧化物晶体管或硅晶体管形成。如果需要，可以改变晶体管之间的连接的布置。如果需要，可以省略一个或多个晶体管。如果需要，附加晶体管可以包括在该像素中。

[0053] 图4示出了具有包括栅极驱动器和发射驱动器的栅极驱动器电路系统的例示性显示器的顶视图。栅极驱动器电路系统20B可沿显示器14的一个或多个边缘形成。图4示出了其中栅极驱动器电路系统20B被形成在像素阵列28（有时被称为有效区域）的相对侧上的示例。

[0054] 例如，栅极驱动器电路系统20B可沿显示器14的左侧和右侧布置。栅极驱动器电路系统20B可在有效区域的每侧上包括一个或多个栅极驱动器（有时称为扫描驱动器）和一个或多个发射驱动器。图4示出了在有效区域的第一侧上的栅极驱动器48和发射驱动器50以及在显示器的第二相对侧上的栅极驱动器52和发射驱动器54。

[0055] 栅极驱动器可以被配置为向显示器中的每个像素提供控制信号。例如，栅极驱动器48可以将开关晶体管控制信号Scan2提供给每个像素（例如，在图3中的端子313处）。发射驱动器50可以将发射控制信号EM2提供给每个像素（例如，在图3中的端子315处）。栅极驱动器52可以将开关晶体管控制信号Scan1提供给每个像素（例如，在图3中的端子312处）。发射驱动器54可以将发射控制信号EM1提供给每个像素（例如，在图3中的端子314处）。

[0056] 每个发射驱动器和扫描驱动器（例如，图4中的驱动器48、50、52和54）可包含由寄存器电路链形成的移位寄存器。每个寄存器电路可将控制信号（例如，开关晶体管控制信号、发射启用信号等）供应至对应行的像素。在操作期间，控制电路系统16可引发控制脉冲传播穿过移位寄存器。当控制脉冲传播穿过移位寄存器时，可以依次激活每条栅极线，从而允许连续行的像素22加载来自数据线D的数据。每个寄存器电路可被称为移位寄存器的级。

[0057] 图5是可用于形成栅极驱动器诸如图4中的栅极驱动器48的移位寄存器的示意图。该移位寄存器可包括寄存器电路56的链。每个寄存器电路可将水平控制信号供应至对应行的像素。例如，第一寄存器电路56-1可具有输出OUT₁，其耦接至显示器中的第一行像素。第

二寄存器电路56-2可具有输出OUT₂,其耦接至显示器中的第二行像素。第三寄存器电路56-3可具有输出OUT₃,其耦接至显示器中的第三行像素。这个模式可继续,直到显示器的最后一行像素。寄存器电路56-N可与有效区域中的最后一行像素相关联,并且可具有输出OUT_N,其耦接至显示器中的最后一行像素。对于栅极驱动器48,OUT₁是第1行的Scan2信号(例如,Scan2_{ROW1}),OUT₂是第2行的Scan2信号(例如,Scan2_{ROW2})等。对于栅极驱动器52,OUT₁应当是第1行的Scan1信号(例如,Scan1_{ROW1}),OUT₂应当是第2行的Scan1信号(例如,Scan1_{ROW2})等。驱动器48、50、52和54中的任一个可以由类似于图5中所示的移位寄存器形成。

[0058] 移位寄存器的第一级(56-1)可在第一级的输入处接收起始脉冲(STV)。移位寄存器中的每个级的输出可耦接至下一级的输入,从而允许脉冲(有时称为控制脉冲)将被传播穿过移位寄存器。例如,控制脉冲STV可被提供至第一级56-1。这可激活级56-1的输出。56-1的输出耦接至级56-2的输入,因此当56-1的输出被激活时,56-2的输入可被激活。级56-2的输出可耦接至56-3的输入,并且该模式可继续,由此使得控制脉冲STV可传播穿过移位寄存器的每个级,以激活每个寄存器电路的输出。

[0059] 为了简化,图5中的每个寄存器电路被图示为具有单个输入和单个输出。然而,每个寄存器电路可具有附加输入和/或输出,如图6所示。图6示出了可用于形成驱动器48、50、52或54的移位寄存器的寄存器电路的详细视图。该寄存器电路可包括输入(IN)和输出(OUT)。该输入可以是来自前一寄存器电路的输出。该第一寄存器电路的输入可以是控制脉冲STV。该寄存器电路也可接收时钟信号CLK1和CLK2。最后,每个寄存器电路可接收第一供电电压VGH和第二供电电压VGL。

[0060] 在图5和图6中所示的移位寄存器结构被描述为形成栅极驱动器48。然而,这种类型的结构也可用于形成驱动器50、52和54。驱动器50、52和54的输出信号分别对应于控制信号EM2、Scan1和EM1。

[0061] 显示器14可以被配置为支持多个不同的刷新率。例如,显示器14可被配置为支持低刷新率操作。使用相对低的刷新率(例如,刷新率为1Hz、2Hz、1-10Hz、小于100Hz、小于60Hz、小于30Hz、小于10Hz、小于5Hz、小于1Hz或其他适当低频率)操作显示器14可适用于输出静态或接近静态的内容的应用程序和/或适用于需要最小功耗的应用程序。

[0062] 图7是示出显示器14的例示性刷新率模式的状态图。如图所示,显示器14可以在第一刷新率模式62和第二刷新率模式64两者中操作。控制电路系统16可以基于正在显示的内容的类型,输出显示内容的应用的类型等来识别将使用哪种模式。在第一刷新率模式(有时称为高刷新率模式或正常刷新率模式)中,显示器的刷新率可以是60Hz、120Hz或另一个期望的刷新率。在第二刷新率模式中,刷新率(例如,第二刷新率)可以与第一刷新率模式中的刷新率不同。例如,第二刷新率可以为小于60Hz(例如,1Hz、2Hz、1-10Hz、小于30Hz、小于10Hz、小于5Hz、小于1Hz等)。第二刷新率模式64有时可以称为低刷新率模式64。

[0063] 可在两种刷新率模式下操作的显示器14的示例仅是例示性的。一般来讲,显示器14可以以任何期望的刷新率操作。显示器可以具有三个或更多个支持的刷新率、四个或更多个支持的刷新率等。如果需要,刷新率可以在给定的刷新率模式内变化。

[0064] 在本文中,将描述在正常刷新率模式62中刷新率为60Hz并且在低刷新率模式64下刷新率为1Hz的示例。该示例仅是例示性的,并且如果需要可以使用其他期望的刷新率。

[0065] 在60Hz操作期间,可以在每个帧中刷新或更新每个像素的数据值。刷新帧可以指

代更新像素的数据值的帧。刷新帧可以具有16.67毫秒(ms)的持续时间。在60Hz操作期间,像素的数据值每16.67毫秒更新一次。

[0066] 如前所述,驱动器48、50、52和54提供控制信号Scan2、EM2、Scan1和EM1以显示像素22。驱动器以设定的顺序提供控制信号,以便操作显示器像素。图8是说明在刷新帧期间有机发光二极管显示器像素22的操作的时序图。

[0067] 如图8所示,在数据刷新帧期间,显示器像素22可以以至少四个阶段操作:(1)复位/初始化阶段;(2)导通偏压应力阶段;(3)阈值电压采样和数据写入阶段;以及(4)发射阶段。图8是示出在数据刷新操作的四个阶段期间可以应用于显示器像素22的相关信号波形的时序图。

[0068] 在时间 t_1 之前,信号Scan1和Scan2被解除断言(例如,扫描控制信号均处于低电压电平),而信号EM1和EM2被断言(例如,发射控制信号均处于高电压电平)。当两个发射控制信号EM1和EM2都高时,发射电流将流过驱动晶体管T2进入对应的有机发光二极管304中而产生光306(参见图3)。发射电流有时被称为OLED电流或OLED发射电流,并且OLED电流在二极管304处主动产生光的时间段称为发射阶段。

[0069] 在时间 t_1 ,发射控制信号EM1被解除断言(即,被驱动至低电平)以暂时中止发射阶段,这会开始数据刷新或数据编程阶段。在时间 t_2 ,信号Scan1可被脉冲至高电平以激活晶体管T3和T6,这将电容器Cst两端的电压初始化为预定的电压差(例如,ELVDD减去 V_{ini})。Scan1在 t_2 与 t_3 之间被断言的时间段有时可以称为初始化阶段、充电阶段、初始化时间段、充电时间段等。

[0070] 在时间 t_4 ,信号Scan1为低,信号Scan2被断言(例如,被驱动为高),并且信号EM2被解除断言(例如,被驱动为低),这表示初始化阶段的结束和导通偏压应力阶段的开始。在这种配置中,只有晶体管T1和T2导通(因为信号Scan2为高电平,而Node2在初始化阶段充电)。以这种方式配置,Node2保持在VDDEL,并且Node3将使用晶体管T1偏置到Vdata。换句话说,晶体管T2的栅极-源极电压 V_{gs} 将被设置为 $(VDDEL - V_{data})$ 。在任何阈值电压采样之前,Vdata至少部分地施加到晶体管T2。

[0071] 在时间 t_5 ,扫描控制信号Scan1被脉冲至高电平,而信号Scan2信号被断言并且同时信号EM1和EM2两者均被解除断言,以将期望的数据信号从数据线310加载到显示器像素22中。该时间段可以称为数据写入阶段、阈值电压采样和数据写入阶段、数据编程阶段等。在时间 t_6 ,扫描控制信号Scan1被解除断言(例如,被驱动为低),这表示数据编程阶段的结束。然后,当重新断言发射控制信号EM1和EM2时,发射阶段在 t_7 开始。

[0072] 应当指出的是,如果需要,可省略图8中所示的导通偏压应力周期。利用Vdata执行导通偏压应力以使晶体管T2的 V_{gs} 偏置可以帮助减轻滞后并防止第一帧调光。然而,有时可以在没有导通偏压应力阶段的情况下实现令人满意的显示性能。

[0073] 在低刷新率操作期间,每个像素的数据值可以仅每1秒更新一次。如果在低刷新率模式下仅在数据刷新周期期间切换发射电流,则可能出现亮度伪影。由于顺序关闭然后导通晶体管T4,例如在图8所示的四个阶段期间,像素的亮度可能在刷新帧期间经历下降。亮度下降为1Hz可能对用户导致明显的闪烁。为了消除闪烁,可以在刷新帧之间的垂直消隐期间插入附加的亮度下降。在刷新帧之间的垂直消隐时段期间添加的附加亮度下降可以被称为阳极复位帧。通过有意地以更高的频率产生亮度下降,人眼不易察觉到闪烁。

[0074] 为了确保在低刷新率模式下显示器的令人满意的操作,可以在刷新帧之间的时间(例如,垂直消隐时段)期间以任何期望的频率执行阳极复位帧。一般来讲,在垂直消隐期间可以执行至少10个阳极复位帧、至少100个阳极复位帧、少于100个阳极复位帧或者多于100个阳极复位帧。阳极复位帧复位发光二极管阳极而不实际改变每个像素的像素数据。如果发光二极管在整个1秒的间隔内保持开/不变,则阳极复位帧允许减少可能发生的亮度伪影。

[0075] 图9是说明在阳极复位帧期间有机发光二极管显示器像素22的操作的时序图。在时间 t_1 之前,信号Scan1和Scan2被解除断言(例如,扫描控制信号均处于低电压电平),而信号EM1和EM2被断言(例如,发射控制信号均处于高电压电平)。当两个发射控制信号EM1和EM2都高时,发射电流将流过驱动晶体管T2进入对应的有机发光二极管304中而产生光306(参见图3)。发射电流有时被称为OLED电流或OLED发射电流,并且OLED电流在二极管304处主动产生光的时间段称为发射阶段。

[0076] 在时间 t_1 ,发射控制信号EM1被解除断言(例如,被驱动至低电平)以暂时中止发射阶段。由于在数据刷新帧期间施加导通偏压应力,因此在阳极复位帧期间也可施加导通偏压,以帮助在偏置像素晶体管方面保持平衡。在时间 t_2 ,信号EM2被解除断言并且信号Scan2被断言。这标志着导通偏压应力阶段的开始。只有晶体管T1和T2导通,用于导通偏压应力阶段。以这种方式配置,Node3将使用晶体管T1偏置到Vdata。

[0077] 在时间 t_3 ,信号EM1被断言(例如,EM1被驱动为高)以导通晶体管T5,其标记导通偏压应力阶段的结束和阳极复位阶段的开始。此时,晶体管T1和T5都导通,因此二极管阳极端子Node4被复位到Vdata(例如,数据线的电压)。在时间 t_4 ,信号Scan2可以被解除断言以标记阳极复位阶段的结束。在 t_5 ,发射信号EM1和EM2都是高的,以允许发射电流流动。

[0078] 一般来讲,在垂直消隐时段期间可以伴随并且紧接在任何数量的阳极复位操作之前的导通偏压应力阶段,以帮助在整个显示器14的操作中复制和镜像导通偏压应力。然而,如果需要,也可以在阳极复位操作之前任选地省略导通偏压应力阶段。

[0079] 在图4和图5的示例中,驱动器48、50、52和54各自由移位寄存器形成,这些移位寄存器在显示器的有效区域中每行具有一个寄存器电路。可能希望使显示器的有效区域周围的无效边界区域的大小最小化。驱动器48、50、52和54的寄存器电路可占据大于期望的空间量。

[0080] 为了减少由显示器的栅极驱动器电路系统的寄存器电路占用的无效区域中的空间量,移位寄存器中的寄存器电路可用于驱动两行或更多行像素(而不是仅一行像素)图10是示出如何由两行像素共享一个或多个寄存器电路的示意图。

[0081] 如图10所示,扫描驱动器48用于向有效区域中的每行像素提供Scan2信号,发射驱动器50用于向有效区域中的每行像素提供EM2信号,扫描驱动器52用于向有效区域中的每行像素提供Scan1信号,并且发射驱动器54用于向有效区域中的每行像素提供EM1信号。类似于图5所示,扫描驱动器48具有用于有效区域28中的每行像素的寄存器电路。扫描驱动器48的第1级寄存器电路用于向有效区域的第1行提供Scan2信号,扫描驱动器48的第2级寄存器电路用于向有效区域的第2行提供Scan2信号等。扫描驱动器48的每一级向有效区域中的一行像素以及扫描驱动器的下一级提供输出信号(Scan2)。

[0082] 相比之下,发射驱动器50包括用于每两行有效区域28的寄存器电路。如图所示,发

射驱动器50的第1级用于向有效区域28的第1行和第2行两者提供EM2信号。发射驱动器50的第2级用于向有效区域28的第3行和第4行两者提供EM2信号。发射驱动器50的每一级向有效区域中的两行像素以及发射驱动器的下一级提供输出信号(EM2)。该概念可以应用于其他驱动器,诸如扫描驱动器52和发射驱动器54。

[0083] 扫描驱动器52包括用于每两行有效区域28的寄存器电路。如图所示,扫描驱动器52的第1级用于向有效区域28的第1行和第2行两者提供Scan1信号。扫描驱动器52的第2级用于向有效区域28的第3行和第4行两者提供Scan1信号。扫描驱动器52的每一级向有效区域中的两行像素以及扫描驱动器的下一级提供输出信号(Scan1)。

[0084] 发射驱动器54包括用于每两行有效区域28的寄存器电路。如图所示,发射驱动器54的第1级用于向有效区域28的第1行和第2行两者提供EM1信号。发射驱动器54的第2级用于向有效区域28的第3行和第4行两者提供EM1信号。发射驱动器54的每一级向有效区域中的两行像素以及发射驱动器的下一级提供输出信号(EM1)。

[0085] 图10的布置减少了必须适合显示器的无效区域的寄存器电路的数量。考虑一种情况,其中显示的有效区域具有n行。如果驱动器中的每个每行具有一个寄存器电路(如图4和图5所示),那么寄存器电路的总数将等于4n。在图10中,寄存器电路的总数是2.5n,这意味着与图4和图5的布置相比,图10的布置导致所需的寄存器电路数量减少37.5%。

[0086] 如图10所示,驱动器中的每个具有对应的电源线以提供电压VGL和VGH。驱动器中的每个中的每个寄存器电路接收电源电压VGL和VGH。驱动器中的每个的第1级接收该驱动器的对应起始脉冲。扫描驱动器48的第1级接收Scan2起始脉冲(Scan2VST),发射驱动器50的第1级接收EM2起始脉冲(EM2VST),扫描驱动器52的第1级接收Scan1起始脉冲(Scan1VST),发射驱动器54的第1级接收EM1起始脉冲(EM1VST)。

[0087] 每个驱动器可以具有由时钟信号路径提供的对应时钟信号。时钟信号路径30-1和30-2为Scan2驱动器48提供第一时钟信号和第二时钟信号(CLK1和CLK2)。时钟信号路径30-3和30-4为EM2驱动器50提供第一时钟信号和第二时钟信号(CLK1和CLK2)。时钟信号路径30-5和30-6为Scan1驱动器52提供第一时钟信号和第二时钟信号(CLK1和CLK2)。时钟信号路径30-7和30-8为EM1驱动器54提供第一时钟信号和第二时钟信号(CLK1和CLK2)。对于不同的驱动器具有不同的时钟信号可以允许具有不同数量的寄存器电路的驱动器仍然以同步方式操作。例如,如果相同的时钟信号用于扫描驱动器48和52,则Scan1脉冲应当通过有效区域的行传播穿过两倍于Scan2脉冲的速度。因此,Scan1驱动器可以使用时钟信号,该时钟信号是Scan2驱动器的时钟信号频率的一半,用于同步操作。

[0088] 在图10中,扫描驱动器52和发射驱动器50和54可以接收相同频率(例如,第一频率)的时钟信号。扫描驱动器48可以接收频率的两倍频率的第二频率的时钟信号(例如,对于驱动器50、52和54的每一个时钟信号,扫描驱动器48将存在两个时钟信号)。如果驱动器50、52和54具有向有效区域中的三行提供信号的寄存器电路,则第二频率(对于驱动器48)可以是第一频率的三倍(对于驱动器50、52和54)。一般来讲,扫描驱动器48可以使用基线频率的时钟信号。其他驱动器可以使用频率等于基线频率除以该驱动器中每个寄存器电路共享的行数的时钟信号。在一些示例中,驱动器可以具有寄存器电路,每个寄存器电路共享不同数量的行。例如,扫描驱动器52中的每个寄存器电路可以向两行像素提供信号,而发射驱动器50和54中的每个寄存器电路可以向三行像素提供信号。在该示例中,扫描驱动器48可

以使用基线频率的时钟信号,扫描驱动器52可以使用第二频率的时钟信号,该第二频率是基线频率的一半,并且发射驱动器50和54可以使用第三频率的时钟信号,该第三频率是基线频率的三分之一。降低驱动器(例如,驱动器50、52和54)的时钟频率可以降低栅极驱动器电路系统的功耗。

[0089] 如果需要,可以将提供相同时钟信号的时钟信号路径短接在一起。例如,在图10中,时钟信号路径30-3、30-5和30-7可以向驱动器50、52和54提供相同的CLK1信号。因此,时钟信号路径30-3、30-5和30-7可以任选地短接在一起。类似地,时钟信号路径30-4、30-6和30-8可以向驱动器50、52和54提供相同的CLK2信号。因此,时钟信号路径30-4、30-6和30-8可以任选地短接在一起。

[0090] 在图10中,驱动器48、50、52和54的扫描方向与有效区域中的像素列平行。换句话说讲,有效区域中的像素行可以沿第一尺寸延伸,并且有效区域中的像素列可以沿着与第一尺寸正交的第二尺寸延伸。驱动器48、50、52和54的扫描方向可以平行于第二尺寸并且与第一尺寸正交。

[0091] 可以通过图10的栅极驱动器电路系统施加到显示器像素22的信号波形在图11和图12中示出。图11示出了刷新帧的时序图。在图11的示例中,从像素操作中省略了导通偏压应力阶段。图11中示出了有效区域的第一行和第二行以及第三行和第四行的时序图。如图11所示,将Scan1、EM1和EM2信号提供给有效区域的第一行和第二行。相比之下,第一行和第二行接收唯一的Scan2信号。

[0092] 在时间 t_1 之前,信号Scan1和Scan2(对于两行)被解除断言(例如,扫描控制信号均处于低电压电平),而信号EM1和EM2被断言(例如,发射控制信号均处于高电压电平)。当两个发射控制信号EM1和EM2都高时,发射电流将流过驱动晶体管T2进入对应的有机发光二极管304中而产生光306。

[0093] 在时间 t_1 ,发射控制信号EM1被解除断言(即,被驱动至低电平)以暂时中止发射阶段,这会开始数据刷新或数据编程阶段。Scan1可被脉冲至高电平,这将电容器Cst两端的电压初始化为预定的电压差(例如,ELVDD减去 V_{ini})。Scan1在 t_1 与 t_2 之间被断言的时间段有时可以称为初始化阶段、充电阶段、初始化时间段、充电时间段等。因为第一行和第二行的Scan1信号相同,所以第一行和第二行的初始化阶段可以是并发的。

[0094] 在时间 t_3 ,第一行的扫描控制信号Scan2被脉冲至高电平,而信号Scan1被断言,并且同时信号EM1和EM2两者均被解除断言,以将期望的数据信号从数据线310加载到第一行的显示器像素22中。该时间段可以称为第一行数据写入阶段、阈值电压采样和数据写入阶段、数据编程阶段等。在时间 t_4 ,第二行的扫描控制信号Scan2被脉冲至高电平,而信号Scan1被断言,并且同时信号EM1和EM2两者均被解除断言,以将期望的数据信号从数据线310加载到第二行的显示器像素22中。该时间段可以称为第二行数据写入阶段、阈值电压采样和数据写入阶段、数据编程阶段等。然后,当重新断言发射控制信号EM1和EM2时,发射阶段在 t_5 开始。

[0095] 对于第三行和第四行将重复相同的信号序列,但是具有信号传播穿过移位寄存器的延迟。因此,如图11所示,即使当Scan1、EM1和EM2驱动器具有在两行像素之间共享的寄存器电路时,像素仍可在刷新帧期间有效地操作。

[0096] 图12示出了由图10的栅极驱动器电路系统驱动阳极复位帧的时序图。在时间 t_1 之前,信号Scan1和Scan2(对于两行)被解除断言(例如,扫描控制信号均处于低电压电平),

而信号EM1和EM2被断言(例如,发射控制信号均处于高电压电平)。发射控制信号EM1在整个阳极复位帧中保持在高电压电平,并且Scan1在整个阳极复位帧中保持在低电压电平。当两个发射控制信号EM1和EM2都高时,发射电流将流过驱动晶体管T2进入对应的有机发光二极管304中而产生光306(参见图3)。

[0097] 在时间t1,发射控制信号EM2被解除断言(例如,被驱动至低电平)以暂时中止发射阶段。由于在数据刷新帧期间取消导通偏压应力(如图10所示),因此在阳极复位帧期间也可取消导通偏压应力,以帮助在偏置像素晶体管方面保持平衡。

[0098] 在时间t2,第1行的信号Scan2被断言(例如,Scan2被驱动为高)以导通晶体管T1。此时,晶体管T1和T5都导通,因此二极管阳极端子Node4被复位到Vdata(例如,数据线的电压)。在t2处断言信号Scan2开始了第1行阳极复位阶段。然后第1行的信号Scan2被解除断言,以结束第1行阳极复位阶段。在时间t3,对于第2行阳极复位阶段,第2行的信号Scan2被断言(例如,Scan2被驱动为高)。在t4,发射信号EM1和EM2都是高的,以允许发射电流流动。

[0099] 在图10至图12的示例中,描述了一个示例,其中移位寄存器的每个级在显示器的有效区域中的两行像素之间共享。然而,该示例仅是例示性的。为了附加的减小栅极驱动器电路系统占用的空间,移位寄存器的每个级可以由多于两行的像素共享。每个寄存器电路可以向三行像素、四行像素、多于四行像素、多于八行像素、多于十行像素、在两行与四行像素之间、少于十行像素、两行与十行像素之间等提供信号。

[0100] 在图10的示例中,寄存器电路的数量在显示器的有效区域的左侧和右侧是不对称的。如果需要,单个驱动器的寄存器电路可以位于有效区域的两侧。这可以允许对称设计,其中有效区域的每一侧上的寄存器电路的数量相等。

[0101] 图13是示出在多行之间共享寄存器电路并且给定驱动器的寄存器电路定位于有效区域的相对的第一侧和第二侧的示例的示意图。如图13所示,发射驱动器50和54可以具有与图10中类似的布置。发射驱动器的每个寄存器电路可以由两行像素共享。类似于图10,移位寄存器50完全形成在有效区域的左侧,并且移位寄存器54完全形成在有效区域的右侧。相比之下,扫描驱动器48和52在有效区域的左侧与有效区域的右侧之间分路。

[0102] 如图13所示,扫描驱动器48包括形成在有效区域左侧的第一部分48-1。Scan2驱动器的第1级可以向有效区域的第1行和Scan2驱动器的第2级提供输出信号(Scan2)。Scan2驱动器的第2级可以类似于向有效区域的第2行和Scan2驱动器的第3级提供输出信号。然而,在图13中,Scan2驱动器的第3级定位于有效区域的另一侧。Scan2驱动器的部分48-2形成在有效区域的右侧。尽管寄存器电路在有效区域上分路,但是控制信号仍然传播穿过移位寄存器的各级,就好像移位寄存器全部位于有效区域的一侧。

[0103] 扫描驱动器52包括形成在有效区域右侧的第一部分52-1和形成在有效区域左侧的第二部分52-2。Scan1驱动器的第1级可以向有效区域的第1行和第2行以及Scan1驱动器的第2级提供输出信号(Scan1)。Scan1驱动器的第2级可以向有效区域的第3行和第4行提供信号。然而,在图13中,Scan1驱动器的第2级定位于作为第1级的有效区域的相对侧。

[0104] 在图13中,类似于在图10中,驱动器48、50、52和54的扫描方向与有效区域中的像素列平行。显示器的有效区域可以具有通过相对的第三侧和第四侧(例如,左边缘和右边缘)连接的相对的第一侧和第二侧(例如,上边缘和下边缘)。驱动器48、50、52和54的扫描方向可以是有效区域的第一侧到有效区域的第二侧(例如,驱动器从有效区域的上边缘扫

描到有效区域的下边缘)。驱动器48和52在有效的上分路,由此使得一些寄存器电路形成在有效的第三侧和第四侧。

[0105] 类似于图10中所示,图13的显示器还可以包括用于提供电源电压VGL和VGH的供电线,用于向每个驱动器提供时钟信号的时钟路径,以及用于向每个驱动器提供起始脉冲的控制线。

[0106] 用于在显示器的左侧与显示器的右侧之间切换的扫描驱动器的寄存器电路的模式(如图13所示)可以在移位寄存器的持续时间内持续。移位寄存器可以以规则或不规则的间隔“跳跃”穿过有效区域,这取决于特定显示器的设计要求。在一个或多个位置处将显示器上的移位寄存器分路允许寄存器电路如何在显示器的无效区域中分布的更大灵活性。

[0107] 通过将EM1驱动器和EM2驱动器组合到一个移位寄存器中,可以从显示器中消除附加的寄存器电路。在一些情况下,EM1和EM2信号的波形是相同的,只是相对于彼此在时间上移位。因此,单个寄存器电路可用于提供EM1和EM2信号两者。

[0108] 如图14所示,发射驱动器可以具有向第1行和第2行两者提供输出信号的第一级。输出信号用作第1行和第2行的EM1(例如,将输出信号提供给图3的端子314)。也将输出信号提供给EM1移位寄存器的第二级。然后,第2级将输出信号提供给第3行和第4行,以用作第3行和第4行的EM1。但是,第2级还将输出信号提供回第1行和第2行,以用作第1行和第2行的EM2。换句话讲,将第2级的输出耦接到第3行和第4行中的像素的端子314,以用作第3行和第4行的EM1,并且耦接到第1行和第2行中的像素的端子315,以用作前两行(第1行和第2行)的EM2。因为EM1和EM2在像素操作期间具有相同的波形,所以对于EM1和EM2信号两者仅使用一个发射驱动器将不影响像素的操作。

[0109] 类似于图10中所示,图14的显示器还可以包括用于提供电源电压VGL和VGH的供电线,用于向每个驱动器提供时钟信号的时钟路径,以及用于向每个驱动器提供起始脉冲的控制线。

[0110] 可以通过图14的栅极驱动器电路系统施加到显示器像素22的信号波形在图15和图16中示出。图15示出了刷新帧的时序图。在图15的示例中,从像素操作中省略了导通偏压应力阶段。图15中示出了有效区域的第一行和第二行以及第三行和第四行的时序图。如图15所示,将Scan1、EM1和EM2信号提供给有效区域的第一行和第二行。相比之下,第1行和第2行接收唯一的Scan2信号。

[0111] 在时间 t_1 之前,信号Scan1和Scan2(对于两行)被解除断言(例如,扫描控制信号均处于低电压电平),而信号EM1和EM2被断言(例如,发射控制信号均处于高电压电平)。当两个发射控制信号EM1和EM2都高时,发射电流将流过驱动晶体管T2进入对应的有机发光二极管304中而产生光306。

[0112] 在时间 t_1 ,发射控制信号EM1被解除断言(即,被驱动至低电平)以暂时中止发射阶段,这会开始数据刷新或数据编程阶段。Scan1可被脉冲为高电平,这将电容器Cst两端的电压初始化为第1行和第2行中的预先确定电压差。Scan1在 t_1 与 t_2 之间被断言的时间段有时可以称为初始化阶段、充电阶段、初始化时间段、充电时间段等。

[0113] 在时间 t_3 ,第1行的扫描控制信号Scan2被脉冲至高电平,而信号Scan1被断言,并且同时信号EM1和EM2两者均被解除断言,以将期望的数据信号从数据线310加载到第1行的显示器像素22中。该时间段可以称为第1行数据写入阶段、阈值电压采样和数据写入阶段、

数据编程阶段等。在时间 t_4 ，第2行的扫描控制信号Scan2被脉冲至高电平，而信号Scan1被断言，并且同时信号EM1和EM2两者均被解除断言，以将期望的数据信号从数据线310加载到第2行的显示器像素22中。该时间段可以称为第2行数据写入阶段、阈值电压采样和数据写入阶段、数据编程阶段等。然后，当重新断言发射控制信号EM1和EM2时，发射阶段在 t_5 开始。

[0114] 对于第3行和第4行将重复相同的信号序列，但是具有信号传播穿过移位寄存器的延迟。如图所示，第1行和第2行与第3行和第4行之间的信号序列的延迟为由此使得第1行和第2行的EM2的波形与第3行和第4行的EM1的波形相同。如图所示，当第1行和第2行的EM2在 t_2 处下降时，第3行和第4行的EM1也下降。然后，当第1行和第2行的EM2在 t_5 上升时，第3行和第4行的EM1也上升。这使得相同的信号既可用于第1行和第2行的EM2，也可用于第3行和第4行的EM1。因此，如图15所示，即使当单个发射驱动器提供EM1和EM2信号时，像素仍可在刷新帧期间有效地操作。

[0115] 图16示出了由图14的栅极驱动器电路系统驱动的阳极复位帧的时序图。在时间 t_1 之前，信号Scan1和Scan2（对于两行）被解除断言（例如，扫描控制信号均处于低电压电平），而信号EM1和EM2被断言（例如，发射控制信号均处于高电压电平）。Scan1在整个阳极复位帧中保持低电压电平。当两个发射控制信号EM1和EM2都高时，发射电流将流过驱动晶体管T2进入对应的有机发光二极管304中而产生光306（参见图3）。

[0116] 在时间 t_1 ，发射控制信号EM1被解除断言（例如，被驱动至低电平）以暂时中止发射阶段。由于在图15的数据刷新帧期间取消导通偏压应力，因此在图16的阳极复位帧期间也可取消导通偏压应力，以帮助在偏置像素晶体管方面保持平衡。

[0117] 在时间 t_2 ，发射控制信号EM2被解除断言。随后在 t_3 处信号EM1被断言。在时间 t_4 ，第1行的信号Scan2被断言（例如，Scan2被驱动为高）以导通晶体管T1。此时，晶体管T1和T5都导通，因此二极管阳极端子Node4被复位到Vdata（例如，数据线的电压）。第1行的信号Scan2被解除断言，以结束第1行阳极复位阶段。在时间 t_5 ，对于第2行阳极复位阶段，第2行的信号Scan2被断言（例如，Scan2被驱动为高）。在 t_6 ，发射信号EM1和EM2都是高的，以允许发射电流流动。

[0118] 在图16中，类似于在图15中所示，对于第3行和第4行将重复相同的信号序列，但是具有信号传播穿过移位寄存器的延迟。第1行和第2行与第3行和第4行之间的信号序列的延迟为由此使得第1行和第2行的EM2的波形与第3行和第4行的EM1的波形相同。这使得相同的信号既可用于第1行和第2行的EM2，也可用于第3行和第4行的EM1。因此，即使当单个发射驱动器提供EM1和EM2信号两者时，像素也可以在阳极复位帧和刷新帧两者期间有效地操作。

[0119] 除了减少所需的无效区域空间之外，省略发射驱动器中的一个减少了栅极驱动器电路系统所需的功耗量。

[0120] 如果需要，图14中的驱动器的寄存器电路可以定位于有效区域的两侧，类似于图13中所示。

[0121] 在图10至图16的示例中，在刷新帧和阳极复位帧期间省略了导通偏压应力阶段。在一些显示器中，可能希望包括导通偏压应力阶段，同时仍然减少显示器中的总寄存器电路的数量。图17是具有寄存器电路共享的例示性显示器的示意图，该寄存器电路共享用于减少的无效区域空间消耗，同时仍然允许在刷新帧和阳极复位帧期间的导通偏压应力阶段。如图17所示，扫描驱动器48和52均可以包括每行一个寄存器电路。发射驱动器50和54可

以在有效区域中每两行包括一个寄存器电路。

[0122] 发射驱动器50包括用于每两行有效区域28的寄存器电路。如图所示,发射驱动器50的第1级用于向有效区域28的第1行和第2行两者(以及发射驱动器的第2级)提供EM2信号。发射驱动器50的第2级用于向有效区域28的第3行和第4行两者提供EM2信号。发射驱动器50的每一级向有效区域中的两行像素以及发射驱动器的下一级提供输出信号(EM2)。

[0123] 发射驱动器54包括用于每两行有效区域28的寄存器电路。如图所示,发射驱动器54的第1级用于向有效区域28的第1行和第2行两者提供EM1信号。发射驱动器54的第2级用于向有效区域28的第3行和第4行两者提供EM1信号。发射驱动器54的每一级向有效区域中的两行像素以及发射驱动器的下一级提供输出信号(EM1)。

[0124] 图17的布置减少了必须适合显示器的无效区域的寄存器电路的数量。考虑一种情况,其中显示的有效区域具有n行。如果驱动器中的每个每行具有一个寄存器电路(如图4和图5所示),那么寄存器电路的总数将等于4n。在图17中,寄存器电路的总数是3n,这意味着所需的寄存器电路数量减少了25%。因此,仍然需要寄存器电路的显著减少,同时仍然在刷新帧和阳极复位帧期间启用导通偏压应力。

[0125] 类似于图10,图17中的驱动器中的每个具有对应的电源线以提供电压VGL和VGH。驱动器中的每个中的每个寄存器电路接收电源电压VGL和VGH。驱动器中的每个的第1级接收该驱动器的对应起始脉冲。扫描驱动器48的第1级接收Scan2起始脉冲(Scan2VST),发射驱动器50的第1级接收EM2起始脉冲(EM2VST),扫描驱动器52的第1级接收Scan1起始脉冲(Scan1VST),发射驱动器54的第1级接收EM1起始脉冲(EM1VST)。

[0126] 每个驱动器可以具有由时钟信号路径提供的对应时钟信号。时钟信号路径30-1和30-2为Scan2驱动器48提供第一时钟信号和第二时钟信号(CLK1和CLK2)。时钟信号路径30-3和30-4为EM2驱动器50提供第一时钟信号和第二时钟信号(CLK1和CLK2)。时钟信号路径30-5和30-6为Scan1驱动器52提供第一时钟信号和第二时钟信号(CLK1和CLK2)。时钟信号路径30-7和30-8为EM1驱动器54提供第一时钟信号和第二时钟信号(CLK1和CLK2)。对于不同的驱动器具有不同的时钟信号可以允许具有不同数量的寄存器电路的驱动器仍然以同步方式操作。因此,EM1和EM2驱动器可以使用时钟信号,该时钟信号是Scan1和Scan2驱动器的时钟信号频率的一半,用于同步操作。

[0127] 一般来讲,对于本文描述的所有实施方案,可以对时钟信号进行适当的调整(如上所述),以便允许包括不同数量的寄存器电路的移位寄存器的同步操作。

[0128] 可以通过图17的栅极驱动器电路系统施加到显示器像素22的信号波形在图18和图19中示出。图18示出了刷新帧的时序图。在图17至图19的示例中,导通偏压应力阶段包含在像素操作中。

[0129] 如图18所示,将EM1和EM2信号提供给有效区域的第1行和第2行两者。相比之下,第1行和第2行接收唯一的Scan1和Scan2信号。在时间t1之前,信号Scan1和Scan2被解除断言(例如,扫描控制信号均处于低电压电平),而信号EM1和EM2被断言(例如,发射控制信号均处于高电压电平)。当两个发射控制信号EM1和EM2都高时,发射电流将流过驱动晶体管T2进入对应的有机发光二极管304中而产生光306(参见图3)。

[0130] 在时间t1,第1行和第2行的发射控制信号EM1被解除断言(即,被驱动至低电平)以暂时中止发射阶段,这开始数据刷新或数据编程阶段。对于第1行初始化阶段,第1行的信号

Scan1可被脉冲为高电平。在 t_2 ，当第1行的Scan1被解除断言时，第1行和第2行的EM1被解除断言，并且第1行和第2行的EM2被断言，第2行的信号Scan1可被脉冲为高电平，用于第2行的初始化阶段。

[0131] 在时间 t_3 ，当第1行的EM1、EM2和Scan1被解除断言时，第1行的信号Scan2可以被断言以开始第1行的导通偏压应力阶段。然后在时间 t_4 ，当第2行的EM1、EM2和Scan1被解除断言时，第2行的信号Scan2可以被断言以开始第2行的导通偏压应力阶段。

[0132] 在时间 t_5 ，第1行的扫描控制信号Scan1被脉冲至高电平，而第1行的信号Scan2被断言，并且同时信号EM1和EM2两者均被解除断言，以将期望的数据信号从数据线310加载到第1行的显示器像素22中。在时间 t_6 ，第2行的扫描控制信号Scan1被脉冲至高电平，而第2行的信号Scan2被断言，并且同时信号EM1和EM2两者均被解除断言，以将期望的数据信号从数据线310加载到第2行的显示器像素22中。然后，当重新断言发射控制信号EM1和EM2时，发射阶段在 t_7 开始。

[0133] 对于第3行和第4行将重复相同的信号序列，但是具有信号传播穿过移位寄存器的延迟。因此，如图18所示，即使当EM1和EM2驱动器具有在两行像素之间共享的寄存器电路时，像素仍然可以有效地操作并且在刷新帧期间实现导通偏压应力阶段。

[0134] 图19示出了由图17的栅极驱动器电路系统驱动的阳极复位帧的时序图。在时间 t_1 之前，信号Scan1（对于两行）和Scan2（对于两行）被解除断言（例如，扫描控制信号均处于低电压电平），而信号EM1和EM2被断言（例如，发射控制信号均处于高电压电平）。第1行和第2行两者的Scan1可以在整个阳极复位帧中保持低电压电平。当两个发射控制信号EM1和EM2都高时，发射电流将流过驱动晶体管T2进入对应的有机发光二极管304中而产生光306（参见图3）。

[0135] 在时间 t_1 ，发射控制信号EM1被解除断言（例如，被驱动至低电平）以暂时中止发射阶段。由于在图18的数据刷新帧期间包括导通偏压应力，因此在图19的阳极复位帧期间也可包括导通偏压应力，以帮助在偏置像素晶体管方面保持平衡。

[0136] 在时间 t_2 ，当信号EM2被解除断言时，信号Scan2（对于第1行）被断言。这标志着第1行的导通偏压应力阶段的开始。然后，在 t_3 ，第2行的信号Scan2被断言，从而标记第2行的导通偏压应力阶段的开始。在时间 t_4 ，信号EM1被断言（例如，EM1被驱动为高）以导通晶体管T5，其标记第1行和第2行的导通偏压应力阶段的结束。在 t_4 断言信号EM1也开始了第1行和第2行的阳极复位阶段。当第1行的Scan2信号被解除断言时，第1行阳极复位阶段结束。当第2行的Scan2信号被解除断言时，第2行阳极复位阶段结束。在时间 t_5 ，发射信号EM1和EM2都是高的，以恢复发射阶段。

[0137] 应当指出的是，可以调谐图18和图19（或图11、图12、图15和图16）中描绘的波形的脉冲宽度。可以在显示器的操作期间主动地调谐脉冲宽度，可以在制造期间的校准过程期间调谐脉冲宽度等。例如，可以修改EM1和EM2脉冲宽度，以减轻显示器操作期间的任何亮度伪影，控制导通偏压应力，以保持偏置像素晶体管等的平衡。

[0138] 使用单个发射驱动器来提供EM1和EM2两者发射信号（如结合图14至图16所示）的概念可以应用于图17至图19中所示的栅极驱动器方案。图20示出了这种类型的示例。如图20所示，扫描驱动器48和52各自包括用于有效区域中的每行像素的一个寄存器电路。类似于图17中的发射驱动器54对于有效区域中的每两行像素具有一个寄存器电路。另外，省略

发射驱动器50并且发射驱动器54提供EM1和EM2信号两者(类似于图14中所示)。

[0139] 除了相对于彼此的时间偏移之外,EM1和EM2信号的波形可以是相同的。因此,单个移位寄存器可用于提供EM1和EM2信号两者。如图20所示,发射驱动器54可以具有向第1行和第2行两者提供输出信号的第一级。输出信号用作第1行和第2行的EM1(例如,将输出信号提供给图3的端子314)。也将输出信号提供给EM1移位寄存器的第二级。然后,第2级将输出信号提供给第3行和第4行,以用作第3行和第4行的EM1。但是,第2级还将输出信号提供回第1行和第2行,以用作第1行和第2行的EM2。换句话说,将第2级的输出耦接到第3行和第4行中的像素的端子314,以用作第3行和第4行的EM1,并且耦接到第1行和第2行中的像素的端子315,以用作前两行(第1行和第2行)的EM2。因为EM1和EM2在像素操作期间具有相同的波形,所以对于EM1和EM2信号两者仅使用一个发射驱动器将不影响像素的操作。

[0140] 在刷新帧和阳极复位帧期间由图20的驱动器电路系统操作像素可以与图18和图19中所示的相同,其中EM1和EM2波形具有相同的形状。即使当单个发射驱动器提供EM1和EM2信号两者时,像素也可以在阳极复位帧和刷新帧两者期间有效地操作。

[0141] 应当理解,图10、图13、图14、图17和图20中的驱动器和对应的寄存器电路的位置仅仅是例示性的。一般来讲,每个驱动器可以定位于显示器的任一侧。每个驱动器可以具有相对于其他驱动器的任何期望位置。在本文所示的实施方案中,驱动器形成在有效区域的相对的第一侧和第二侧上。然而,这不是必需的,并且如果需要,所有驱动器可以形成在显示器的有效区域的一侧。图10、图13、图14、图17和图20中所示的任何移位寄存器可以在有效区域上分路,如结合图14所示和讨论的。

[0142] 前述仅为例示性的,并且在不脱离所述实施方案的范围和实质的情况下,本领域的技术人员可作出各种修改。前述实施方案可独立实施或可以任意组合实施。

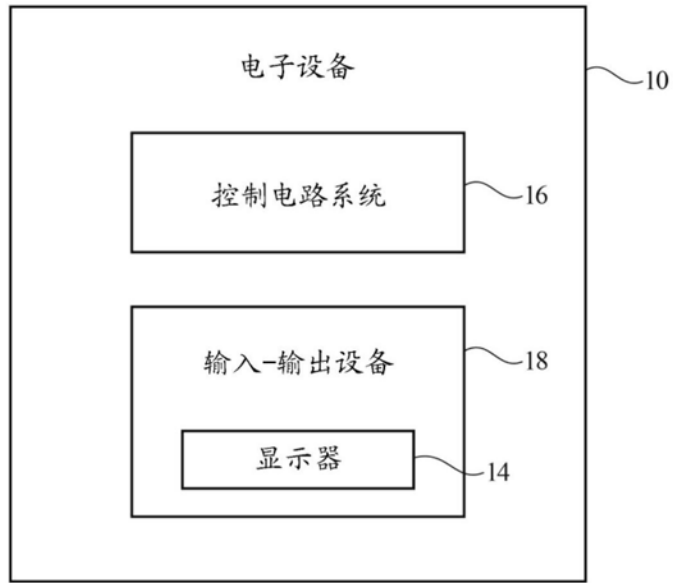


图1

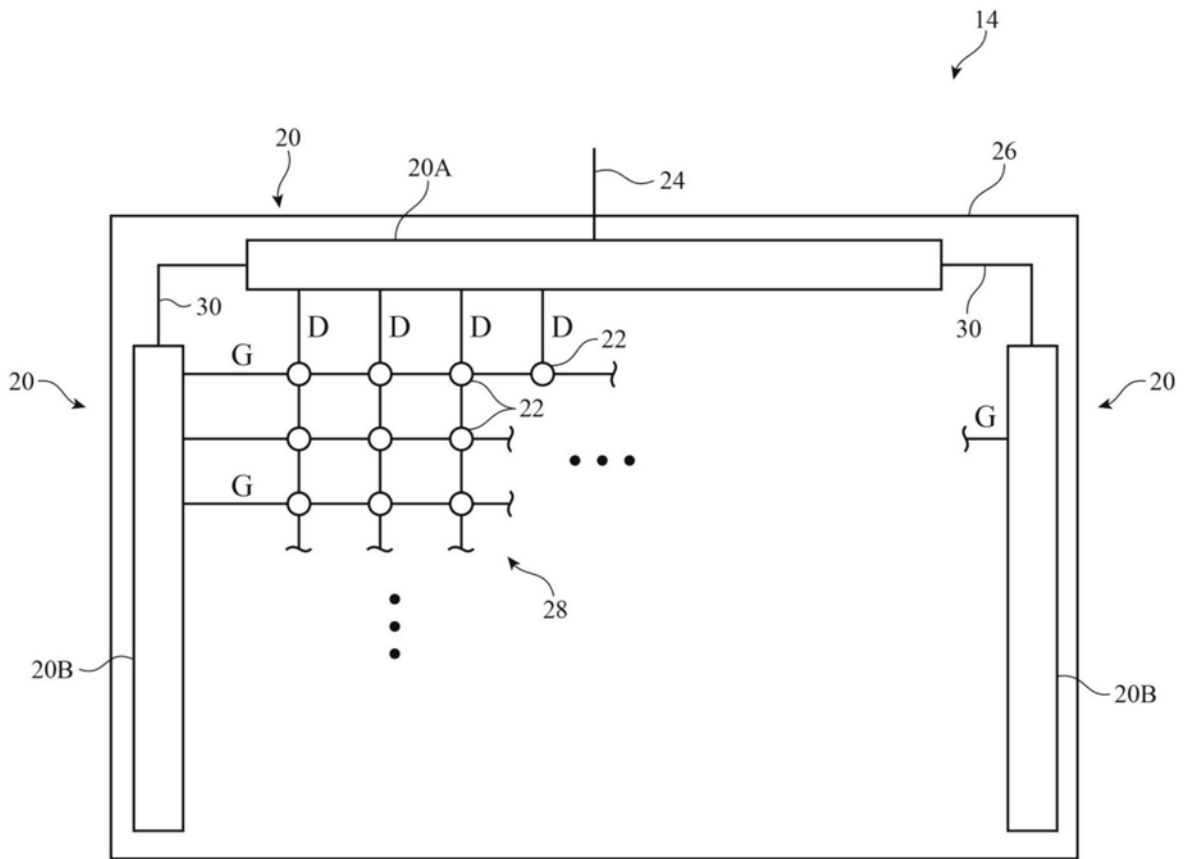


图2

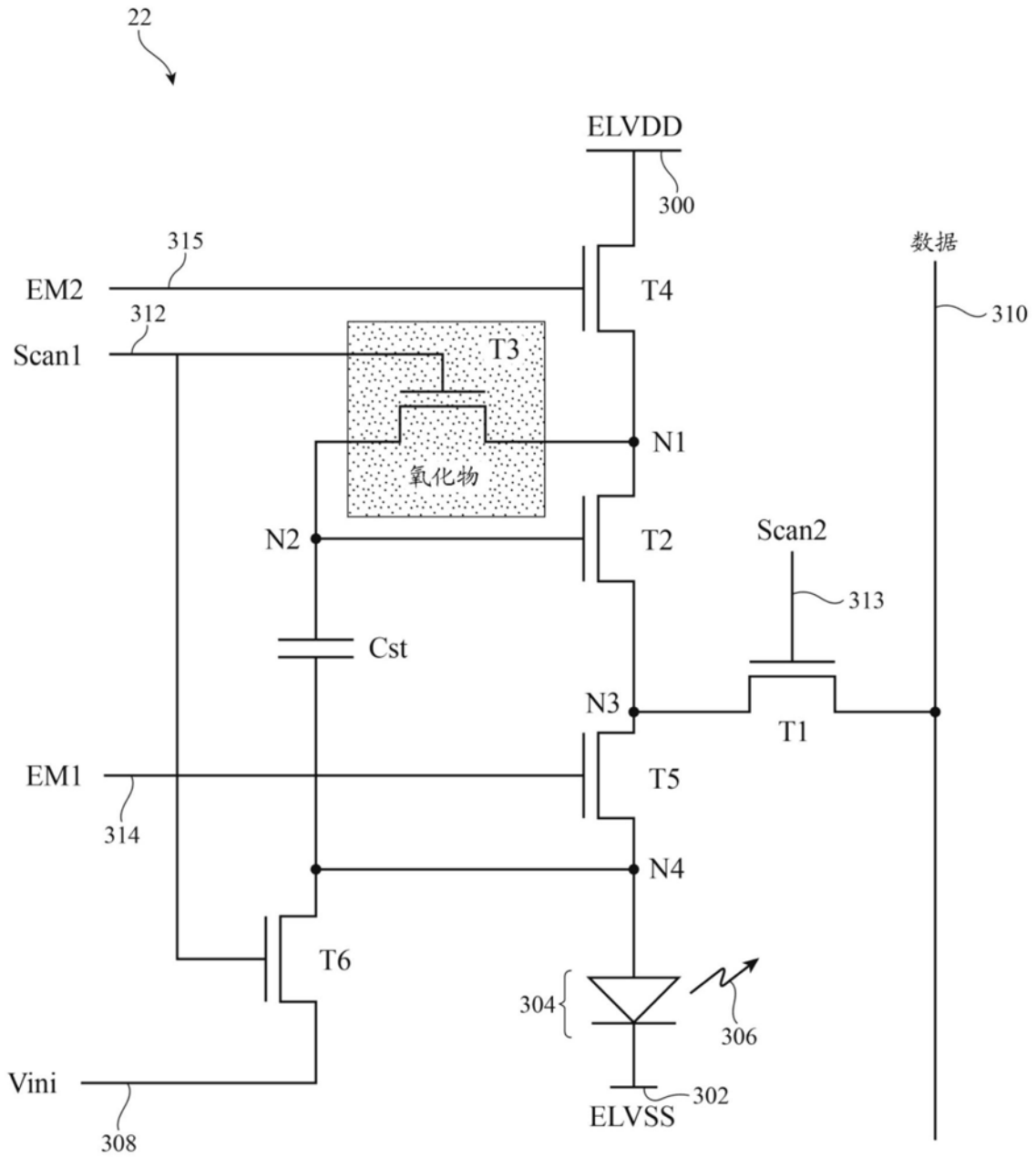


图3

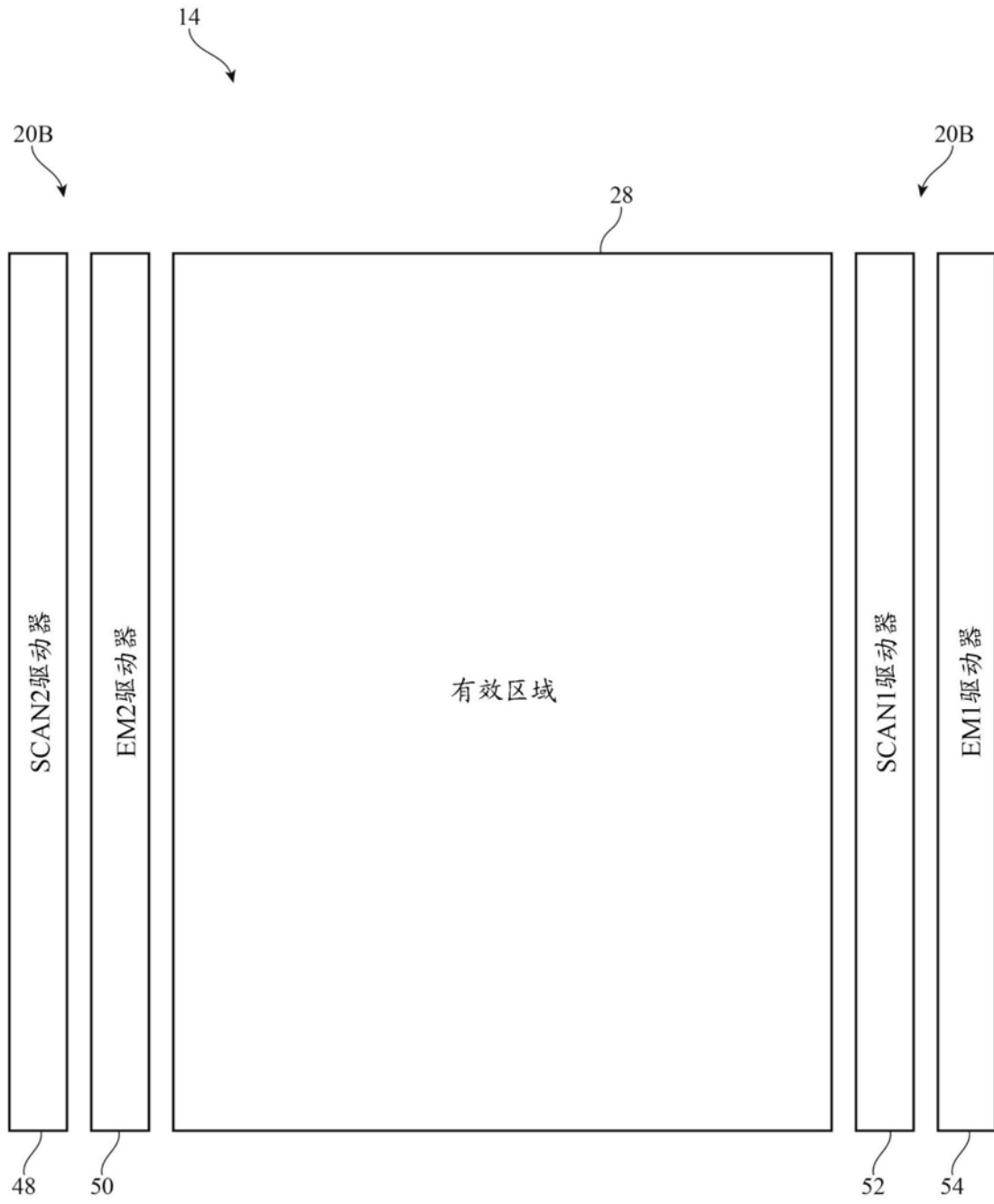


图4

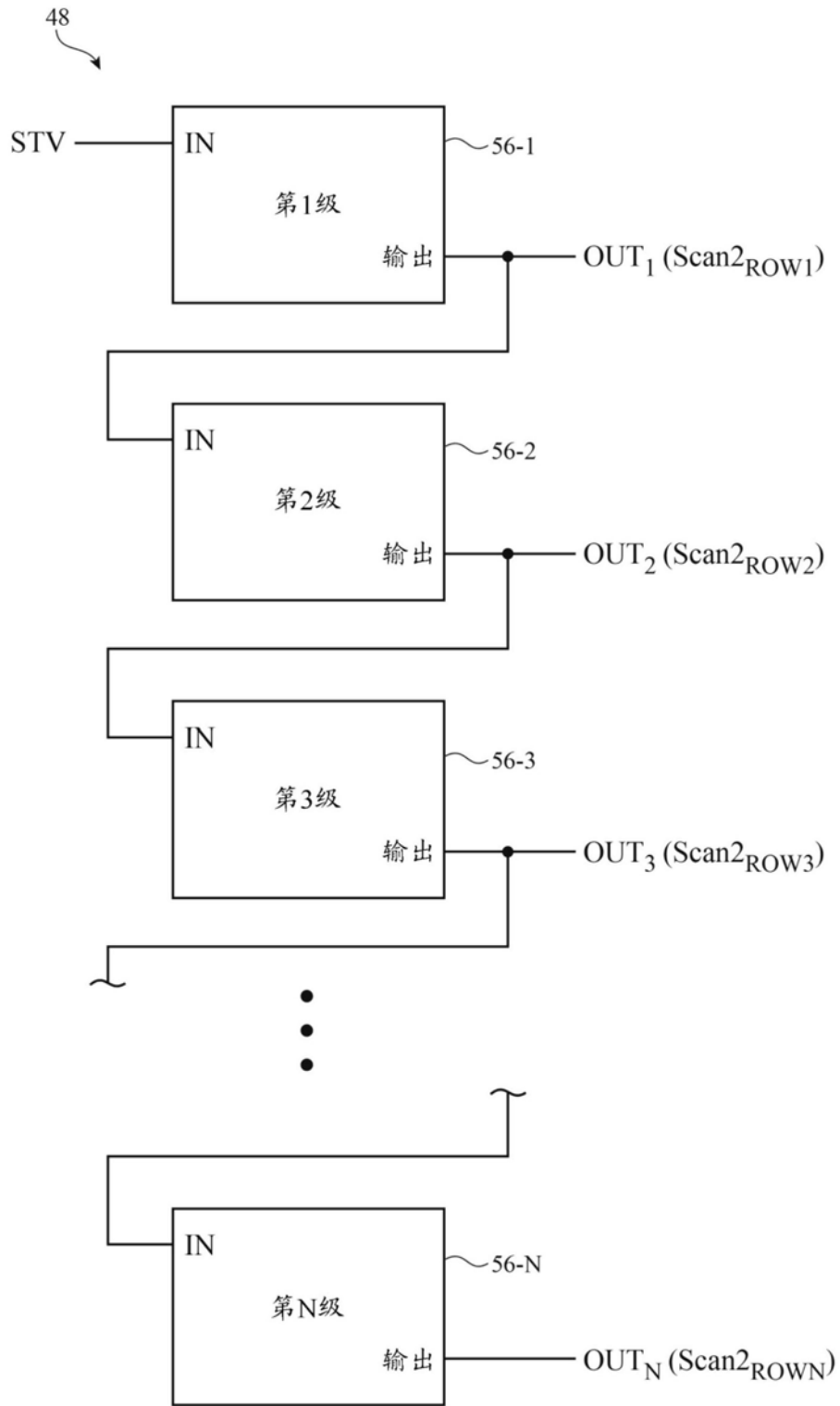


图5

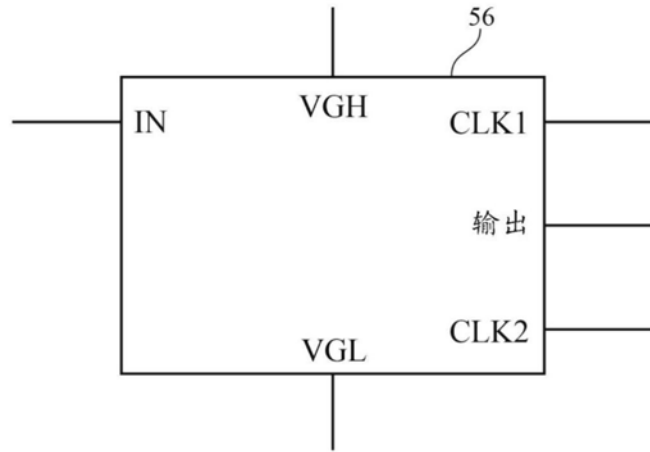


图6

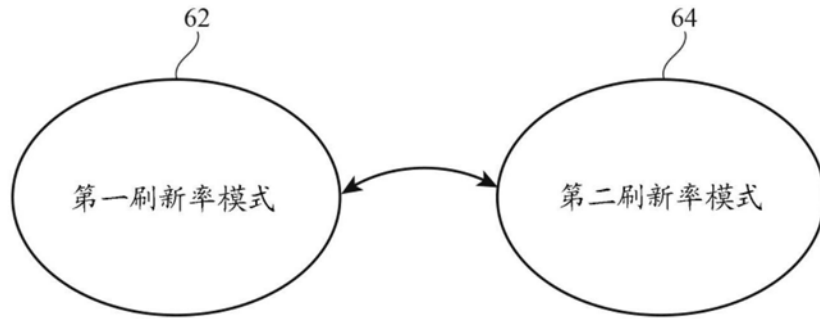


图7

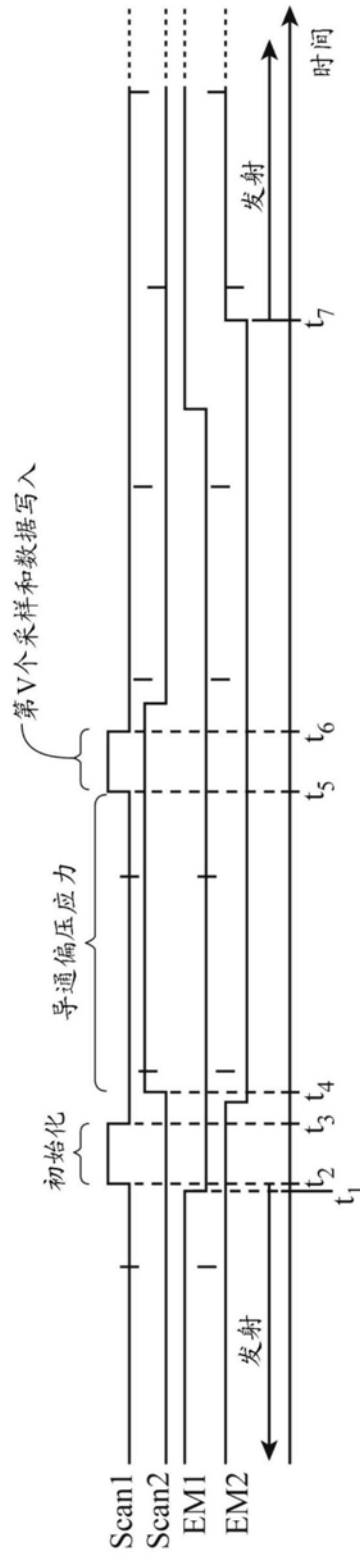


图8

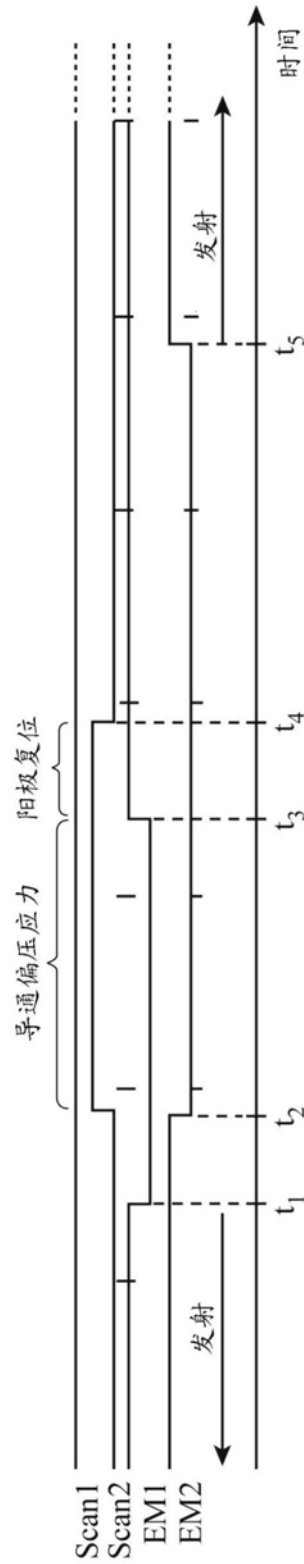


图9

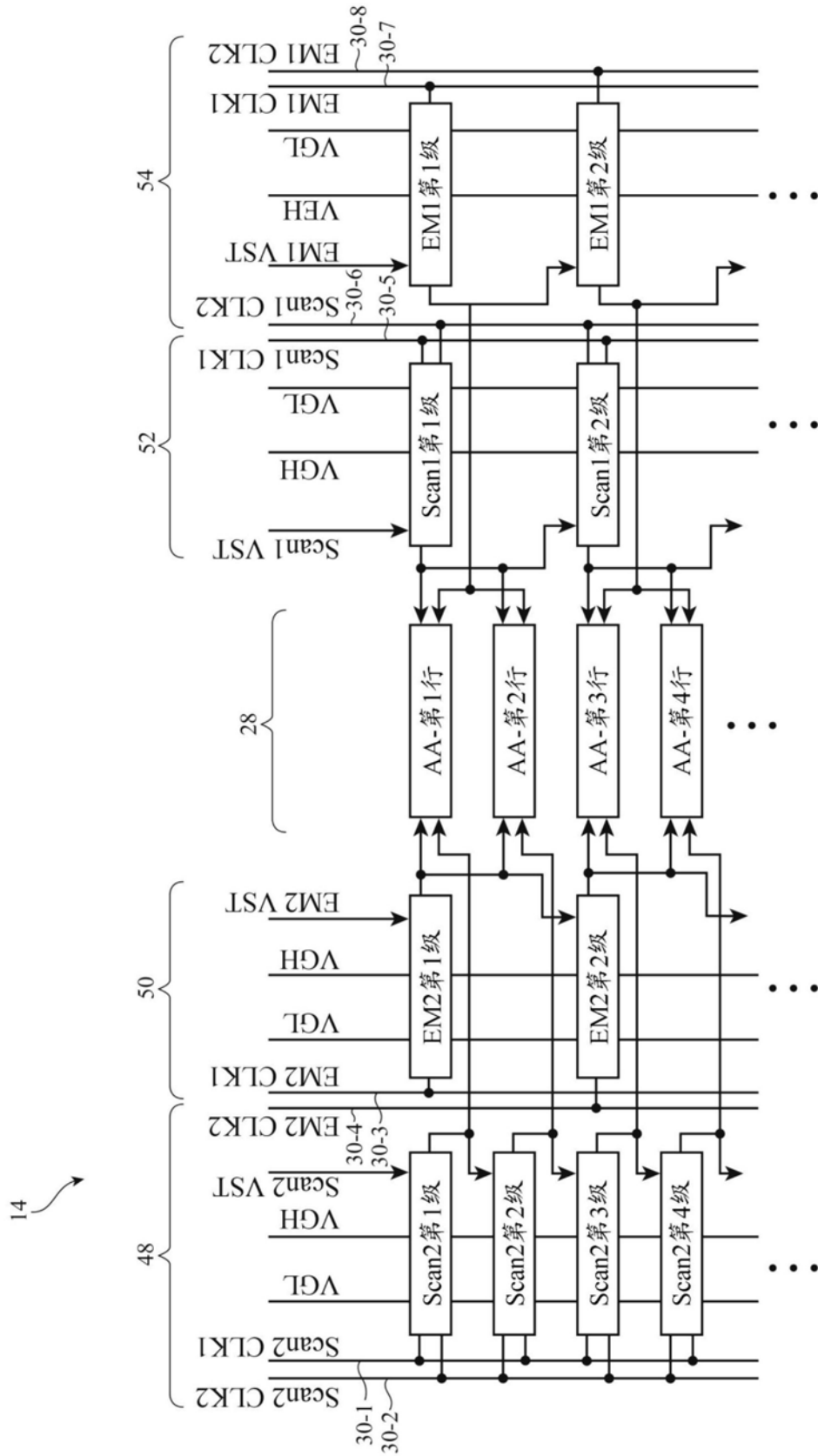


图10

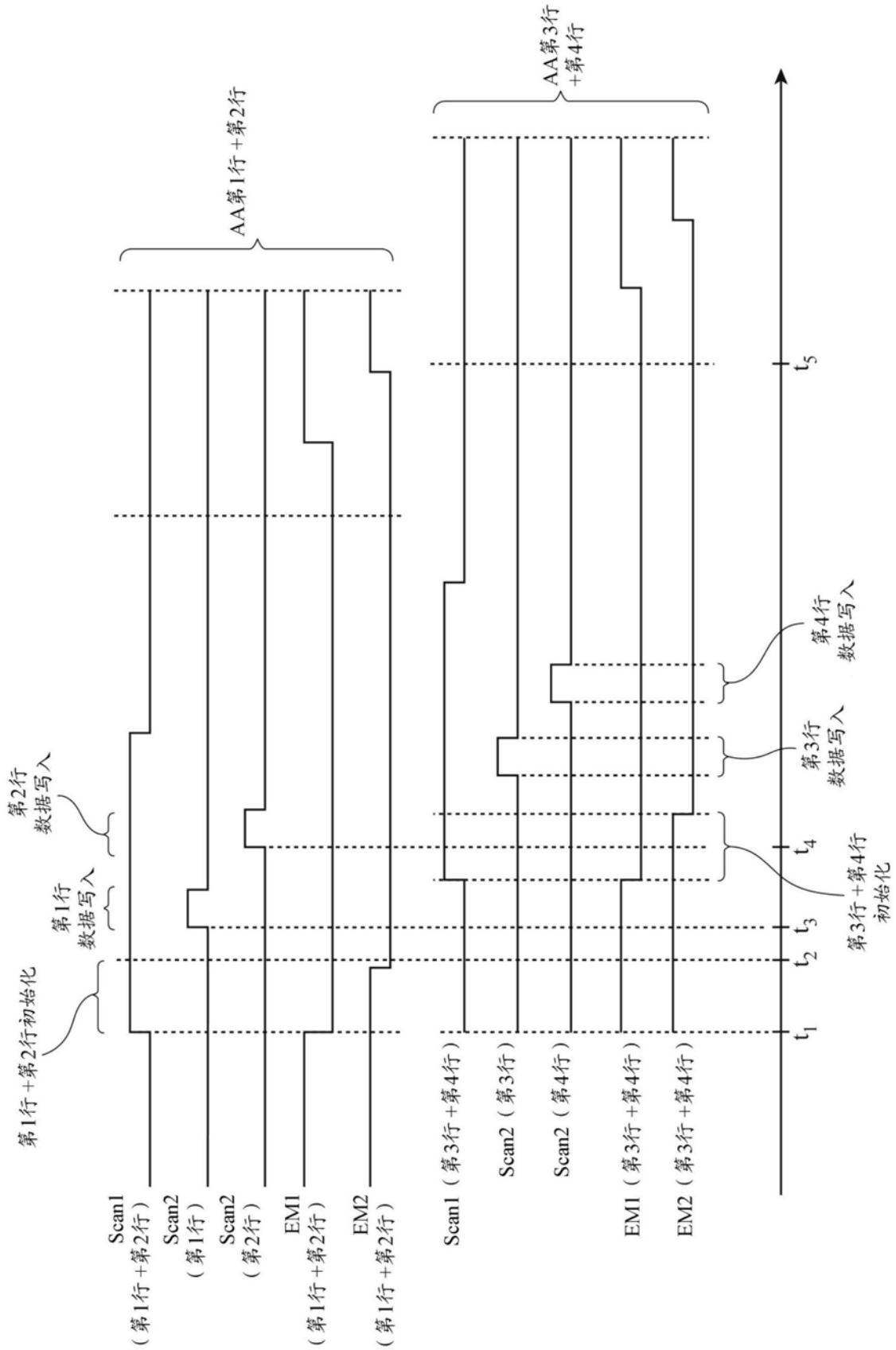


图11

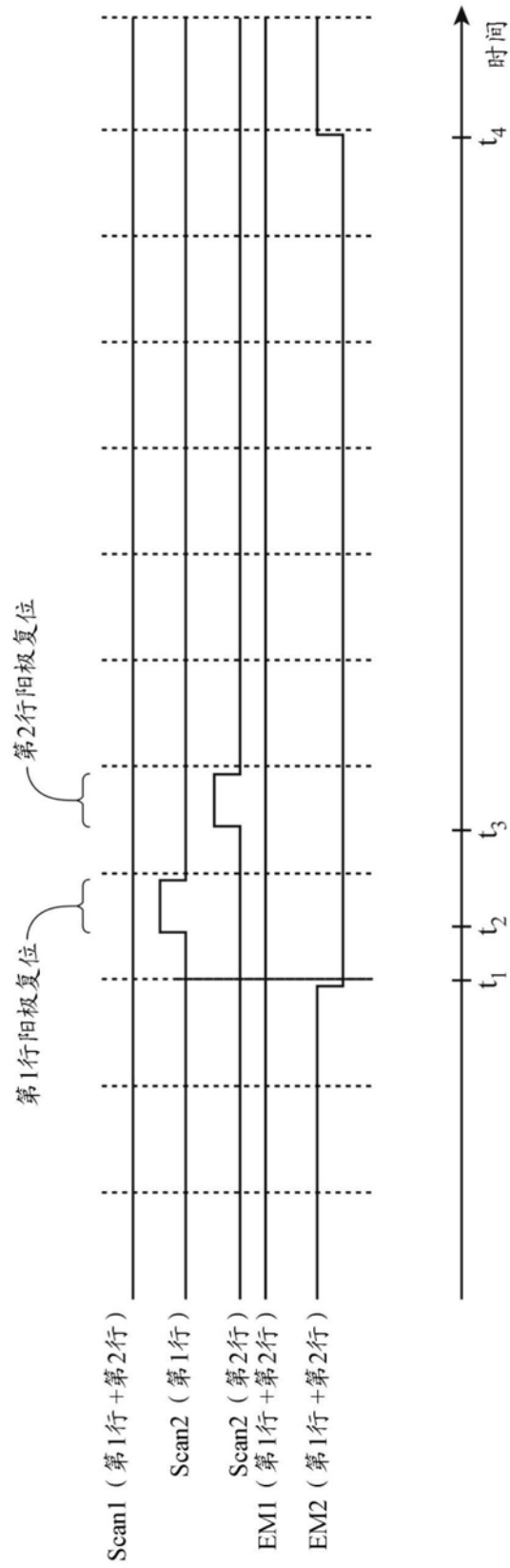


图12

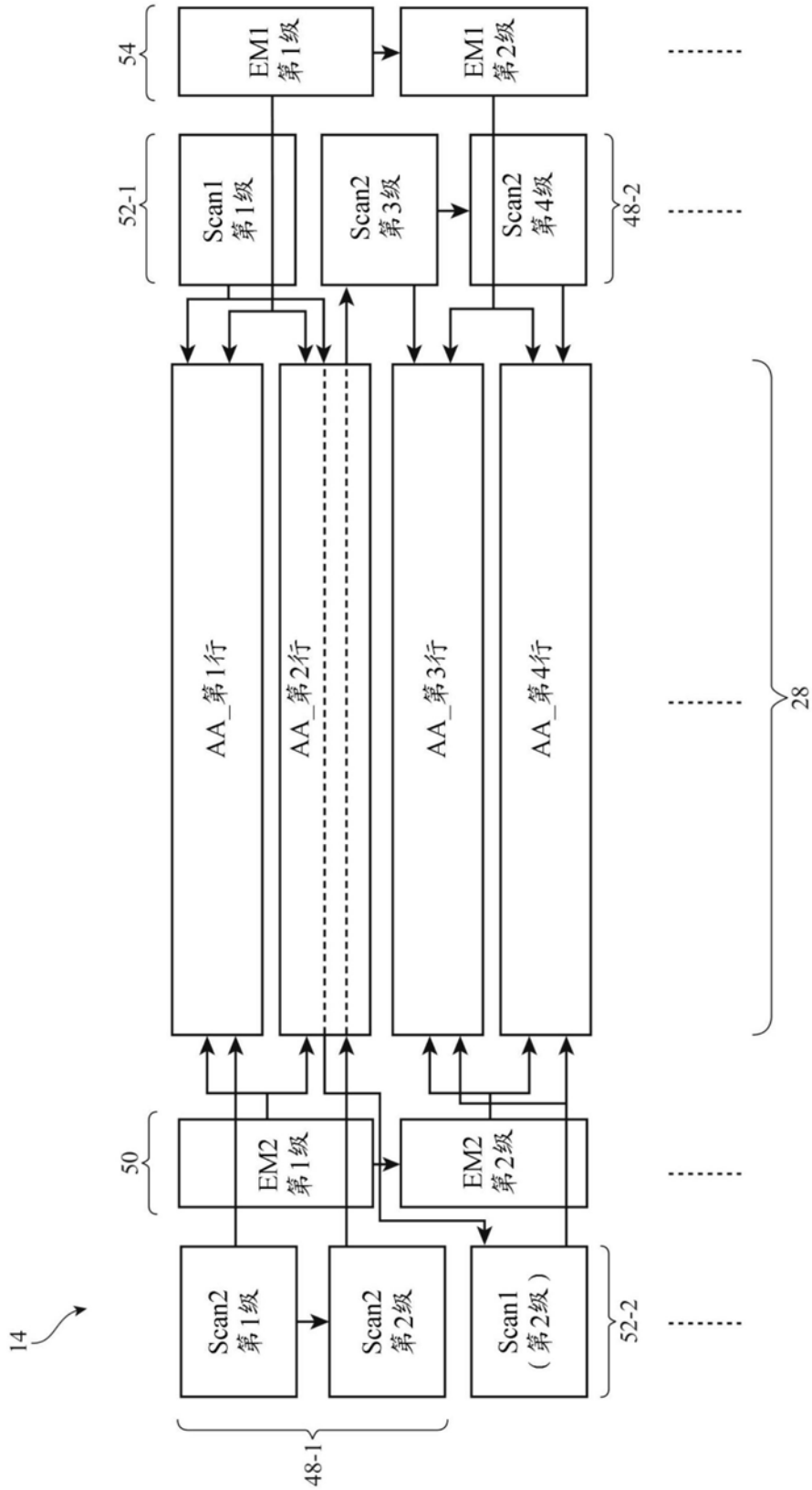


图13

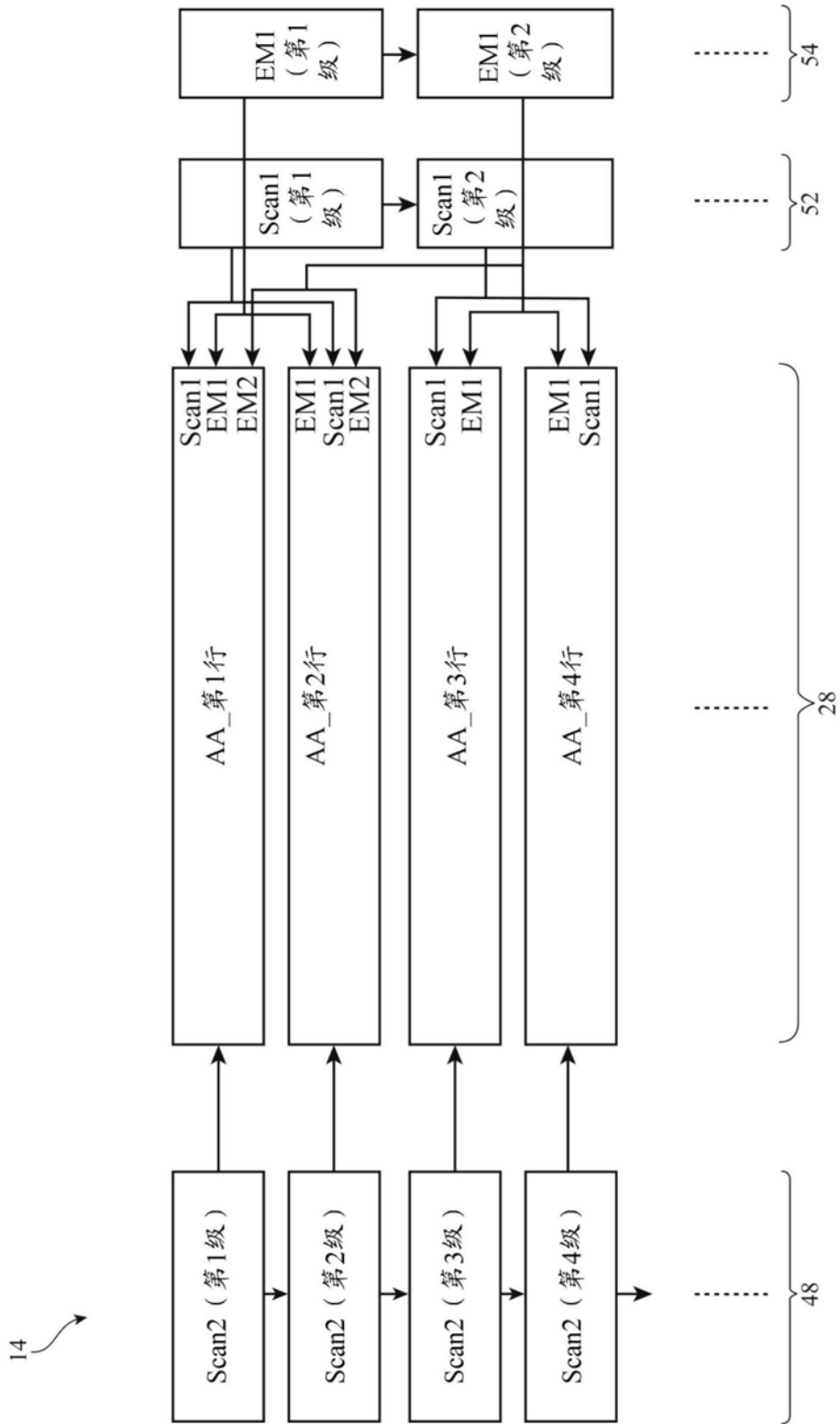


图14

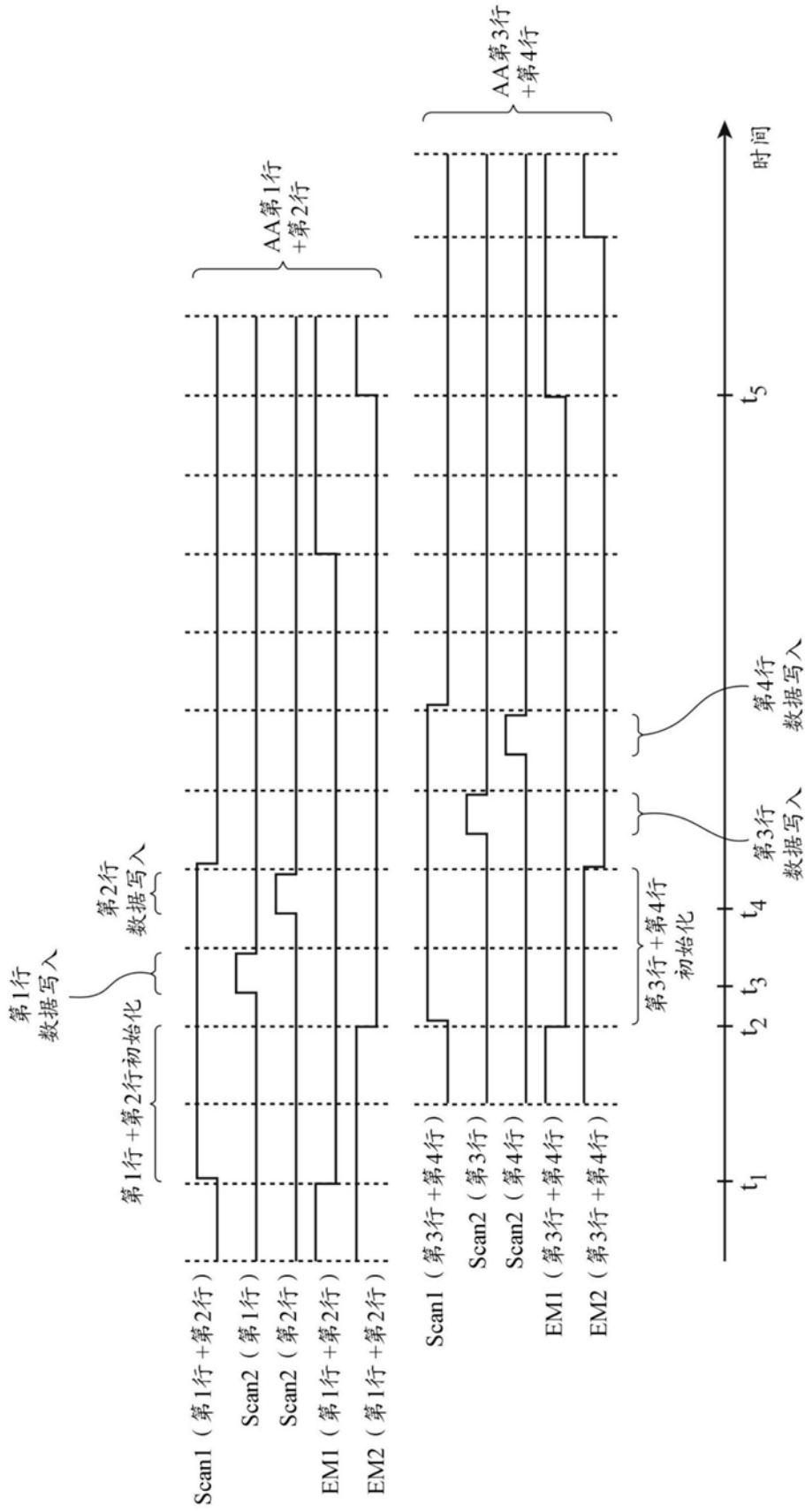


图15

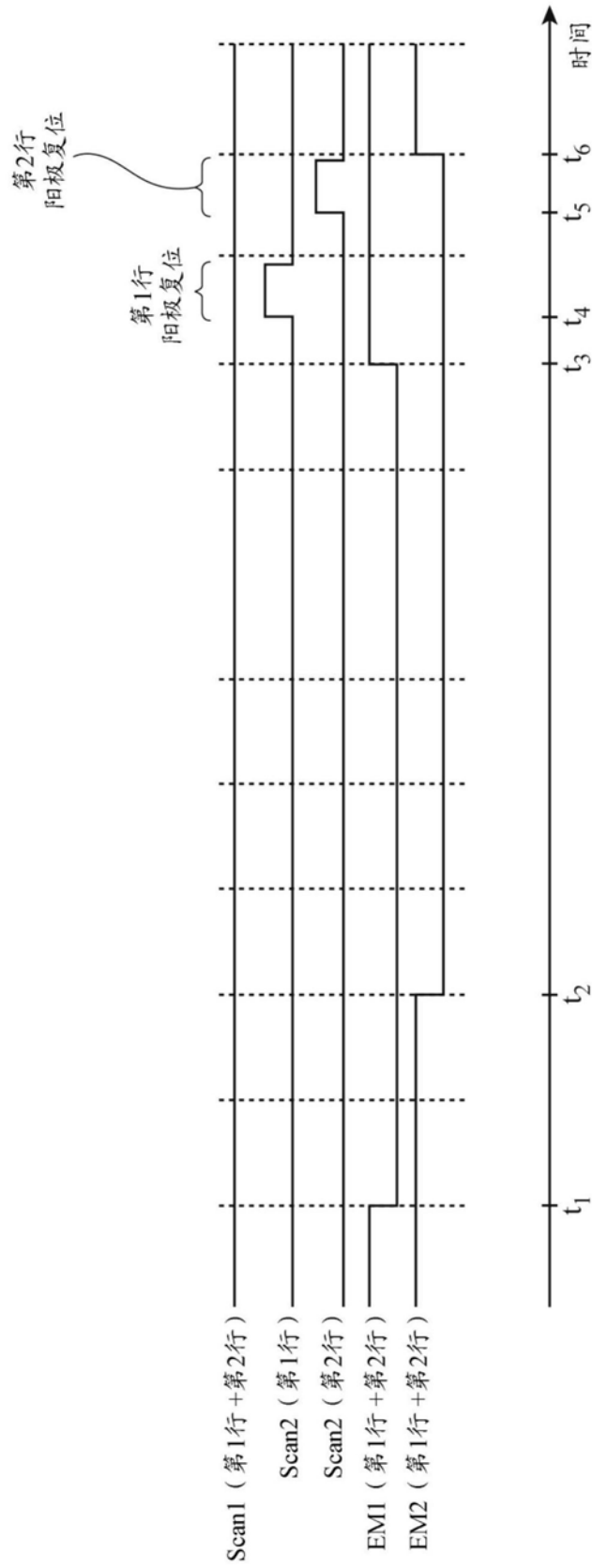


图16

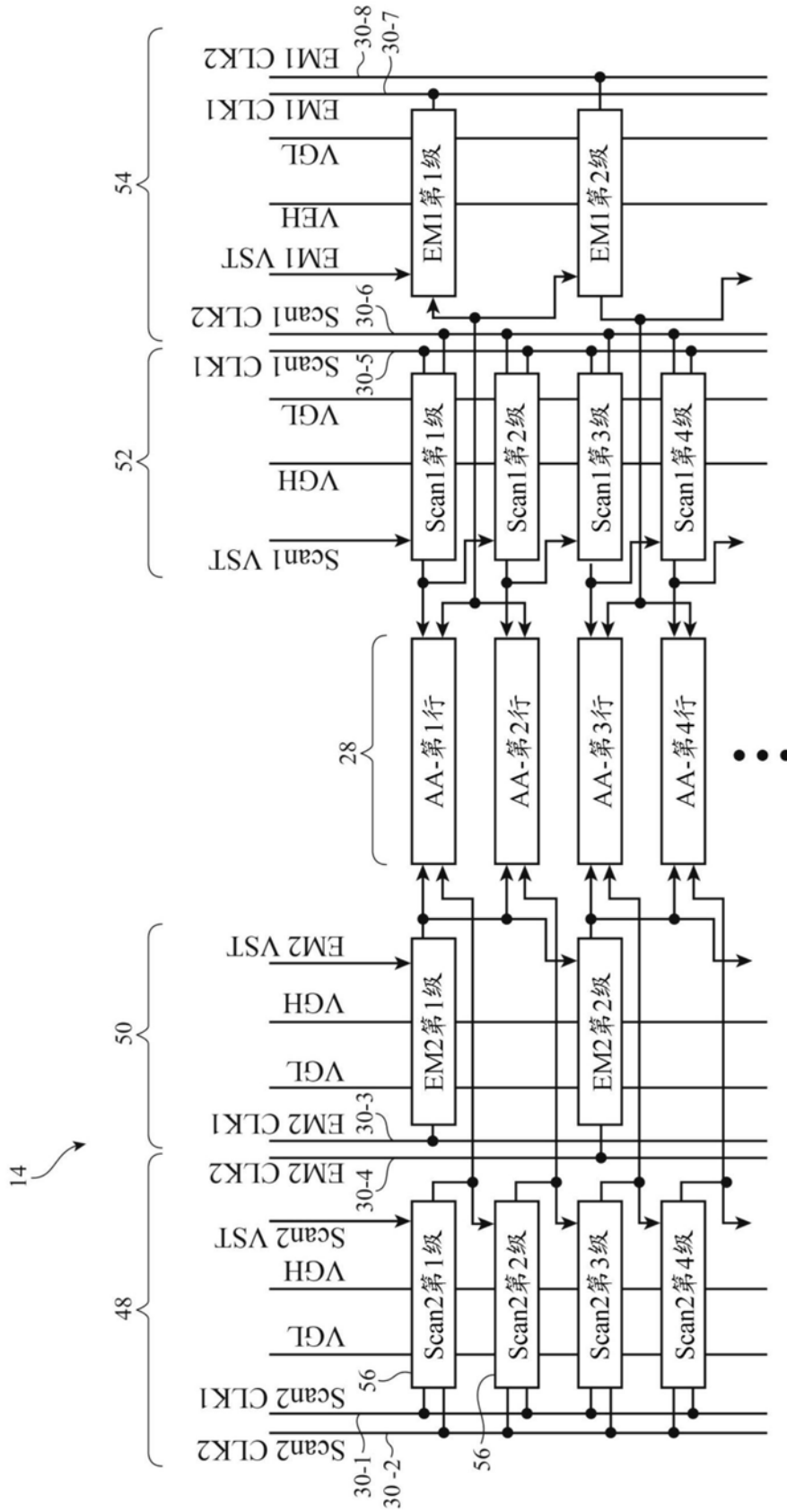


图17

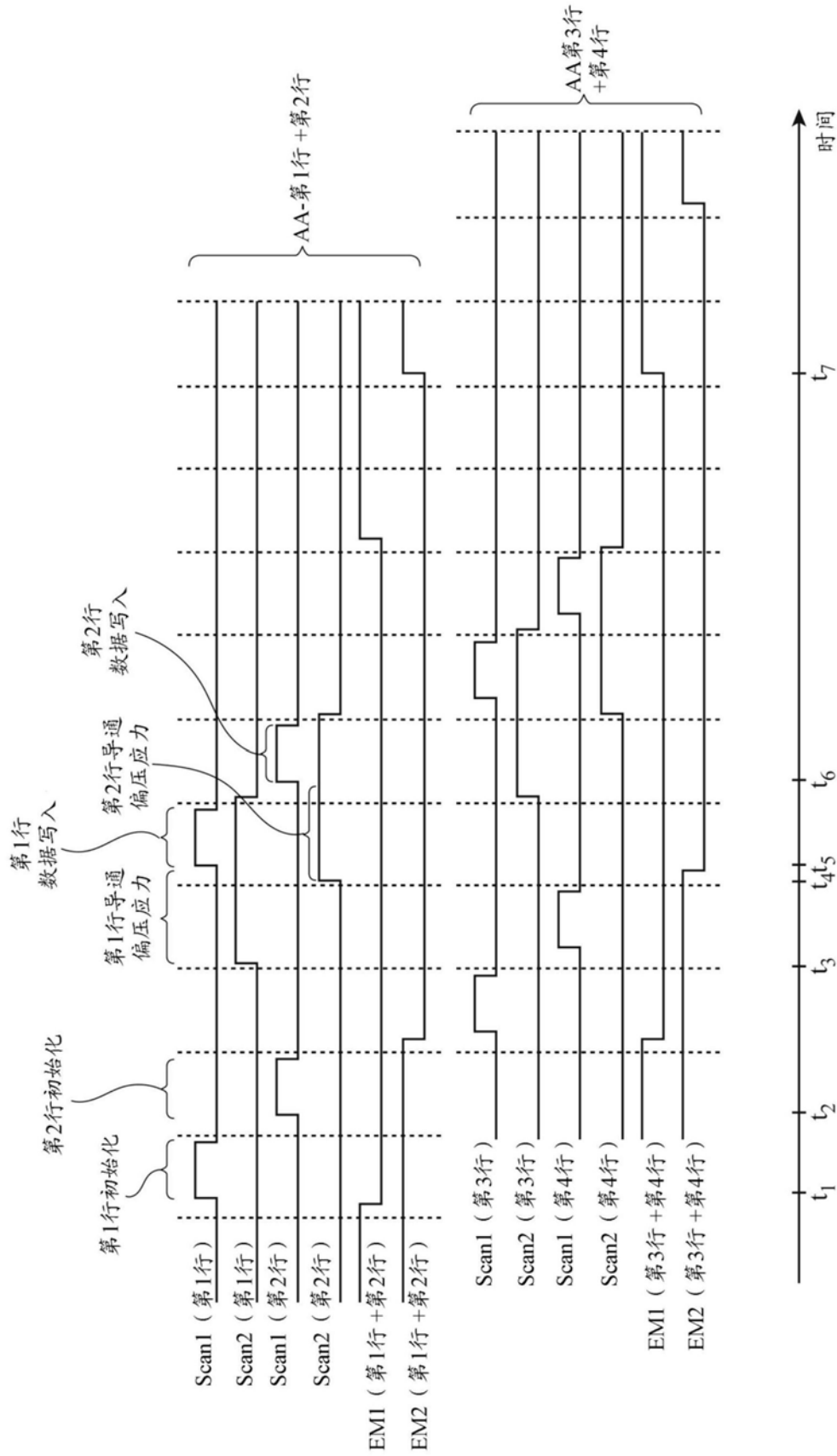


图18

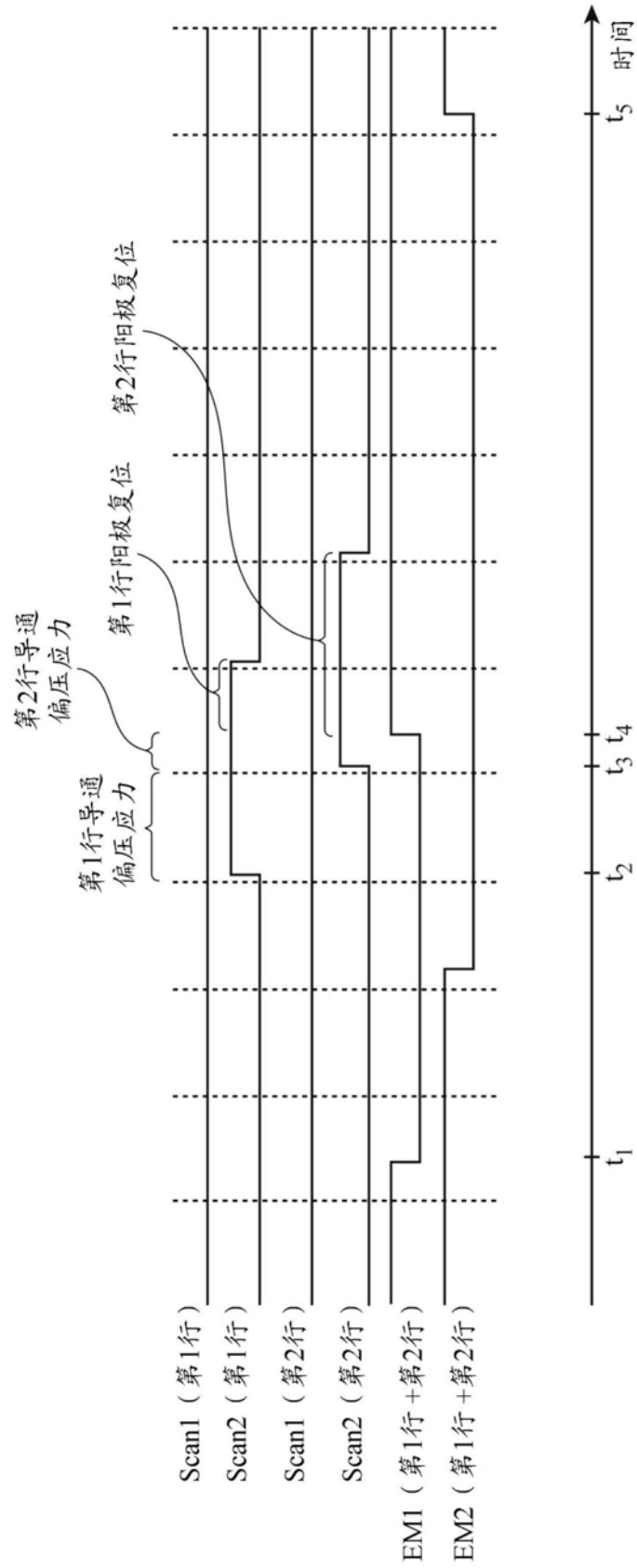


图19

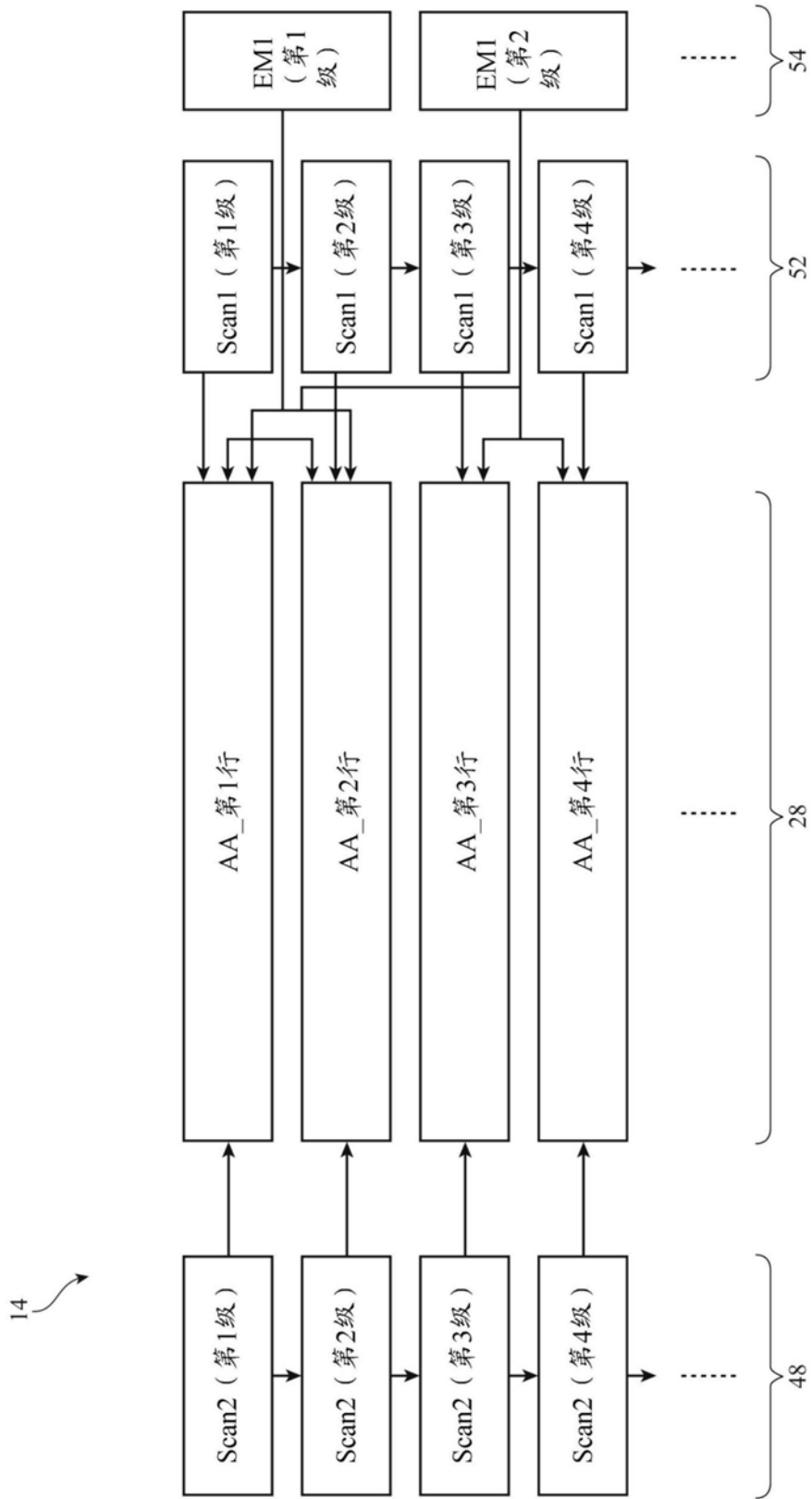


图20

专利名称(译)	具有包括共享寄存器电路的栅极驱动器电路系统的显示器		
公开(公告)号	CN110246454A	公开(公告)日	2019-09-17
申请号	CN201910712810.2	申请日	2019-08-02
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	钱闯 蔡宗廷 杨玄 谢承志 常鼎国 张世昌		
发明人	钱闯 蔡宗廷 杨玄 谢承志 A·J·鲁德巴里 常鼎国 张世昌		
IPC分类号	G09G3/3208 G09G3/3266 G11C19/28		
CPC分类号	G09G3/3208 G09G3/3266 G09G2310/0286 G11C19/28 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/0214 G09G2320/0247 G09G2320/045 G09G2340/0435 G09G3/3233 G09G3/3275		
代理人(译)	陈新 吴丽丽		
外部链接	Espacenet SIPO		

摘要(译)

本公开涉及具有包括共享寄存器电路的栅极驱动器电路系统的显示器。电子设备可包括具有有机发光二极管像素的显示器、显示驱动器电路系统和栅极驱动器电路系统。为减少栅极驱动器电路系统在显示器的无效区域中占据的空间量，栅极驱动器电路系统中的移位寄存器中的一个或多个可包括由多行像素共享的寄存器电路。即使当一些寄存器电路共享像素行时，不同驱动器也可使用不同时钟频率来确保显示器的同步操作。为了增大移位寄存器中寄存器电路的布置的灵活性，可将移位寄存器中的一个或多个在显示器的有效区域上分路。在一些情况下，可从栅极驱动器电路系统中省略发射驱动器之一，并且单个发射驱动器可为像素提供多个发射控制信号。

