



(12)发明专利申请

(10)申请公布号 CN 109285862 A

(43)申请公布日 2019.01.29

(21)申请号 201810788569.7

(22)申请日 2018.07.18

(30)优先权数据

10-2017-0092214 2017.07.20 KR

(71)申请人 LG电子株式会社

地址 韩国首尔

(72)发明人 金元泰 白钦硕 李种业 郑仁锡

黄正焕

(74)专利代理机构 北京三友知识产权代理有限公司

11127

代理人 刘久亮

(51)Int.Cl.

H01L 27/32(2006.01)

G09G 3/3225(2016.01)

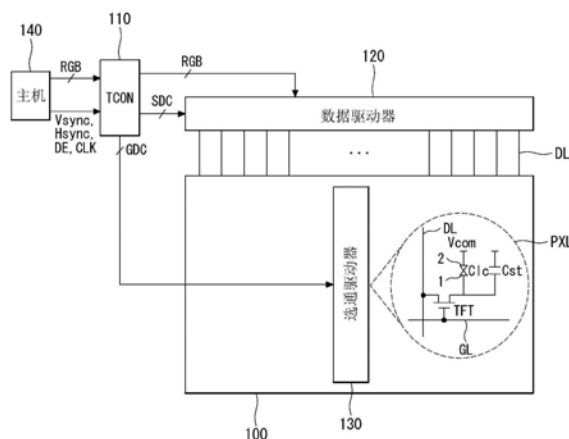
权利要求书4页 说明书13页 附图8页

(54)发明名称

显示装置

(57)摘要

公开了一种显示装置。本发明的显示装置可包括:基板,其包括显示区域以及与显示区域相邻的非显示区域;阳极,其被设置在显示区域中;有机发光层,其被层叠在阳极上,该有机发光层被设置在显示区域中;阴极,其被层叠在有机发光层上;以及选通驱动器,其被设置在显示区域中。



1. 一种显示装置,该显示装置包括:
  - 基板,该基板包括显示区域以及与所述显示区域相邻的非显示区域;
  - 阳极,该阳极被设置在所述显示区域中;
  - 有机发光层,该有机发光层被设置在所述阳极上并设置在所述显示区域中;
  - 阴极,该阴极被设置在所述有机发光层上;以及
  - 选通驱动器,该选通驱动器被设置在所述显示区域中。
2. 根据权利要求1所述的显示装置,该显示装置还包括设置在所述显示区域中的驱动薄膜晶体管TFT,
  - 其中,所述驱动TFT包括:
    - D-漏极,该D-漏极连接到所述阳极;
    - D-源极;
    - D-栅极;以及
    - D-半导体层,
  - 其中,所述选通驱动器被设置在所述基板上,并且
  - 其中,所述驱动TFT被设置在所述选通驱动器上。
3. 根据权利要求2所述的显示装置,其中,所述选通驱动器包括多个选通TFT,
  - 其中,所述多个选通TFT中的每一个选通TFT包括:
    - G-半导体层;
    - G-栅极;
    - G-源极;以及
    - G-漏极,该G-漏极连接到所述D-栅极。
4. 根据权利要求3所述的显示装置,该显示装置还包括:
  - 保护层,该保护层覆盖所述选通驱动器;以及
  - 平坦化层,该平坦化层被设置在所述保护层上,
  - 其中,所述驱动TFT被设置在所述平坦化层上,
  - 其中,所述G-漏极穿过所述保护层和所述平坦化层,并且
  - 其中,所述G-漏极连接到所述D-栅极。
5. 根据权利要求4所述的显示装置,其中,所述选通驱动器伸长并垂直地设置在所述显示区域的中心部分处。
6. 根据权利要求4所述的显示装置,其中,所述选通驱动器包括设置在所述显示区域的相对两侧的第一选通驱动器和第二选通驱动器。
7. 根据权利要求3所述的显示装置,该显示装置还包括:
  - 下第一绝缘物;
  - 下第二绝缘物;
  - 下保护层;以及
  - 下平坦化层,
  - 其中,
  - 所述G-半导体层被设置在所述基板上;
  - 所述下第一绝缘物被设置在所述基板上并覆盖所述G-半导体层;

所述G-栅极被设置在所述下第一绝缘物上；

所述下第二绝缘物被设置在所述下第一绝缘物上并覆盖所述G-栅极；

所述G-源极被设置在所述下第二绝缘物上并穿过所述下第一绝缘物和所述下第二绝缘物,其中,所述G-源极连接到所述G-半导体层的上表面；

所述G-漏极被设置在所述下第二绝缘物上并穿过所述下第一绝缘物和所述下第二绝缘物,其中,所述G-漏极连接到所述G-半导体层的所述上表面并与所述G-源极间隔开；

所述下保护层被设置在所述下第二绝缘物上并覆盖所述G-源极和所述G-漏极；并且

所述下平坦化层被设置在所述下保护层上。

8. 根据权利要求7所述的显示装置,该显示装置还包括：

上第一绝缘物；

上第二绝缘物；

上保护层；以及

上平坦化层，

其中，

所述D-半导体层被设置在所述下平坦化层上；

所述上第一绝缘物被设置在所述下平坦化层上并覆盖所述D-半导体层；

所述D-栅极被设置在所述上第一绝缘物上并连接到所述G-漏极；

所述上第二绝缘物被设置在所述上第一绝缘物上并覆盖所述D-栅极；

所述D-源极被设置在所述上第二绝缘物上并穿过所述上第一绝缘物和所述上第二绝缘物,其中,所述D-源极连接到所述D-半导体层；

所述D-漏极被设置在所述上第二绝缘物上并穿过所述上第一绝缘物和所述上第二绝缘物,其中,所述D-漏极连接到所述D-半导体层并与所述D-源极间隔开；

所述上保护层被设置在所述上第二绝缘物上并覆盖所述D-源极和所述D-漏极；

所述上平坦化层被设置在所述上保护层上；并且

所述阳极被设置在所述上平坦化层上并连接到所述D-漏极。

9. 根据权利要求8所述的显示装置,其中,所述D-半导体层包括第一D-半导体层和第二D-半导体层，

其中,所述第一D-半导体层与所述第二D-半导体层间隔开，

其中,所述D-源极连接到所述第一D-半导体层,并且

其中,所述D-漏极连接到所述第二D-半导体层。

10. 根据权利要求7所述的显示装置,该显示装置还包括：

上第一绝缘物；

上保护层；以及

上平坦化层，

其中,所述驱动TFT还包括D-蚀刻阻挡层,并且

其中，

所述D-栅极被设置在所述下平坦化层上；

所述上第一绝缘物被设置在所述下平坦化层上并覆盖所述D-栅极；

所述D-半导体层被设置在所述上第一绝缘物上；

所述D-蚀刻阻挡层被设置在所述D-半导体层上；

所述D-源极被设置在所述上第一绝缘物上并覆盖所述D-半导体层的一侧和所述D-蚀刻阻挡层的一侧；

所述D-漏极被设置在所述上第一绝缘物上并覆盖所述D-半导体层的另一侧和所述D-蚀刻阻挡层的另一侧；

所述上保护层被设置在所述上第一绝缘物上并覆盖所述D-源极和所述D-漏极；

所述上平坦化层被设置在所述上保护层上；并且

所述阳极被设置在所述上平坦化层上并连接到所述D-漏极。

11. 根据权利要求3所述的显示装置, 该显示装置还包括:

下第一绝缘物;

下保护层; 以及

下平坦化层,

其中, 所述选通TFT还包括G-蚀刻阻挡层, 并且

其中,

所述G-栅极被设置在所述基板上;

所述下第一绝缘物被设置在所述基板上并覆盖所述G-栅极;

所述G-半导体层被设置在所述下第一绝缘物上;

所述G-蚀刻阻挡层被设置在所述G-半导体层上;

所述G-源极被设置在所述下第一绝缘物上并覆盖所述G-半导体层的一侧和所述G-蚀刻阻挡层的一侧;

所述G-漏极被设置在所述下第一绝缘物上并覆盖所述G-半导体层的另一侧和所述G-蚀刻阻挡层的另一侧;

所述下保护层被设置在所述下第一绝缘物上并覆盖所述D-源极和所述D-漏极; 并且

所述下平坦化层被设置在所述下保护层上。

12. 根据权利要求11所述的显示装置, 该显示装置还包括:

上第一绝缘物;

上第二绝缘物;

上保护层; 以及

上平坦化层,

其中,

所述D-半导体层被设置在所述下平坦化层上;

所述上第一绝缘物被设置在所述下平坦化层上并覆盖所述D-半导体层;

所述D-栅极被设置在所述上第一绝缘物上;

所述上第二绝缘物被设置在所述上第一绝缘物上并覆盖所述D-栅极;

所述D-源极被设置在所述上第二绝缘物上并穿过所述上第一绝缘物和所述上第二绝缘物, 其中, 所述D-源极连接到所述D-半导体层;

所述D-漏极被设置在所述上第二绝缘物上并穿过所述上第一绝缘物和所述上第二绝缘物, 其中, 所述D-漏极连接到所述D-半导体层并与所述D-源极间隔开;

所述上保护层被设置在所述上第二绝缘物上并覆盖所述D-源极和所述D-漏极;

所述平坦化层被设置在所述上保护层上;并且  
所述阳极被设置在所述上平坦化层上并连接到所述D-漏极。

13. 根据权利要求12所述的显示装置,其中,所述D-半导体层包括第一D-半导体层和第二D-半导体层,

其中,所述第一D-半导体层与所述第二D-半导体层间隔开,  
其中,所述D-源极连接到所述第一D-半导体层,并且  
其中,所述D-漏极连接到所述第二D-半导体层。

14. 根据权利要求11所述的显示装置,该显示装置还包括:

上第一绝缘物;

上保护层;以及

上平坦化层,

其中,所述驱动TFT包括D-蚀刻阻挡层,

其中,

所述D-栅极被设置在所述下平坦化层上;

所述上第一绝缘物被设置在所述下平坦化层上并覆盖所述D-栅极;

所述D-半导体层被设置在所述上第一绝缘物上;

所述D-蚀刻阻挡层被设置在所述D-半导体层上;

所述D-源极被设置在所述上第一绝缘物上并覆盖所述D-半导体层的一侧和所述D-蚀刻阻挡层的一侧;

所述D-漏极被设置在所述上第一绝缘物上并覆盖所述D-半导体层的另一侧和所述D-蚀刻阻挡层的另一侧;

所述上保护层被设置在所述上第一绝缘物上并覆盖所述D-源极和所述D-漏极;

所述上平坦化层被设置在所述上保护层上;并且

所述阳极被设置在所述上平坦化层上并连接到所述D-漏极。

15. 根据权利要求1所述的显示装置,该显示装置还包括设置在所述非显示区域中并电连接到所述选通驱动器的数据驱动器。

16. 根据权利要求15所述的显示装置,其中,所述数据驱动器包括:

第一数据驱动器;以及

第二数据驱动器,该第二数据驱动器与所述第一数据驱动器间隔开。

17. 根据权利要求15所述的显示装置,该显示装置还包括源极膜上芯片COF,所述源极COF被设置在所述非显示区域中并被配置为将所述数据驱动器连接到所述基板。

## 显示装置

### 技术领域

[0001] 本发明涉及一种显示装置。

### 背景技术

[0002] 近年来,已开发了能够减小重量和体积(这些是阴极射线管(CRT)的缺点)的各种显示装置。例如,显示装置可以是液晶显示器(LCD)、场发射显示器(FED)、等离子体显示面板(PDP)或电致发光装置(EL)。

[0003] 显示装置可被划分成用于显示图像的显示区域以及沿着显示区域的外围形成的非显示区域。

[0004] 在传统显示装置中,用于驱动显示面板的面板驱动器被设置在非显示区域中。由于面板驱动器被设置在非显示区域中,所以限制了非显示区域的减小。

### 发明内容

[0005] 因此,本公开的目的在于解决上述和其它问题。

[0006] 本公开的另一目的在于提供一种形成窄边框的显示装置,其中,选通驱动器被设置在显示区域中,其中,传统数据驱动器被设置在非显示区域中。

[0007] 根据本发明的一方面,提供了一种显示装置,该显示装置包括:基板,其包括显示区域以及与显示区域相邻的非显示区域;阳极,其被设置在显示区域中;有机发光层,其被层叠在阳极上,该有机发光层被设置在显示区域中;阴极,其被层叠在有机发光层上;以及选通驱动器,其被设置在显示区域中。

[0008] 根据本发明的另一方面,该显示装置还可包括设置在显示区域中的驱动TFT(薄膜晶体管),并且驱动TFT可包括:连接到阳极的D-漏极;D-源极;D-栅极;和D-半导体层,并且选通驱动器可被层叠在基板上,驱动TFT可被层叠在选通驱动器上。

[0009] 根据本发明的另一方面,选通驱动器可包括多个选通TFT(薄膜晶体管),所述多个选通TFT中的每一个可包括:G-半导体层;G-栅极;G-源极;以及连接到D-栅极的G-漏极。

[0010] 根据本发明的另一方面,显示装置还可包括:覆盖选通驱动器的保护层;以及层叠在保护层上的平坦化层,驱动TFT可形成在平坦化层上,G-漏极可穿过保护层和平坦化层,并且G-漏极可连接到D-栅极。

[0011] 根据本发明的另一方面,选通驱动器可被设置在显示区域的中心部分处,并且选通驱动器可沿着显示区域的列方向伸长。

[0012] 根据本发明的另一方面,选通驱动器可包括第一选通驱动器和第二选通驱动器,第一选通驱动器可被设置在显示区域的一侧,第二选通驱动器可被设置在显示区域的另一侧,并且第二选通驱动器可与第一选通驱动器相对。

[0013] 根据本发明的另一方面,显示装置还可包括:下第一绝缘物;下第二绝缘物;下保护层;以及下平坦化层,G-半导体层可形成在基板上,下第一绝缘物可被施加在基板上并且下第一绝缘物可覆盖G-半导体层,G-栅极可形成在下第一绝缘物上,下第二绝缘物可被施

加在下第一绝缘物上并且下第一绝缘物可覆盖G-栅极,G-源极可形成在下第二绝缘物上,G-源极可穿过下第一和第二绝缘物,并且G-源极可连接到G-半导体层的上表面,G-漏极可形成在下第二绝缘物上,G-漏极可穿过下第一和第二绝缘物,G-漏极可连接到G-半导体层的上表面,并且G-漏极可与G-源极间隔开,下保护层可覆盖G-源极和G-漏极,并且下保护层可层叠在下第二绝缘物上,并且下平坦化层可层叠在下保护层上。

[0014] 根据本发明的另一方面,该显示装置还可包括:上第一绝缘物;上第二绝缘物;上保护层;以及上平坦化层,D-半导体层可形成在下平坦化层上,上第一绝缘物可层叠在下平坦化层上,上第一绝缘物可覆盖D-半导体层,D-栅极可形成在上第一绝缘物上,D-栅极可连接到G-漏极,上第二绝缘物可层叠在上第一绝缘物上,上第二绝缘物可覆盖D-栅极,D-源极可形成在上第二绝缘物上,D-源极可穿过上第一和第二绝缘物,D-源极可连接到D-半导体层,D-漏极可形成在上第二绝缘物上,D-漏极可穿过上第一和第二绝缘物,D-漏极可连接到D-半导体层,D-漏极可与D-源极间隔开,上保护层可层叠在上第二绝缘物上,上保护层可覆盖D-源极和D-漏极,上平坦化层可层叠在上保护层上,并且阳极可形成在上平坦化层上并连接到D-漏极。

[0015] 根据本发明的另一方面,D-半导体层可包括第一D-半导体层和第二D-半导体层,第一D-半导体层可与第二D-半导体层间隔开,D-源极可连接到第一D-半导体层,并且D-漏极可连接到第二D-半导体层。

[0016] 根据本发明的另一方面,该显示装置还可包括:上第一绝缘物;上保护层;以及上平坦化层,驱动TFT还可包括D-蚀刻阻挡层,D-栅极可形成在下平坦化层上,上第一绝缘物可层叠在下平坦化层上,上第一绝缘物可覆盖D-栅极,D-半导体层可形成在上第一绝缘物上,D-蚀刻阻挡层可形成在D-半导体层上,D-源极可形成在上第一绝缘物上,D-源极可覆盖D-半导体层的一侧和D-蚀刻阻挡层的一侧,D-漏极可形成在上第一绝缘物上,D-漏极可覆盖D-半导体层的另一侧和D-蚀刻阻挡层的另一侧,上保护层可层叠在上第一绝缘物上,并且上保护层可覆盖D-源极和D-漏极,上平坦化层可层叠在上保护层上;并且阳极可形成在上平坦化层上并连接到D-漏极。

[0017] 根据本发明的另一方面,该显示装置还可包括:下第一绝缘物;下保护层;以及下平坦化层,选通TFT还可包括G-蚀刻阻挡层,G-栅极可形成在基板上,下第一绝缘物可层叠在基板上,下第一绝缘物可覆盖G-栅极,G-半导体层可形成在下第一绝缘物上,G-蚀刻阻挡层可形成在G-半导体层上,G-源极可形成在下第一绝缘物上,G-源极可覆盖G-半导体层的一侧和G-蚀刻阻挡层的一侧,G-漏极可形成在下第一绝缘物上,G-漏极可覆盖G-半导体层的另一侧和G-蚀刻阻挡层的另一侧,下保护层可层叠在下第一绝缘物上,下保护层可覆盖D-源极和D-漏极,并且下平坦化层可层叠在下保护层上。

[0018] 根据本发明的另一方面,D-半导体层可包括第一D-半导体层和第二D-半导体层,第一D-半导体层可与第二D-半导体层间隔开,D-源极可连接到第一D-半导体层,并且D-漏极可连接到第二D-半导体层。

[0019] 根据本发明的另一方面,该显示装置还可包括设置在非显示区域中的数据驱动器,该数据驱动器可电连接到选通驱动器。

[0020] 根据本发明的另一方面,数据驱动器可包括:第一数据驱动器;以及与第一数据驱动器间隔开的第二数据驱动器。

[0021] 根据本发明的另一方面,该显示装置还可包括设置在非显示区域中的源极COF(膜上芯片),并且该源极COF可将数据驱动器连接到基板。

[0022] 根据本发明的至少一个实施方式,通过将选通驱动器(传统上设置在非显示区域中)形成在显示区域中,可容易地实现窄边框。

[0023] 根据本发明的至少一个实施方式,通过将选通驱动器(传统上形成在非显示区域中)形成在显示区域中,可改进产品的设计自主性。

## 附图说明

[0024] 附图被包括以提供本发明的进一步理解,并且被并入本说明书并构成本说明书的一部分,附图示出本发明的实施方式并与说明书一起用于说明本发明的原理。附图中:

[0025] 图1和图2是示出根据本发明的实施方式的显示装置的示意图。

[0026] 图3是选通驱动器和多条导线的关系图。

[0027] 图4是根据本发明的实施方式的像素的示意图。

[0028] 图5至图9是用于示出本发明的各种实施方式的图4的截面图。

[0029] 图10是示出根据本发明的实施方式的显示装置的示意图。

## 具体实施方式

[0030] 现在将详细参照本发明的实施方式,其示例示出于附图中。由于本发明可按照各种方式修改并且可具有各种形式,所以特定实施方式示出于附图中并且在本说明书中详细描述。然而,应该理解,本发明不限于所公开的特定实施方式,而是包括本发明的精神和技术范围内所包括的所有修改形式、等同形式和替换形式。

[0031] 术语“第一”、“第二”等可用于描述各种组件,但是所述组件不受这些术语限制。所述术语仅用于将一个组件与其它组件相区分。例如,在不脱离本发明的范围的情况下,第一组件可被指定为第二组件。按照相同的方式,第二组件可被指定为第一组件。

[0032] 术语“和/或”涵盖所公开的多个相关项的组合与所公开的多个相关项当中的任何项二者。

[0033] 当任意组件被描述为“连接到”或者“链接到”另一组件时,这应该被理解为意指它们之间可存在其它组件,尽管所述任意组件可直接连接到或链接到第二组件。相比之下,当任意组件被描述为“直接连接到”或者“直接链接到”另一组件时,这应该被理解为意指它们之间不存在组件。

[0034] 本申请中所使用的术语仅用于描述特定实施方式或示例,并非旨在限制本发明。单数表达可包括复数表达,只要它在上下文中没有明显不同的含义即可。

[0035] 在本申请中,术语“包括”和“具有”应该被理解为旨在指定存在所示的特征、数量、步骤、操作、组件、部分或其组合,而非排除存在一个或更多个不同的特征、数量、步骤、操作、组件、部分或其组合或者其添加的可能性。

[0036] 除非另外指明,否则本文所使用的所有术语(包括技术或科学术语)具有与本发明所属领域的普通技术人员通常理解的含义相同的含义。在常用字典中定义的术语必须被理解为具有与在现有技术的背景下所使用的含义相同的含义,不应解释为具有理想化或过分正式的含义,除非在本申请中明确地指定。

[0037] 向本领域技术人员提供本发明的以下实施方式以便更完整地描述本发明。因此，为了清晰，图中所示的元件的形状和尺寸可被夸大。

[0038] 参照图1，显示装置可包括：显示面板100，像素阵列形成在该显示面板100上；以及面板驱动器110、120和130，其用于向显示面板100提供输入数字视频数据。

[0039] 显示面板100的像素阵列可从输入数字视频数据显示图像。像素阵列的像素PXL可按照由数据线DL和选通线GL的交叉结构限定的矩阵形式布置。像素PXL可包括：像素电极1，数据电压被供应至该像素电极1；至少一个薄膜晶体管(TFT)，其作为开关元件和/或驱动元件操作；以及电容器Cst。像素PXL可连接到公共电极2。公共电极2可向像素供应公共电压Vcom。可由被供应数据电压的像素电极1与被供应公共电压Vcom的公共电极2之间的电场来驱动液晶单元Clc。

[0040] 面板驱动器110、120和130可包括数据驱动器120、选通驱动器130和定时控制器110。

[0041] 数据驱动器120可围绕显示面板100设置。数据驱动器120可被设置在显示面板100上方或下方。数据驱动器120可在定时控制器110的控制下。数据驱动器120可使要供应给像素PXL的数据电压的极性反转并将数据电压输出至数据线DL。例如，数据驱动器120可包括多个源极驱动IC(集成电路)。

[0042] 选通驱动器130可被设置在显示面板100内。选通驱动器130可被设置在显示图像的显示区域中。选通驱动器130可在定时控制器110的控制下将选通信号或扫描信号供应给选通线GL。例如，选通驱动器130可包括多个选通驱动IC。选通驱动器130可被称为GIP(面板中选通)。GIP 130可由多个薄膜晶体管组成。

[0043] 定时控制器110可从主机系统140接收输入数字视频数据以及与输入数字视频数据同步的定时信号Vsync、Hsync、DE和CLK。例如，定时信号Vsync、Hsync、DE和CLK可包括：垂直同步信号Vsync；水平同步信号Hsync；数据使能信号DE；和主时钟CLK。

[0044] 定时控制器110可将主机系统140接收的输入数字视频数据发送到数据驱动器120。

[0045] 定时控制器110可基于定时信号Vsync、Hsync、DE和CLK生成源极定时控制信号SDC和选通定时控制信号GDC。定时控制信号SDC可控制数据驱动器120的操作定时。选通定时控制信号GDC可控制选通驱动器130的操作定时。

[0046] 源极定时控制信号SDC可包括多个源极信号。源极定时控制信号SDC可包括源极起始脉冲(SSP)、源极采样时钟(SSC)、极性控制信号和源极输出使能信号(SOE)。

[0047] 源极起始脉冲(SSP)可控制内置于数据驱动器120中的移位寄存器的起始定时。源极采样时钟(SSC)可控制数据的采样定时。极性控制信号可控制来自数据驱动器120的数据电压的极性。源极输出使能信号(SOE)可控制数据电压的输出定时。

[0048] 选通定时控制信号(GDC)可包括多个选通信号。选通定时控制信号(GDC)可包括选通起始脉冲(GSP)、选通移位时钟(GSC)和选通输出使能信号(GOE)。

[0049] 选通起始脉冲(GSP)可控制移位寄存器的起始定时。选通移位时钟(GSC)可控制移位寄存器的移位定时。选通输出使能信号(GOE)可限定选通信号的输出定时。

[0050] 主机系统140可提供输入数字视频数据和各种定时信号(Vsync、Hsync、DE、CLK)以使得显示面板100可显示图像。例如，主机系统140可以是TV系统、机顶盒、导航系统、DVD播

放器、蓝光播放器、个人计算机(PC)、家庭影院系统中的任一个。

[0051] 参照图2,显示面板100可包括基板SUB(参见图5)。显示面板100或基板SUB(参见图5)可包括用于显示输入数字视频数据的图像的显示区域AA以及用于布置用于驱动显示区域AA的各种电子组件的非显示区域NA。非显示区域NA可被称为边框区域(BA)。

[0052] 多个像素PXL可按照矩阵形式布置在显示区域AA上。例如,多个像素PXL可按照M×N矩形形状布置。M和N可以是自然数。N可大于M。

[0053] 选通驱动器130可被设置在显示区域AA的中心部分处。选通驱动器130可沿着显示区域AA的列方向Y伸长。

[0054] 选通驱动器130可包括多个薄膜晶体管。选通驱动器130可被安装在基板SUB上(参见图5)。选通驱动器130可被设置在像素PXL下方。选通驱动器130可被设置在基板SUB与像素PXL之间。

[0055] 选通驱动器130可电连接到多条导线134a。多条导线134a可将驱动信号或控制信号发送至选通驱动器130。多条导线134a可电连接到数据驱动器120和源极COF(膜上芯片)122。

[0056] 考虑到噪声和信号延迟,多条导线134a可连接到最靠近选通驱动器130的外围设置的源极COF(膜上芯片)122。

[0057] 驱动信号或控制信号可经由数据驱动器120、源极COF(膜上芯片)122和多条导线134a被供应至选通驱动器130。

[0058] 非显示区域NA可设置在像素阵列的外围或者围绕像素PXL设置。非显示区域NA可在列方向上设置在像素PXL的一侧。数据驱动器120可被设置在非显示区域NA上。数据驱动器120可沿着从显示区域的左侧延伸到右侧的左右方向X伸长。数据驱动器120可将与图像信息对应的信号供应给数据线DL。

[0059] 数据驱动器120可包括多个源极驱动IC(集成电路)121。例如,源极驱动IC 121可经由源极COF(膜上芯片)122联接至数据焊盘123(参见图3)。多个源极驱动IC121可在横向方向X上间隔开。源极驱动IC 121可经由源极COF 122和数据焊盘123(参见图3)连接到数据线DL。

[0060] 传统选通驱动器130被设置在显示区域AA的两侧以形成非显示区域NA。通过将根据本发明的实施方式的选通驱动器130设置在显示区域AA上,边框可相对减小。

[0061] 参照图3,像素PXL可包括多个子像素。多个子像素可规则地布置。

[0062] 例如,像素PXL可包括表示RGB(红、绿和蓝)色调的三个子像素。作为另一示例,像素PXL可包括表示RGBW(红、绿、蓝和白)颜色的四个子像素。

[0063] 数据驱动器120(参见图2)、数据焊盘123和选通焊盘134可被设置在非显示区域NA上。

[0064] 数据焊盘123可对应于多条数据线DL。数据焊盘123可形成在多条数据线DL中的每一条的末端处。多个数据焊盘123可按照规则的间距彼此间隔开。多个数据焊盘123可布置成多行,以确保邻近数据线DL之间的间距。

[0065] 选通焊盘134可对应于多条导线。选通焊盘134可形成在多条导线的各个末端处。例如,多条导线可包括:第一时钟导线CLK1至第四时钟导线CLK4;重置导线Reset、数据起始导线VST;驱动导线VDD;第一驱动导线VDD1;第二驱动导线VDD2;以及基准导线VSS。

[0066] 例如,在多条导线当中,基准导线VSS可与GIP 130一起被设置在基板SUB(参见图5)内,或者被设置在基板SUB(参见图5)的最外部。基准导线VSS可供应基准电压或接地电压GND。基准导线VSS可被供应从基板SUB(参见图5)外部供应的接地电压,并且可将接地电压供应给数据驱动器120(参见图2)和GIP 130。基准导线VSS可连接到设置在基板SUB的上侧的数据驱动器120(参见图2)以及设置在基板SUB内的GIP 130。

[0067] 多条导线可按照规则的间距彼此间隔开。选通焊盘134可布置成多行以确保多条导线之间的间距。

[0068] GIP 130可从通过选通焊盘134电连接的多条导线接收多个驱动信号或控制信号并且可将扫描信号供应给选通线GL。GIP 130可包括多个薄膜晶体管131a和131b。

[0069] 多个薄膜晶体管131a和131b中的每一个可通过选通焊盘134电连接到多条导线。

[0070] 选通焊盘134可与数据焊盘123间隔开。选通焊盘134和数据焊盘123可在左右方向X上较长地布置。

[0071] 参照图4和图5,多个像素PXL可按照矩阵形式布置在显示区域AA上。图5中的箭头指示光发射方向。

[0072] 在左右方向X(行方向)上延伸的多条选通线GL与在垂直方向Y(列方向)上延伸的多条数据线DL和驱动电流线VDD交叉。像素PXL可由选通线GL划分。像素PXL可由数据线DL或驱动电流线VDD划分。像素PXL可由数据线DL与驱动电流线VDD的边界(或之间)划分。

[0073] 各个像素PXL可具有相同的大小或不同的大小。设置有至少一个像素PXL的区域可被称为像素区域PA。例如,设置有多个像素PXL的区域可被称为像素区域PA。像素区域PA可具有矩形形状。像素区域PA可形成在基板SUB上。像素区域PA可形成在显示区域AA内。例如,像素区域PA可代表显示区域AA。

[0074] 选通驱动器130(参见图3)可形成在基板SUB内。

[0075] 用于驱动有机发光二极管(OLED)的薄膜晶体管可被设置在各个像素PXL中。薄膜晶体管可形成在位于像素PXL中的TFT(薄膜晶体管)区域TA上。例如,薄膜晶体管可包括开关TFT(未示出)和驱动TFT DT(参见图5)。

[0076] 有机发光二极管OLED可包括阳极ANO、阴极CAT以及夹在两个电极之间的有机发光层OL。从OLED实际发射光的区域可由有机发光层OL与阳极ANO交叠的区域确定。

[0077] 阳极ANO可占据像素PXL的特定区域。阳极ANO可连接到形成在薄膜晶体管区域TA上的薄膜晶体管。有机发光层OL可形成在阳极ANO上。阳极ANO和有机发光层OL交叠的区域可以是发光区域。有机发光层OL上的阴极CAT可覆盖布置有像素PXL的显示区域AA的整个区域。

[0078] 阴极CAT可与基准导线VSS(参见图3)接触。基准电压可经由基准导线VSS(参见图3)施加到阴极CAT。阴极CAT可接收基准电压。阳极ANO可接收图像电压。

[0079] 阴极CAT与阳极ANO之间的电压差可诱使有机发光层OL发射光。可通过来自有机发光层OL的光显示图像。

[0080] 选通驱动器130(参见图3)可与TFT区域TA交叠。选通驱动器130(参见图3)可连接到形成在薄膜晶体管区域TA中的薄膜晶体管。

[0081] 选通驱动器130(参见图3)可包括多个GIP薄膜晶体管GT(参见图6)。GIP薄膜晶体管GT可具有与开关TFT(未示出)或驱动TFT DT相同的配置。“GIP薄膜晶体管”可被称为“G-

TFT”或“GIP TFT”或“选通TFT”。

[0082] 多个G-TFT GT可相对于彼此电布置。由多个G-TFT GT组成的选通驱动器130(参见图3)可在列方向Y上伸长并与像素PXL交叠。

[0083] 参照图5,显示装置可包括薄膜晶体管以及连接到薄膜晶体管的有机发光二极管OLED。

[0084] 薄膜晶体管元件可包括开关TFT(未示出)、连接到开关TFT的驱动TFT DT以及GIP-TFT GT(参见图6)。

[0085] 开关TFT(未示出)可选择像素。开关TFT(未示出)可包括栅极、半导体层、源极和漏极。栅极可从选通线GL分支。

[0086] 开关TFT(未示出)的配置可基本上与驱动TFT DT的配置相同。

[0087] 驱动TFT DT可驱动由开关TFT(未示出)选择的像素。驱动TFT DT可包括栅极DG、半导体层DA、源极DS和漏极DD。栅极DG可连接到选通驱动器130。源极DS可连接到有机发光二极管的阳极ANO。尽管图5中未示出,驱动TFT DT的栅极DG可连接到开关TFT(未示出)的漏极(未示出)。驱动TFT DT的漏极DD可连接到驱动导线VDD(参见图4)。驱动TFT DT的漏极DD可被称为D-漏极DD。驱动TFT DT的源极DS可被称为D-源极DS。驱动TFT DT的栅源DG可被称为D-栅极DG。驱动TFT DT的半导体层DA可被称为D-半导体层DA。

[0088] 选通驱动器130可形成在基板SUB上。保护层PAS可被施加在形成有选通驱动器130的基板SUB上。保护层PAS可覆盖选通驱动器130和基板SUB。

[0089] 平坦化层PL可被连续地施加在保护层PAS上。平坦化层PL可使施加有保护层PAS的基板SUB平滑或平坦化。开关TFT(未示出)和驱动TFT DT可被施加在施加有平坦化层PL的基板SUB上。

[0090] 驱动TFT DT的半导体层DA可形成在平坦化层PL上。半导体层DA可与选通驱动器130交叠。栅极绝缘物GI可被涂覆在平坦化层PL上。栅极绝缘物GI可覆盖半导体层DA。栅极绝缘物GI可被称为第一绝缘物GI。

[0091] 栅极DG可形成在栅极绝缘物GI上。栅极DG可通过栅极绝缘物GI、平坦化层PL和保护层PAS连接到选通驱动器130。栅极绝缘物GI、平坦化层PL和保护层PAS可形成接触孔H。栅极绝缘物GI、平坦化层PL和保护层PAS可经由接触孔H彼此连通。栅极DG可穿过接触孔H。

[0092] 接触孔H可不穿透半导体层DA。接触孔H可围绕半导体层DA形成。选通驱动器130可通过接触孔H暴露。半导体层DA和栅极DG可彼此绝缘。

[0093] 绝缘物IN可被涂覆在栅极绝缘物GI上。绝缘物IN可覆盖栅极DG。绝缘物IN可被称为第二绝缘物IN。

[0094] 源极DS和漏极DD可形成在第二绝缘物IN上。栅极DG可被设置在源极DS与漏极DD之间。栅极DG可既不与源极DS也不与漏极DD交叠。

[0095] 源极DS和漏极DD可穿过第二绝缘物IN和栅极绝缘物GI。源极DS和漏极DD可连接到半导体层DA的上表面。

[0096] 例如,源极DS可连接到半导体层DA的上表面。连接到源极DS的半导体层DA可被称为第一半导体层DA。例如,漏极DD可连接到半导体层DA的上表面。连接到漏极DD的半导体层DA可被称为第二半导体层DA。例如,源极DS和漏极DD可与栅极DG相邻设置。

[0097] 保护层PAS可被涂覆在第二绝缘物IN上。保护层PAS可覆盖驱动TFT DT。保护层PAS

可被施加在显示区域AA和非显示区域NA二者上。可穿过保护层PAS形成多个接触孔H。显示区域AA中的驱动TFT DT的漏极DD可通过接触孔H暴露。非显示区域中的选通焊盘GP(参见图4)和数据焊盘DP(参见图3)可通过接触孔H暴露。

[0098] 平坦化层PL可被施加在保护层PAS上。平坦化膜PL可仅施加在基板SUB的显示区域AA上。平坦化层PL可使基板SUB的上表面平滑。构成有机发光二极管OLED的有机材料可被施加在平坦化层PL的平滑表面上。

[0099] 阳极ANO可形成在平坦化层PL上。阳极ANO可穿过平坦化层PL和保护层PAS。阳极ANO可连接到驱动TFT DT的漏极DD。

[0100] 有机发光层OL可形成在阳极ANO上。

[0101] 阴极CAT可形成在有机发光层OL上。

[0102] 尽管上述驱动TFT DT被描述为顶栅结构,但其不限于此。

[0103] 参照图6,多个G-TFT GT可在定时控制器的控制下通过接收驱动信号或控制信号来选择性地操作。G-TFT GT可将扫描信号供应给由开关TFT(未示出)选择的像素。在图6中,选通驱动器被简要地示出为一个G-TFT(GT),将主要描述其描述。

[0104] G-TFT GT可包括栅极GG、半导体层GA、源极GS和漏极GD。漏极GD可连接到驱动TFT DT的栅极DG。选通TFT GT的栅极GG可被称为G-栅极。选通TFT GT的半导体层GA可被称为G-半导体层GA。选通TFT GT的源极GS可被称为G-源极GS。选通TFT GT的漏极GD可被称为G-漏极GD。

[0105] G-TFT GT的半导体层GA可形成在基板SUB上。

[0106] 栅极绝缘物GI可被涂覆在基板SUB上。第一绝缘物GI可覆盖半导体层GA。层叠在基板SUB上的“第一绝缘物”GI可被称为“下第一绝缘物”GI。下第一绝缘物GI可与选通TFT GT相邻。下第一绝缘物GI可在选通TFT GT上接触。

[0107] 栅极GG可形成在栅极绝缘物GI上。栅极GG可与半导体层GA的中心部分交叠。

[0108] 绝缘物IN可覆盖栅极GG。第二绝缘物IN可被施加在第一绝缘物GI上。层叠在下第一绝缘物上的第二绝缘物IN可被称为下第二绝缘物IN。

[0109] 源极GS和漏极GD可形成在第二绝缘物IN上。栅极GG可被设置在源极GS与漏极GD之间。

[0110] 源极GS和漏极GD可穿透第二绝缘物IN和第一绝缘物GI。源极GS和漏极GD可连接到半导体层GA的上表面。

[0111] 形成G-TFT GT的工艺可基本上与形成驱动TFT DT的工艺相同。

[0112] 保护层PAS可被涂覆在第二绝缘物IN上。保护层PAS可覆盖G-TFT GT。覆盖选通TFT GT的保护层PAS可被称为下保护层PAS。

[0113] 平坦化层PL可被连续地施加在保护层PAS上。驱动TFT DT可被施加到平坦化层PL。层叠在下保护层PAS上的平坦化层PL可被称为下平坦化层PL。

[0114] 驱动TFT DT的半导体层DA可形成在下平坦化层PL上。驱动TFT DT的半导体层DA可与G-TFT GT交叠。

[0115] 栅极绝缘物GI可覆盖半导体层DA。第一绝缘物GI可被施加在平坦化层PL上。连接到D-半导体层DA的栅极绝缘物GI可被称为上第一绝缘物GI。

[0116] 栅极绝缘物GI可覆盖半导体层DA。第一绝缘物GI可被施加在平坦化膜PL上。

- [0117] 接触孔H可形成在栅极绝缘物GI、平坦化层PL和保护层PAS中。G-TFT的漏极GD可通过接触孔H暴露。接触孔H可与半导体层DA相邻形成。半导体层DA和栅极DG可彼此绝缘。
- [0118] 栅极DG可连接到G-TFT的漏极GD。栅极DG可被插入到接触孔H中。
- [0119] 第二绝缘物IN可被涂覆在第一绝缘物GI上。第二绝缘物IN可覆盖栅极DG。
- [0120] 源极DS和漏极DD可形成在第二绝缘物IN上。栅极DG可形成在源极DS与漏极DD之间。在层叠方向上栅极DG可不与源极DS交叠。在层叠方向上栅极DG可不与漏极DD交叠。覆盖上第一绝缘物GI的第二绝缘物IN可被称为上第二绝缘物IN。
- [0121] 源极DS和漏极DD可穿透第二绝缘物IN和第一绝缘物GI。源极DS和漏极DD可连接到半导体层DA的上表面。
- [0122] 源极DS可连接到与栅极DG相邻的半导体层DA的上表面。漏极DD可连接到与栅极DG相邻的半导体层DA的上表面。连接到源极DS的半导体层DA可与连接到漏极DD的半导体层DA间隔开。
- [0123] 保护层PAS可被涂覆在第二绝缘物IN上。保护层PAS可覆盖驱动TFT DT。驱动TFT DT的漏极DD可通过形成在保护层PAS中的开口暴露。连接到驱动TFT DT的保护层PAS可被称为上保护层PAS。
- [0124] 平坦化层PL可被施加在保护层PAS上。覆盖上保护层PAS的平坦化层PL可被称为上平坦化层PL。
- [0125] 阳极ANO可形成在平坦化层PL上。阳极ANO可穿过平坦化层PL和保护层PAS。阳极ANO可连接到驱动TFT DT的漏极DD。
- [0126] 堤BA可被施加在平坦化层PL上。堤BA可被施加到显示区域上的像素PXL以外的区域。堤BA可划分各个像素。堤BA可被称为像素限定层。堤BA可包括有机材料。例如，堤BA可包括聚酰亚胺系列和聚丙烯系列中的至少一种。
- [0127] 有机发光层OL可形成在阳极ANO上。阳极ANO的形成有有机发光层OL的区域可不被堤BA覆盖。
- [0128] 阴极CAT可形成在有机发光层OL和堤BA上。阴极CAT可覆盖有机发光层OL和堤BA。阴极CAT可形成在显示区域AA上。阴极CAT可在有机发光层OL所在的地方凹陷。
- [0129] 在图6中，G-TFT GT和驱动TFT DT被描述为顶栅结构，但本发明不限于此。
- [0130] 参照图7，形成在像素PXL中的G-TFT GT可包括栅极GG、半导体层GA、源极GS和漏极GD。G-TFT GT的漏极GD可连接到驱动TFT DT的漏极DD。
- [0131] G-TFT GT的半导体层GA可形成在基板SUB上。
- [0132] 第一绝缘物GI可覆盖半导体层GA。第一绝缘物GI可被施加在基板SUB上。
- [0133] 栅极GG可形成在第一绝缘物GI上。在层叠方向上栅极GG可与半导体层GA的中心部分交叠。
- [0134] 绝缘物IN可覆盖栅极GG。第二绝缘物IN可被施加在第一绝缘物GI上。
- [0135] 源极GS和漏极GD可形成在第二绝缘物IN上。栅极GG可形成在源极GS与漏极GD之间。
- [0136] 源极GS和漏极GD可被插入到绝缘膜IN和栅极绝缘膜GI中。源极GS和漏极GD可连接到半导体层GA的上表面。
- [0137] 保护层PAS可被涂覆在第二绝缘物IN上。保护层PAS可覆盖G-TFT GT。

- [0138] 平坦化层PL可被施加在保护层PAS上。
- [0139] 形成在像素PXL上的驱动TFT DT可形成在平坦化层PL上。驱动TFT DT可包括栅极DG、半导体层DA、蚀刻阻挡层ES、源极DS和漏极DD。蚀刻阻挡层ES可保护半导体层DA免于被蚀刻损坏。蚀刻阻挡层ES可被称为D-蚀刻阻挡层ES。
- [0140] 接触孔H可形成在平坦化层PL和保护层PAS中。G-TFT GT的漏极GD可通过接触孔H暴露。驱动TFT DT的栅极DG可穿过接触孔H。驱动TFT DT的栅极DG可与G-TFT GT的漏极GD连接或接触。在层叠方向上驱动TFT DT的栅极DG可与G-TFT GT的漏极GD交叠。
- [0141] 保护层PAS可被涂覆在第一绝缘物GI上。保护层PAS可覆盖驱动TFT DT。
- [0142] 平坦化层PL可被连续地施加在保护层PAS上。
- [0143] 阳极ANO可形成在平坦化层PL上。阳极ANO可形成为孤立的矩形形状,其中,阳极ANO可仅占据像素PXL的特定部分。阳极ANO可通过形成在保护层PAS和平坦化层PL中的孔来与驱动TFT DT的漏极DD接触。
- [0144] 堤BA可形成在形成有阳极ANO的平坦化层PL上。堤BA可被构图以形成发光区域。阳极ANO可在发光区域处暴露。
- [0145] 有机发光层OL可形成在通过堤BA的构图暴露的阳极ANO上。阴极CAT可覆盖堤BA和有机发光层OL。阴极CAT可包括透明导电材料。
- [0146] 在图7中,G-TFT GT被描述为顶栅结构,并且驱动TFT DT被描述为底栅结构。
- [0147] 参照图8,G-TFT GT可包括栅极GG、半导体层GA、蚀刻阻挡层ES、源极GS和漏极GD。G-TFT GT可形成在像素PXL中。
- [0148] G-TFT GT的栅极GG可形成在基板SUB上。
- [0149] 第一绝缘物GI可被涂覆在基板SUB上。第一绝缘物GI可覆盖栅极GG。
- [0150] 半导体层GA可形成在第一绝缘物GI上。半导体层GA可与栅极GG交叠。具体地讲,半导体层GA可在层叠方向上与栅极GG交叠。
- [0151] 蚀刻阻挡层ES可形成在半导体层GA上。蚀刻阻挡层ES可覆盖半导体层GA。蚀刻阻挡层ES可形成在半导体层GA与源极GS或漏极GD之间。当源极GS或漏极GD被蚀刻时,蚀刻阻挡层ES可防止半导体层GA损坏。形成在G-半导体层GA上的蚀刻阻挡层ES可被称为G-蚀刻阻挡层ES。
- [0152] 源极GS和漏极GD可覆盖半导体层GA和蚀刻阻挡层ES。半导体层GA和蚀刻阻挡层ES可位于源极GS与漏极GD之间。源极GS可与漏极GD对称。源极GS和漏极GD可在一体地形成之后通过蚀刻工艺分离。蚀刻阻挡层ES可在蚀刻工艺期间保护半导体层GA。
- [0153] 保护层PAS可被施加在第一绝缘物GI上。保护层PAS可覆盖G-TFT GT。
- [0154] 平坦化层PL可被施加在保护层PAS上。
- [0155] 驱动TFT DT可形成在像素中。驱动TFT DT可包括栅极DG、半导体层DA、源极DS和漏极DD。参照图6介绍驱动TFT DT的详细描述。
- [0156] 驱动TFT DT可形成在平坦化层PL上。驱动TFT DT可层叠在G-TFT GT上方。
- [0157] 驱动TFT DT的栅极DG可通过接触孔H连接到选通G-TFT GT的漏极GD。
- [0158] 接触孔H可形成在第一绝缘物GI、平坦化层PL和保护层PAS中。第一绝缘物GI、平坦化层PL和保护层PAS可通过接触孔H连通。G-TFT的漏极GD可位于接触孔H的入口处。驱动TFT DT的栅极DG可与驱动TFT DT的半导体层DA绝缘。

- [0159] 驱动TFT DT的栅极DG可连接到G-TFT GT的漏极GD。
- [0160] 保护层PAS可覆盖驱动TFT DT。保护层PAS可被施加在第二绝缘物IN上。
- [0161] 平坦化层PL可被施加在保护层PAS上。
- [0162] 阳极ANO可形成在平坦化层PL上。阳极ANO可形成为孤立的矩形形状。阳极ANO可占据像素PXL的特定部分。阳极ANO可穿过保护膜PAS和平坦化膜PL,然后可与驱动TFT DT的漏极DD接触。
- [0163] 堤BA可形成在形成有阳极ANO的平坦化层PL上。堤BA可被构图以形成发光区域。阳极ANO可在发光区域处暴露。
- [0164] 有机发光层OL可形成在通过堤BA的构图暴露的阳极ANO上。阴极CAT可覆盖堤BA和有机发光层OL。阴极CAT可包括透明导电材料。
- [0165] 在图7中,G-TFT GT被描述为底栅结构,驱动TFT DT被描述为顶栅结构。
- [0166] 参照图9,G-TFT GT可包括栅极GG、半导体层GA、蚀刻阻挡层ES、源极GS和漏极GD。G-TFT GT可形成在像素PXL中。
- [0167] G-TFT GT的栅极GG可形成在基板SUB上。
- [0168] 第一绝缘物GI可被施加在基板SUB上。第一绝缘物GI可覆盖栅极GG。
- [0169] 半导体层GA可形成在第一绝缘物GI上。半导体层GA可与栅极GG交叠。具体地讲,半导体层GA可在层叠方向上与栅极GG交叠。
- [0170] 蚀刻阻挡层ES可形成在半导体层GA上。蚀刻阻挡层ES可覆盖半导体层GA。蚀刻阻挡层ES可形成在半导体层GA与源极GS或漏极GD之间。当源极GS或漏极GD被蚀刻时,蚀刻阻挡层ES可防止半导体层GA损坏。
- [0171] 源极GS和漏极GD可覆盖半导体层GA和蚀刻阻挡层ES。半导体层GA和蚀刻阻挡层ES可位于源极GS和漏极GD之间。源极GS可与漏极GD对称。源极GS和漏极GD可在一体地形成之后通过蚀刻工艺分离。蚀刻阻挡层ES可在蚀刻工艺期间保护半导体层GA。
- [0172] 保护层PAS可被施加在第一绝缘物GI上。保护层PAS可覆盖G-TFT GT。
- [0173] 平坦化层PL可被施加在保护层PAS上。
- [0174] 位于像素PXL中的驱动TFT DT可形成在平坦化层PL上。驱动TFT DT可包括栅极DG、半导体层DA、蚀刻阻挡层ES、源极DS和漏极DD。
- [0175] 接触孔H可形成在平坦化层PL和保护层PAS中。G-TFT GT的漏极GD可位于接触孔H的入口处。G-TFT GT的漏极GD可通过接触孔H暴露。驱动TFT DT的栅极DG可被插入到接触孔H中。驱动TFT DT的栅极DG可与G-TFT GT的漏极GD连接或接触。驱动TFT DT的栅极DG可与G-TFT GT的漏极GD交叠。具体地讲,驱动TFT DT的栅极DG可在交叠方向上与G-TFT GT的漏极GD交叠。
- [0176] 保护层PAS可覆盖驱动TFT DT。保护层PAS可被施加在第一绝缘物GI上。
- [0177] 平坦化层PL可被施加到保护层PAS。
- [0178] 阳极ANO可形成在平坦化层PL上。阳极ANO可形成为孤立的矩形形状,其中,阳极ANO可仅占据像素PXL的特定部分。阳极ANO可通过形成在保护层PAS和平坦化层PL中的孔与驱动TFT DT的漏极DD接触。
- [0179] 堤BA可形成在形成有阳极ANO的平坦化层PL上。堤BA可被构图以形成发光区域。阳极ANO可在发光区域处暴露。

[0180] 有机发光层OL可形成在通过堤BA的构图暴露的阳极ANO上。阴极CAT可覆盖堤BA和有机发光层OL。阴极CAT可包括透明导电材料。

[0181] 在图9中,G-TFT GT和驱动TFT DT被描述为底栅结构。

[0182] 参照图10,显示面板100可包括基板SUB。基板SUB可被划分成显示区域AA和非显示区域NA。显示区域AA可显示输入数字视频数据的图像。用于驱动显示区域AA的各种电子组件可被设置在非显示区域NA中。非显示区域NA可被称为边框区域。

[0183] 多个像素PXL可按照矩阵形式布置在显示区域AA上。例如,多个像素PXL可按照M×N矩形形状布置。M和N可为自然数。

[0184] 选通驱动器130a和130b可被设置在显示区域AA上。选通驱动器130a和130b可沿着显示区域AA的列方向Y伸长。选通驱动器130a和130b可被称为GIP(面板中选通)130a和130b。

[0185] 选通驱动器130a和130b可包括第一选通驱动器130a和第二选通驱动器130b。

[0186] 第一选通驱动器130a可被嵌入在基板SUB中。第一选通驱动器130a可被设置在基板SUB的一侧。

[0187] 第一选通驱动器130a可电连接到多条导线134a。多条导线134a可将驱动信号或控制信号输送至第一选通驱动器130a。多条导线134a可电连接到数据驱动器120和源极COF 122。连接到第一选通驱动器130a的多条导线134a可被称为第一导线134a。连接到第一导线134的源极COF 122可被称为第一源极COF 122。连接到第一源极COF 122的数据驱动器121可被称为第一数据驱动器121。

[0188] 考虑到噪声和信号延迟,多条导线134a可连接到最靠近第一选通驱动器130a的外围设置的源极COF(膜上芯片)122。

[0189] 驱动信号或控制信号可经由数据驱动器120、源极COF(膜上芯片)122和多条导线134a被供应给第一选通驱动器130a。

[0190] 第二选通驱动器130b可被嵌入在基板SUB中。第二选通驱动器130b可被设置在基板SUB的另一侧。第二选通驱动器130b可在右左方向X上与第一选通驱动器130a相对。

[0191] 第二选通驱动器130b可电连接到多条导线134b。多条导线134b可将驱动信号或控制信号输送到第二选通驱动器130b。多条导线134b可电连接到数据驱动器120和源极COF 122。连接到第二选通驱动器130b的多条导线134b可被称为第二导线134b。连接到第二导线134b的源极COF 122可被称为第二源极COF 122。连接到第二源极COF 122的数据驱动器121可被称为第二数据驱动器121。

[0192] 考虑到噪声和信号延迟,多条导线134b可连接到最靠近第二选通驱动器130b的外围设置的源极COF(膜上芯片)122。

[0193] 驱动信号或控制信号可经由数据驱动器120、源极COF(膜上芯片)122和多条导线134a被供应给第二选通驱动器130b。

[0194] 非显示区域NA可被设置在像素阵列的外围或围绕像素PXL设置。在列方向上非显示区域NA可被设置在像素PXL的一侧。数据驱动器120可被设置在非显示区域NA上。数据驱动器120可被称为DIC(数据驱动集成电路)120。

[0195] 第一选通驱动器130a和第二选通驱动器130b可被设置在显示区域AA上的左侧和右侧。第一选通驱动器130a和第二选通驱动器130b可部分地操作显示面板。例如,第一选通

驱动器130a可操作显示面板的一部分,第二选通驱动器130b可操作显示面板的另一部分。

[0196] 第一选通驱动器130a和第二选通驱动器130b可被设置在显示区域AA上。因此,可能没有必要形成设置在显示区域AA的左侧或右侧的附加非显示区域NA。

[0197] 上述本发明的特定实施方式或其它实施方式不是相互排斥的或彼此不同的。上述本发明的实施方式的任何或所有元件可被组合或在配置或功能上彼此组合。

[0198] 例如,在本发明的一个实施方式和附图中描述的配置“A”与在本发明的另一实施方式和附图中描述的配置“B”可彼此组合。即,尽管没有直接描述配置之间的组合,但是除了描述不可能组合的情况之外,组合是可能的。

[0199] 尽管参照其多个例示性实施方式描述了实施方式,应该理解,本领域技术人员可以想到众多其它修改和实施方式,其将落入本公开的原理的范围内。更具体地讲,在本公开、附图和所附权利要求书的范围内,可在组成部件和/或主题组合布置方式方面进行各种变化和修改。除了在组成部件和/或布置方式方面的变化和修改以外,对于本领域技术人员而言替代使用也将是显而易见的。

[0200] 本申请要求2017年7月20日提交的韩国专利申请No.10-2017-0092214的权益,其完整内容出于所有目的通过引用并入本文,如同在本文中充分阐述一样。

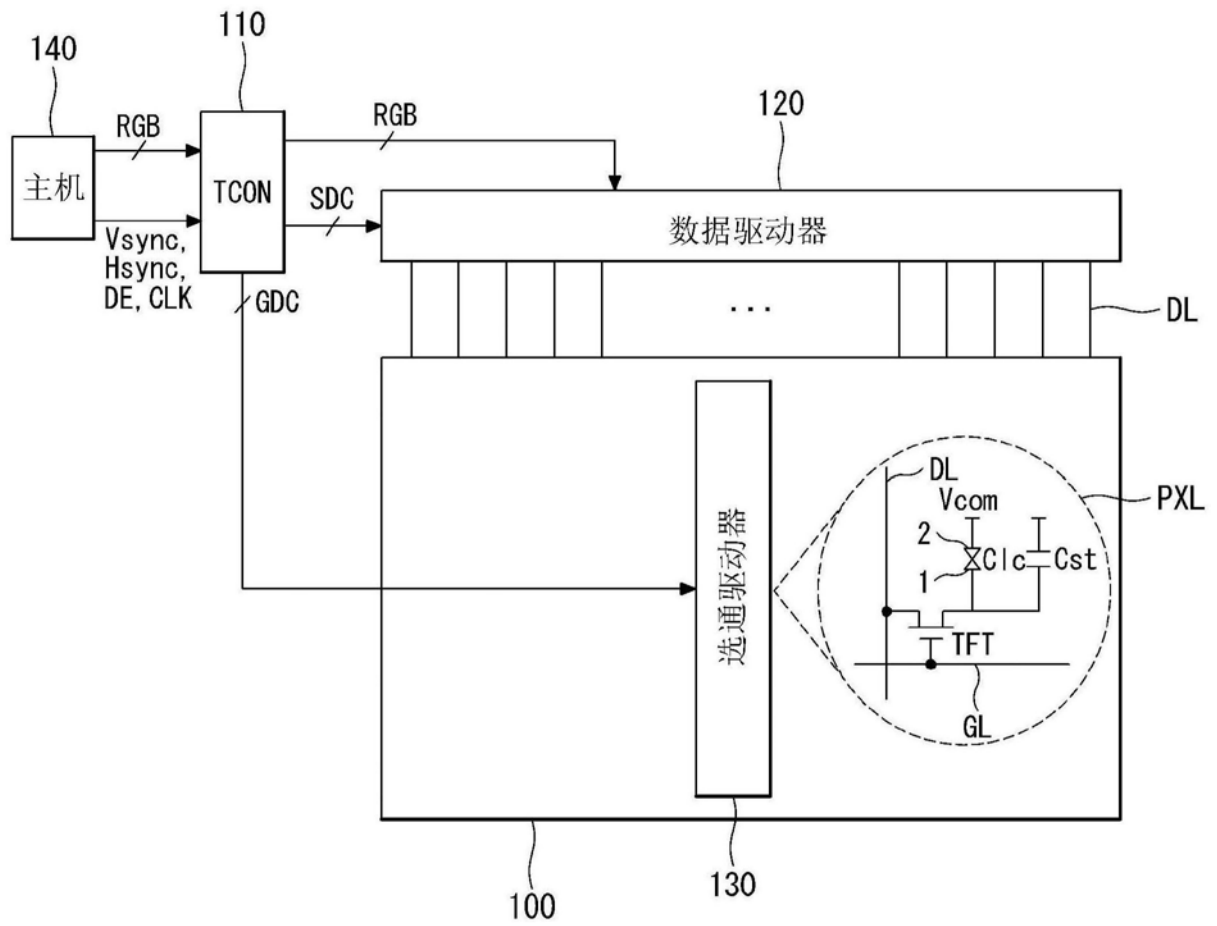


图1

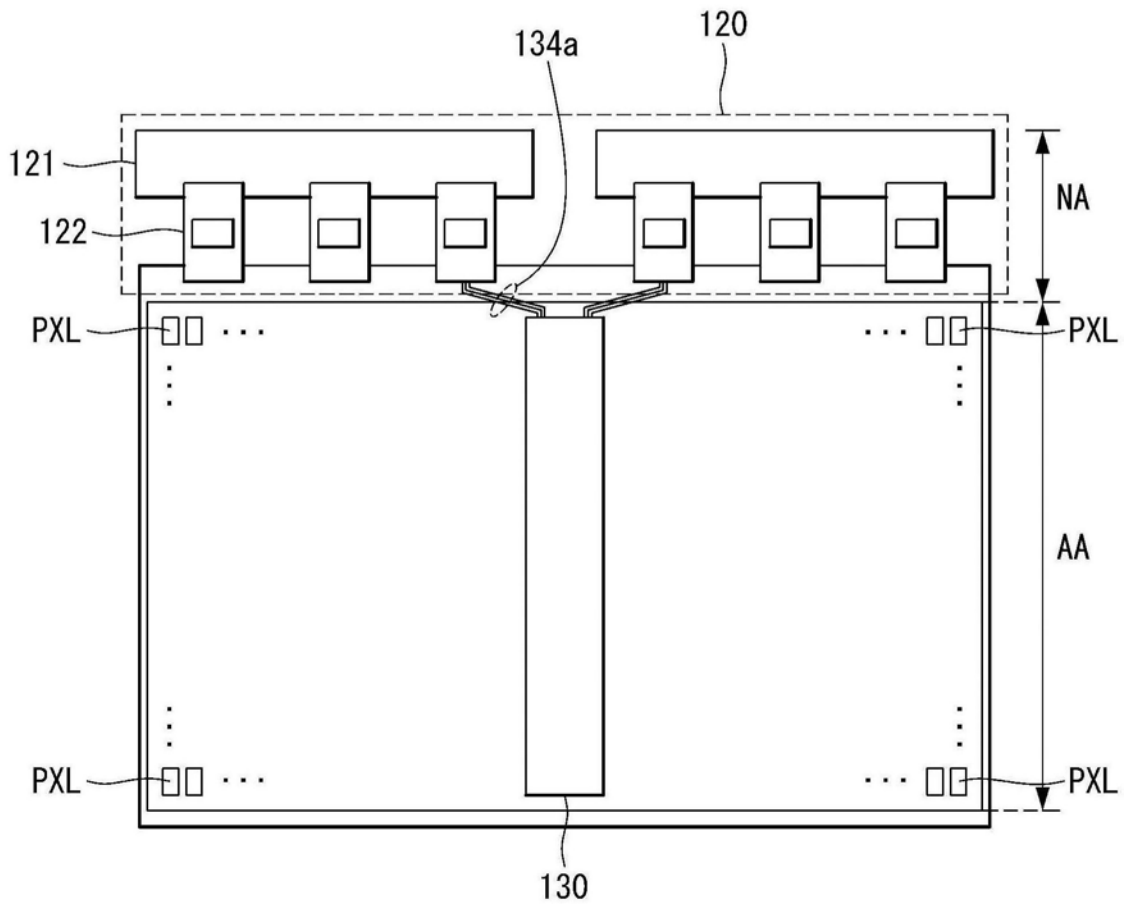


图2

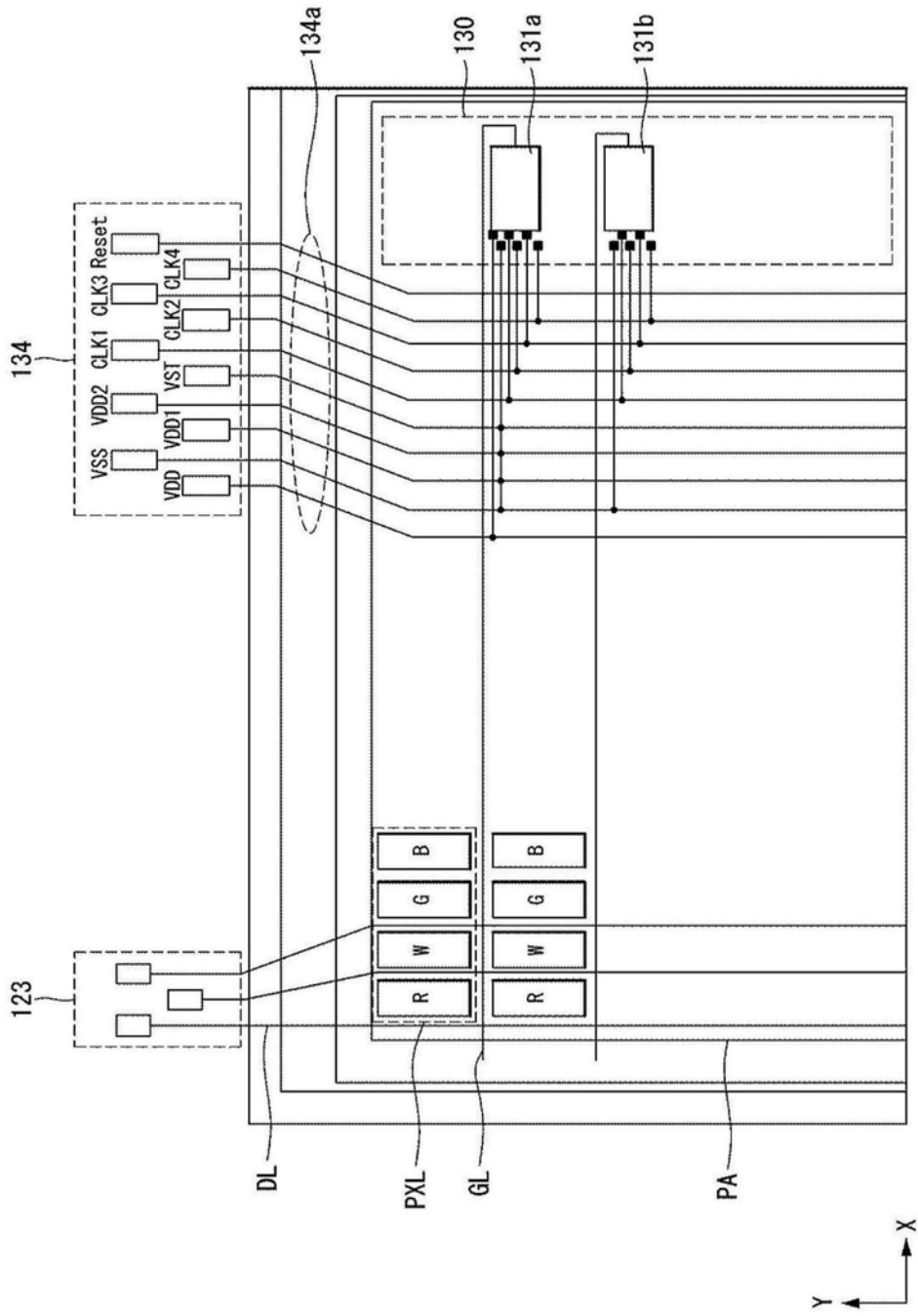


图3

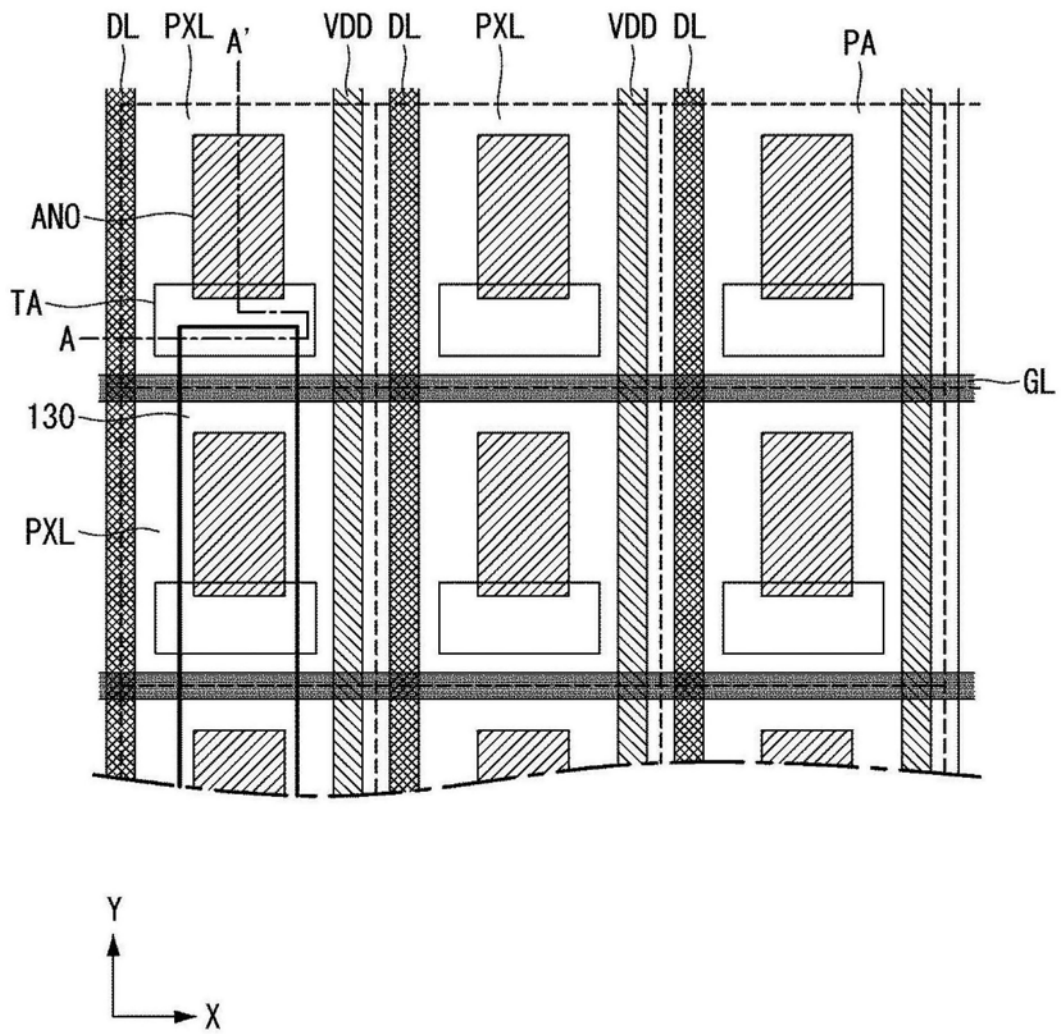


图4



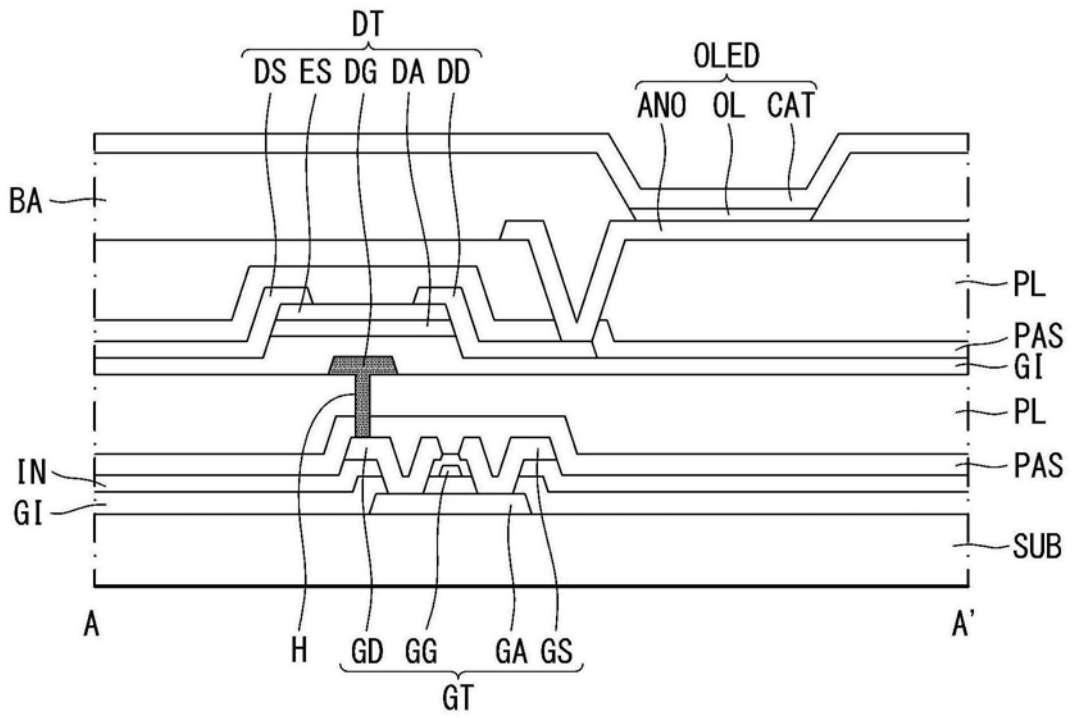


图7

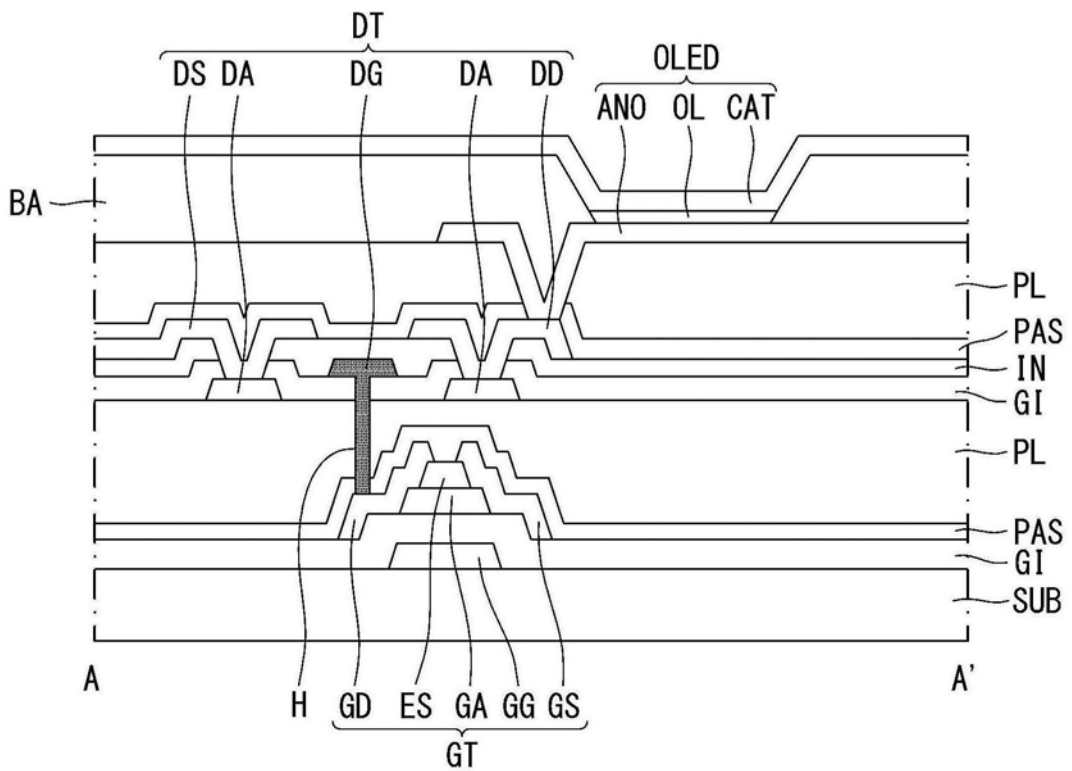


图8

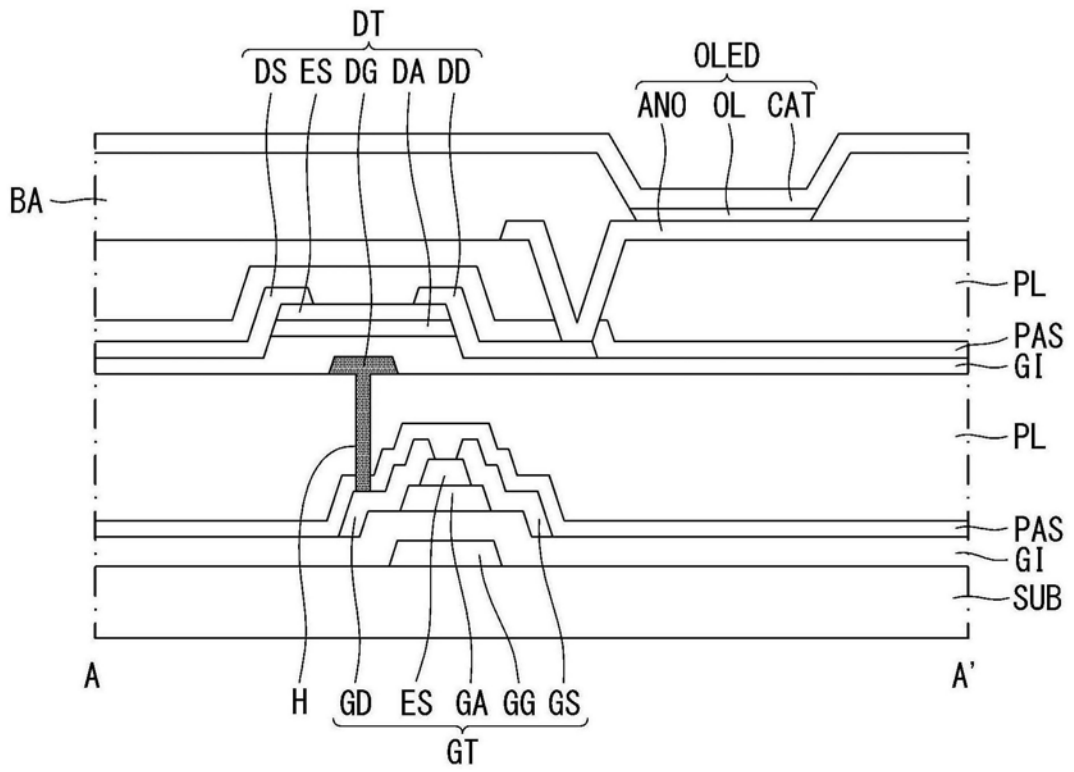


图9

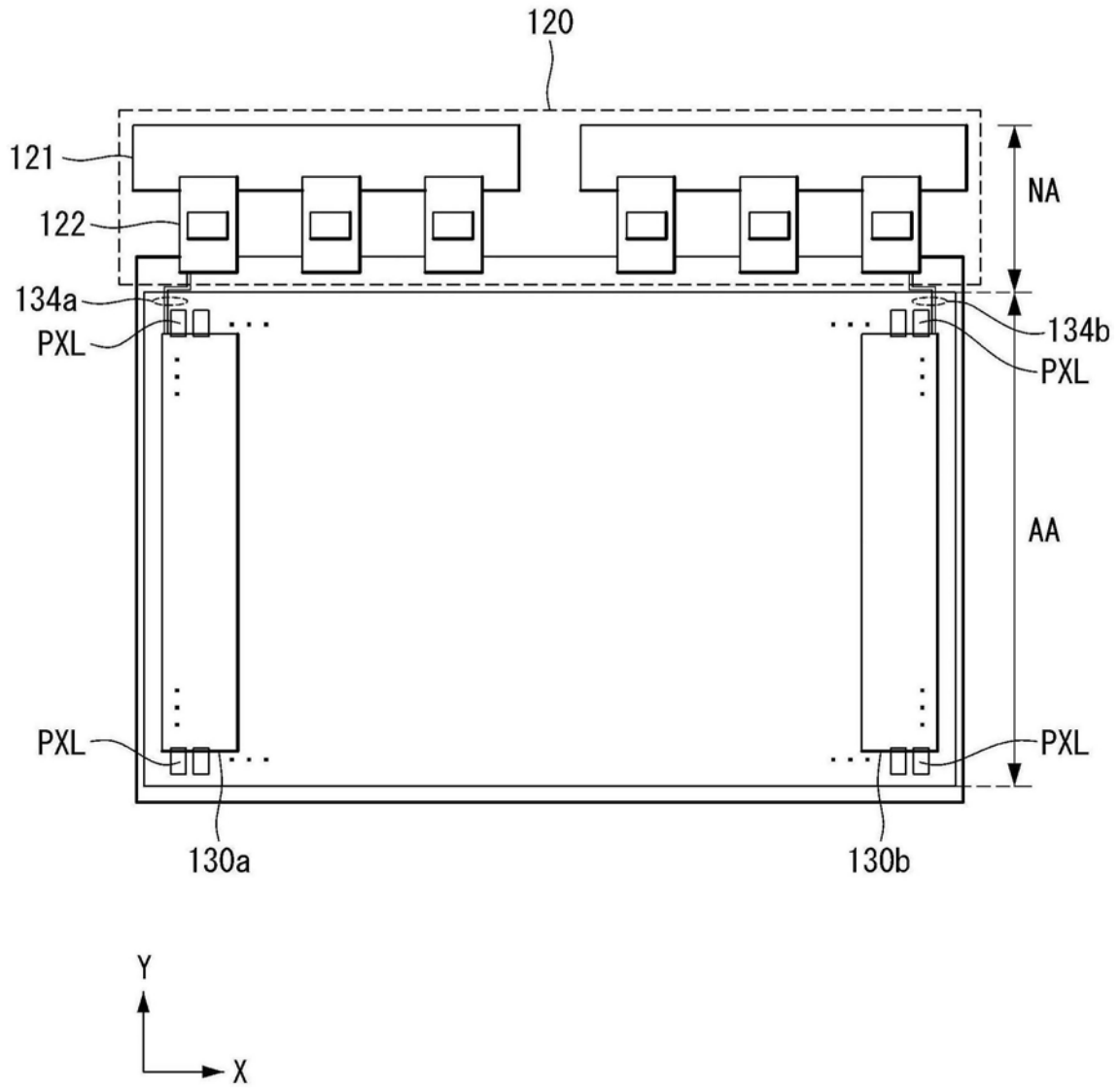


图10

专利名称(译)	显示装置		
公开(公告)号	<a href="#">CN109285862A</a>	公开(公告)日	2019-01-29
申请号	CN201810788569.7	申请日	2018-07-18
申请(专利权)人(译)	LG电子株式会社		
当前申请(专利权)人(译)	LG电子株式会社		
[标]发明人	金元泰 白钦硕 李种业 郑仁锡 黄正焕		
发明人	金元泰 白钦硕 李种业 郑仁锡 黄正焕		
IPC分类号	H01L27/32 G09G3/3225		
CPC分类号	G09G3/3225 H01L27/3244 H01L27/3246 G09G3/3266 H01L27/124 H01L27/1251 G09G3/3275 G09G2300/0408 G09G2310/0281 H01L27/3248 H01L27/3258 H01L27/3262 H01L2251/5315		
代理人(译)	刘久亮		
优先权	1020170092214 2017-07-20 KR		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

公开了一种显示装置。本发明的显示装置可包括：基板，其包括显示区域以及与显示区域相邻的非显示区域；阳极，其被设置在显示区域中；有机发光层，其被层叠在阳极上，该有机发光层被设置在显示区域中；阴极，其被层叠在有机发光层上；以及选通驱动器，其被设置在显示区域中。

