



(12)发明专利申请

(10)申请公布号 CN 110875016 A

(43)申请公布日 2020.03.10

(21)申请号 201910827793.7

(22)申请日 2019.09.03

(30)优先权数据

10-2018-0104451 2018.09.03 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 崔载二

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 唐京桥 陈炜

(51)Int.Cl.

G09G 3/3266(2016.01)

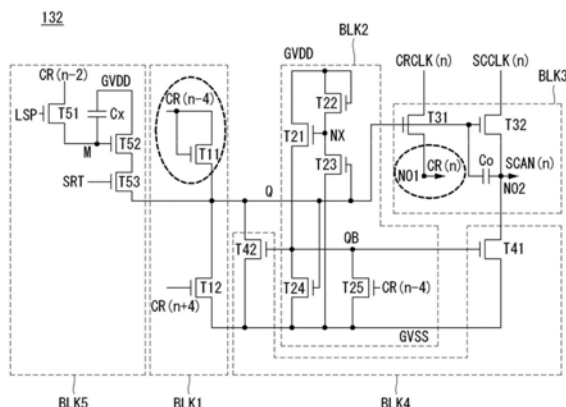
权利要求书3页 说明书11页 附图8页

(54)发明名称

栅极驱动器和包括该栅极驱动器的有机发光显示装置

(57)摘要

本公开内容涉及栅极驱动器和包括该栅极驱动器的有机发光显示装置。根据本公开内容的实施方式的栅极驱动器包括多个级。每个级包括：第一上拉晶体管，其被配置成在Q节点被自举至高于栅极导通电压的电压时将进位时钟作为进位信号输出至第一输出端子；第二上拉晶体管，其被配置成在Q节点被自举时将扫描时钟作为扫描信号输出至第二输出端子；以及保持晶体管，其被配置成基于QB节点的电压进行操作，所述QB节点以与Q节点的充电和放电相反的方式进行充电和放电。保持晶体管连接至第二输出端子和Q节点，并且保持晶体管与第一输出端子电隔离。



1. 一种栅极驱动器,包括:

多个级,所述级中的每个级包括:

第一上拉晶体管,其被配置成在Q节点被自举至高于栅极导通电压的电压时将进位时钟作为进位信号输出至第一输出端子;

第二上拉晶体管,其被配置成在所述Q节点被自举时将扫描时钟作为扫描信号输出至第二输出端子;以及

保持晶体管,其被配置成基于QB节点的电压进行操作,所述QB节点被配置成以与所述Q节点的充电和放电相反的方式进行充电和放电,

其中,所述保持晶体管连接至所述第二输出端子和所述Q节点,并且所述保持晶体管与所述第一输出端子电隔离。

2. 根据权利要求1所述的栅极驱动器,其中,所述保持晶体管包括:

第一保持晶体管,其被配置成在所述栅极导通电压被施加至所述QB节点时将所述第二输出端子连接至供应栅极截止电压的低电源电压端子;以及

第二保持晶体管,其被配置成在所述栅极导通电压被施加至所述QB节点时将所述Q节点连接至所述低电源电压端子。

3. 根据权利要求2所述的栅极驱动器,其中,所述级中的每个级还包括输入晶体管,所述输入晶体管用于将从所述多个级中的前一个级输入的先前进位信号直接施加至所述Q节点,以将所述Q节点激活至所述栅极导通电压。

4. 根据权利要求3所述的栅极驱动器,其中,所述输入晶体管被二极管连接在所述先前进位信号的输入端子与所述Q节点之间。

5. 根据权利要求4所述的栅极驱动器,其中,所述输入晶体管的栅极电极和第一电极连接至所述先前进位信号的输入端子,并且所述输入晶体管的第二电极连接至所述Q节点。

6. 根据权利要求5所述的栅极驱动器,其中,在所述栅极导通电压被施加至所述QB节点时,在所述先前进位信号的输入端子与所述Q节点之间以及在所述Q节点与所述低电源电压端子之间形成纹波放电路径。

7. 根据权利要求1所述的栅极驱动器,其中,所述级中的每个级还包括感测线选择器,所述感测线选择器被配置成根据像素线选择信号存储从M节点处的所述级中的前一个级输入的先前进位信号,并且根据所述M节点的电压和感测开始信号将所述Q节点激活至所述栅极导通电压。

8. 根据权利要求7所述的栅极驱动器,其中,在一帧中写入图像数据的垂直有效时段期间,将所述像素线选择信号施加至所述级中的一个级。

9. 根据权利要求8所述的栅极驱动器,其中,在所述垂直有效时段之后的不写入图像数据的垂直消隐时段期间,将所述感测开始信号施加至所述一个级。

10. 根据权利要求7所述的栅极驱动器,其中,所述感测线选择器包括:

第一晶体管,其根据所述像素线选择信号导通,以将所述先前进位信号施加至所述M节点;

电容器,其存储被施加至所述M节点的先前进位信号;以及

第二晶体管和第三晶体管,所述第二晶体管和所述第三晶体管串联连接在供应所述栅极导通电压的高电源电压端子与所述Q节点之间,并且所述第二晶体管和所述第三晶体管

被配置成根据所述M节点的电压和所述感测开始信号将所述栅极导通电压施加至所述Q节点。

11. 一种有机发光显示装置, 包括:

具有多个级的栅极驱动器, 所述级中的每个级包括:

第一上拉晶体管, 其被配置成在Q节点被自举至高于栅极导通电压的电压时将进位时钟作为进位信号输出至第一输出端子;

第二上拉晶体管, 其被配置成在所述Q节点被自举时将扫描时钟作为扫描信号输出至第二输出端子; 以及

保持晶体管, 其被配置成基于QB节点的电压进行操作, 所述QB节点被配置成以与所述Q节点的充电和放电相反的方式进行充电和放电, 所述保持晶体管连接至所述第二输出端子和所述Q节点, 并且所述保持晶体管与所述第一输出端子电隔离; 以及

通过多个栅极线连接至所述栅极驱动器的多个像素。

12. 根据权利要求11所述的有机发光显示装置, 其中, 所述保持晶体管包括:

第一保持晶体管, 其被配置成在所述栅极导通电压被施加至所述QB节点时将所述第二输出端子连接至供应栅极截止电压的低电源电压端子; 以及

第二保持晶体管, 其被配置成在所述栅极导通电压被施加至所述QB节点时将所述Q节点连接至所述低电源电压端子。

13. 根据权利要求12所述的有机发光显示装置, 其中, 所述级中的每个级还包括输入晶体管, 所述输入晶体管用于将从所述多个级中的前一个级输入的先前进位信号直接施加至所述Q节点, 以将所述Q节点激活至所述栅极导通电压。

14. 根据权利要求13所述的有机发光显示装置, 其中, 所述输入晶体管被二极管连接在所述先前进位信号的输入端子与所述Q节点之间。

15. 根据权利要求14所述的有机发光显示装置, 其中, 所述输入晶体管的栅极电极和第一电极连接至所述先前进位信号的输入端子, 并且所述输入晶体管的第二电极连接至所述Q节点。

16. 根据权利要求15所述的有机发光显示装置, 其中, 在所述栅极导通电压被施加至所述QB节点时, 在所述先前进位信号的输入端子与所述Q节点之间以及在所述Q节点与所述低电源电压端子之间形成纹波放电路径。

17. 根据权利要求11所述的有机发光显示装置, 其中, 所述级中的每个级还包括感测线选择器, 所述感测线选择器被配置成根据像素线选择信号存储从M节点处的所述级中的前一个级输入的先前进位信号, 并且根据所述M节点的电压和感测开始信号将所述Q节点激活至所述栅极导通电压。

18. 根据权利要求17所述的有机发光显示装置, 其中, 在一帧中写入图像数据的垂直有效时段期间, 将所述像素线选择信号施加至所述级中的一个级。

19. 根据权利要求18所述的有机发光显示装置, 其中, 在所述垂直有效时段之后的不写入图像数据的垂直消隐时段期间, 将所述感测开始信号施加至所述一个级。

20. 根据权利要求17所述的栅极驱动器, 其中, 所述感测线选择器包括:

第一晶体管, 其根据所述像素线选择信号导通, 以将所述先前进位信号施加至所述M节点;

电容器,其存储被施加至所述M节点的先前进位信号;以及

第二晶体管 and 第三晶体管,所述第二晶体管和所述第三晶体管串联连接在供应所述栅极导通电压的高电源电压端子与所述Q节点之间,并且所述第二晶体管和所述第三晶体管被配置成根据所述M节点的电压和所述感测开始信号将所述栅极导通电压施加至所述Q节点。

栅极驱动器和包括该栅极驱动器的有机发光显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求2018年9月3日提交的韩国专利申请第10-2018-0104451号的权益,如同在本文中充分阐述的,出于所有目的通过引用将其并入本文。

技术领域

[0003] 本文件涉及栅极驱动器和包括该栅极驱动器的有机发光显示装置。

背景技术

[0004] 有源矩阵型有机发光显示装置包括自发光有机发光二极管(下文中称为“OLED”),并且具有高响应速度、高发光效率、高亮度和宽视角的优点。

[0005] 有机发光显示装置包括用于驱动像素中包括的开关元件的栅极驱动器。开关元件的栅极电极通过栅极线连接至栅极驱动器。栅极驱动器生成栅极信号(扫描信号),并且顺序地将栅极信号提供至栅极线。

[0006] 这种有机发光显示装置采用外部补偿技术,以补偿像素之间的驱动特性偏差。另外,关于有机发光显示装置,已经进行了以下用于实现窄边框技术的研究:通过增加显示面板的显示表面的对图像进行显示的面积,向用户提供更宽的屏幕,而不是使显示表面的不显示图像的左右边缘区域最小化。

发明内容

[0007] 外部补偿技术基于用于在屏幕显示期间感测像素中的驱动特性变化的实时感测技术。为了实现实时感测,需要适合于此的栅极驱动器。此外,栅极驱动器被包括在显示面板的非显示区域中,并且栅极驱动器所在的非显示区域是边框区域。期望简化栅极驱动器以实现窄边框。

[0008] 因此,本公开内容在不同的实施方式中提供适合于实现窄边框的栅极驱动器以及包括该栅极驱动器的有机发光显示装置。

[0009] 此外,本公开内容在不同的实施方式中提供能够执行实时感测的栅极驱动器以及包括该栅极驱动器的有机发光显示装置。

[0010] 根据本公开内容的实施方式的栅极驱动器包括多个级。每个级包括:第一上拉晶体管,其被配置成在Q节点被自举至高于栅极导通电压的电压时将进位时钟输出至第一输出端子作为进位信号;第二上拉晶体管,其被配置成在Q节点被自举时将扫描时钟输出至第二输出端子作为扫描信号;以及保持晶体管,其被配置成基于QB节点的电压进行操作,QB节点被配置成以与Q节点的充电和放电相反的方式进行充电和放电,其中,该保持晶体管连接至第二输出端子和Q节点,并且该保持晶体管与第一输出端子电隔离。

[0011] 在另一实施例中,本发明提供一种有机发光显示装置,其包括具有多个级的栅极驱动器。每个级包括:第一上拉晶体管,其被配置成在Q节点被自举至高于栅极导通电压的电压时将进位时钟输出至第一输出端子作为进位信号;第二上拉晶体管,其被配置成在Q节

点被自举时将扫描时钟输出至第二输出端子作为扫描信号；以及保持晶体管，其被配置成基于QB节点的电压进行操作，该QB节点被配置成以与Q节点的充电和放电相反的方式进行充电和放电。保持晶体管连接到第二输出端子和Q节点，并且保持晶体管与第一输出端子电隔离。有机发光显示装置还包括通过多个栅极线连接到栅极驱动器的多个像素。

附图说明

[0012] 被包括以提供对本公开内容的进一步理解并且被并入且构成本说明书的一部分的附图示出了本公开内容的实施方式，并且与说明书一起用于说明本公开内容的原理。在附图中：

[0013] 图1是示出根据本公开内容的实施方案的有机发光显示装置的图；

[0014] 图2是示出图1的显示面板中包括的像素阵列的图；

[0015] 图3是示出图2的像素阵列中包括的一个像素的结构图；

[0016] 图4是示出IDW定时和SDW定时的图；

[0017] 图5是示出用于IDW的扫描信号和与扫描信号同步的数据信号的图；

[0018] 图6A是对应于图5的编程时段的像素的等效电路图；

[0019] 图6B是对应于图5的发光时段的像素的等效电路图；

[0020] 图7是示出用于SDW的扫描信号和与该扫描信号同步的数据信号的图；

[0021] 图8A是对应于图7的设置时段的像素的等效电路图；

[0022] 图8B是对应于图7的感测时段的像素的等效电路图；

[0023] 图8C是对应于图7的复位时段的像素的等效电路图；

[0024] 图9是示出栅极移位寄存器中包括的级与信号线之间的连接的图；

[0025] 图10是图9的栅极移位寄存器中包括的一个级的电路图；

[0026] 图11是用于描述图10中包括的感测线选择器的操作的图；以及

[0027] 图12是示出通过应用二极管输入结构作为进位输入结构来补充从进位输出端子移除保持晶体管时产生的副作用的图。

具体实施方式

[0028] 通过以下关于附图的详细描述，本公开内容的优点、特征以及用于实现它们的方法将变得更加明显。然而，本公开内容不受下面所描述的実施方式的限制，并且以各种不同的形式实现，并且提供实施方式以使得本公开内容将是全面和完整的，并且将向本领域技术人员充分传达本公开内容的范围。

[0029] 附图中示出的用于描述本公开内容的实施方式的形状、尺寸、比率、角度、数目等是示例性的，并且因此不限于图中所示的细节。贯穿说明书，相同的附图标记指代相同的元件。将进一步理解的是，当在本说明书中使用术语“包括”、“具有”和“包含”时，除非使用“仅”，否则可以添加其他部分。除非上下文另有明确说明，否则以单数形式描述的元件旨在包括多个元件。

[0030] 在对部件进行解释时，除非另外明确描述，否则该部件被解释为包括误差范围。

[0031] 应当理解的是，当元件被称为在另一元件“上”或“下”时，它可以“直接”在另一元件上或下，或者可以“间接”形成，使得还存在中间元件。

[0032] 在对实施方式的以下描述中,“第一”和“第二”用于描述各种部件,但是这些部件不受这些术语的限制。这些术语用于区分一个部件与另一个部件。因此,在本公开内容的技术精神范围内,以下描述中提及的第一组件可以是第二组件。

[0033] 虽然在本说明书中形成在显示面板的基板上的像素电路和栅极驱动器可以实现为n型金属氧化物半导体场效应晶体管(MOSFET)结构的TFT,但是本公开内容不限于此,它们也可以实现为p型MOSFET结构的TFT。TFT是包括栅极、源极和漏极的三电极元件。源极是向晶体管提供载流子的电极。载流子从TFT中的源极流出。漏极是载流子从其流至TFT外部的电极。也就是说,在MOSFET中载流子从源极流至漏极。在n型TFT(NMOS)的情况下,源极电压低于漏极电压,使得电子可以从源极流至漏极,因为载流子是电子。由于在n型TFT中电子从源极流至漏极,所以电流从漏极流至源极。另一方面,在p型TFT(PMOS)的情况下,源极电压高于漏极电压,使得空穴可以从源极流至漏极,因为载流子是空穴。由于在p型TFT中空穴从源极流至漏极,所以电流从源极流至漏极。注意,MOSFET的源极和漏极不是固定的。例如,MOSFET的源极和漏极可以根据施加的电压而改变。因此,在本说明书的实施方式的描述中,源极和漏极中的一个被称为第一电极,而另一个被称为第二电极。

[0034] 在下文中,将参照附图详细描述本说明书的实施方式。在以下实施方案中,描述的重点在于作为显示装置的包括有机发光材料的有机发光显示装置。

[0035] 在以下描述中,如果与本公开内容相关联的已知技术的详细描述将不必要地模糊本公开内容的要点,则将省略其详细描述。

[0036] 在以下描述中,“前级”指的是位于参考级上方并且生成具有比从参考级输出的栅极信号的相位超前的相位的栅极信号的级。另外,“后级”指的是位于参考级下方并且生成具有比从参考级输出的栅极信号的相位滞后的相位的栅极信号的级。在以下描述中,构成本公开内容的栅极驱动器的开关元件可以实现为氧化物元件、非晶硅元件和多晶硅元件中的至少一种。另外,特定节点的激活意味着该节点被充有栅极导通电压,并且特定节点的去激活意味着该节点的电位被放电至栅极截止电压。

[0037] 图1示出了根据本公开内容的实施方式的有机发光显示装置。图2是示出图1的显示面板中包括的像素阵列的图。图3是示出图2的像素阵列中包括的一个像素的结构图。图4是示出执行IDW和SDW的定时的图。

[0038] 参照图1至图3,本公开内容的有机发光显示装置包括显示面板100、数据驱动器、栅极驱动器和定时控制器110。

[0039] 显示面板100可以包括多条数据线15、参考电压线16和多条栅极线17。另外,像素PXL可以设置在数据线15、参考电压线16和栅极线17的交叉点处。此外,以矩阵形式布置的像素PXL可以在显示面板100的显示区域中形成图2中所示的像素阵列。

[0040] 在像素阵列中,像素PXL可以在一个方向上被划分为线。例如,像素PXL可以在栅极线延伸的方向(或水平方向)上被划分为多个像素线Line1至Line4。这里,像素线是指沿水平方向布置的一组相邻像素PXL,而不是物理信号线。因此,构成同一像素线的像素PXL可以连接至同一栅极线17。

[0041] 在像素阵列中,每个像素PXL可以通过数据线15连接至数模转换器(DAC)121,并且通过参考电压线16连接至感测单元(SU)122。参考电压线16可以连接至DAC 121,以提供参考电压。虽然DAC 121和感测单元SU可以被嵌入在数据驱动器中,但是本公开内容不限于

此。

[0042] 在像素阵列中,每个像素PXL可以通过电源线18连接至高电压像素电源EVDD。此外,每个像素PXL可以通过栅极线17连接至栅极驱动器。

[0043] 每个像素PXL可以如图3中所示地实现。设置在第k(k为整数)像素线中的像素PXL包括驱动薄膜晶体管(TFT)DT、存储电容器Cst、第一开关TFT ST1和第二开关TFT ST2,并且第一开关TFT ST1和第二开关TFT ST2可以连接至同一栅极线17(k)。TFT可以实现为p型、n型或p型和n型的混合型。此外,TFT的半导体层可以包括非晶硅、多晶硅或氧化物。

[0044] OLED包括连接至源极节点Ns的阳极、连接至低电压像素电源EVSS的输入端子的阴极、设置在阳极与阴极之间的有机化合物层。驱动TFT DT根据栅极节点Ng与源极节点Ns之间的电压差控制流过OLED的驱动电流。驱动TFT DT包括连接至栅极节点Ng的栅极电极、连接至高电压像素电源EVDD的输入端子的第一电极以及连接至源极节点Ns的第二电极。存储电容器Cst连接在栅极节点Ng与源极节点Ns之间,并且存储驱动TFT DT的栅极-源极电压。

[0045] 第一开关TFT ST1根据扫描信号SCAN(k)允许电流在数据线15与栅极节点Ng之间流动,以将数据线15中充有的数据电压施加至栅极节点Ng。第一开关TFT ST1包括连接至栅极线17(k)的栅极电极、连接至数据线15的第一电极和连接至栅极节点Ng的第二电极。第二开关TFT ST2根据扫描信号SCAN(k)允许电流在参考电压线16与源极节点Ns之间流动,以将参考电压线16中充有的参考电压施加至源极节点Ns,或者根据像素电流将源极节点Ns的电压变化传输到参考电压线16。第二开关TFT ST2包括连接至栅极线17(k)的栅极电极、连接至参考电压线16的第一电极和连接至源极节点Ns的第二电极。

[0046] 连接至每个像素PXL的栅极线17的数目可以取决于像素PXL的结构。例如,在其中第一开关TFT ST1和第二开关TFT ST2被不同驱动的2扫描像素结构的情况下,连接至每个像素PXL的栅极线17的数目为2。在2扫描像素结构中,每条栅极线17包括向其施加扫描信号的第一栅极线和向其施加感测信号的第二栅极线。另一方面,在其中第一开关TFT ST1和第二开关TFT ST2被同样地驱动的1扫描像素结构的情况下,一条栅极线17连接至每个像素PXL。尽管为了便于描述,将在下面以例说明1扫描像素结构,但是本说明书的技术精神不限于该像素结构或栅极线的数目。

[0047] 定时控制器110可以基于诸如从主机系统(未示出)输入的垂直同步信号Vsync、水平同步信号Hsync和数据使能信号DE的定时信号来生成用于控制数据驱动器的操作定时的源极定时控制信号和用于控制栅极驱动器的操作定时的栅极定时控制信号。栅极定时控制信号可以包括栅极开始信号、栅极移位时钟、像素线选择信号、感测开始信号等。源极定时控制信号包括源极开始脉冲、源极采样时钟、源极输出使能信号等。源极开始脉冲控制数据驱动器的数据采样开始定时。源极采样时钟基于其上升沿或下降沿控制数据采样定时。源极输出使能信号控制数据驱动器的输出定时。

[0048] 定时控制器110可以基于栅极/源极定时控制信号来控制显示面板100的像素线的显示操作定时和感测操作定时,使得可以在图像显示期间实时地感测像素的驱动特性。

[0049] 这里,感测操作是以下操作,将用于感测的数据写入设置在特定像素线中的像素PXL以感测相应像素的驱动特性,并且基于感测结果来更新用于补偿相应像素PXL的驱动特性变化的补偿值。在下文中,感测操作被称为感测数据写入(SDW)。

[0050] 显示操作是以下操作,将输入图像数据RGB写入一帧中的像素线,以在显示面板

100的显示表面上再现输入图像。在下文中,显示操作被称为图像数据写入(IDW)。

[0051] 定时控制器110可以在垂直有效时段VWP中实现IDW,并且在其中在一帧中不执行IDW的垂直消隐时段VBP中实现SDW,如图4所示。定时控制器110将上述栅极定时控制信号输出至用于IDW和SDW的栅极驱动器。

[0052] 定时控制器110可以在一帧中实现一条像素线的SDW,如图4所示。对其执行SDW的像素线可以每帧顺序地或非顺序地改变。对其执行SDW的像素线的亮度低于其他像素线的亮度,因此可以在视觉上识别为行暗淡。因此,定时控制器110可以预先随机地设置SDW的目标像素线,以在时间上和空间上分配行暗淡,使得行暗淡变得不太可见。

[0053] 定时控制器110可以校正图像数据RGB,使得基于根据SDW的感测结果补偿像素的驱动特性偏差,并且然后将经校正的图像数据RGB发送至源极驱动IC 120。定时控制器110输出已经在内部生成的(或者预先设置为特定值的)感测数据。感测数据用于在SDW期间使特定像素电流流过目标像素线的像素PXL。考虑到R、G和B OLED之间的发光效率差异,可以不同地设置要写入R、G和B像素PXL的感测数据。

[0054] 数据驱动器包括多个源极驱动IC 120。源极驱动IC 120从定时控制器110接收图像数据RGB。源极驱动IC 120响应于来自定时控制器110的源极定时控制信号而将图像数据RGB转换成伽马补偿电压以生成数据电压,并且与扫描信号同步地将数据电压提供至显示面板100的数据线。源极驱动IC可以通过玻璃上芯片(COG)工艺或带式自动接合(TAB)工艺连接至显示面板100的数据线。

[0055] 每个源极驱动IC 120包括多个DAC 121和多个感测单元(SU) 122。每个DAC 121基于来自定时控制器110的数据定时控制信号DDC将输入图像数据RGB转换成用于IDW的数据电压VIDW,并将感测数据转换成用于SDW的数据电压VSDW。另外,DAC 121生成要施加至像素PXL的参考电压。

[0056] DAC 121与扫描信号SCAN同步地将用于IDW的数据电压VIDW输出至数据线15,并且与扫描信号SCAN同步地将参考电压输出至参考电压线16以实现IDW。

[0057] DAC 121通过与扫描信号SCAN同步地将用于SDW的数据电压VSDW输出至数据线15并且与扫描信号SCAN同步地将参考电压输出至参考电压线16以实现SDW来设置感测目标像素线。感测单元(SU) 122通过参考电压线16感测流过感测目标像素线的像素PXL的像素电流。在感测结束之后,DAC 121与扫描信号SCAN同步地将用于SDW的恢复电压VREC输出至数据线15,以将感测目标像素线的显示状态恢复至紧接在感测之前的状态。用于SDW的恢复电压VREC可以是用于IDW的数据电压VIDW。

[0058] 栅极驱动器包括连接至栅极线的栅极移位寄存器130和电平移位器150,用于提升从定时控制器110输出的信号的电压水平,并将该信号供应至栅极移位寄存器130。

[0059] 电平移位器150将从定时控制器110输入的栅极定时控制信号的晶体管-晶体管-逻辑(TTL)电平电压提升至可以切换在显示面板100的像素阵列中形成的TFT的栅极导通电压和栅极截止电压。另外,电平移位器150将经电平移位的栅极定时控制信号提供至栅极移位寄存器130。

[0060] 栅极移位寄存器130基于来自定时控制器110的栅极定时控制信号DDC生成用于IDW的扫描信号SCAN和用于SDW的扫描信号SCAN。栅极移位寄存器130在垂直有效时段VWP期间将用于IDW的扫描信号SCAN顺序地提供至所有栅极线17,并且在垂直消隐时段VBP期间将

用于SDW的扫描信号SCAN提供至包括在感测目标像素线中的特定栅极线17。

[0061] 栅极移位寄存器130可以通过GIP(面板内栅极)直接形成在显示面板100的基板上。栅极移位寄存器130形成在显示面板100中不显示图像的区域(即,边框区域(BZ))中。栅极移位寄存器130可以形成在显示面板100的第一边框区域BZ和第二边框区域BZ中,以使由RC延迟引起的栅极信号失真最小化。

[0062] 栅极移位寄存器130包括多个级,所述多个级基于N相时钟输出栅极信号。每个级将保持晶体管连接至扫描输出端子和Q节点,以稳定扫描输出端子的电压和Q节点的电压。另一方面,每个级从进位输出端子移除保持晶体管,以简化级电路配置并减小安装有级的区域。每个级通过应用二极管输入结构作为进位输入结构来补充由从进位输出端子移除保持晶体管所引起的副作用。此外,每个级可以通过同时控制输出进位信号的第一上拉晶体管和使用相同Q节点输出扫描信号的第二上拉晶体管来进一步简化级电路配置。此外,每个级还可以包括适合于SDW的感测线选择器。这种级配置将参照图10至图12来详细描述。

[0063] 图5是示出用于IDW的扫描信号和与该扫描信号同步的数据信号的图。图6A是对应于图5的编程时段的像素的等效电路图,图6B是对应于图5的发光时段的像素的等效电路图。

[0064] 图5示出了施加至第k像素线的像素PXL的用于IDW的扫描信号SCAN(k)和数据信号。数据信号包括用于IDW的数据电压VIDW和参考电压Vref。参照图5,用于IDW的一帧包括编程时段Tp和发光时段Te,在编程时段Tp中,栅极节点Ng与源极节点Ns之间的电压被设置成适合于用于显示图像的像素电流,在发光时段Te中,OLED根据该像素电流发光。

[0065] 参照图5和图6A,在编程时段Tp中,根据栅极导通电压GON处的用于IDW的扫描信号SCAN(k)使像素的第一开关TFT ST1导通,以将用于IDW的数据电压VIDW施加至栅极节点Ng。在编程时段Tp中,根据栅极导通电压GON处的用于IDW的扫描信号SCAN(k)使像素的第二开关TFT ST2导通,以将参考电压Vref施加至源极节点Ns。因此,在编程时段Tp中,像素的栅极节点Ng与源极节点Ns之间的电压被设置成适合于期望的像素电流。

[0066] 参照图5和图6B,像素的第一开关TFT ST1和第二开关TFT ST2在发光时段Te关断。在编程时段Tp中已经在像素中设置的栅极节点Ng与源极节点Ns之间的电压Vgs在发光时段Te中被保持。由于栅极节点Ng与源极节点Ns之间的电压Vgs高于像素的驱动TFT DT的阈值电压,因此像素电流Ioled在发光时段Te期间流过像素的驱动TFT DT。根据发光时段Te的像素电流在Ioled保持栅极节点Ng与源极节点Ns之间的电压Vgs的同时,提升栅极节点Ng的电位和源极节点Ns的电位。当源极节点Ns的电位被提升至OLED的操作点水平时,像素的OLED发光。

[0067] 图7是示出用于SDW的扫描信号和与该扫描信号同步的数据信号的图。图8A是对应于图7的设置时段的像素的等效电路图。图8B是对应于图7的感测时段的像素的等效电路图。图8C是对应于图7的复位时段的像素的等效电路图。

[0068] 图7示出了施加至第k像素线的像素PXL的用于SDW的扫描信号SCAN(k)和数据信号。数据信号包括用于SDW的数据电压VSDW、用于SDW的恢复电压VREC以及参考电压Vref。参照图7,用于SDW的垂直消隐时段VBP包括:设置时段①,其中,栅极节点Ng与源极节点Ns之间的电压被设置成适合于用于感测的像素电流;感测时段②,其中,对像素电流进行采样;以及复位时段③,其中,栅极节点Ng与源极节点Ns之间的电压被恢复至紧接在设置时段①之

前的状态。

[0069] 参照图7和图8A,在设置时段①中,根据栅极导通电压GON处的用于SDW的扫描信号SCAN(k)使像素的第一开关TFT ST1导通,以将用于SDW的数据电压VSDW施加至栅极节点Ng。在设置时段①中,根据栅极导通电压GON处的用于SDW的扫描信号SCAN(k)使像素的第二开关TFT ST2导通,以将参考电压Vref施加至源极节点Ns。因此,在设置时段①中,栅极节点Ng与源极节点Ns之间的电压被设置成适合于用于感测的像素电流。

[0070] 参照图7和图8B,在感测时段②中,像素的第一开关TFT ST1被关断,但第二开关TFT ST2保持导通状态。另外,参考电压线16从DAC断开并连接至感测单元SU。在感测时段②中,感测单元SU对通过第二开关TFT ST2和参考电压线16的输入的用于感测的像素电流I_{pix}进行采样。

[0071] 参照图7和图8C,在复位时段③中,根据栅极导通电压GON处的用于SDW的扫描信号SCAN(k)使像素的第一开关TFT ST1导通,以将恢复数据电压VREC施加至栅极节点Ng。恢复数据电压VREC可以是用于IDW的数据电压。在复位时段③中,参考电压线16重新连接至DAC,并且根据栅极导通电压GON处的用于SDW的扫描信号SCAN(k)使像素的第二开关TFT ST2导通,以将参考电压Vref施加至源极节点Ns。因此,在复位时段③中,在栅极节点Ng与源极节点Ns之间的电压被恢复至紧接在SDW之前的状态,即IDW状态。

[0072] 图9是示出栅极移位寄存器130中包括的信号线与级132之间的连接的图。

[0073] 参照图9,根据本公开内容的实施方式的栅极移位寄存器130包括多个相关地连接的级132。级132可以通过GIP(面板中的栅极驱动器)方法形成的GIP元件。可以在最上面的级之前进一步设置至少一个上部虚设级(upper dummy stage),并且可以在最下面的级之后进一步设置至少一个下部虚设级(lower dummy stage)。然而,本公开内容不限于此。

[0074] 级132基于通过信号线输入的电源电压PS、栅极开始信号VSP和栅极移位时钟CLKs来生成栅极信号。栅极信号可以包括扫描信号SCAN(n)至SCAN(n+3)和进位信号CRY(n)至CRY(n+3)。

[0075] 级132生成扫描信号SCAN(n)并将扫描信号SCAN(n)提供至显示面板100的栅极线17。级132可以通过独立地生成进位信号CRY(n)至CRY(n+3)来防止进位信号由于栅极负载而失真。级132生成进位信号CRY(n)至CRY(n+3),将进位信号作为先前进位信号提供至后级,并将进位信号作为后续进位信号提供至前级。先前进位信号是用于激活Q节点的内部开始信号,而后续进位信号是用于去激活Q节点的内部复位信号。

[0076] 每个级132根据栅极开始信号VSP或针对每个帧施加至进位输入端子的先前进位信号来激活Q节点的操作。先前进位信号是从前级中的一个施加的进位信号CRY。每个级132根据针对每个帧施加至进位输入端子的后续进位信号来去激活Q节点的操作。后续进位信号是从后级中的一个施加的进位信号CRY。

[0077] 栅极开始信号VSP和栅极移位时钟CLKs是共同被提供至级132的信号。被实现为具有不同相的N相(N为自然数)时钟的栅极移位时钟CLK可以包括N相进位时钟和N相扫描时钟。

[0078] 扫描时钟是用于生成扫描信号SCAN(n)至SCAN(n+3)的时钟信号,并且进位时钟是用于生成进位信号CRY(n)至CRY(n+3)的时钟信号。扫描时钟在栅极导通电压与栅极截止电压之间摆动,以与扫描信号SCAN(n)至SCAN(n+3)同步。进位时钟在栅极导通电压与栅极截

止电压之间摆动,以与进位信号CRY (n) 至CRY (n+3) 同步。

[0079] 栅极移位时钟CLKs可以是重叠驱动的,以在高速操作期间确保足够的充电时间。根据重叠驱动,栅极移位时钟CLKs的栅极导通电压时段可以重叠预定时间。

[0080] 可以从外部电源单元(未示出)向每个级132提供电源电压PS。电源电压PS包括高电源电压和低电源电压。高电源电压可以设置为栅极导通电压,例如28V。低电源电压可以设置为多个栅极截止电压,例如-6V和-12V,以抑制属于每个级132的晶体管的漏电流。在这种情况下,扫描时钟可以在-6V与12V之间摆动,并且进位时钟可以在-12V与12V之间摆动。换句话说,进位时钟的摆动宽度可以大于扫描时钟的摆动宽度。另外,进位信号CRY (n) 至CRY (n+3) 的摆动宽度可以大于扫描信号SCAN (n) 至SCAN (n+3) 的摆动宽度。这对于抑制在每个级中具有连接至QB节点的栅极电极的下拉晶体管的劣化是有效的。

[0081] 图10是示出图9的栅极移位寄存器130中包括的一个级132的电路图。

[0082] 参照图10,第n级132生成第n进位信号CR (n)、将第n进位信号CR (n) 提供至前级中的一个,并且将第n进位信号CR (n) 提供至后级中的一个。第n级132生成第n扫描信号SCAN (n),并且将第n扫描信号SCAN (n) 提供至第n栅极线。

[0083] 为此,第n级132包括输入和复位单元BLK1、反相器BLK2、输出单元BLK3和稳定器BLK4,并且还可以包括用于实现实时感测的感测线选择器BLK5。

[0084] 输入和复位单元BLK1根据来自第 (n-4) 级的先前进位信号CR (n-4) 以栅极导通电压来对Q节点进行充电,并且根据来自第 (n+4) 级的后续进位信号CR (n+4) 将Q节点放电至栅极截止电压。输入和复位单元BLK1包括根据先前进位信号CR (n-4) 对Q节点进行充电的晶体管T11和根据后续进位信号CR (n+4) 将Q节点放电至低电源电压GVSS(即,栅极截止电压)的晶体管T12。晶体管T11是输入晶体管并且被二极管连接在先前进位信号CR (n-4) 的输入端子与Q节点之间,使得先前进位信号中CR (n-4) 中可能包括的异常输出(即波纹)可以有效地被放电。换句话说,晶体管T11的栅极电极和第一电极连接至先前进位信号CR (n-4) 的输入端子,并且晶体管T11的第二电极连接至Q节点。晶体管T12是复位晶体管,后续进位信号CR (n+4) 被施加至晶体管T12的栅极电极,晶体管T12的第一电极连接至Q节点,低电源电压GVSS被施加至晶体管T12的第二电极。

[0085] 反相器BLK2根据Q节点的电压以与Q节点的充电/放电相反的方式对QB节点的电压进行充电/放电。反相器BLK2包括:当以栅极导通电压对Q节点充电时,将QB节点放电至低电源电压GVSS(即栅极截止电压)的晶体管T24;当Q节点被放电至栅极截止电压时,以高电源电压GVDD(即栅极导通电压)对QB节点充电的晶体管T21至T23;以及根据先前进位信号CR (n-4) 将Q节点放电至低电源电压GVSS的晶体管T25。晶体管T21的栅极电极连接至NX节点,高电源电压GVDD被施加至晶体管T21的第一电极,并且晶体管T21的第二电极连接至QB节点。高电源电压GVDD被施加至晶体管T22的第一电极和栅极电极,晶体管T22的第二电极连接至NX节点。晶体管T23的栅极电极连接至Q节点,晶体管T23的第一电极连接至NX节点,并且低电源电压GVSS被施加至晶体管T23的第二电极。晶体管T24的栅极电极连接至Q节点,晶体管T24的第一电极连接至QB节点,并且低电源电压GVSS被施加至晶体管T24的第二电极。先前进位信号CR (n-4) 被输入至晶体管T25的栅极,晶体管T25的第一电极连接至QB节点,并且低电源电压GVSS被施加至晶体管T25的第二电极。

[0086] 输出单元BLK3包括:在Q节点被自举至高于栅极导通电压的电压的同时输出进位

时钟CRCLK (n) 作为进位信号CR (n) 的上拉晶体管T31; 以及输出扫描时钟SCCLK (n) 作为扫描信号SCAN (n) 的上拉晶体管T32。上拉晶体管T31的栅极电极连接至Q节点, 进位时钟CRCLK (n) 被输入至上拉晶体管T31的第一电极, 并且上拉晶体管T31的第二电极连接至第一输出端子N01。上拉晶体管T32的栅极电极连接至Q节点, 扫描时钟SCCLK (n) 被输入至上拉晶体管T32的第一电极, 并且上拉晶体管T32的第二电极连接至第二输出端子N02。用于自举的升压电容器Co可以另外地连接在上拉晶体管T32的栅极电极与第二输出端子N02之间。

[0087] 稳定器BLK4包括: 抑制第二输出端子N02的纹波的保持晶体管T41; 以及在以栅极导通电压对QB节点充电时抑制Q节点的纹波的保持晶体管T42。也就是说, 保持晶体管T41和T42连接至除了第一输出端子N01之外的第二输出端子N02和Q节点。任何保持晶体管都不连接至第一输出端子N01, 使得可以简化级电路配置。保持晶体管T41、T42与第一输出端子N01电隔离, 因为保持晶体管T41、T42中的端子没有连接到第一输出端子N01。

[0088] 保持晶体管T41将第二输出端子N02连接至栅极截止电压的低电源电压GVSS的端子, 而栅极导通电压被施加至QB节点。保持晶体管T41的栅极电极连接至QB节点, 并且保持晶体管T41的第一电极和第二电极连接至第二输出端子N02和低电源电压GVSS的端子。

[0089] 保持晶体管T42将Q节点连接至栅极截止电压的低电源电压GVSS的端子, 而栅极导通电压被施加至QB节点时。保持晶体管T42的栅极电极连接至QB节点, 并且保持晶体管T42的第一电极和第二电极连接至Q节点和低电源电压GVSS的端子。

[0090] 由于任何晶体管都未连接至第一输出端子N01 (例如, 如图12所示, 保持晶体管省略), 因此在栅极导通电压被施加至QB节点时, 由于外部电路干扰等, 从第一输出端子N01输出的进位信号CR (n) 中可能包括波纹。可以通过图12中所示的纹波放电路径去除进位信号中包括的纹波分量。可以通过以二极管模式连接输入晶体管T11来容易地实现这种纹波放电路径。也就是说, 在栅极导通电压被施加至QB节点时, 可以在先前进位信号CR (n-4) 的输入端子与Q节点之间以及在Q节点与低电源电压GVSS的端子之间形成纹波放电路径。第 (n-4) 级的先前进位信号CR (n-4) 中包括的纹波分量可以通过第n级的纹波放电路径被放电至低电源电压GVSS的端子, 并且因此不影响第n级的进位输出和扫描输出。

[0091] 感测线选择器BLK5根据像素线选择信号LSP存储从M节点处的先前级中的一个级 (例如, 第 (n-2) 级) 输入的先前进位信号CR (n-2), 并且根据M节点的电压和感测开始信号SRT将Q节点激活到栅极导通电压。如图11所示, 在写入图像数据的垂直有效时段VWP期间, 像素线选择信号LSP被施加至所述级中的一个级 (例如, 第n级), 并且在垂直有效时段VWP之后没有写入图像数据的垂直消隐时段VBP期间, 感测开始信号SRT被施加至上述一个级, 使得可以针对每个帧的每个像素线执行SDW。

[0092] 第n级的M节点根据垂直有效时段VWP中的像素线选择信号LSP存储先前进位信号CR (n-2) 以准备SDW。另外, 第n级根据垂直消隐时段VBP中的感测开始信号SRT将Q节点激活至栅极导通电压, 以输出用于SDW的扫描信号SCAN (n)。

[0093] 以这种方式, 准备和执行SDW的级根据像素线选择信号LSP和感测开始信号SRT在每帧改变。

[0094] 感测线选择器BLK5包括根据像素线选择信号LSP导通以将先前进位信号CR (n-2) 施加至M节点的晶体管T51、存储被施加至M节点的先前进位信号CR (n-2) 的电容器Cx、晶体管T52和晶体管T53。晶体管T52和晶体管T53串联连接在具有栅极导通电压的高电源电压

GVDD的端子与Q节点之间,并且根据M节点的电压和感测开始信号SRT将高电源电压GVDD(即,栅极导通电压)施加至Q节点。

[0095] 可以如下描述根据本公开内容的各种实施方式的栅极驱动器和有机发光显示装置。

[0096] 栅极驱动器包括多个级,其中,所述级中的每个级包括:第一上拉晶体管,其被配置成在Q节点被自举至高于栅极导通电压的电压时将进位时钟输出至第一输出端子作为进位信号;第二上拉晶体管,其被配置成在Q节点被自举时将扫描时钟输出至第二输出端子作为扫描信号;以及保持晶体管,其根据以与Q节点相反的方式充电和放电的QB节点的电压进行操作,其中,保持晶体管连接至除了第一输出端子之外的第二输出端子和Q节点。

[0097] 保持晶体管包括:第一保持晶体管,其被配置成在栅极导通电压被施加至QB节点时将第二输出端子连接至供应栅极截止电压的低电源电压端子;以及第二保持晶体管,其被配置成在栅极导通电压被施加至QB节点时将Q节点连接至低电源电压端子。

[0098] 所述级中的每个级还包括输入晶体管,输入晶体管用于将从前级中的一个级输入的先前进位信号直接施加至Q节点,以将Q节点激活至栅极导通电压。

[0099] 输入晶体管被二极管连接在先前进位信号的输入端子与Q节点之间。

[0100] 输入晶体管的栅极电极和第一电极连接至先前进位信号的输入端子,输入晶体管的第二电极连接至Q节点。

[0101] 在栅极导通电压被施加至QB节点时,在先前进位信号的输入端子与Q节点之间以及在Q节点与低电源电压端子之间形成纹波放电路径。

[0102] 所述级中的每个级还包括感测线选择器,感测线选择器被配置成根据像素线选择信号存储从M节点处的先前级中的一个级输入的先前进位信号,并且根据M节点的电压和感测开始信号将Q节点激活至栅极导通电压。

[0103] 在一帧中写入图像数据的垂直有效时段期间,将像素线选择信号施加至所述级中的一个级。

[0104] 在垂直有效时段之后的不写入图像数据的垂直消隐时段期间,将感测开始信号施加至所述一个级。

[0105] 感测线选择器包括:第一晶体管,其根据像素线选择信号导通,以将先前进位信号施加至M节点;电容器,其存储施加至M节点的先前进位信号;以及第二晶体管和第三晶体管,第二晶体管和第三晶体管串联连接在供应栅极导通电压的高电源电压端子与Q节点之间,以根据M节点的电压和感测开始信号将栅极导通电压施加至Q节点。

[0106] 一种有机发光显示装置包括栅极驱动器以及通过栅极线连接至栅极驱动器的多个像素。

[0107] 本公开内容可以通过从构成栅极移位寄存器的级的进位输出端子移除保持晶体管来简化级电路以减小边框区域。因此,减少了晶体管的数目以降低故障率并提高了产量。

[0108] 本公开内容可以通过以下操作来形成级中的放电路径:将二极管输入结构应用为进位输入结构,以补充由从进位输出端子移除保持晶体管所引起的副作用。

[0109] 本公开内容可以通过在构成栅极移位寄存器的每个级中同时控制输出进位信号的第一上拉晶体管和使用相同Q节点输出扫描信号的第二上拉晶体管来进一步简化级电路配置,以进一步减小边框区域。

[0110] 本公开内容可以通过在构成栅极移位寄存器的级中包括感测线选择器来容易地实现实时感测。

[0111] 本公开内容的效果不限于以上描述,并且各种效果都包括在说明书中。

[0112] 本领域技术人员将理解,通过以上描述,在不脱离本公开内容的精神或范围的情况下,可以在本公开内容中进行各种修改和变型。因此,本公开内容的技术范围不应限于说明书的详细描述,而应由权利要求确定。

[0113] 可以组合上述各种实施方式以提供进一步的实施方式。

[0114] 可以根据上述具体实施方式对实施方式进行这些和其他更改。一般而言,在权利要求书中,所用术语不应解释为将权利要求限定于说明书和权利要求书中所公开的特定实施方式,而应解释为包括所有可能的实施方式以及这些权利要求所涉及的等效物的全部范围。因此,权利要求不受本公开内容的限制。

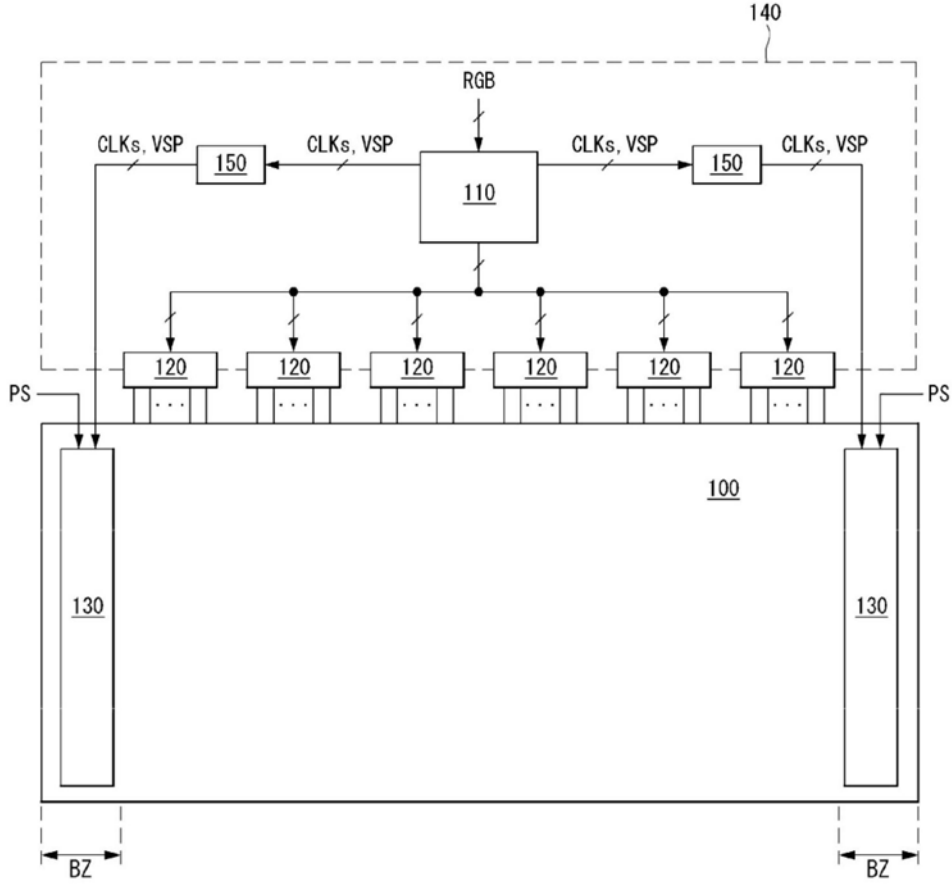


图1

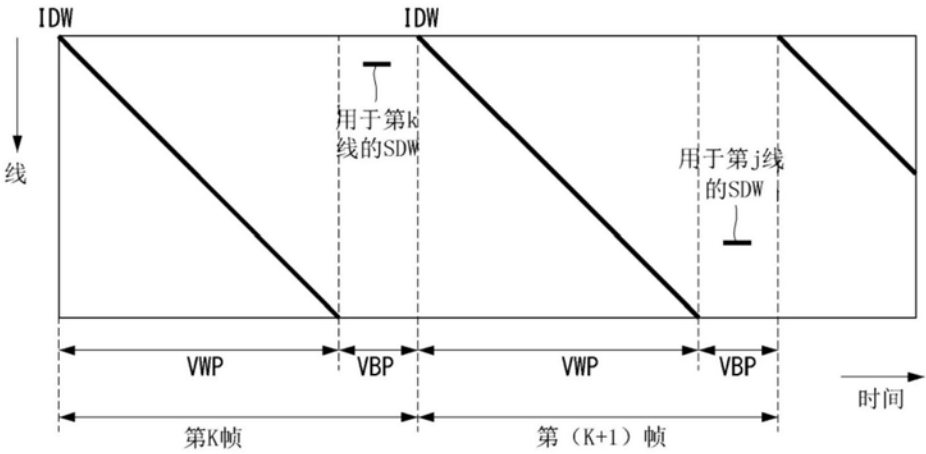


图4

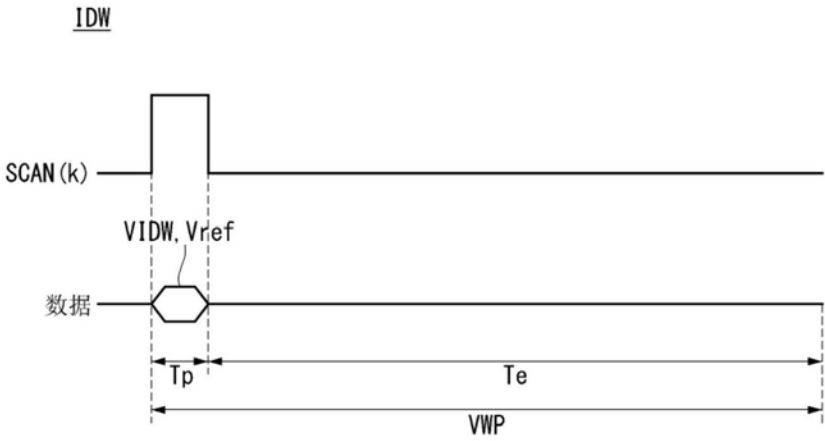


图5

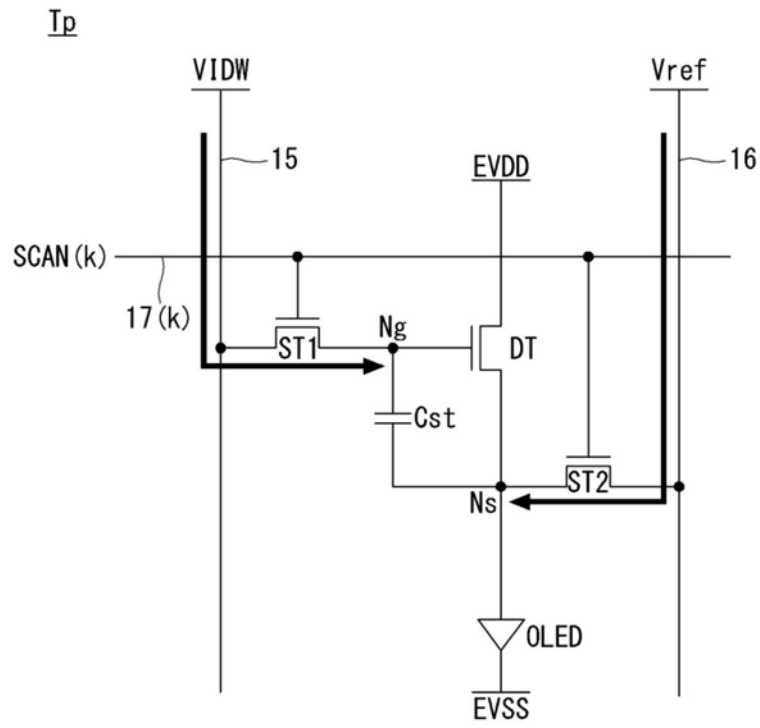


图6A

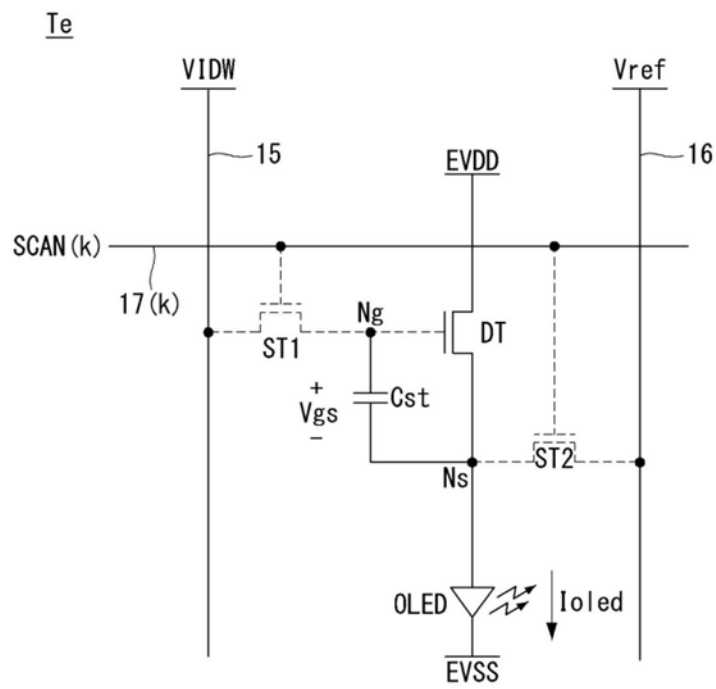


图6B

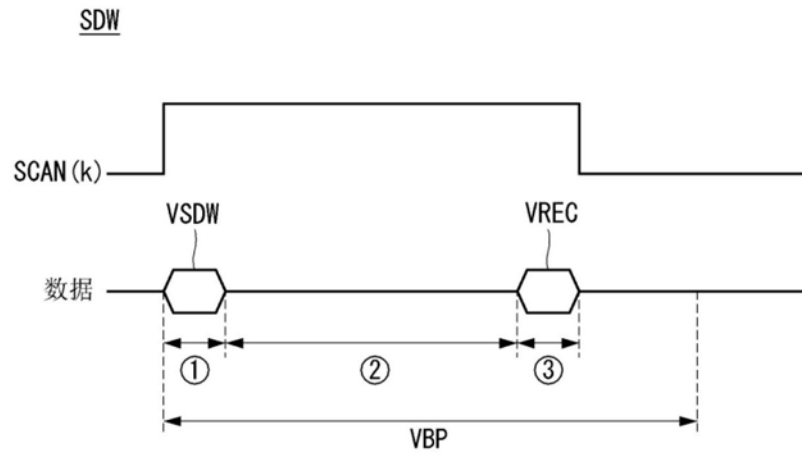


图7

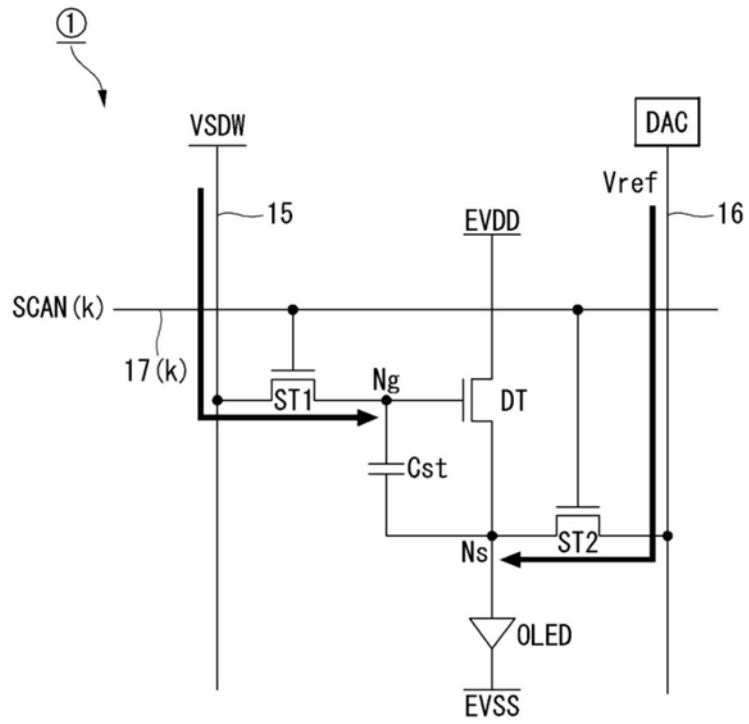


图8A

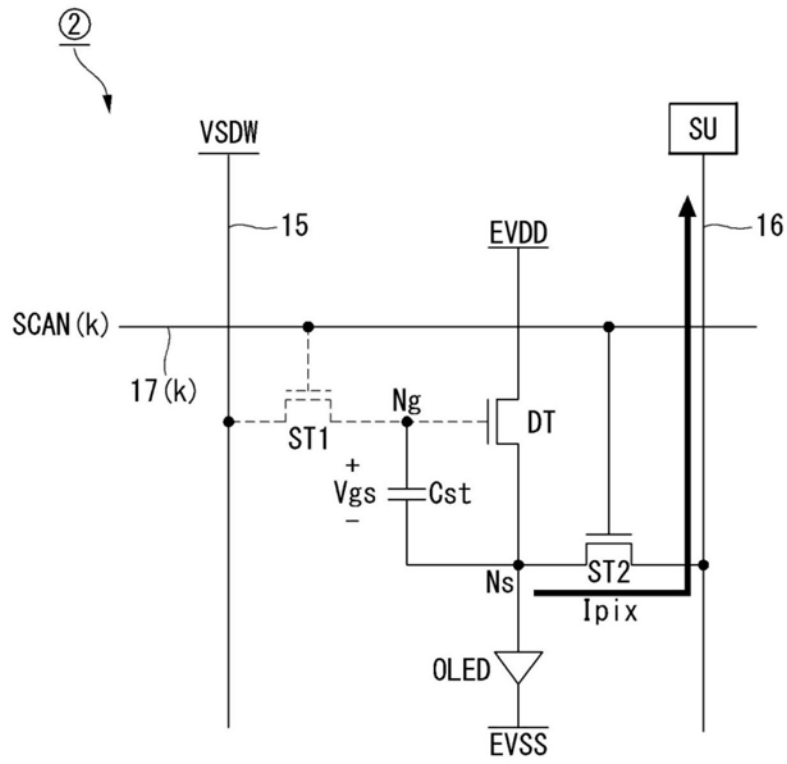


图8B

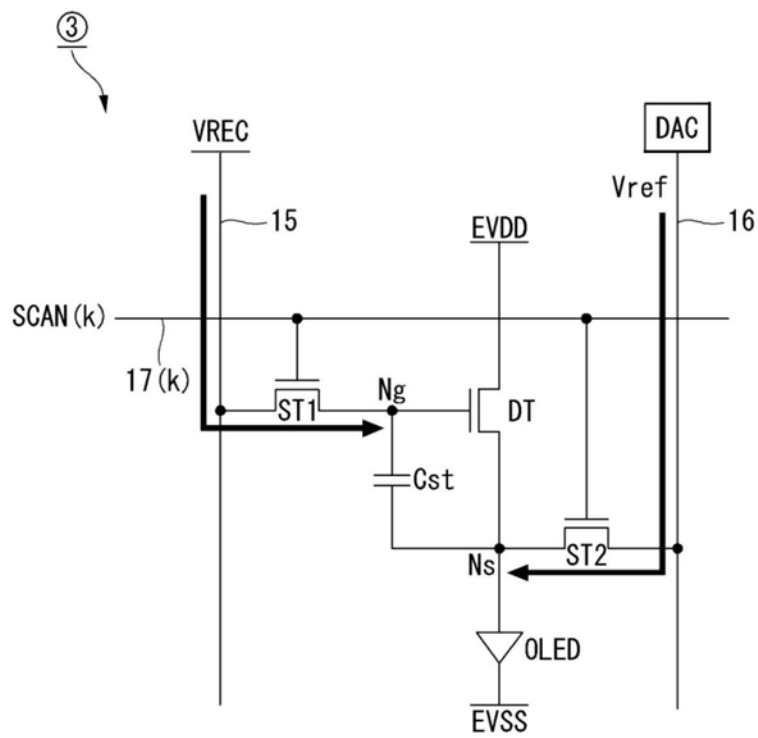


图8C

130

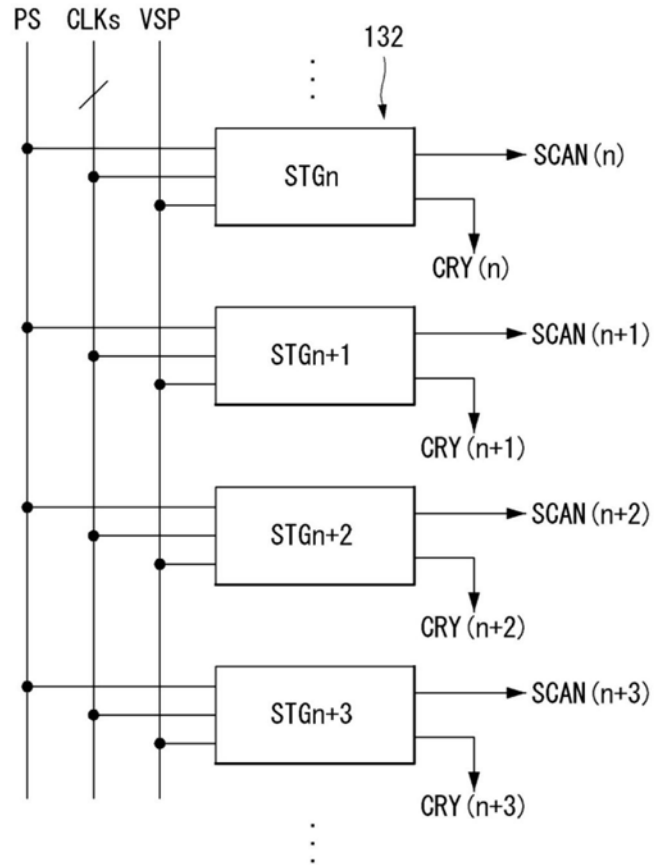


图9

132

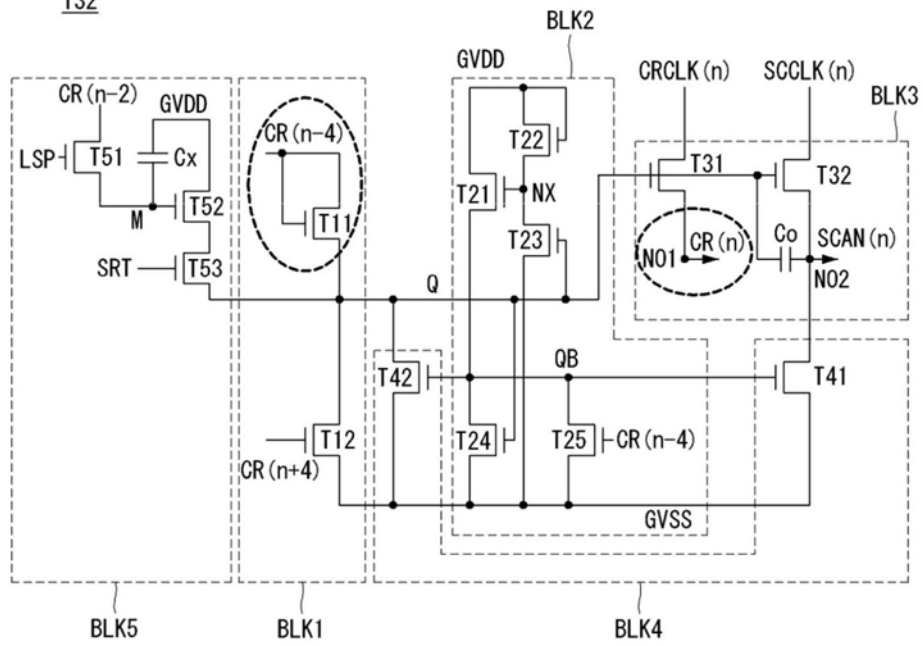


图10

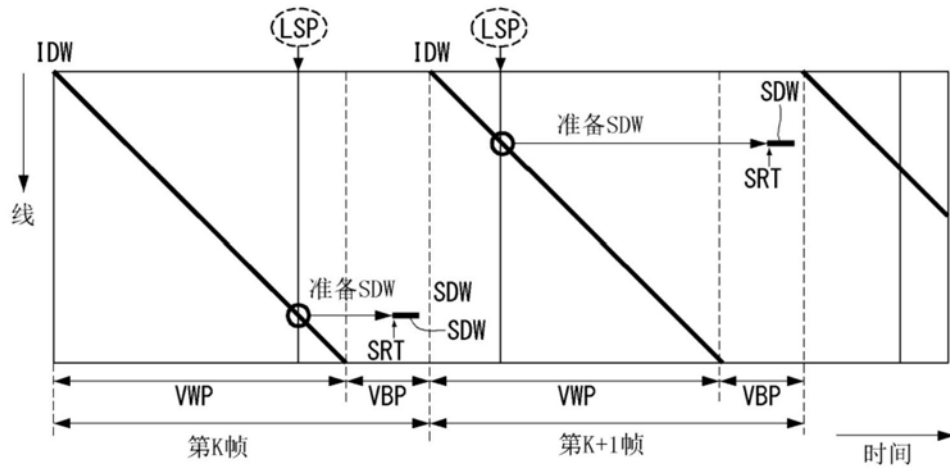


图11

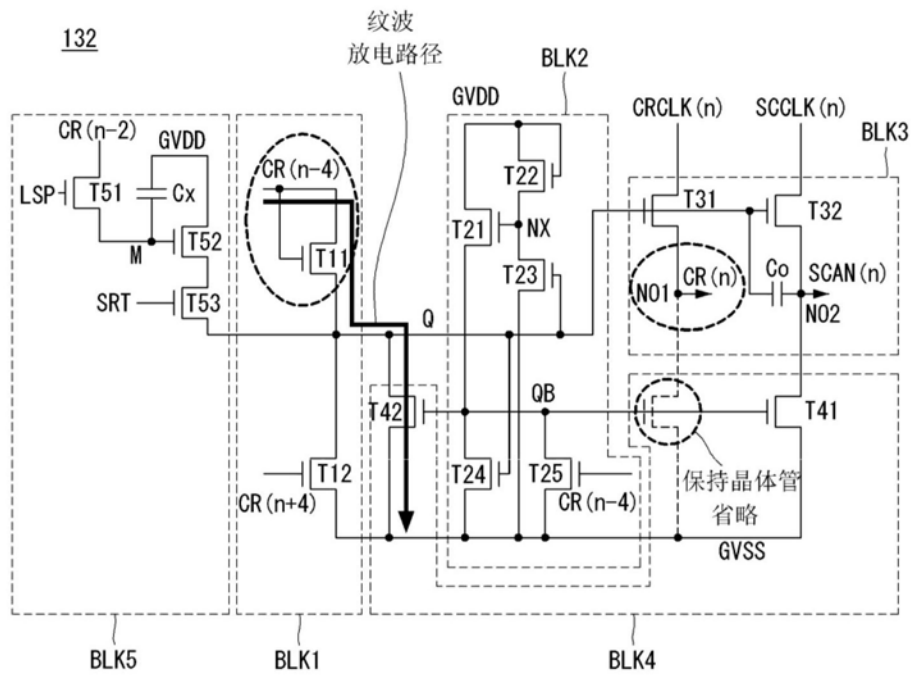


图12

专利名称(译)	栅极驱动器和包括该栅极驱动器的有机发光显示装置		
公开(公告)号	CN110875016A	公开(公告)日	2020-03-10
申请号	CN201910827793.7	申请日	2019-09-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	崔载二		
发明人	崔载二		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G3/3275 G09G2300/0814 G09G2300/0819 G09G2310/0286 G09G3/3291 G09G2300/0426 G09G2310/08		
代理人(译)	陈炜		
优先权	1020180104451 2018-09-03 KR		
外部链接	Espacenet SIPO		

摘要(译)

本公开内容涉及栅极驱动器和包括该栅极驱动器的有机发光显示装置。根据本公开内容的实施方式的栅极驱动器包括多个级。每个级包括：第一上拉晶体管，其被配置成在Q节点被自举至高于栅极导通电压的电压时将进位时钟作为进位信号输出至第一输出端子；第二上拉晶体管，其被配置成在Q节点被自举时将扫描时钟作为扫描信号输出至第二输出端子；以及保持晶体管，其被配置成基于QB节点的电压进行操作，所述QB节点以与Q节点的充电和放电相反的方式进行充电和放电。保持晶体管连接至第二输出端子和Q节点，并且保持晶体管与第一输出端子电隔离。

