



(12)发明专利申请

(10)申请公布号 CN 110728957 A

(43)申请公布日 2020.01.24

(21)申请号 201911046318.2

(22)申请日 2019.10.30

(71)申请人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区
龙腾路1号4幢

(72)发明人 王东平 童晓阳 张元波 胡思明
韩珍珍

(74)专利代理机构 广东君龙律师事务所 44470
代理人 丁建春

(51) Int.Cl.

G09G 3/3233(2016.01)

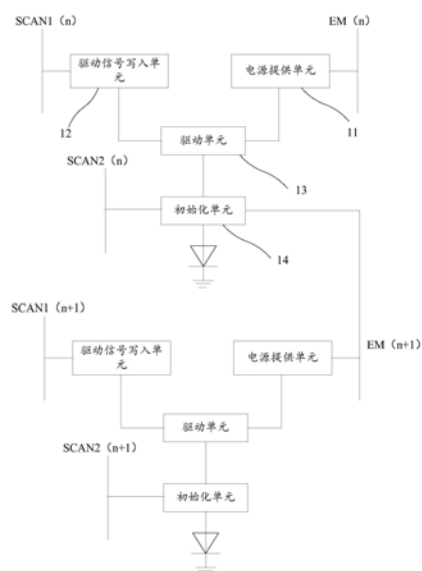
权利要求书2页 说明书5页 附图3页

(54)发明名称

OLED像素电路及显示装置

(57)摘要

本发明提供一种OLED像素电路及显示装置，包括多个阵列分布的像素单元，每个像素单元包括：电源提供单元、驱动信号写入单元、驱动单元、初始化单元。其中，驱动单元连接驱动信号写入单元和电源提供单元，并保存驱动信号写入单元写入的驱动信号，根据驱动信号，利用电源提供单元提供的电源信号生成匹配驱动信号的驱动电流，从而驱动发光二极管；初始化单元连接下一级发光使能信号线接收下一级发光使能信号，以藉由下一级发光使能信号对驱动单元及发光二极管进行初始化。进而实现减小显示区内像素间隙和实现窄边框设计的目的。



1. 一种OLED像素电路,其特征在于,包括多个阵列分布的像素单元,每个像素单元分别包括:

电源提供单元,接收本级发光使能信号,并根据所述本级发光使能信号而为所述像素单元的发光二极管提供电源信号;

驱动信号写入单元,接收本级第一扫描信号,并在本级第一扫描信号的驱动下将驱动信号写入至驱动单元;

驱动单元,连接所述驱动信号写入单元和所述电源提供单元,以写入保存所述驱动信号,并根据所述驱动信号,利用所述电源信号而生成匹配所述驱动信号的驱动电流,从而利用所述驱动电流驱动所述发光二极管;

初始化单元,连接所述驱动单元及所述发光二极管,并接收本级第二扫描信号和下一级发光使能信号,以在所述本级第二扫描信号的驱动下藉由所述下一级发光使能信号对所述驱动单元和所述发光二极管进行初始化处理。

2. 根据权利要求1所述的像素电路,其特征在于,所述电源提供单元包括:

第一晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第一晶体管的所述控制端连接本级发光使能信号线以接收所述本级发光使能信号,所述第一通路端连接本级电源信号线以接收本级电源信号,所述第二通路端连接至所述驱动单元;

第二晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第二晶体管的所述控制端连接本级发光使能信号线以接收所述本级发光使能信号,所述第一通路端连接所述驱动单元,所述第二通路端连接所述发光二极管;

其中,所述第一晶体管与所述驱动单元的连接点为第一节点,所述第二晶体管与所述驱动单元的连接点为第二节点。

3. 根据权利要求2所述的像素电路,其特征在于,所述驱动信号写入单元包括:

第三晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第三晶体管的所述控制端连接本级第一扫描信号线以接收本级第一扫描信号,所述第一通路端连接本级驱动信号线以接收所述驱动信号,所述第二通路端连接所述第一节点;

第四晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第四晶体管的所述控制端连接本级第一扫描信号线以接收本级第一扫描信号,所述第一通路端连接所述第二节点,所述第二通路端连接所述驱动单元。

4. 根据权利要求3所述的像素电路,其特征在于,所述驱动单元包括:

第五晶体管,其包括控制端、第一通路端和第二通路端,其中,所述第五晶体管的所述控制端连接所述第四晶体管的第二通路端,所述第五晶体管的所述第一通路端连接所述第一节点,所述第二通路端连接所述第二节点。

5. 根据权利要求3所述的像素电路,其特征在于,所述初始化单元包括:

第六晶体管,其包括控制端、第一通路端和第二通路端,其中,所述控制端连接本级第二扫描信号线以接收本级第二扫描信号,所述第一通路端连接所述第四晶体管的第二通路端,所述第二通路端连接下一级发光使能信号线以接收下一级发光使能信号;

第七晶体管,其包括控制端、第一通路端和第二通路端,其中,所述控制端连接本级第二扫描信号线以接收本级第二扫描信号,所述第一通路端连接所述下一级发光使能信号线以接收下一级发光使能信号,所述第二通路端连接所述发光二极管。

6. 根据权利要求1所述的像素电路,其特征在于,所述发光二极管包括阳极及阴极,其中,所述发光二极管的阳极连接所述电源提供单元及所述初始化单元,所述阴极连接参考地。

7. 根据权利要求1所述的像素电路,其特征在于,所述像素单元进一步包括存储电容,其包括第一通路端及第二通路端,所述第一通路端连接本级电源信号线以接收本级电源信号,所述第二通路端连接所述驱动单元。

8. 根据权利要求1所述的像素电路,其特征在于,所述本级第二扫描信号的使能期间的结束点早于所述本级第一扫描信号的使能期间的起始点。

9. 根据权利要求1所述的像素电路,其特征在于,在第一期间内发光使能信号处于第一状态,而在其它期间内所述发光使能信号处于第二状态;

其中,所述本级发光使能信号所对应的所述第一期间涵盖所述本级第二扫描信号的使能期间和所述本级第一扫描信号的使能期间;

而当所述本级第二扫描信号处于使能期间和所述本级第一扫描信号处于使能期间时,所述下一级发光使能信号处于第二状态。

10. 一种显示装置,其特征在于,其包括如权利要求1-9任意一项所述的OLED像素电路。

OLED像素电路及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别是涉及一种OLED像素电路及显示装置。

背景技术

[0002] 有源(主动)矩阵有机发光二极管(Active-matrix Organic Light Emitting Diode, AMOLED)电路的制造过程中,随着屏体的高像素要求、屏下指纹和窄边框的需求日益增多,屏体内部像素间隙和信号线的空间也不断被压缩,但是由于压缩空间有限,因此需要设计新的像素电路,以此实现窄边框设计。

发明内容

[0003] 本发明主要解决的技术问题是提供一种OLED像素电路及显示装置,以实现减小显示区内像素间隙和实现窄边框设计的目的。

[0004] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种OLED像素电路,包括多个阵列分布的像素单元,每个像素单元分别包括:电源提供单元,接收本级发光使能信号,并根据本级发光使能信号而为像素单元的发光二极管提供电源信号;驱动信号写入单元,接收本级第一扫描信号,并在本级第一扫描信号的驱动下将驱动信号写入至驱动单元;驱动单元,连接驱动信号写入单元和电源提供单元,以写入保存驱动信号,并根据驱动信号,利用电源信号而生成匹配驱动信号的驱动电流,从而利用驱动电流驱动发光二极管;初始化单元,连接驱动单元及发光二极管,并接收本级第二扫描信号和下一级发光使能信号,以在本级第二扫描信号的驱动下藉由下一级发光使能信号对驱动单元和发光二极管进行初始化处理。

[0005] 其中,电源提供单元包括:第一晶体管,其包括控制端、第一通路端和第二通路端,其中,第一晶体管的控制端连接本级发光使能信号线以接收本级发光使能信号,第一通路端连接本级电源信号线以接收本级电源信号,第二通路端连接至驱动单元;第二晶体管,其包括控制端、第一通路端和第二通路端,其中,第二晶体管的控制端连接本级发光使能信号线以接收本级发光使能信号,第一通路端连接驱动单元,第二通路端连接发光二极管;其中,第一晶体管与驱动单元的连接点为第一节点,第二晶体管与驱动单元的连接点为第二节点。

[0006] 其中,所述驱动信号写入单元包括:第三晶体管,其包括控制端、第一通路端和第二通路端,其中,第三晶体管的控制端连接本级第一扫描信号线以接收本级第一扫描信号,第一通路端连接本级驱动信号线以接收驱动信号,第二通路端连接第一节点;第四晶体管,其包括控制端、第一通路端和第二通路端,其中,第四晶体管的控制端连接本级第一扫描信号线以接收本级第一扫描信号,第一通路端连接第二节点,第二通路端连接驱动单元。

[0007] 其中,驱动单元包括:第五晶体管,其包括控制端、第一通路端和第二通路端,其中,第五晶体管的控制端连接第四晶体的第二通路端,第五晶体管的第一通路端连接第一节点,第二通路端连接第二节点。

[0008] 其中,初始化单元包括:第六晶体管,其包括控制端、第一通路端和第二通路端,其中,控制端连接本级第二扫描信号线以接收本级第二扫描信号,第一通路端连接第四晶体管的第二通路端,第二通路端连接下一级发光使能信号线以接收下一级发光使能信号;第七晶体管,其包括控制端、第一通路端和第二通路端,其中,控制端连接本级第二扫描信号线以接收本级第二扫描信号,第一通路端连接下一级发光使能信号线以接收下一级发光使能信号,第二通路端连接发光二极管。

[0009] 其中,发光二极管包括阳极及阴极,其中,发光二极管的阳极连接电源提供单元及初始化单元,阴极连接参考地。

[0010] 其中,像素单元进一步包括存储电容,其包括第一通路端及第二通路端,第一通路端连接本级电源信号线以接收本级电源信号,第二通路端连接驱动单元。

[0011] 其中,本级第二扫描信号的使能期间的结束点早于本级第一扫描信号的使能期间的起始点。

[0012] 其中,在第一期间内发光使能信号处于第一状态,而在其它期间内发光使能信号处于第二状态;其中,本级发光使能信号所对应的第一期间涵盖本级第二扫描信号的使能期间和本级第一扫描信号的使能期间;而当本级第二扫描信号处于使能期间和本级第一扫描信号处于使能期间时,下一级发光使能信号处于第二状态。

[0013] 为解决上述技术问题,本发明采用的另一个技术方案是:提供一种显示装置,显示装置包括上述任意一项所述的OLED像素电路。

[0014] 本发明的有益效果是:区别于现有技术的情况,本发明通过将初始化单元与下一级发光使能信号线连接,以通过下一级发光使能信号对本级像素单元进行初始化,相对于现有的技术方案,其方案去除了参考信号线,以此减小像素间隙,节省了参考信号线占用空间,进而实现窄边框设计。

附图说明

[0015] 图1是本发明OLED像素电路的第一实施例的结构示意图;

[0016] 图2是本发明OLED像素电路的第二实施例的结构示意图;

[0017] 图3是本发明OLED像素电路的时序波形图;

[0018] 图4是本发明显示装置的第一实施例的结构示意图。

具体实施方式

[0019] 下面结合附图和实施例对本发明进行详细的说明。

[0020] 请参见图1,为本发明OLED像素电路的第一实施例的结构示意图。包括多个阵列分布的像素单元,其中,每个像素单元分别包括:电源提供单元11、驱动信号写入单元12、驱动单元13及初始化单元14。

[0021] 其中,电源提供单元11连接本级发光使能信号线,接收本级发光使能信号EM(n)。根据本级发光使能信号EM(n)为像素单元的发光二极管提供电源信号。

[0022] 其中,驱动信号写入单元12连接本级第一扫描信号线,接收本级第一扫描信号SCAN1(n)。并在本级第一扫描信号SCAN1(n)的驱动下将驱动信号写入至驱动单元13。

[0023] 其中,驱动单元13连接驱动信号写入单元12和电源提供单元11,以写入保存驱动

信号,并根据驱动信号,利用电源信号而生成匹配驱动信号的驱动电流,从而利用驱动电流驱动发光二极管,以使发光二极管进行发光。

[0024] 其中,初始化单元14连接驱动单元13及发光二极管,并连接本级第二扫描信号线和下一级发光使能信号线,以接收本级第二扫描信号SCAN2(n)和下一级发光使能信号EM(n+1),以在本级第二扫描信号SCAN2(n)的驱动下藉由下一级发光使能信号EM(n+1)对驱动单元13和发光二极管进行初始化处理。

[0025] 在本实施例中,初始化单元14连接下一级发光使能信号线,利用下一级发光使能信号EM(n+1)对驱动单元13和发光二极管进行初始化,相对于现有的初始化单元14连接参考信号线以对驱动单元13和发光二极管进行初始化,本申请的方案去除了参考信号线,以此能够在具体使用中减少参考信号线的占用空间,进而节省像素空间,实现窄边框设计。

[0026] 请参见图2,为本发明OLED像素电路的第二实施例的结构示意图。其中,电源提供的单元11包括:第一晶体管M1及第二晶体管M2。具体地,第一晶体管M1包括控制端、第一通路端和第二通路端。其中,第一晶体管M1的控制端连接本级发光使能信号线以接收本级发光使能信号EM(n),第一通路端连接本级电源信号线以接收本级电源信号ELVDD,第二通路端连接至驱动单元13。第二晶体管M2包括控制端、第一通路端和第二通路端。其中,第二晶体管M2的控制端连接本级发光使能信号线以接收本级发光使能信号EM(n),第一通路端连接驱动单元13,第二通路端连接发光二极管D。

[0027] 在本实施例中,将第一晶体管M1与驱动单元13的连接点定义为第一节点n1,第二晶体管M2与驱动单元13的连接点定义为第二节点n2。

[0028] 驱动信号写入单元12包括:第三晶体管M3及第四晶体管M4。其中,第三晶体管M3包括控制端、第一通路端和第二通路端。其中,第三晶体管M3的控制端连接本级第一扫描信号线以接收本级第一扫描信号SCAN1(n),第一通路端连接本级驱动信号线以接收本级驱动信号Vdata,第二通路端连接第一节点n1。第四晶体管M4包括控制端、第一通路端和第二通路端。其中,第四晶体管M4的控制端连接本级第一扫描信号线以接收本级第一扫描信号SCAN1(n),第一通路端连接第二节点n2,第二通路端连接驱动单元13。

[0029] 驱动单元13包括:第五晶体管M5,其包括控制端、第一通路端和第二通路端。其中,第五晶体管M5的控制端连接第四晶体管M4的第二通路端,第五晶体管M5的第一通路端连接第一节点n1,第二通路端连接第二节点n2。

[0030] 初始化单元14包括:第六晶体管M6及第七晶体管M7。其中,第六晶体管M6包括控制端、第一通路端和第二通路端,其中,控制端连接本级第二扫描信号线以接收本级第二扫描信号SCAN2(n),第一通路端连接第四晶体管M4的第二通路端,第二通路端连接下一级发光使能信号线以接收下一级发光使能信号EM(n+1)。第七晶体管M7包括控制端、第一通路端和第二通路端,其中,控制端连接本级第二扫描信号线以接收本级第二扫描信号SCAN2(n),第一通路端连接下一级发光使能信号线以接收下一级发光使能信号EM(n+1),第二通路端连接发光二极管D。

[0031] 进一步地,像素电路的发光二极管D包括阳极及阴极,其中,发光二极管D的阳极连接电源提供单元11及初始化单元14,具体地,发光二极管的阳极连接电源提供单元11的第二晶体管M2的第二通路端,及初始化单元14的第七晶体管M7的第二通路端;发光二极管D的阴极连接参考地GND。

[0032] 进一步地,像素单元还包括存储电容C,其包括第一通路端及第二通路端。其中,第一通路端连接本级电源信号线以接收本级电源信号ELVDD,第二通路端连接驱动单元13。具体地,存储电容C的第一通路端连接第一晶体管M1的第一通路端,进而连接本级电源信号线,存储电容C的第二通路端连接驱动单元13的第五晶体管M5的控制端。

[0033] 在一具体实施例中,第一晶体管M1、第二晶体管M2、第三晶体管M3、第四晶体管M4、第五晶体管M5、第六晶体管M6、第七晶体管M7均为PMOS晶体管。具体地,第一晶体管M1至第七晶体管M7均在逻辑为低电平时导通,在逻辑为高电平时截止。

[0034] 请参见图3,为本发明OLED像素电路的时序波形图。具体地,本发明所示的OLED像素电路在工作时,包括初始化阶段t1、数据写入阶段t2及发光阶段t3。

[0035] 进一步地,在初始化阶段t1时,本级第二扫描信号SCAN2(n)为低电平,第六晶体管M6及第七晶体管M7导通,藉由下一级发光使能信号EM(n+1)对第五晶体管M5的控制端及发光二极管D的阳极进行初始化。

[0036] 在数据写入阶段t2,本级第一扫描信号SCAN1(n)为低电平,第三晶体管M3及第四晶体管M4导通,在本级第一扫描信号SCAN1(n)的驱动下将驱动信号写入至第五晶体管M5。

[0037] 在发光阶段t3,本级发光使能信号EM(n)为低电平,第一晶体管M1及第二晶体管M2导通,以将电源信号ELVDD提供给发光二极管D,第五晶体管M5利用电源信号ELVDD生成匹配驱动信号的驱动电流,从而利用驱动电流驱动发光二极管D,以使发光二极管D进行发光。

[0038] 在本实施例中,为了在初始化阶段t1时,下一级发光使能信号EM(n+1)能够有效对第五晶体管M5的控制端及发光二极管D的阳极进行初始化,下一级发光使能信号EM(n+1)需要在初始化阶段T1时保持低电平。

[0039] 请继续参见图3,本级第二扫描信号SCAN2(n)的使能期间的结束点早于本级第一扫描信号SCAN1(n)的使能期间的起始点。具体地,在第六晶体管M6及第七晶体管M7截止后,第三晶体管M3及第四晶体管M4才开始导通。其中,使能期间为保持低电平期间。进一步地,还可以在第六晶体管M6及第七晶体管M7截止后,持续一段时间后,第三晶体管M3及第四晶体管M4才开始导通。

[0040] 在一实施例中,在发光二极管D处于第一状态时,即非发光期间时,发光使能信号EM为逻辑高电位,在发光二极管D处于第二状态时,即发光期间时,发光使能信号EM为逻辑低电位。进一步地,本发明利用发光使能信号EM高电位之前的低电位(即下一级发光使能信号EM(n+1))在初始化阶段将第五晶体管M5的控制端及发光二极管D的阳极电压进行复位。

[0041] 具体地,本级发光使能信号EM(n)所对应的第一期间(即逻辑高电位期间)涵盖本级第二扫描信号SCAN2(n)的使能期间(逻辑低电位期间)和本级第一扫描信号SCAN1(n)的使能期间(逻辑低电位期间)。具体地,在本级发光使能信号EM(n)为高电平期间,本级第二扫描信号SCAN2(n)及本级第一扫描信号SCAN1(n)为低电平。而当本级第二扫描信号SCAN2(n)处于使能期间(逻辑低电平)和本级第一扫描信号SCAN1(n)处于使能期间(逻辑低电平)时,下一级发光使能信号EM(n+1)处于第二状态(逻辑低电平)。即在本级第二扫描信号SCAN2(n)及本级第一扫描信号SCAN1(n)为低电平时,下一级发光使能信号EM(n+1)为低电平,以此能够在初始化阶段通过下一级发光使能信号EM(n+1)的低电平信号对像素电路进行初始化。

[0042] 具体地,在t1阶段时,本级第二扫描信号SCAN2(n)为低电平,此时发光二极管D的

阳极及第五晶体管M5的控制端被初始化为下一级发光使能信号EM(n+1),即第五晶体管M5的控制端的电压 $V=EM(n+1)$ 。

[0043] 在t2阶段时,本级第一扫描信号SCAN1(n)为低电平,此时第二节点n2的电压 $V_{n2}=V_{data}$,第五晶体管M5导通,由于第五晶体管M5为驱动晶体管,在导通时会产生阈值电压 V_{th} ,此时第五晶体管M5的控制端的电压为驱动信号 V_{data} 与阈值电压 V_{th} 之和,即 $V=V_{data}+V_{th}$ 。

[0044] 在t3阶段时,本级发光使能信号EM(n)为低电平,发光二极管发光。

[0045] 请参见图4,为本发明显示装置的结构示意图。显示装置401包括上述任一实施例中的OLED像素电路402。显示装置401的其他器件及功能与现有显示装置401的器件及功能相同,在此不再赘述。

[0046] 具体的,显示装置401可以为双面显示装置、柔性显示装置、全面屏显示装置中任一种。柔性显示装置可以应用于弯曲的电子设备;双面显示装置可以应用于为使显示装置两侧的人员都能看到显示内容的装置;全面屏显示装置可以应用于全面屏手机或其他装置,在此不做限定。

[0047] 本发明的显示装置401具体可以应用于手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于显示装置的其他必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。

[0048] 在本发明各实施例中,OLED像素电路只描述了部分相关电路,其他结构与现有技术中的OLED像素电路的结构相同,在此不再赘述。

[0049] 本发明所述的像素电路,通过将初始化单元(第六晶体管及第七晶体管)连接至下一级发光使能信号线,以藉由下一级发光使能信号对像素电路进行初始化,与现有技术相比,去掉了参考信号线,以此减小像素间隙,实现窄边框设计。具体地,在像素电路的初始化阶段,下一级发光使能信号为低电平,即在本级像素单元发光时,下一级的发光使能信号为高电平,上一级的发光使能信号为低电平,以此实现初始化。

[0050] 以上仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

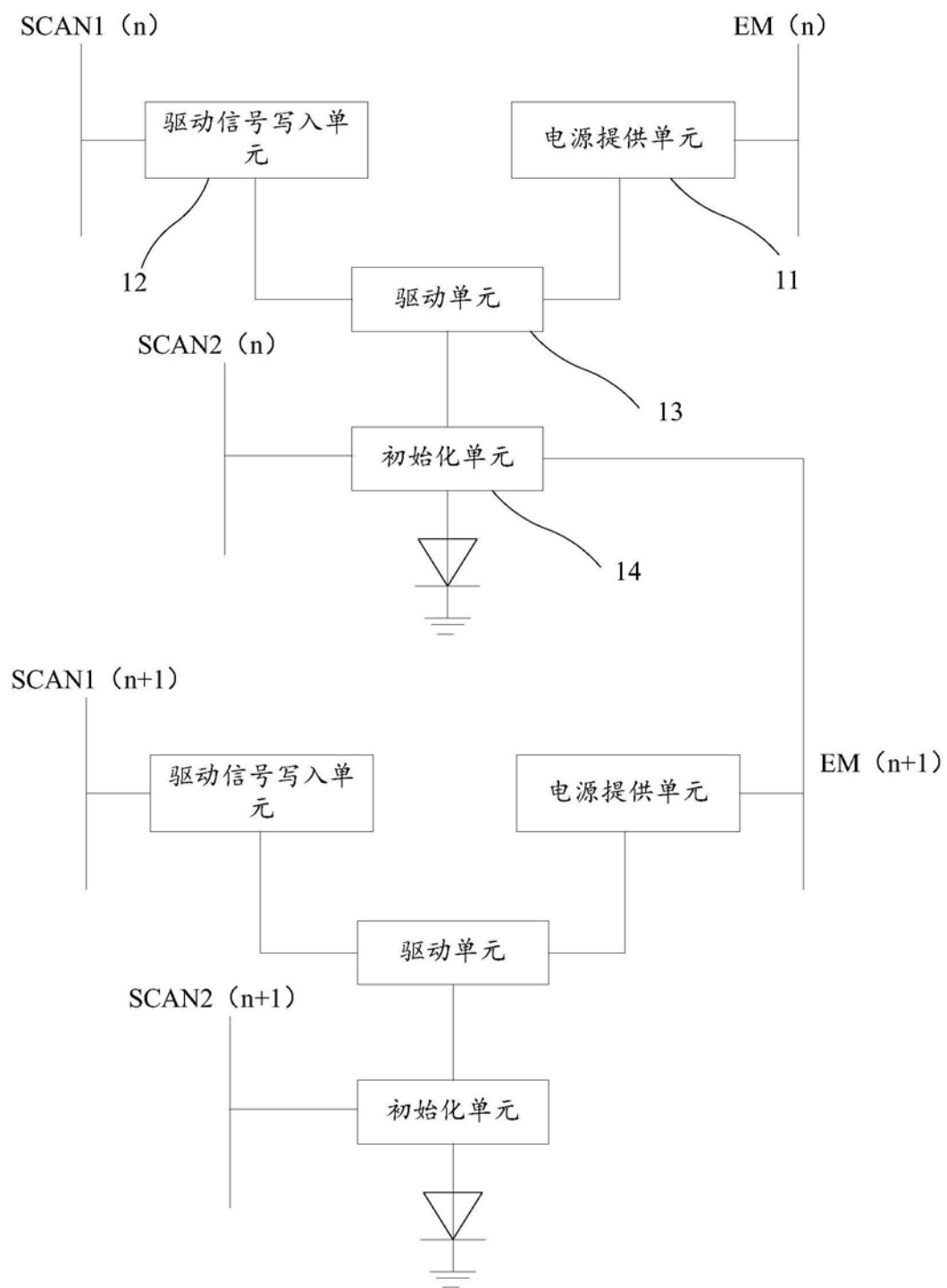


图1

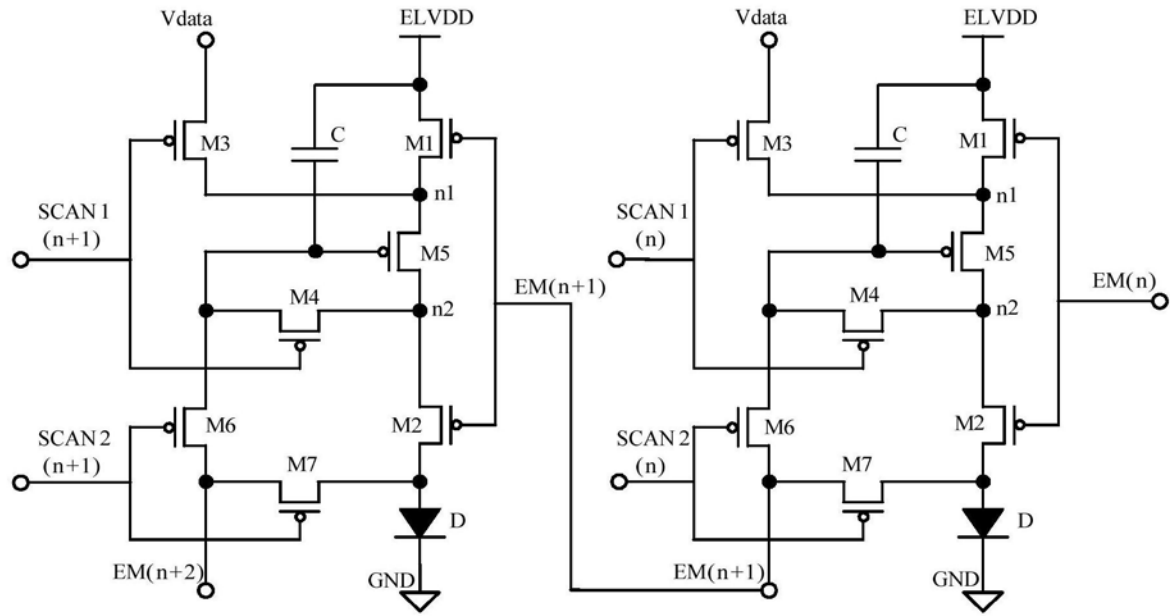


图2

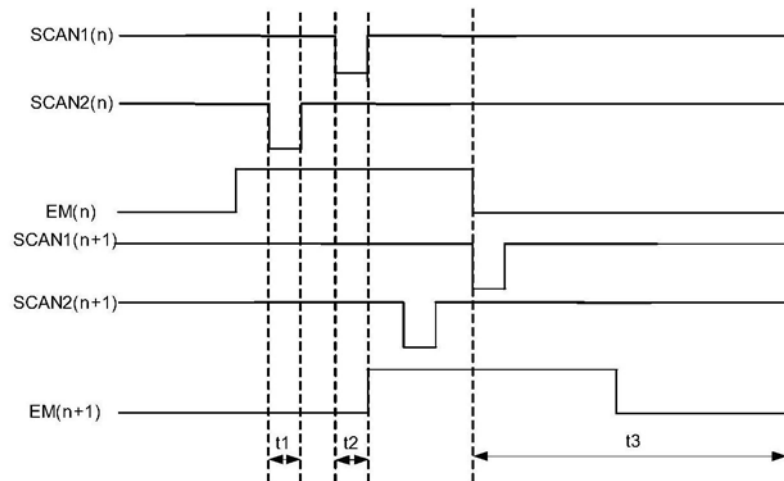


图3



图4

专利名称(译)	OLED像素电路及显示装置		
公开(公告)号	CN110728957A	公开(公告)日	2020-01-24
申请号	CN201911046318.2	申请日	2019-10-30
[标]申请(专利权)人(译)	昆山国显光电有限公司		
申请(专利权)人(译)	昆山国显光电有限公司		
当前申请(专利权)人(译)	昆山国显光电有限公司		
[标]发明人	王东平 童晓阳 张元波 胡思明 韩珍珍		
发明人	王东平 童晓阳 张元波 胡思明 韩珍珍		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233		
代理人(译)	丁建春		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种OLED像素电路及显示装置，包括多个阵列分布的像素单元，每个像素单元包括：电源提供单元、驱动信号写入单元、驱动单元、初始化单元。其中，驱动单元连接驱动信号写入单元和电源提供单元，并保存驱动信号写入单元写入的驱动信号，根据驱动信号，利用电源提供单元提供的电源信号生成匹配驱动信号的驱动电流，从而驱动发光二极管；初始化单元连接下一级发光使能信号线接收下一级发光使能信号，以藉由下一级发光使能信号对驱动单元及发光二极管进行初始化。进而实现减小显示区内像素间隙和实现窄边框设计的目的。

