



(12)发明专利申请

(10)申请公布号 CN 107731166 A

(43)申请公布日 2018.02.23

(21)申请号 201711219837.5

(22)申请日 2017.11.23

(71)申请人 武汉华星光电半导体显示技术有限公司

地址 430070 湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室

(72)发明人 张娣

(74)专利代理机构 广州三环专利商标代理有限公司 44202

代理人 郝传鑫 熊永强

(51)Int.Cl.

G09G 3/3233(2016.01)

G09G 3/3208(2016.01)

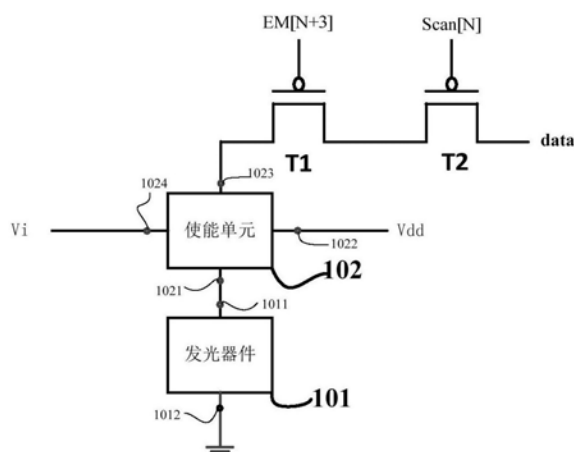
权利要求书2页 说明书8页 附图8页

(54)发明名称

一种像素驱动电路、显示装置及终端

(57)摘要

本发明实施例公开了一种像素驱动电路、显示装置及终端,该像素驱动电路包括:发光器件、使能单元、第一晶体管(T1)、第二晶体管(T2);当所述发光器件发光时,流经所述发光器件的饱和电流与所述电源电压 V_{dd} 和所述灰度数据电压 V_{data} 相关。通过本发明实施例,流经驱动晶体管的饱和电流与电源电压 V_{dd} 和灰度数据电压 V_{data} 有关,且电源电压 V_{dd} 和灰度数据电压 V_{data} 均为固定值,即能保证通过发光器件的电流是恒定不变的,使得流经该发光器件的电流不再受驱动晶体管的阈值电压(V_{th})的影响,可以避免出现像素颜色不均现象,从而能够提高发光器件(例如OLED)显示画面的均一性,提升显示品质。



1. 一种像素驱动电路,其特征在于,所述电路包括:发光器件、使能单元、第一晶体管(T1)、第二晶体管(T2);

其中,所述发光器件的第一端与所述使能单元的第一端连接,所述发光器件的第二端接地,所述使能单元的第二端输入电源电压 V_{dd} ,所述使能单元的第三端与所述第一晶体管(T1)的源极连接,所述使能单元的第四端接收工作电压 V_i ,所述第一晶体管(T1)的漏极与所述第二晶体管(T2)的源极连接,所述第一晶体管(T1)的栅极接收第一使能信号 $EM[N+3]$,所述第二晶体管(T2)的栅极接收第一扫描信号 $Scan[N]$,所述第二晶体管(T2)的漏极连接灰度数据电压 V_{data} 信号,所述第一使能信号 $EM[N+3]$ 和所述第一扫描信号 $Scan[N]$ 用于控制所述第一晶体管(T1)的源级接收所述灰度数据电压 V_{data} ;

当所述发光器件发光时,流经所述发光器件的饱和电流与所述电源电压 V_{dd} 和所述灰度数据电压 V_{data} 相关。

2. 根据权利要求1所述的电路,其特征在于,

所述使能单元包括第三晶体管(T3)、第四晶体管(T4)、第五晶体管(T5)、第六晶体管(T6)、第七晶体管(T7)以及存储电容(C1);

其中,所述使能单元的第一端为所述第四晶体管(T4)的漏极,所述使能单元的第二端为所述存储电容(C1)的正极端和所述第七晶体管(T7)的源极的连接点,所述使能单元的第三端为所述第三晶体管(T3)的源极与所述第七晶体管(T7)的漏级的连接点,所述使能单元的第四端为所述第六晶体管(T6)的漏级;

所述存储电容(C1)的正极端连接电源电压 V_{dd} 与所述第七晶体管(T7)的源极的连接点,所述存储电容(C1)的负极端连接所述第六晶体管(T6)的源极与所述第三晶体管(T3)的栅极端的连接点;

所述第三晶体管(T3)的栅极与所述第五晶体管(T5)的漏级连接,所述第三晶体管(T3)的源极与所述第七晶体管(T7)的漏级和所述第一晶体管(T1)的漏级的连接点,所述第三晶体管(T3)的漏级连接所述第五晶体管(T5)的源级和所述第四晶体管(T4)的源级的连接点;

所述第四晶体管(T4)的栅极与所述第七晶体管(T7)的栅极连接,且所述第四晶体管(T4)的栅极与所述第七晶体管(T7)的栅极的输入信号为第二使能信号 $EM[N]$,所述第四晶体管(T4)的漏级连接所述发光器件的正极;

所述第五晶体管(T5)的栅极的输入信号为第一扫描信号 $Scan[N]$;

所述第六晶体管(T6)的栅极的输入信号为第二扫描信号 $Scan[N-1]$,所述第六晶体管(T6)的漏级连接工作电压 V_i 。

3. 根据权利要求1所述的电路,其特征在于,若所述第一使能信号 $EM[N+3]$ 为高电平且所述第一扫描信号 $Scan[N]$ 为低电平时,则所述第一晶体管(T1)处于关闭状态且所述第二晶体管(T2)处于导通状态,所述第二晶体管(T2)的漏极输入的信号为灰度数据电压,且所述第七晶体管(T7)的漏级和所述第三晶体管(T3)的源级的连接点的电压值不等于所述灰度数据电压。

4. 根据权利要求2所述的电路,其特征在于,所述第二扫描信号 $Scan[N-1]$ 为低电平时,所述第六晶体管(T6)为导通状态,所述存储电容C1用于通过所述第三晶体管(T3)和所述第六晶体管(T6)放电,所述第三晶体管(T3)的源极和漏极悬空。

5. 根据权利要求2所述的电路,其特征在于,所述第二使能信号 $EM[N]$ 为高电平,所述第

一扫描信号Scan[N]为低电平,所述第二扫描信号Scan[N-1]为高电平时,所述第五晶体管(T5)为导通状态,所述第六晶体管(T6)为关闭状态,所述第一晶体管(T1)和所述第二晶体管(T2)处于导通状态,所述存储电容(C1)处于充电状态,所述存储电容(C1)的负极电压值与所述第三晶体管(T3)的栅极电压相等,具体为所述灰度数据电压与所述第三晶体管(T3)的阈值电压的差值。

6.根据权利要求2或5所述的电路,其特征在于,所述第二使能信号EM[N]为低电平,所述第一扫描信号Scan[N]为高电平,所述第二扫描信号Scan[N-1]为高电平时,所述第四晶体管(T4)为导通状态,所述第七晶体管(T7)为导通状态,所述第五晶体管(T5)为关闭状态,所述第六晶体管(T6)为关闭状态,所述存储电容(C1)处于电量保持状态,所述第三晶体管(T3)的源极电压为 V_{dd} ,所述第三晶体管(T3)的栅极电压为存储电容的负极电压,即所述灰度数据电压与所述第三晶体管(T3)阈值电压 V_{th} 的差值,从而得到所述第三晶体管(T3)的栅源电压差,所述栅源电压差可以表示为 $V_{dd}-V_{data}+V_{th}$,所述栅源电压差用于驱动所述发光器件发光。

7.根据权利要求1-6任一项所述的电路,其特征在于,所述第一扫描信号Scan[N]、所述第二扫描信号Scan[N-1]、所述第二使能信号EM[N]、所述第一使能信号EM[N+3]由GOA电路提供,所述GOA电路包括级联的多个GOA单元,每一级GOA单元对应驱动一级扫描线,其中,当N为奇数时,GOA电路驱动扫描信号Scan[N];当N为偶数时,GOA电路驱动扫描信号Xscan[N]。

8.根据权利要求2-6任一项所述的电路,其特征在于,所述第三晶体管(T3)、第四晶体管(T4)、第五晶体管(T5)、第六晶体管(T6)、第七晶体管(T7)均为P型晶体管,即满足负压导通,正压关闭。

9.一种显示装置,其特征在于,所述显示装置包含如权利要求1-8任一项所述的像素驱动电路。

10.一种终端,其特征在于,所述终端包含如权利要求9所述的显示装置。

一种像素驱动电路、显示装置及终端

技术领域

[0001] 本发明涉及电路结构技术领域,尤其涉及一种像素驱动电路、显示装置及终端。

背景技术

[0002] 目前,主动矩阵有机发光二极管面板(Active-matrix Organic Light Emitting diode, AMOLED)显示装置广泛应用于各类产品中,AMOLED显示装置由多行、多列的AMOLED像素组成。AMOLED像素通常由薄膜晶体管(Thin Film Transistor, TFT)构建像素驱动电路为有机发光二极管(Organic Light-Emitting Diode, OLED)器件提供相应的电流。以AMOLED的基本驱动电路为例,AMOLED的基本驱动电路如图1所示,具体为2T1C电路,具体为2T1C电路包括两个晶体管和一个电容。其中,两个晶体管分别是开关晶体管(如图1所示的T1)和驱动晶体管(如图1所示的T2),电容是存储电容 C_{st} 。OLED的驱动电流由Driver TFT控制,其电流大小为 $I_{OLED}=k(V_{gs}-V_{th})^2$,其中,k为Driver TFT的电流放大系数,由Driver TFT本身特性决定, V_{th} 为Driver TFT的阈值电压。由于Driver TFT的阈值电压(V_{th})容易漂移,导致OLED驱动电流变动,出现像素颜色不均现象,进而对显示器的整体显示效果产生负面影响。

发明内容

[0003] 本发明实施例提供一种像素驱动电路、显示装置及终端,在求解驱动晶体管的饱和电流时,饱和电流的大小只与电源电压 V_{dd} 和灰度数据电压 V_{data} 有关,且电源电压 V_{dd} 和灰度数据电压 V_{data} 均为固定值,即能保证通过发光器件的电流是恒定不变的,使得流经该发光器件的电流不再受驱动晶体管的阈值电压(V_{th})的影响,可以避免出现像素颜色不均现象,从而能够提高发光器件(例如OLED)显示画面的均一性,提升显示品质。

[0004] 第一方面,本发明实施例提供了一种像素驱动电路,该电路包括:发光器件、使能单元、第一晶体管(T1)、第二晶体管(T2);

[0005] 其中,所述发光器件的第一端与所述使能单元的第一端连接,所述发光器件的第二端接地,所述使能单元的第二端输入电源电压 V_{dd} ,所述使能单元的第三端与所述第一晶体管(T1)的源极连接,所述使能单元的第四端接收工作电压 V_i ,所述第一晶体管(T1)的漏极与所述第二晶体管(T2)的源极连接,所述第一晶体管(T1)的栅极接收第一使能信号 $EM[N+3]$,所述第二晶体管(T2)的栅极接收第一扫描信号 $Scan[N]$,所述第二晶体管(T2)的漏极连接灰度数据电压 V_{data} 信号,所述第一使能信号 $EM[N+3]$ 和所述第一扫描信号 $Scan[N]$ 用于控制所述第一晶体管(T1)的源级接收所述灰度数据电压 V_{data} ;

[0006] 当所述发光器件发光时,流经所述发光器件的饱和电流与所述电源电压 V_{dd} 和所述灰度数据电压 V_{data} 相关。

[0007] 本发明实施例通过上述像素驱动电路,在发光器件处于发光状态时,存储电容在充电阶段存储的负极电压为灰度数据电压与第三晶体管(T3)阈值电压的差值,该电压值与第一晶体管,也即驱动晶体管的栅级电压相等,在求解驱动晶体管的饱和电流时,饱和电流的大小只与电源电压 V_{dd} 和灰度数据电压 V_{data} 有关,且电源电压 V_{dd} 和灰度数据电压 V_{data} 均为

固定值,即能保证通过发光器件的电流是恒定不变的,使得流经该发光器件的电流不再受驱动晶体管的阈值电压(V_{th})的影响,使得流经该发光器件的电流不再受驱动晶体管的阈值电压(V_{th})的影响,可以避免出现像素颜色不均现象,从而能够提高发光器件(例如OLED)显示画面的均一性,提升显示品质。

[0008] 可选的,所述使能单元包括第三晶体管(T3)、第四晶体管(T4)、第五晶体管(T5)、第六晶体管(T6)、第七晶体管(T7)以及存储电容(C1);

[0009] 其中,所述使能单元的第一端为所述第四晶体管(T4)的漏极,所述使能单元的第二端为所述存储电容(C1)的正极端和所述第七晶体管(T7)的源极的连接点,所述使能单元的第三端为所述第三晶体管(T3)的源极与所述第七晶体管(T7)的漏级的连接点,所述使能单元的第四端为所述第六晶体管(T6)的漏级;

[0010] 所述存储电容(C1)的正极端连接电源电压 V_{dd} 与所述第七晶体管(T7)的源极的连接点,所述存储电容(C1)的负极端连接所述第六晶体管(T6)的源极与所述第三晶体管(T3)的栅极端的连接点;

[0011] 所述第三晶体管(T3)的栅极与所述第五晶体管(T5)的漏级连接,所述第三晶体管(T3)的源极与所述第七晶体管(T7)的漏级和所述第六晶体管的漏级的连接点,所述第三晶体管(T3)的漏级连接所述第五晶体管(T5)的源级和所述第四晶体管(T4)的源级的连接点;

[0012] 所述第四晶体管(T4)的栅极与所述第七晶体管(T7)的栅极连接,且所述第四晶体管(T4)的栅极与所述第七晶体管(T7)的栅极的输入信号为第二使能信号EM[N],所述第四晶体管(T4)的漏级连接所述发光器件的正极;

[0013] 所述第五晶体管(T5)的栅极的输入信号为第一扫描信号Scan[N];

[0014] 所述第六晶体管(T6)的栅极的输入信号为第二扫描信号Scan[N-1],所述第六晶体管(T6)的漏级连接工作电压 V_i 。

[0015] 可选的,若所述第一使能信号EM[N+3]为高电平且所述第一扫描信号Scan[N]为低电平时,则所述第一晶体管(T1)处于关闭状态且所述第二晶体管(T2)处于导通状态,所述第二晶体管(T2)的漏极输入的信号为灰度数据电压,且所述第七晶体管(T7)的漏级和所述第三晶体管(T3)的源级的连接点的电压值不等于所述灰度数据电压。

[0016] 可选的,所述第二扫描信号Scan[N-1]为低电平时,所述第六晶体管(T6)为导通状态,所述存储电容C1用于通过所述第三晶体管(T3)和所述第六晶体管(T6)放电,所述第三晶体管(T3)的源极和漏极悬空。

[0017] 可选的,所述第二使能信号EM[N]为高电平,所述第一扫描信号Scan[N]为低电平,所述第二扫描信号Scan[N-1]为高电平时,所述第五晶体管(T5)为导通状态,所述第六晶体管(T6)为关闭状态,所述第一晶体管(T1)和所述第二晶体管(T2)处于导通状态,所述存储电容(C1)处于充电状态,所述存储电容(C1)的负极电压值与所述第三晶体管(T3)的栅极电压相等,具体为所述灰度数据电压与所述第三晶体管(T3)的阈值电压的差值。

[0018] 可选的,所述第二使能信号EM[N]为低电平,所述第一扫描信号Scan[N]为高电平,所述第二扫描信号Scan[N-1]为高电平时,所述第四晶体管(T4)为导通状态,所述第七晶体管(T7)为导通状态,所述第五晶体管(T5)为关闭状态,所述第六晶体管(T6)为关闭状态,所述存储电容(C1)处于电量保持状态,所述第三晶体管(T3)的源极电压为 V_{dd} ,所述第三晶体管(T3)的栅极电压为存储电容的负极电压,即所述灰度数据电压与所述第三晶体管(T3)阈

值电压 V_{th} 的差值,从而得到所述第三晶体管(T3)的栅源电压差,所述栅源电压差可以表示为 $V_{dd}-V_{data}+V_{th}$,所述栅源电压差用于驱动所述发光器件发光。

[0019] 通过实施本发明实施例,在发光阶段,驱动晶体管的栅源电压差可以表示为 $V_{dd}-V_{data}+V_{th}$,结合求解驱动晶体管的饱和电流的计算公式 $I_{OLED}=K(V_{gs}-V_{th})^2$,进而可以推导得到 $I_{OLED}=K(V_{dd}-V_{data})^2$,即通过发光器件的饱和电流不再受第一晶体管(也即驱动晶体管)的阈值电压(V_{th})的影响,此时,饱和电流的大小只与电源电压 V_{dd} 和灰度数据电压 V_{data} 有关,且电源电压 V_{dd} 和灰度数据电压 V_{data} 均为固定值,即能保证通过发光器件的电流是恒定不变的,从而能够避免出现像素颜色不均现象,提高发光器件(例如OLED)显示画面的均一性,提升显示品质。

[0020] 可选的,所述第一扫描信号Scan[N]、所述第二扫描信号Scan[N-1]、所述第二使能信号EM[N]、所述第一使能信号EM[N+3]由GOA电路提供,所述GOA电路包括级联的多个GOA单元,每一级GOA单元对应驱动一级扫描线,其中,当N为奇数时,GOA电路驱动扫描信号Scan[N];当N为偶数时,GOA电路驱动扫描信号Xscan[N]。

[0021] 通过本发明实施例,GOA电路能够提供逐级的输出信号,从而能够实现对该像素驱动电路的逐级控制。

[0022] 可选的,所述第三晶体管(T3)、第四晶体管(T4)、第五晶体管(T5)、第六晶体管(T6)、第七晶体管(T7)均为P型晶体管,即满足负压导通,正压关闭。

[0023] 可选的,所述工作电压 V_i 为预设的恒定电压。

[0024] 第二方面,本发明实施例提供了一种显示装置,该显示装置执行上述第一方面的像素驱动电路。

[0025] 第三方面,本发明实施例提供了一种终端,该终端包含第二方面所述的显示装置。

附图说明

[0026] 为了更清楚地说明本发明实施例技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍。

[0027] 图1是本发明实施例提供一种机发光二极体面板(AMOLED)的基本驱动电路示意图;

[0028] 图2是本发明实施例提供的一种像素驱动电路的结构示意图;

[0029] 图2A是本发明实施例提供的一种像素驱动电路的具体结构示意图;

[0030] 图3是本发明实施例提供的一种像素驱动电路的复位阶段的等效电路的结构示意图;

[0031] 图4是本发明实施例提供的一种像素驱动电路的data数据写入阶段的等效电路的结构示意图;

[0032] 图5是本发明实施例提供的一种像素驱动电路的发光阶段的等效电路的结构示意图;

[0033] 图6是本发明实施例提供的一种第N行(N为奇数)像素驱动电路的驱动时序图;

[0034] 图7是本发明实施例提供的一种阵列基板行驱动(GOA)电路驱动扫描线示意图;

[0035] 图8是本发明实施例提供的一种阵列基板行驱动(GOA)电路的架构示意图;

[0036] 图9是本发明实施例提供的一种第N+1行(N为奇数)像素驱动电路的驱动时序图;

- [0037] 图10是本发明实施例提供的另一种像素驱动电路的结构示意图；
[0038] 图11是本发明另一实施例提供的一种显示装置的结构示意图；
[0039] 图12是本发明另一实施例提供的一种终端的结构示意图。

具体实施方式

[0040] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行描述。

[0041] 参见图2，是本发明实施例提供的一种像素驱动电路的结构示意图，如图2所示，该像素驱动电路包括：发光器件101、使能单元102、第一晶体管(T1)、第二晶体管(T2)；

[0042] 其中，所述发光器件101的第一端与所述使能单元102的第一端连接，所述发光器件101的第二端接地，所述使能单元102的第二端输入电源电压 V_{dd} ，所述使能单元102的第三端与所述第一晶体管(T1)的源极连接，所述使能单元102的第四端接收工作电压 V_i ，所述第一晶体管(T1)的漏极与所述第二晶体管(T2)的源极连接，所述第一晶体管(T1)的栅极接收第一使能信号 $EM[N+3]$ ，所述第二晶体管(T2)的栅极接收第一扫描信号 $Scan[N]$ ，所述第二晶体管(T2)的漏极连接灰度数据电压 V_{data} 信号，所述第一使能信号 $EM[N+3]$ 和所述第一扫描信号 $Scan[N]$ 用于控制所述第一晶体管(T1)的源级接收所述灰度数据电压 V_{data} ；

[0043] 当所述发光器件101发光时，流经所述发光器件101的饱和电流与所述电源电压 V_{dd} 和所述灰度数据电压 V_{data} 相关。

[0044] 为了更清楚的阐述以上所描述的像素驱动电路，本发明提供了一种像素驱动电路的具体结构示意图，通过阐述其工作状态来对上述像素驱动电路进行深入的分析，以使得本发明所提供的像素驱动电路更清晰、明了。具体地，参见图2A，是本发明实施例提供的一种像素驱动电路的具体结构示意图，图2A所示的发光器件以OLED为例但不限于OLED，如图2A所示，该像素驱动电路具体结构为：

[0045] 所述使能单元包括第三晶体管(T3)、第四晶体管(T4)、第五晶体管(T5)、第六晶体管(T6)、第七晶体管(T7)以及存储电容(C1)；

[0046] 其中，所述使能单元的第一端为所述第四晶体管(T4)的漏极，所述使能单元的第二端为所述存储电容(C1)的正极端和所述第七晶体管(T7)的源极的连接点，所述使能单元的第三端为所述第三晶体管(T3)的源极与所述第七晶体管(T7)的漏级的连接点，所述使能单元的第四端为所述第六晶体管(T6)的漏级；

[0047] 所述存储电容(C1)的正极端连接电源电压 V_{dd} 与所述第七晶体管(T7)的源极的连接点，所述存储电容(C1)的负极端连接所述第六晶体管(T6)的源极与所述第三晶体管(T3)的栅极端的连接点；

[0048] 所述第三晶体管(T3)的栅极与所述第五晶体管(T5)的漏级连接，所述第三晶体管(T3)的源极与所述第七晶体管(T7)的漏级和所述第一晶体管(T1)的漏级的连接点，所述第三晶体管(T3)的漏级连接所述第五晶体管(T5)的源级和所述第四晶体管(T4)的源级的连接点；

[0049] 所述第四晶体管(T4)的栅极与所述第七晶体管(T7)的栅极连接，且所述第四晶体管(T4)的栅极与所述第七晶体管(T7)的栅极的输入信号为第二使能信号 $EM[N]$ ，所述第四晶体管(T4)的漏级连接所述发光器件的正极；

[0050] 所述第五晶体管(T5)的栅极的输入信号为第一扫描信号 $Scan[N]$ ；

[0051] 所述第六晶体管 (T6) 的栅极的输入信号为第二扫描信号Scan[N-1], 所述第六晶体管 (T6) 的漏级连接工作电压 V_i 。

[0052] 需要说明的是, 上述本发明实施例提供的一种像素驱动电路的具体结构示意图只是作为一种示例, 该电路包括但不限于上述具体的电路结构, 还可以包括其它变形。

[0053] 具体地, 该像素驱动电路有三个工作阶段: 复位阶段、data数据写入阶段和发光阶段。接下来将对这三个阶段进行描述:

[0054] 复位阶段: 当第二使能信号EM[N]和第一扫描信号Scan[N]处于高电平, 即为1, 第二扫描信号Scan[N-1]处于低电平, 即为0时, 该像素驱动电路工作在复位阶段。此时, 第四晶体管 (T4)、第五晶体管 (T5) 和第七晶体管 (T7) 处于关闭状态, 第一晶体管 (T1) 处于导通状态, 第二晶体管 (T2) 处于关闭状态, 第六晶体管 (T6) 处于导通状态, 存储电容 (C1) 正负极复位, 处于放电状态。由于第三晶体管 (T3) 的源极、漏极悬空, 栅极有低电压通过, 此时第三晶体管 (T3) 实际上是没有导通的。需要说明的是, 在这里“悬空”的表征意义是指没有驱动, 在涉及晶体管的电路的语境下, 驱动是指“输出电流对输入电容充放电改变输入电压”, 在悬空的情况下, 输入电容上的电荷量在不考虑漏电的情况下保持不变, 即输入电压保持不变。

[0055] 参见图3, 是本发明实施例提供的一种像素驱动电路的复位阶段的等效电路的结构示意图。如图3所示, 工作电压 V_i 输入该像素驱动电路, 存储电容 (C1) 通过第三晶体管 (T3) 和第六晶体管 (T6) 释放自身存储的电荷, 避免上一阶段发光过程残余的电荷干扰本次发光过程。存储电容 (C1) 存储的电荷释放完毕时, 存储电容 (C1) 的正极电压的大小为 V_{dd} , 负极电压的大小为 V_i 。

[0056] 数据写入阶段: 当第二使能信号EM[N]和第二扫描信号Scan[N-1]处于高电平, 即为1, 第一使能信号EM[N+3]和第一扫描信号Scan[N]处于低电平, 即为0时, 该像素驱动电路工作在数据写入阶段。此时, 第四晶体管 (T4) 和第七晶体管 (T7) 处于关闭状态, 第一晶体管 (T1)、第二晶体管 (T2) 处于导通状态, 第三晶体管 (T3) 处于导通状态, 第五晶体管 (T5) 处于导通状态, 第六晶体管 (T6) 处于关闭状态, 存储电容 (C1) 处于充电状态。在第一晶体管 (T1) 和第二晶体管 (T2) 均处于导通状态时, 开始写入数据灰度电压。参见图4, 是本发明实施例提供的一种像素驱动电路的数据写入阶段的等效电路的结构示意图。如图4所示, 由于此时第三晶体管 (T3) 等价于一个二极管, 故第三晶体管 (T3) 的栅极电压和源极电压相等。存储电容 (C1) 的正极电压为 V_{dd} , 存储电容 (C1) 的负极电压值与第三晶体管 (T3) 的栅极电压 V_g 相等。由于第三晶体管 (T3) 导通, 所以第三晶体管 (T3) 栅极电压 V_g 等于灰度数据电压 V_{data} 与第三晶体管 (T3) 阈值电压 V_{th} 的差值。

[0057] 发光阶段: 当第二使能信号EM[N]处于低电平, 即为0, 此时结束数据灰度电压写入, 第二扫描信号Scan[N-1]和第一扫描信号Scan[N]处于高电平, 即为1时, 该像素驱动电路工作在发光阶段。此时, 第四晶体管 (T4) 和第七晶体管 (T7) 处于导通状态, 第五晶体管 (T5) 和第六晶体管 (T6) 处于关闭状态, 存储电容 (C1) 处于电量保持状态。参见图5, 是本发明实施例提供的一种像素驱动电路的发光阶段的等效电路的结构示意图。如图5所示, 由于第四晶体管 (T4) 和第七晶体管 (T7) 为开关晶体管, 存储电容 (C1) 处于保持阶段, 即在数据写入阶段存储电容 (C1) 的正负极电压保持不变, 延续到发光阶段, 从而得到此时第三晶体管 (T3, 即驱动晶体管) 的源极 (s) 电压为 V_{dd} , 栅极电压 (g) 与存储电容 (C1) 的负极电压相等,

即为灰度数据电压与第三晶体管 (T3) 阈值电压的差值, 可以用代数表达式 $V_{\text{data}} - V_{\text{th}}$ 表示。则驱动晶体管的栅源电压可以表示为:

$$[0058] \quad V_{\text{gs}} = V_{\text{g}} - V_{\text{s}} = V_{\text{data}} - V_{\text{th}} - V_{\text{dd}}$$

[0059] 考虑到第三晶体管 (T3) 为P型的晶体管, 其在负压状态时, 处于导通状态; 在正压状态时, 处于关闭状态。继而该栅源电压可以表示为:

$$[0060] \quad V_{\text{gs}} = V_{\text{dd}} - V_{\text{data}} + V_{\text{th}}$$

[0061] 由于计算发光器件的饱和电流的公式为:

$$[0062] \quad I_{\text{OLED}} = K (V_{\text{gs}} - V_{\text{th}})^2$$

[0063] 其中, K为与驱动晶体管 (T3) 相关的参数, V_{gs} 为驱动晶体管 (T3) 的栅源电压, V_{th} 为驱动晶体管 (T3) 的阈值电压, 由于

$$[0064] \quad V_{\text{gs}} = V_{\text{dd}} - V_{\text{data}} + V_{\text{th}}$$

[0065] 故求得:

$$[0066] \quad I_{\text{OLED}} = K (V_{\text{dd}} - V_{\text{data}})^2$$

[0067] 由上述表达式可以知道, 在发光阶段, 发光器件的饱和电流不再受第三晶体管 (T3, 也即驱动晶体管) 的阈值电压 (V_{th}) 的影响, 此时, 饱和电流的大小只与电源电压 V_{dd} 和灰度数据电压 V_{data} 有关, 且电源电压 V_{dd} 和灰度数据电压 V_{data} 均为固定值, 即能保证通过发光器件的电流是恒定不变的, 从而能够避免出现像素颜色不均现象。

[0068] 实施本发明实施例, 上述像素驱动电路在发光器件处于发光状态时, 存储电容在充电阶段存储的负极电压为灰度数据电压与第三晶体管 (T3) 阈值电压的差值, 该电压值与第三晶体管 (T3), 也即驱动晶体管的栅级电压相等, 在求解驱动晶体管的饱和电流时, 饱和电流的大小只与电源电压 V_{dd} 和灰度数据电压 V_{data} 有关, 且电源电压 V_{dd} 和灰度数据电压 V_{data} 均为固定值, 即能保证通过发光器件的电流是恒定不变的, 使得流经该发光器件的电流不再受驱动晶体管的阈值电压 (V_{th}) 的影响, 可以避免出现像素颜色不均现象, 从而能够提高发光器件 (例如OLED) 显示画面的均一性, 提升显示品质。

[0069] 接下来介绍上述实施例中所描述的第二扫描信号 $\text{Scan}[N-1]$ 、第一扫描信号 $\text{Scan}[N]$ 、第二使能信号 $\text{EM}[N]$ 以及第一使能信号 $\text{EM}[N+3]$ 这几个信号是如何产生的。参见图6, 是本发明实施例提供的一种第N行 (N为奇数) 像素驱动电路的驱动时序图。如图6所示, 在复位阶段, 第二使能信号 $\text{EM}[N]$ 、第一扫描信号 $\text{Scan}[N]$ 为高电平, 为无效电平, 第二扫描信号 $\text{Scan}[N-1]$ 为低电平, 为有效电平; 在data数据写入阶段, 第二使能信号 $\text{EM}[N]$ 、第二扫描信号 $\text{Scan}[N-1]$ 为高电平, 为无效电平, 第一扫描信号 $\text{Scan}[N]$ 为低电平, 为有效电平; 在发光阶段, 第二使能信号 $\text{EM}[N]$ 为低电平, 为有效电平, 第一扫描信号 $\text{Scan}[N]$ 、第二扫描信号 $\text{Scan}[N-1]$ 、第一使能信号 $\text{EM}[N+3]$ 为高电平, 为无效电平。驱动时序的工作过程可参考图2A所描述的像素驱动电路的工作过程, 这里不再赘述。

[0070] 在一些可能的实现方式中, 所述第二使能信号 $\text{EM}[N]$ 、第一使能信号 $\text{EM}[N+3]$ 、第一扫描信号 $\text{Scan}[N]$ 、第二扫描信号 $\text{Scan}[N-1]$ 可以由GOA电路提供。GOA电路包括级联的多个GOA单元, 每一级GOA单元对应驱动一级扫描线。每一个GOA单元包括一上拉电路、一上拉控制电路、一下传电路、一下拉电路、一下拉维持电路以及负责电位抬升的Boast (自举) 电容。参见图7, 是本发明实施例提供的一种GOA电路驱动扫描线示意图。在一种可能的实现方式中, GOA电路提供的第二使能信号 $\text{EM}[N]$ 、第一使能信号 $\text{EM}[N+3]$ 、第一扫描信号 $\text{Scan}[N]$ 、第

二扫描信号Scan[N-1]可以分为3类,第一类为控制奇数行像素电路的第一扫描信号Scan[N]、第二扫描信号Scan[N-1],具体的,请参见图6;第二类为控制偶数行像素电路的第三扫描信号Xscan[N]、第四扫描信号Xscan[N-1],具体的,请参见图8,是本发明实施例提供的一种第N+1(N为奇数)行像素驱动电路的驱动时序图。如图8所示,在复位阶段,第三使能信号EM[N+1]、第三扫描信号Xscan[N]为高电平,为无效电平,第四扫描信号Xscan[N-1]为低电平,为有效电平;在data数据写入阶段,第二使能信号EM[N]、第四扫描信号Xscan[N-1]为高电平,为无效电平,第三扫描信号Xscan[N]为低电平,为有效电平;在发光阶段,第三使能信号EM[N+1]为低电平,为有效电平,第三扫描信号Xscan[N]、第四扫描信号Xscan[N-1]、第四使能信号EM[N+4]为高电平,为无效电平。驱动时序的工作过程可参考图2A所描述的像素驱动电路的工作过程,此处不再赘述;第三类为逐行第二控制使能信号EM[N]、第一使能信号EM[N+3],进而控制像素驱动电路的发光器件的发光。参见图9,是本发明实施例提供的一种GOA电路的架构示意图。如图9所示,GOA电路的主要架构可以包括但不限于上拉电路901、上拉控制电路902、下传电路903、下拉电路904、下拉维持电路905以及负责电位抬升的Boast(自举)电容906。例如,用上述GOA电路提供第一扫描信号Scan[N]为例,该上位控制电路902接收第N-1级GOA单元输出的N-1级级传信号ST(N-1),并根据所述N-1级级传信号ST(N-1)输出一上拉控制信号Q(N)。上拉电路701与上拉控制电路902电性连接,并接收一直流高压信号VDD与上拉控制信号Q(N),并根据所述直流高压信号VDD与上拉控制信号Q(N)输出一第一扫描驱动信号Scan[N]。下传电路903与上拉控制电路902及上拉电路901电性连接,并接收一时钟信号CK(N)与上拉控制信号Q(N),并根据时钟信号CK(N)与上拉控制信号Q(N)输出一N级级传信号ST(N)。下拉电路904,与上拉控制电路902、上拉电路901及下传电路903电性连接,并接收所述直流低压信号Vss和所述N级级传信号ST(N),并根据所述直流低压信号Vss和N级级传信号ST(N)下拉所述上拉控制信号Q(N)和第一扫描驱动信号Scan[N]。依次类推,本发明实施例中所涉及的第二使能信号EM[N]、第三使能信号EM[N+1]、第一使能信号EM[N+3]均可以由上述所提及的GOA电路提供,在此不多加赘述。需要说明的是,上述GOA电路结构只是作为一种示例,在此基础上进行拓展或者变形的其他GOA电路,只需满足能够提供本发明实施例中所提及的第一扫描信号Scan[N]、第二扫描信号Scan[N-1]、第二使能信号EM[N]、第三使能信号EM[N+1]、第一使能信号EM[N+3]的均可。

[0071] 需要说明的是,本发明实施例中存储电容(C1)的正极端连接电源电压V_{dd},该V_{dd}为电源电压,也即直流电压,其特征在于,其电压大小和方向不随时间发生变化。第六晶体管(T6)的漏级连接工作电压V_i,该V_i为直流电压。第二使能信号EM[N]、第一使能信号EM[N+3]、第一扫描信号Scan[N]、第二扫描信号Scan[N-1]为交流信号。在一些可能的实现方式中,发光器件可以是有机发光二极管OLED,也可以是AMOLED,还可以是其他类型的发光器件,本发明实施例不作具体限定。

[0072] 在一种可能的实现方式中,第一晶体管(T1)和第二晶体管(T2)的栅极输入信号可以互换,即第一晶体管(T1)的栅极的输入信号为第一扫描信号Scan[N],第二晶体管(T2)的栅极的输入信号为第一使能信号EM[N+3]。具体,参见图10,是本发明实施例提供的另一种像素驱动电路的结构示意图。

[0073] 在本发明的另一实施例中提供一种显示装置,该显示装置包含图2所描述的像素驱动电路。

[0074] 参见图11,是本发明另一实施例提供的一种显示装置的结构示意图。如图11所示的显示装置1100可以包括:电源模块1101、控制模块1102、显示模块1103(显示模块中包括像素驱动电路)。上述电源模块1101的主要功能是将输入电压电流转化为显示装置所需要的电压电流;上述控制模块1102的主要功能是通过控制相应区域的亮灭,使显示模块呈现不同的文字、图案等。这一操作的实质是控制模块1102通过控制显示模块1103中所包括的像素驱动电路的发光器件的亮灭情况,进而在显示模块1103上呈现不同的文字、图案等。上述显示模块1103由发光器件组成的点阵构成,在一些可能的实现方式中,发光器件可以是LED灯,也可以是OLED,还也可以是其它的发光器件,本发明实施例不作具体限定,该显示模块的主要功能是负责发光显示。需要说明的是,上述显示装置的描述只是作为一种示例,在一些可能的实现方式中,显示装置中可以包括控制模块和显示模块这两部分,其中,控制模块中集成了电源模块,此处不多加赘述。

[0075] 可选的,显示装置1100包括但不限于:显示器。

[0076] 在本发明的另一实施例中提供一种终端,该终端包含上述显示装置。

[0077] 参见图12,是本发明另一实施例提供的一种终端的结构示意图。如图12所示的移动终端1200可以包括:一个或多个处理器1201;收发器1202、存储器1203、显示器1204和总线1205。上述处理器1201、收发器1202、存储器1203和显示器1204通过总线1205或其他方式连接,本发明实施例中以处理器1201、收发器1202、存储器1203和显示器1204通过总线1205连接为例进行说明。

[0078] 在本发明实施例中,所称处理器1201可以是中央处理单元(Central Processing Unit,CPU),该处理器还可以是其他通用处理器、数字信号处理器(Digital Signal Processor,DSP)、专用集成电路(Application Specific Integrated Circuit,ASIC)、现成可编程门阵列(Field-Programmable Gate Array,FPGA)或者其他可编程逻辑器件、晶体管逻辑器件、分立硬件组件等。通用处理器可以是微处理器或者该处理器也可以是任何常规的处理器等。

[0079] 该存储器1203用于存储指令和/或数据,存储器1203可以包括只读存储器(ROM, Read-Only Memory)和随机存取存储器(RAM, Random Access Memory),并向处理器1201提供指令和数据。存储器1203的一部分还可以包括非易失性随机存取存储器。例如,存储器1203还可以存储设备类型的信息。

[0080] 处理器1201可以通过总线1205调用存储器1202中存储的代码,以执行具体的操作。

[0081] 显示器1204可以显示经过处理器1201处理过的文字、图案等。

[0082] 以上的具体实施方式,对本发明实施例的目的、技术方案和有益效果进行了进一步详细说明,所应理解的是,以上仅为本发明实施例的具体实施方式而已,并不用于限定本发明实施例的保护范围,凡在本发明实施例的技术方案的基础之上,所做的任何修改、等同替换、改进等,均应包括在本发明实施例的保护范围之内。

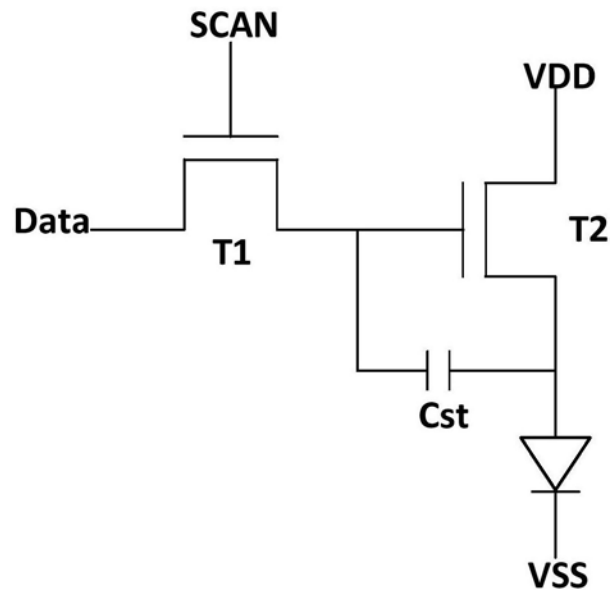


图1

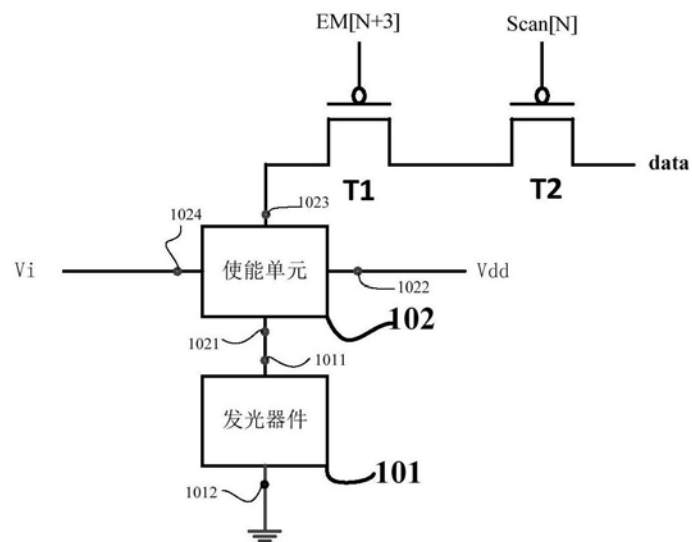


图2

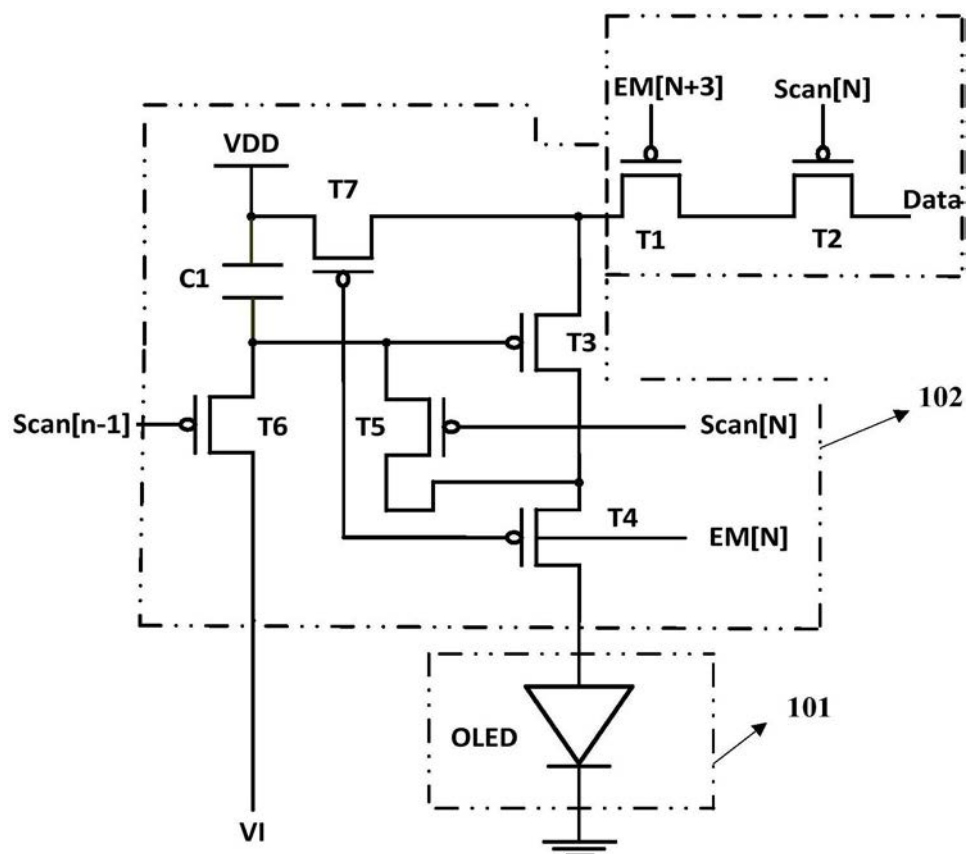


图2A

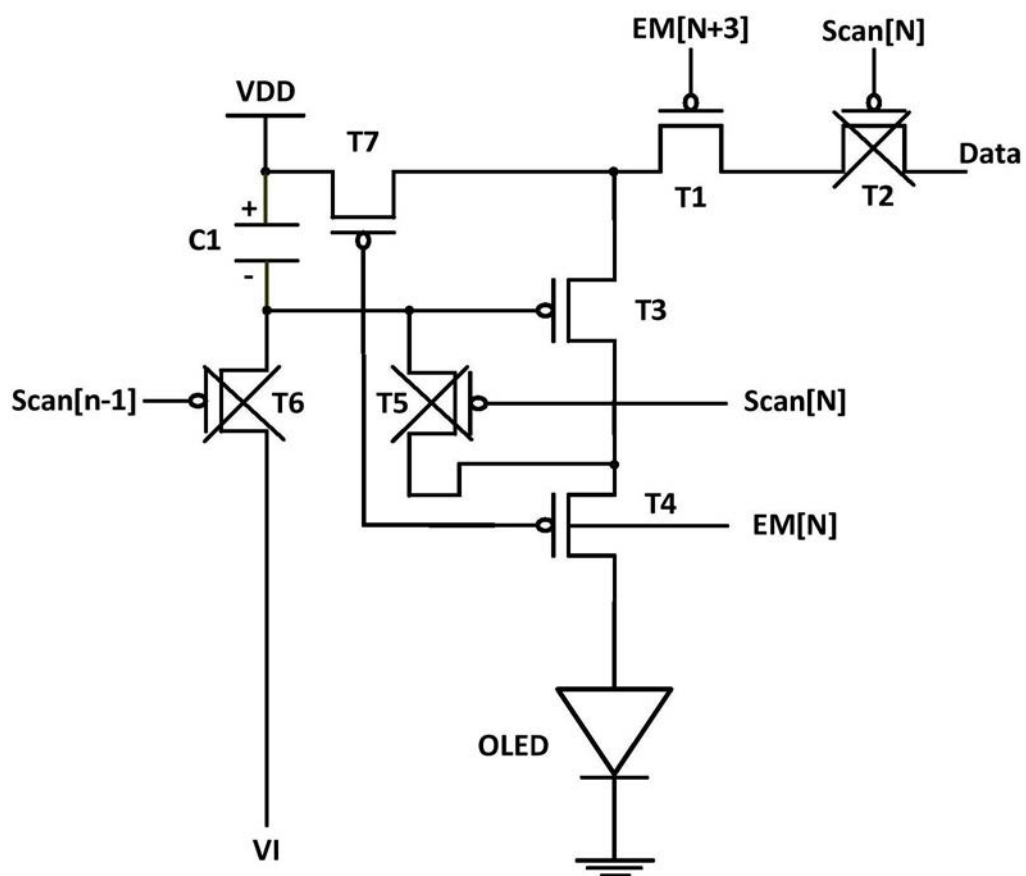


图5

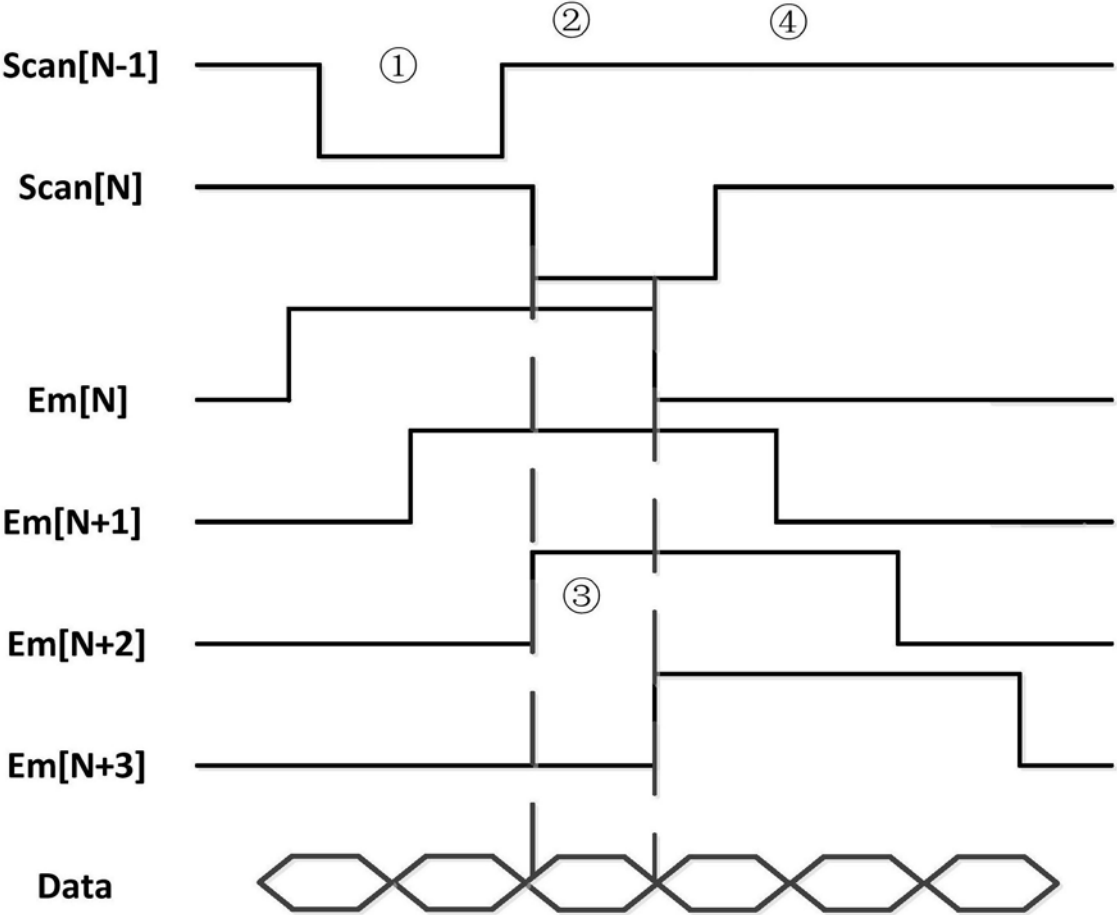


图6

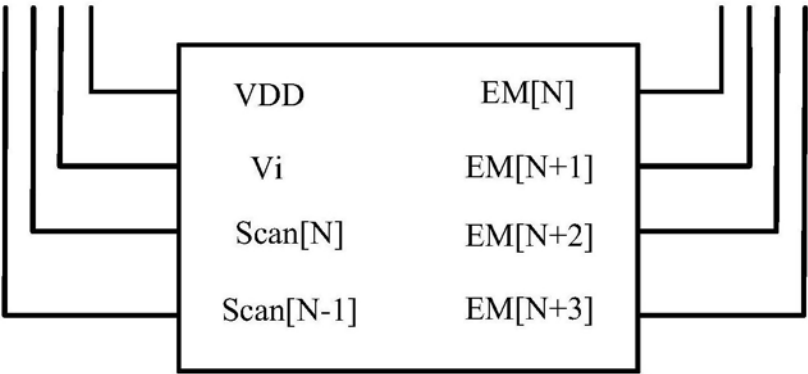


图7

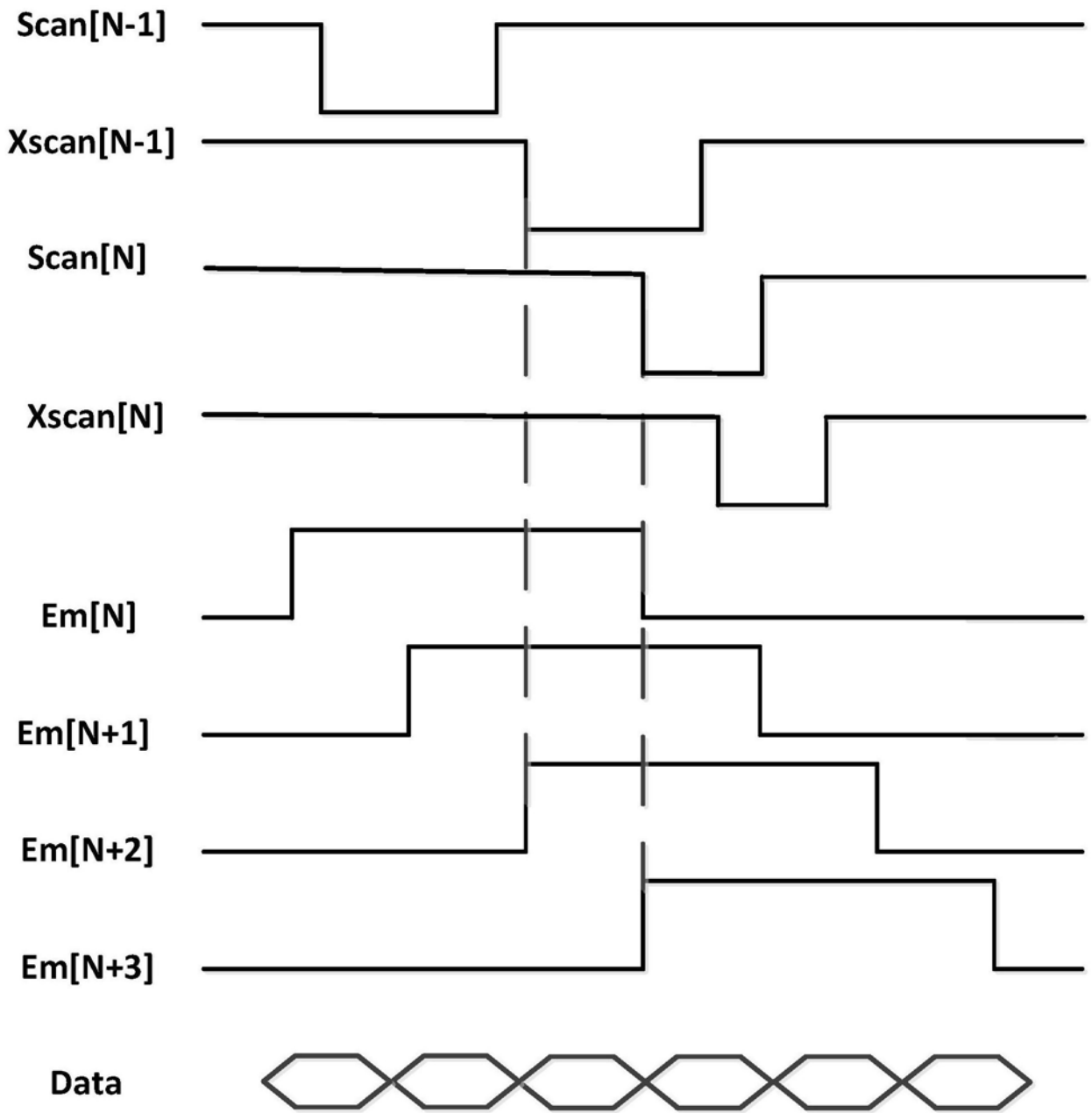


图8

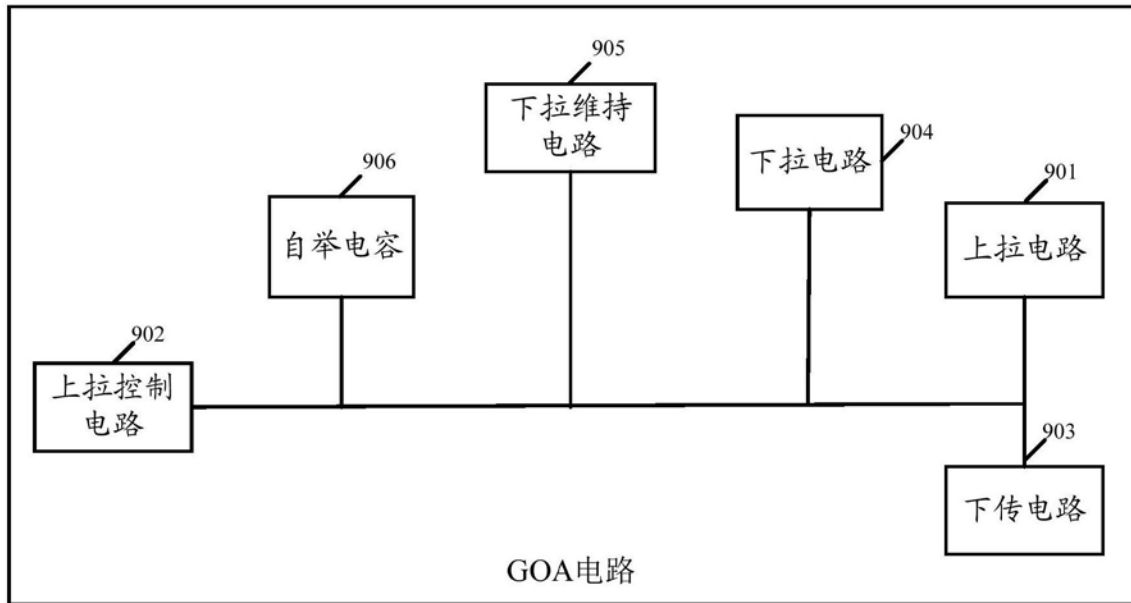


图9

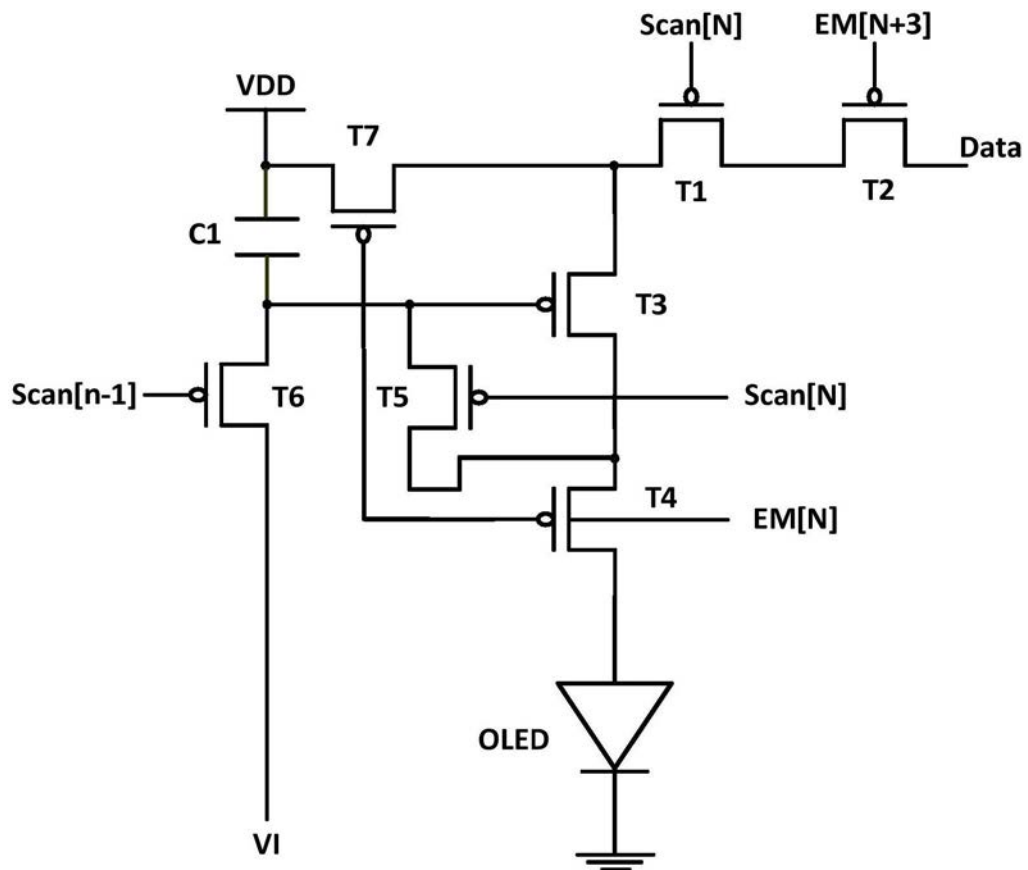


图10

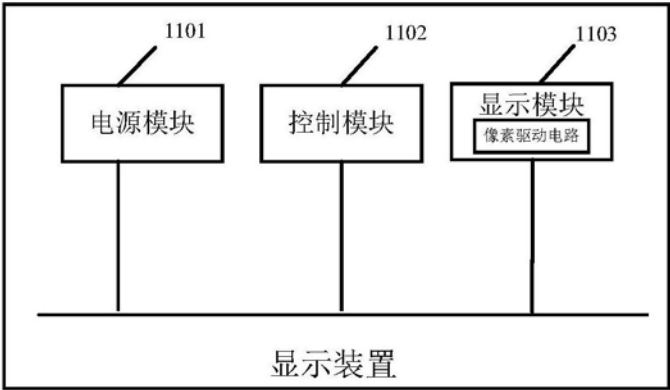


图11

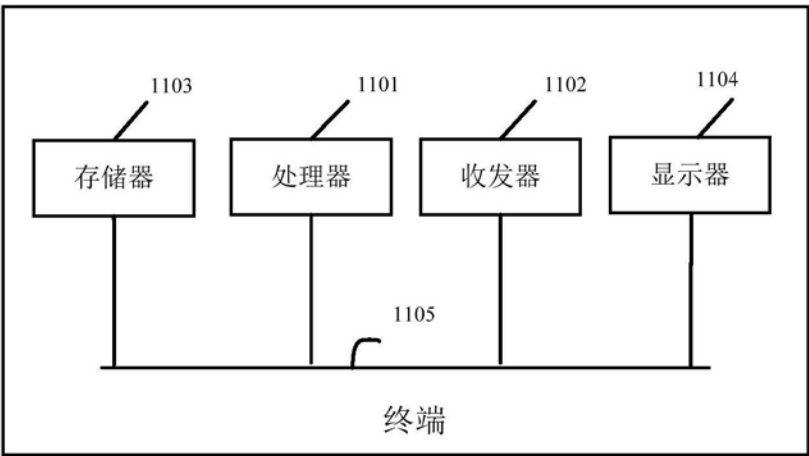


图12

专利名称(译)	一种像素驱动电路、显示装置及终端		
公开(公告)号	CN107731166A	公开(公告)日	2018-02-23
申请号	CN201711219837.5	申请日	2017-11-23
[标]发明人	张娣		
发明人	张娣		
IPC分类号	G09G3/3233 G09G3/3208		
CPC分类号	G09G3/3208 G09G3/3233		
代理人(译)	熊永强		
外部链接	Espacenet SIPO		

摘要(译)

本发明实施例公开了一种像素驱动电路、显示装置及终端，该像素驱动电路包括：发光器件、使能单元、第一晶体管(T1)、第二晶体管(T2)；当所述发光器件发光时，流经所述发光器件的饱和电流与所述电源电压Vdd和所述灰度数据电压Vdata相关。通过本发明实施例，流经驱动晶体管的饱和电流与电源电压Vdd和灰度数据电压Vdata有关，且电源电压Vdd和灰度数据电压Vdata均为固定值，即能保证通过发光器件的电流是恒定不变的，使得流经该发光器件的电流不再受驱动晶体管的阈值电压(Vth)的影响，可以避免出现像素颜色不均现象，从而能够提高发光器件(例如OLED)显示画面的均一性，提升显示品质。

