(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 107689211 A
(43)申请公布日 2018.02.13

(21)申请号 201710656989.5

(22)申请日 2017.08.03

(30)优先权数据
2016-155047 2016.08.05 JP
2017-074731 2017.04.04 JP

(71)申请人 天马日本株式会社
地址 日本神奈川县

(72)发明人 野中义弘 柳濑慈郎 高取宪一

(74)专利代理机构 北京同达信恒知识产权代理有限公司 11291
代理人 黄志华 何月华

(51)Int.Cl.
G09G 3/3225(2016.01)

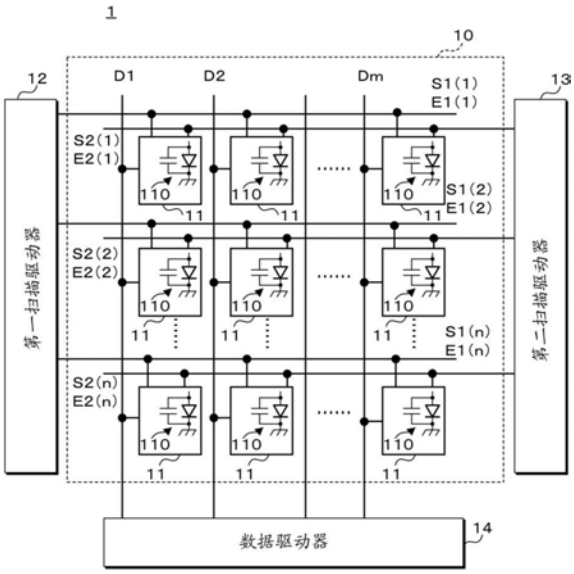
权利要求书4页 说明书10页 附图30页

(54)发明名称

显示装置

(57)摘要

本发明提供补偿驱动晶体管阈值以实现高精度结构的显示装置。该显示装置包括:发光元件,其包括第一电极、第二电极、以及设置在所述第一电极和所述第二电极之间的有机发光层;像素电路,其包括电容器和使与所述电容器的电压相对应的电流流入所述发光元件的驱动晶体管。像素电路在将电容器连接到第一电极的同时停止将电流供给至向发光元件。



CN 107689211 A

1.一种显示装置,包括:

发光元件,所述发光元件包括第一电极、第二电极、以及设置在所述第一电极和所述第二电极之间的有机发光层;以及

像素电路,所述像素电路包括电容器和使与所述电容器的电压相对应的电流流入所述发光元件的驱动晶体管,

其中,所述像素电路在将所述电容器连接到所述第一电极的同时,停止将电流供给至所述发光元件。

2.根据权利要求1所述的显示装置,其中,

所述像素电路将所述电容器连接到所述第一电极,之后将所述驱动晶体管的阈值电压和与所述发光元件的发光亮度相对应的数据电压储存在所述电容器中。

3.根据权利要求2所述的显示装置,其中,

在停止电流供给的情况下,所述像素电路停止将电流从第一电源供给到所述驱动晶体管,所述第一电源供给电流以使其流入所述发光元件。

4.根据权利要求3所述的显示装置,其中,

所述像素电路将从所述第一电源的电压中减去所述阈值电压累加所述数据电压之和得到的电压储存在所述电容器中之后,使所述电容器与所述第一电极断开,同时开始从所述第一电源向所述驱动晶体管供给电流,并进一步将所述电容器的电压施加于所述驱动晶体管的栅极。

5.根据权利要求4所述的显示装置,其中,

所述像素电路将储存在所述电容器中的电压施加于所述栅极之后,停止将电流供给至所述发光元件,同时将储存在所述有机发光层中的电荷经由所述发光元件放电,之后将所述电容器连接到所述第一电极,并以放电后得到的所述第一电极的电位对所述电容器进行充电。

6.根据权利要求1所述的显示装置,其中,

所述驱动晶体管具有第三电极和第四电极,并根据施加于所述所述驱动晶体管的栅极的电压来控制流到所述第三电极和所述第四电极之间的电流,

其中,所述像素电路还包括第一控制元件、第二控制元件和第三控制元件,所述第一控制元件、所述第二控制元件以及所述第三控制元件中的每个控制元件均包括第五电极和第六电极,并控制所述第五电极和所述第六电极的导通状态,

其中,所述第一控制元件的第五电极连接到供给电流以使该电流流入所述发光元件的第一电源,而所述第一控制元件的第六电极连接到所述第三电极,其中,所述第二控制元件的第五电极连接到所述栅极和所述电容器,而所述第二控制元件的第六电极连接到所述第四电极,

其中,所述第三控制元件的第五电极连接到所述第四电极和所述第二控制元件的第六电极,而所述第三控制元件的第六电极连接到所述第一电极,以及

其中,所述像素电路在停止将电流供给至所述发光元件的情况下,使所述第一控制元件处于非导通状态,并且在将所述电容器连接到所述第一电极的情况下使所述第二控制元件和所述第三控制元件处于导通状态。

7.根据权利要求6所述的显示装置,其中,

所述像素电路还包括第四控制元件，所述第四控制元件包括：连接到供给与所述发光元件的发光亮度相对应的数据电压的数据线的第七电极；以及连接到所述第三电极的第八电极，所述第四控制元件控制所述第七电极和所述第八电极的导通状态，并且

其中，所述像素电路使所述第四控制元件处于非导通状态。

8.根据权利要求7所述的显示装置，其中，

所述像素电路使所述第一控制元件和所述第四控制元件处于非导通状态，之后使所述第四控制元件处于导通状态并使所述第三控制元件处于非导通状态。

9.根据权利要求8所述的显示装置，其中，

所述像素电路使所述第四控制元件处于导通状态并使所述第三控制元件处于非导通状态，之后使所述第二控制元件和所述第四控制元件处于非导通状态并使所述第一控制元件和所述第三控制元件处于导通状态。

10.根据权利要求9所述的显示装置，其中，

在电流流入所述发光元件之后，所述像素电路使所述第一控制元件处于非导通状态，并将储存于所述发光元件中的电荷经由所述发光元件放电。

11.根据权利要求1所述的显示装置，其中，

所述电容器包括第三电极、以及连接到预定电位的第四电极，并且

其中，所述像素电路将所述第一电极连接到所述第三电极。

12.根据权利要求6所述的显示装置，其中，

所述电容器包括第九电极以及连接到预定电位的第十电极，并且

其中，所述第二控制元件的第五电极连接到所述第九电极。

13.一种显示装置，包括：

发光元件，所述发光元件包括第一电极、第二电极、以及设置在所述第一电极和所述第二电极之间的有机发光层；以及

像素电路，所述像素电路包括电容器以及使与所述电容器的电压相对应的电流流入所述发光元件的驱动晶体管，

其中，所述驱动晶体管具有第三电极和第四电极，并根据施加于所述驱动晶体的栅极的电压来控制流到所述第三电极和所述第四电极之间的电流，

其中，所述像素电路还包括：第一控制元件、第二控制元件和第三控制元件，所述第一控制元件、所述第二控制元件以及所述第三控制元件中的每个控制元件均包括第五电极和第六电极，并控制所述第五电极和所述第六电极的导通状态；以及第四控制元件，所述第四控制元件具有第七电极和第八电极，并控制所述第七电极和所述第八电极的导通状态，

其中，所述驱动晶体管的第四电极连接到所述第一电极，

其中，所述第一控制元件的第五电极连接到所述电容器，而所述第一控制元件的第六电极连接到所述栅极，

其中，所述第二控制元件的第五电极连接到基准电源，而所述第二控制元件的第六电极连接到所述电容器和所述第一控制元件的第五电极，

其中，所述第三控制元件的第五电极连接到供给电流以使该电流流入所述发光元件的第一电源，而所述第三控制元件的第六电极连接到所述电容器和所述第四电极，并且

其中，所述第四控制元件的第七电极连接到供给与所述发光元件的发光亮度相对应的

数据电压的数据线，而所述第四控制元件的第八电极连接到所述栅极和所述第一控制元件的第六电极。

14.一种显示装置，包括：

发光元件，所述发光元件包括第一电极、第二电极、以及设置在所述第一电极和所述第二电极之间的有机发光层；以及

像素电路，所述像素电路包括电容器、以及使与所述电容器的电压相对应的电流流入所述发光元件的驱动晶体管，

其中，所述驱动晶体管具有第三电极和第四电极，并根据对所述驱动晶体管的栅极施加的电压来控制流到所述第三电极和所述第四电极之间的电流，

其中，所述像素电路还包括：第一控制元件、第二控制元件和第三控制元件，所述第一控制元件、所述第二控制元件和所述第三控制元件中的每个控制元件均包括第五电极和第六电极，并控制所述第五电极和所述第六电极的导通状态；以及第四控制元件，所述第四控制元件具有第七电极和第八电极，并控制所述第七电极和所述第八电极的导通状态，

其中，所述第一控制元件的第五电极连接到所述第四电极，而所述第一控制元件的第六电极连接到所述电容器和所述第一电极，

其中，所述第二控制元件的第六电极连接到所述电容器和所述栅极，

其中，所述第三控制元件的第五电极连接到供给电流以使该电流流入所述发光元件的第一电源，而所述第三控制元件的第六电极连接到所述第三电极和所述第二控制元件的第五电极，并且

其中，所述第四控制元件的第七电极连接到供给与所述发光元件的发光亮度相对应的数据电压的数据线，而所述第四控制元件的第八电极连接到所述第四电极和所述第一控制元件的第五电极。

15.一种显示装置，包括：

发光元件，所述发光元件包括第一电极、第二电极、以及设置在所述第一电极和所述第二电极之间的有机发光层；以及

像素电路，所述像素电路包括电容器和使与所述电容器的电压相对应的电流流入所述发光元件的驱动晶体管，

其中，所述驱动晶体管具有第三电极和第四电极，并根据施加于所述驱动晶体管的栅极的电压来控制流到所述第三电极和所述第四电极之间的电流，

其中，所述像素电路还包括：第一控制元件、第二控制元件和第三控制元件，所述第一控制元件、所述第二控制元件和所述第三控制元件中的每个控制元件均包括第五电极和第六电极，并控制所述第五电极和所述第六电极的导通状态；以及第四控制元件，所述第四控制元件具有第七电极和第八电极，并控制所述第七电极和所述第八电极的导通状态，

其中，所述驱动晶体管的第三电极连接到供给电流以使其流入所述发光元件的第一电源，

其中，所述第一控制元件的第五电极连接到所述栅极，而所述第一控制元件的第六电极连接到所述电容器，

其中，所述第二控制元件的第五电极连接到基准电源，而所述第二控制元件的第六电极连接到所述电容器和所述第一控制元件的第六电极，

其中，所述第三控制元件的第五电极连接到所述电容器和所述第四电极，而所述第三控制元件的第六电极连接到所述第一电极，并且

其中，所述第四控制元件的第七电极连接到供给与所述发光元件的发光亮度相对应的数据电压的数据线，而所述第四控制元件的第八电极连接到所述栅极和所述第一控制元件的第五电极。

显示装置

[0001] 相关申请的交叉引用

[0002] 本申请要求2016年8月5日在日本提交的专利申请No.2016-155047和2017年4月4日在日本提交的专利申请No.2017-74731的优先权的权益，上述日本专利申请的全部内容通过引用并入本文。

技术领域

[0003] 本发明涉及显示装置。

背景技术

[0004] 近年来，提出了将例如有机发光二极管(OLED)作为发光元件的显示装置。OLED是亮度根据电流值变化的所谓的电流驱动型的显示元件。这样的显示装置中的各像素包括OLED以及控制OLED的发光亮度的像素电路。像素电路包括例如控制供给到OLED的电流的驱动晶体管。在这种像素电路中补偿驱动晶体管的阈值电压的差异和变动的结构被提出(例如，参照日本专利申请特开No.2005-31630)。

发明内容

[0005] 但是，为了以高精度补偿驱动晶体管的阈值，需要在像素电路中配备大量的晶体管。随着晶体管的数量增多，像素电路的面积也相应地增加。这导致各像素的面积增大，使得难以具有高精密的结构。本发明的一个方面旨在提供实现高精密结构的显示装置。

[0006] 根据本发明的一个方面的显示装置包括：发光元件，其包括第一电极、第二电极、以及设置在所述第一电极和所述第二电极之间的有机发光层；以及像素电路，其包括电容器和使与所述电容器的电压相对应的电流流入所述发光元件的驱动晶体管。所述像素电路将所述电容器连接到所述第一电极的同时，停止将电流供给至所述发光元件。

[0007] 根据本发明的一个方面，可在显示装置中实现高精密的结构。

附图说明

[0008] 图1是表示显示装置的配置示例的框图。

[0009] 图2A和图2B是表示第一扫描驱动器和第二扫描驱动器的配置的框图。

[0010] 图3是表示根据第一实施方式的像素电路的配置示例的电路图。

[0011] 图4A至图4C表示根据第一实施方式的像素电路的操作。

[0012] 图5A至图5C表示像素电路在不同操作时段的操作。

[0013] 图6A至图6C表示像素电路在不同操作时段的操作。

[0014] 图7A至图7C表示像素电路在不同操作时段的操作。

[0015] 图8A至图8C表示像素电路在不同操作时段的操作。

[0016] 图9表示移位寄存器的操作。

[0017] 图10表示移位寄存器的操作。

[0018] 图11表示移位寄存器的操作。

[0019] 图12表示移位寄存器的操作。

[0020] 图13表示操作裕度的扩大。

[0021] 图14是表示根据第二实施方式的像素电路的配置示例的电路图。

[0022] 图15A至图15C表示根据第二实施方式的像素电路的操作。

[0023] 图16是表示根据第三实施方式的像素电路的配置示例的电路图。

[0024] 图17A至图17C表示根据第三实施方式的像素电路的操作。

[0025] 图18是表示根据第四实施方式的像素电路的配置示例的电路图。

[0026] 图19A至图19C表示根据第四实施方式的像素电路的操作。

具体实施方式

[0027] 以下,参照附图详细说明实施方式。值得注意的是,说明书和权利要求书中的“第一”、“第二”等序数是为了明确要素之间的关系并防止要素之间的混淆而标注的。因此,这些序数不旨在限定要素的数量。

[0028] 在以下的说明中,对采用有机发光二极管(OLED)作为发光元件的OLED显示装置进行说明。图1是表示显示装置的配置示例的框图。显示装置1包括像素电路11、第一扫描驱动器12、第二扫描驱动器13以及数据驱动器14。显示装置1包括多个像素电路11。

[0029] 多个像素电路11以矩阵状配置在有源矩阵部10中。根据本实施方式,像素电路11排列成n行m列(n和m为大于1的整数)的矩阵。各像素电路11包括OLED元件110。第一扫描驱动器12和第二扫描驱动器13输出控制信号。在本实施方式中,控制信号包括四个信号。第一扫描驱动器12输出控制信号S1和E1。第二扫描驱动器13输出控制信号S2和控制信号E2。各控制信号S1、S2、E1、E2是n位信号。控制信号S1和S2也称作扫描信号。控制信号E1和E2也称作发光控制信号。

[0030] 控制信号S1、S2、E1、E2中的各位输出到不同行的像素电路11。控制信号S2用于将预定行的像素电路11选择作为接受数据信号的电路(所谓的将要扫描的像素电路)。数据驱动器14对按照控制信号S1、S2、E1、E2选择的行中的像素,将与发光亮度相对应的数据信号输出到数据线。

[0031] 图2A和图2B是表示第一扫描驱动器12和第二扫描驱动器13的配置的框图。图2A表示第一扫描驱动器12的配置。第一扫描驱动器12包括移位寄存器S1和移位寄存器E1。移位寄存器S1和移位寄存器E1均是n位的移位寄存器。

[0032] 移位寄存器S1根据控制信号STS1以及两相时钟信号CKS、XCKS进行操作。移位寄存器S1输出n位的控制信号S1。移位寄存器E1根据控制信号STE1、两相时钟信号CKE、XCKE进行操作。移位寄存器E1输出n位的控制信号E1。

[0033] 图2B表示第二扫描驱动器13的配置。第二扫描驱动器13包括移位寄存器S2和移位寄存器E2。移位寄存器S2和移位寄存器E2均是n位的移位寄存器。移位寄存器S2根据控制信号STS2以及两相时钟信号CKS和XCKS进行操作。移位寄存器S2输出n位的控制信号S2。移位寄存器E2根据控制信号STE2以及两相时钟信号CKE和XCKE进行操作。移位寄存器E2输出n位的控制信号E2。

[0034] 第一实施方式

[0035] 图3是表示根据第一实施方式的像素电路11的配置示例的电路图。像素电路11包括五个晶体管M1至M5、电容器Cst以及发光元件110。各晶体管M1至M5例如是薄膜晶体管(TFT)。电容器Cst是所谓的存储电容器或保持电容器。电容器Cst保持与数据信号相对应的电压。发光元件110是OLED元件。在图3中,发光元件110表示OLED元件的等效电路。该等效电路是发光二极管和电容器的并联电路。

[0036] 晶体管M1也称作驱动晶体管,其控制发光元件110中流动的驱动电流。晶体管M2至M5是开关晶体管。通过将晶体管M2至M5在接通和断开之间切换,像素电路11的状态进行转换。晶体管M1的源极M1S经由晶体管M4连接到电源供给线VDD。源极M1S也经由晶体管M2连接到数据线Vdata。数据线Vdata对应于图1的数据线D1至Dm的任一者。晶体管M1的漏极M1D经由晶体管M5连接到发光元件110的阳极110A。晶体管M1的栅极M1G连接到电容器Cst的一个电极ec2。栅极M1G也连接到晶体管M3的源极M3S。

[0037] 晶体管M2的源极M2S连接到数据线Vdata。晶体管M2的漏极M2D连接到晶体管M1的源极M1S和晶体管M4的漏极M4D。控制信号S2输入到晶体管M2的栅极M2G。晶体管M3的漏极M3D连接到晶体管M1的漏极M1D和晶体管M5的源极M5S。控制信号S1输入到晶体管M3的栅极M3G。控制信号E1输入到晶体管M4的栅极M4G。晶体管M5的漏极M5D连接到发光元件110的阳极110A。控制信号E2输入到晶体管M5的栅极M5G。发光元件110的阴极110C连接到电源供给线VSS。

[0038] 下面对根据本实施方式的显示装置1的配置和操作进行说明。显示装置1包括发光元件110、电容器Cst以及像素电路11。发光元件110包括第一电极110A、第二电极110C以及设置在第一电极110A和第二电极110C之间的有机发光层。像素电路11包括电容器Cst以及使与电容器Cst的电压相对应的电流流经发光元件110的驱动晶体管M1。另外,像素电路11在将电容器Cst连接到第一电极110A的同时,停止将电流供给到发光元件110。第一电极110A的示例是发光元件110的阳极电极110A。第二电极110C的示例是发光元件110的阴极电极110C。电容器的示例是根据本实施方式的电容器Cst。驱动晶体管的示例是本实施方式的晶体管M1。

[0039] 驱动晶体管M1包括第三电极M1S和第四电极M1D,并根据施加于栅极M1G的电压控制流经第三电极M1S和第四电极M1D之间的电流。

[0040] 像素电路11还包括分别具有第五电极和第六电极并控制第五电极和第六电极的导通状态的第一控制元件至第三控制元件。第一控制元件M4的第五电极M4S连接到供给电流使其流经发光元件110的第一电源VDD,而第一控制元件M4的第六电极M4D连接到第三电极M1S。第一控制元件M4的示例是晶体管M4。第二控制元件M3的第五电极M3S连接到栅极M1G和电容器Cst,而第二控制元件M3的第六电极M3D连接到第四电极M1D。第二控制元件的示例是晶体管M3。第三控制元件M5的第五电极M5S连接到第四电极M1D和第二控制元件M3的第六电极M3D,第三控制元件M5的第六电极M5D连接到第一电极110A。第三控制元件的示例是晶体管M5。像素电路11包括连接到供给与发光元件110的发光亮度相对应的数据电压的数据线的第七电极M2S、以及连接到第三电极M1S的第八电极M2D,并包括控制第七电极M2S和第八电极M2D的导通状态的第四控制元件M2。第四控制元件的示例是晶体管M2。

[0041] 电容器包括第三电极和连接到预定电位的第四电极。电容器的示例是电容器Cst。像素电路11将第一电极连接到第三电极。第三电极的示例是电容器Cst的一个电极ec2。第

四电极的示例是电容器Cst的另一电极ec1。第三电极也称作第九电极。第四电极也称作第十电极。

[0042] 现在参照图4A至图8C说明像素电路11的操作。在图4A至图8C中，未示出图3中所示的电极的附图标记。图4A至图4C表示像素电路11的操作。图4A表示与图3相同的像素电路11。图4A是像素电路11的电路图，其表示在下面的说明中使用的节点Na至Nd。节点Na是连接到晶体管M1的栅极M1G、电容器Cst的一个电极ec2以及晶体管M3的源极M3S的节点。节点Nb是连接到晶体管M1的源极M1S、晶体管M2的漏极M2D以及晶体管M4的漏极M4D的节点。节点Nc是连接到晶体管M4的源极M4S、电容器Cst的另一个电极ec1以及电源供给线VDD的节点。节点Nd是连接到晶体管M5的漏极M5D以及发光元件110的阳极110A的节点。

[0043] 像素电路11的操作可分成四个时段。像素电路11在将四个时段设定作为一个周期的同时重复操作。图4B是表示像素电路11的不同时段期间晶体管M2至M5的接通和断开的关系的表。四个时段包括放电时段、初始化时段、阈值检测及数据存储时段(也称作阈值检测&数据存储时段)以及发光时段。在放电时段中，晶体管M3、M2、M4断开。晶体管M5接通。在初始化时段中，晶体管M3和M5接通。晶体管M2和M4断开。在阈值检测&数据存储时段中，晶体管M3和M2接通。晶体管M4和M5断开。在发光时段中，晶体管M3和M2断开。晶体管M4和M5接通。

[0044] 图4C是表示像素电路11的不同操作时段中控制信号的变化、以及数据信号的时序图。横轴表示时间。时间宽度1H表示一个水平时段。纵轴表示电位。各控制信号S1、S2、E1、E2是低电平有效信号。即，当控制信号S1、S2、E1和E2的值为高(H)时，各晶体管M3、M2、M4、M5相应地断开。当控制信号S1、S2、E1、E2的值为低(L)时，各个晶体管M3、M2、M4、M5相应地接通。Vdata表示数据信号电位的变化。Vdata在每一个水平时段1H被更新。图4C所示的时段T0表示放电时段。时段T1表示初始化时段。时段T2表示阈值检测&数据存储时段。时段T3表示发光时段。时段T0至T2对应于发光元件110不发光的非发光时段NL。各时段T0、T1、T2、即除时段T3以外的时段的长度与一个水平时段相同。各时段T0、T1、T2的长度可以可替选地比一个水平时段长，但是不限于上述示例。各时段T0、T1、T2的长度也可比一个水平时段短。

[0045] 图5A至图8C表示像素电路11在不同操作时段期间的操作。图5A、图6A、图7A和图8A再次表示像素电路11的电路图。图5B、图6B、图7B和图8B是表示晶体管M2至M5的接通/断开状态的表。图5C、图6C、图7C和图8C是表示节点Na、Nb、Nd的电位的时间变化的图。

[0046] 图5A至图5C表示放电时段T0的操作。在放电时段T0中，晶体管M2、M3、M4断开，而晶体管M5接通。由于晶体管M4断开，因此晶体管M1与电源供给线VDD断开。因此，向发光元件110的电流供给停止。发光元件110将储存在阳极110A和阴极110C之间的电容器中的电荷经由比电源供给线VDD的电位低的电位的电源供给线VSS放电。因此，节点Nd的电位下降到发光元件110的阈值电压Vtholed。节点Na和节点Nb保持之前的周期中的发光时段的值。

[0047] 在放电时段T0中，像素电路11停止将电流从供给电流以使其流入发光元件110的第一电源向驱动晶体管M1的供给。第一电源的示例是包括电源供给线VDD的电源。

[0048] 图6A至图6C表示初始化时段T1。在初始化时段T1中，晶体管M2和M4断开，而晶体管M3和M5接通。由于在初始化时段T1中晶体管M3和M5接通，因此对电容器Cst的一个电极ec2和发光元件110的阳极电极110A进行电连接。其结果，连接到电容器Cst的一个电极ec2的节点Na的电位降低到与节点Nd相同的电位。即，节点Na将具有发光元件110的阳极电位(Vtholed)。换言之，电容器Cst的一个电极ec2的电位将与阳极电位同电位。连接到电容器

Cst的另一个电极ec1的节点Nc根据电源供给线VDD具有电位VDD。因此，在电容器Cst中存储与电位差VDD－Vtholed相对应的电荷。由于晶体管M4断开，因此发光元件110与电源供给线VDD断开。如此，发光元件110中没有电流流经，阳极电位(节点Nd的电位)不升高。节点Nb保持放电时段T0中的电位。

[0049] 在停止向发光元件110的电流供给时，像素电路11使第一控制元件M4处于非导通状态，并且在电容器连接到第一电极时，像素电路11使第二控制元件M3和第三控制元件M5处于导通状态。

[0050] 在初始化时段T1中，像素电路11在将电容器Cst连接到第一电极的同时，停止向发光元件110的电流供给。

[0051] 图7A至图7C表示阈值检测&数据存储时段T2。在阈值检测&数据存储时段T2中，晶体管M2和M3接通，而晶体管M4和M5断开。由于晶体管M5断开，连接到电容器Cst的一个电极ec2的节点Na与发光元件110的阳极电极110A(节点Nd)断开。由于晶体管M2接通，因此晶体管M1的源极M1S(节点Nb)固定在数据电压Vdata。另一方面，晶体管M1的栅极M1G和漏极M1D的电压对应于Vtholed。由于Vtholed低于Vdata，与栅极M1G和源极M1S之间的电位差相对应的电流从数据线Vdata流到晶体管M2、M1、M3。电荷存储在节点Na，从而节点Na的电位升高。电流保持流经晶体管M1，直到栅极M1G(节点Na)和源极M1S(节点Nb)之间的电位差达到晶体管M1的阈值电压为止。假设晶体管M1的阈值电压是Vth(Vth＜0)，节点Na的电位将为Vdata+Vth。另外，电容器Cst中的电位差由VDD-Vdata-Vth表示。

[0052] 在阈值检测&数据存储时段T2中，像素电路11将电容器Cst连接到第一电极110A，之后将驱动晶体管M1的阈值电压和与发光元件110的发光亮度相对应的数据电压Vdata储存在电容器Cst中。

[0053] 在放电时段T0和初始化时段T1中，像素电路11使晶体管M4和晶体管M2断开。晶体管M5接通。在阈值检测&数据存储时段T2中，晶体管M2接通，而晶体管M5断开。像素电路11使第一控制元件和第四控制元件处于非导通状态，之后使第四控制元件处于导通状态，使第三控制元件处于非导通状态。

[0054] 图8A至图8C表示发光时段T3。在发光时段T3中，晶体管M2和M3断开，而晶体管M4和M5接通。由于晶体管M5接通，因此晶体管M1连接到发光元件110。与晶体管M1的栅极M1G(节点Na)和源极M1S(节点Nb)之间的电位差相对应的电流流入到晶体管M1和发光元件110。该电流使发光元件110发光。此时，流入到发光元件110的电流可由下式(1)求出。

[0055] $Ioled=\beta(Vgs-Vth)^2=\beta(Vdata+Vth-VDD-Vth)^2=\beta(Vdata-VDD)^2\cdots$.式(1)

[0056] $\beta=\mu*(W/L)*(Cox/2)$，

[0057] μ:迁移率，w:沟道宽度，L:沟道长度，Cox:栅极电容

[0058] 如式(1)所示，流入到发光元件110的电流由数据电压Vdata以及电源供给线电压VDD决定。流入到发光元件110的电流不依赖于晶体管M1的阈值电压Vth。因此，流入到发光元件110的电流不受晶体管M1的阈值电压的变化的影响。

[0059] 像素电路11包括电容器Cst以及使与电容器Cst的电压相对应的电流流入发光元件110的驱动晶体管。驱动晶体管的示例是晶体管M1。在发光时段T3中，像素电路11将从第一电源VDD的电压中减去阈值电压Vth累加数据电压Vdata之和得到的电压(VDD-(Vdata+Vth))储存在电容器Cst中，之后使电容器Cst与第一电极110A断开，同时开始从第一电源

VDD向驱动晶体管M1供给电流，并进一步将电容器Cst的电压施加于驱动晶体管M1的栅极M1G。

[0060] 在阈值检测&数据存储时段T2中，使晶体管M2接通。使晶体管M5断开。在发光时段T3中，使晶体管M3和晶体管M2断开，而使晶体管M4和晶体管M5接通。在使第四控制元件(M2)处于导通状态并使第三控制元件(M5)处于非导通状态之后，像素电路11使第二控制元件(M3)和第四控制元件(M2)处于非导通状态，使第一控制元件(M4)和第三控制元件(M5)处于导通状态。

[0061] 在发光时段T3之后，周期再次返回到放电时段T0。在将储存于电容器Cst中的电压施加于栅极M1G之后，像素电路11停止向发光元件110供给电流，并使储存于有机发光层中的电荷经由发光元件110放电，之后将电容器Cst连接到第一电极110A，并以放电后得到的第一电极110A的电位对电容器Cst进行充电。

[0062] 在发光时段T3中，像素电路11使晶体管M4处于接通状态。在发光时段T3之后，像素电路11使晶体管M4处于断开状态。在使电流流入发光元件110之后，像素电路11使第一控制元件处于非导通状态，并将储存于发光元件110中的电荷经由发光元件110放电。

[0063] 图9表示移位寄存器S1的操作。移位寄存器S1输出控制信号S1(n)。移位寄存器S1的操作时钟对应于具有周期2H的两相时钟信号CKS和XCKS。在移位寄存器S1的初始阶段，输入脉冲宽度为2H的启动信号STS1。移位寄存器S1与时钟信号CKS的下降或时钟信号XCKS的下降同步地传递启动信号STS1，同时将启动信号STS1延迟1H。移位寄存器S1将启动信号STS1输出作为从控制信号S1(1)延迟时间1H的控制信号S1(2)。移位寄存器S1将启动信号STS1输出作为从控制信号S1(2)延迟时间1H的控制信号S1(3)。以下操作相同。移位寄存器S1将启动信号STS1输出作为从控制信号S1(n－1)延迟时间1H的控制信号S1(n)。

[0064] 图10表示移位寄存器S2的操作。移位寄存器S2输出控制信号S2(n)。移位寄存器S2的操作时钟相当于具有周期2H的两相时钟信号CKS和XCKS。在移位寄存器S2的初始阶段，输入脉冲宽度为1H的启动信号STS2。移位寄存器S2与时钟信号CKS的上升或下降或者时钟信号XCKS的上升或下降同步地，使启动信号STS2延迟1H的同时传递启动信号STS2。移位寄存器S2将启动信号STS2输出作为从控制信号S2(1)延迟时间1H的控制信号S2(2)。移位寄存器S2将启动信号STS2输出作为从控制信号S2(2)延迟时间1H的控制信号S2(3)。以下操作相同。移位寄存器S2将启动信号STS2输出作为从控制信号S2(n－1)延迟时间1H的控制信号S2(n)。

[0065] 图11表示移位寄存器E1的操作。移位寄存器E1输出控制信号E1(n)。移位寄存器E1的操作时钟相当于具有周期2H的两相时钟信号CKE和XCKE。在移位寄存器E1的初始阶段，输入脉冲宽度为3H的启动信号STE1。移位寄存器E1与时钟信号CKE的下降或时钟信号XCKE的下降同步地传递启动信号STE1。移位寄存器E1将启动信号STE1输出作为从控制信号E1(1)延迟时间1H的控制信号E1(2)。移位寄存器E1将启动信号STE1输出作为从控制信号E1(2)延迟时间1H的控制信号E1(3)。以下操作相同。移位寄存器E1将启动信号STE1输出作为从控制信号E1(n－1)延迟时间1H的控制信号E1(n)。

[0066] 图12表示移位寄存器E2的操作。移位寄存器E2输出控制信号E2(n)。移位寄存器E2的操作时钟相当于具有周期2H的两相时钟信号CKE和XCKE。在移位寄存器E2的初始阶段，输入脉冲宽度为1H的启动信号STE2。移位寄存器E2与时钟信号CKE的下降或上升或者时钟信

号XCKE的下降或上升同步地传递启动信号STE2。移位寄存器E2将启动信号STE2输出作为从控制信号E2(1)延迟时间1H的控制信号E2(2)。移位寄存器E2将启动信号STE2输出作为从控制信号E2(2)延迟时间1H的控制信号E2(3)。以下操作相同。移位寄存器E2将启动信号STE2输出作为从控制信号E2(n－1)延迟时间1H的控制信号E2(n)。移位寄存器S1、S2、E1、E2重复以上的操作。

[0067] 现在对在本实施方式中具有放电时段T0的目的进行说明。为了精确地检测晶体管M1的阈值电压，优选地可将电容器Cst初始化，使得栅极M1G和源极M1S之间的电压大于或等于阈值电压。在检测晶体管M1的阈值的情况下，源极M1S(节点Nb)具有数据电压(Vdata)。因此，需要以比数据电压低了阈值电压的电压将栅极M1G(节点Na)初始化。初始化的电位在与亮发光相对应的数据电压的情况下需要为最低。当在该条件下不能确保裕度电压时，阈值检测不起作用。这是因为在初始化电压的时间点在栅极M1G和源极M1S之间不具有与供电流流动的电压差相同大小的电压差。

[0068] 在使用阳极电压进行电容器Cst的初始化的情况下，阳极电压为紧接亮发光后得到的高电压时，操作裕度窄。但是，通过具有将储存在发光元件110中的电荷放电的时段从而将阳极电压降低至大致发光元件110的阈值电压，操作裕度扩大。图13表示操作裕度的放大。假设电源电压VDD为+5V，电源电压VSS为－5V。并且，假设亮发光数据电压为4V，驱动晶体管M1的阈值电压为2V。发光元件110的亮发光后的阳极电压假设为3.5V。发光元件110的阈值电压Vtholed假设为1.5V。如图13所示，当将阳极电压用作初始化电压时，如图13的左侧所示，操作裕度电压将为0.5V。另一方面，在设置放电时段T0并将发光元件110的阈值电压Vtholed设为初始化电压的情况下，裕度电压将为2.5V。在该例中，操作裕度电压将从0.5V增加到2.5V，即，扩大2V。

[0069] 如上所述，根据显示装置1，在初始化时段，通过将电容器Cst连接到第一电极，增大电容器中的电位差。

[0070] 根据本实施方式，实现以下的效果。通过在初始化时段T1之前具有放电时段T0，初期化电压将成为发光元件110的阈值电压Vtholed。由此，即使初始化前的发光元件110发出亮光时，其电压也可能下降到阈值电压Vtholed。这扩大了用于检测晶体管M1的阈值电压Vth的操作裕度。其结果，即使由于阈值电压Vth的不同或长时间使用导致阈值电压Vth变动时，也可以检测阈值电压Vth。另外，当裕度扩大时，可降低电源电压VDD和VSS之间的电位差。由此，可以使显示装置的耗电减小。

[0071] 在初始化时段，晶体管M1与电源供给线VDD断开，因此没有电流流入到发光元件110。这防止发光元件110发光，使其能够抑制显示质量的下降。另外，由于没有电流流入到发光元件110，因此发光元件110的阳极电位不升高，由此可防止晶体管M1的阈值检测的精度下降。

[0072] 如此，可通过四个晶体管和一个电容器实现可防止显示质量下降和驱动晶体管M1的阈值检测的精度下降的像素电路11。通常，在防止驱动晶体管的阈值检测的精度下降的像素电路11中，需要五个或更多的晶体管(例如，在日本专利申请2005-31630号公报中需要六个晶体管)。

[0073] 但是，根据本实施方式的像素电路11可通过四个晶体管和一个电容器实现，因此与具有五个或更多个晶体管的像素电路或者具有两个或更多个电容器的像素电路相比，能

够减小像素电路的面积。由于能够减小像素电路的面积，因此还能够减小像素面积。如果像素面积减小，则能够增加每单位面积的像素数，即具有高精密的结构。

[0074] 另外，由于对电容器Cst的初始化使用发光元件110的阳极电压，因此不需要用于初始化的附加的电源线或信号线。因此，消除了在像素电路11内追加用于初始化的电源线或信号线的需要，由此有助于电路面积的减小。其结果，可实现具有更高精度的结构。

[0075] 第二实施方式

[0076] 对与上述的第一实施方式的不同之处在于像素电路11内的相互连接的第二实施方式进行说明。根据第二实施方式，从数据驱动器14经由数据线Vdata(数据线D1至Dm的任一者)供给的数据电压的亮和暗与第一实施方式相反。

[0077] 图14是表示根据第二实施方式的像素电路11的配置示例的电路图。在图14中，与图3相对应的部分由相同的附图标记表示。

[0078] 像素电路11包括五个晶体管M1(驱动晶体管)、晶体管M2(第四控制元件)、晶体管M3(第二控制元件)、晶体管M4(第一控制元件)、晶体管M5(第三控制元件)、电容器Cst以及发光元件110。

[0079] 晶体管M1的源极M1S(第三电极)连接到晶体管M5的漏极M5D(第六电极)和电容器Cst的另一电极ec1(第十电极)。晶体管M1的漏极M1D(第四电极)连接到发光元件110的阳极110A(第一电极)。晶体管M1的栅极M1G连接到晶体管M2的漏极M2D(第八电极)和晶体管M4的漏极M4D(第六电极)。发光元件110的阴极110C(第二电极)连接到电源供给线VSS。

[0080] 晶体管M2的漏极M2D连接到晶体管M1的栅极M1G和晶体管M4的漏极M4D。晶体管M2的源极M2S(第七电极)连接到数据线Vdata。控制信号(扫描信号)S2输入到晶体管M2的栅极M2G。

[0081] 晶体管M3的漏极M3D(第六电极)连接到晶体管M4的源极M4S(第五电极)和电容器Cst的一个电极ec2(第九电极)。晶体管M3的源极M3S(第五电极)连接到基准电压源Vref。控制信号(扫描信号)S1输入到晶体管M3的栅极M3G。

[0082] 晶体管M4的源极M4S连接到晶体管M3的漏极M3D和电容器Cst的一个电极ec2。晶体管M4的漏极M4D连接到晶体管M1的栅极M1G和晶体管M2的漏极M2D。控制信号(发光控制信号)E1输入到晶体管M4的栅极M4G。

[0083] 晶体管M5的漏极M5D连接到晶体管M1的源极M1S和电容器Cst的另一电极ec1。晶体管M5的源极M5S(第五电极)连接到第一电源VDD。控制信号(发光控制信号)E2输入到晶体管M5的栅极M5G。

[0084] 图15A至图15C表示根据第二实施方式的像素电路11的操作。图15A是表示与图14相同的像素电路11的电路图。图15B是表示在像素电路11的不同的时段中晶体管M2至M5的接通和断开的关系的表。图15C是表示像素电路11的不同操作时段中控制信号的变化和数据信号的时序图。

[0085] 根据第二实施方式，如图15B所示，晶体管M2、M3、M4及M5在接通和断开之间的切换时刻与第一实施方式(参照图4B)相同。另外，根据第二实施方式，如图15C所示，各控制信号S1、S2、E1及E2的高/低的模式与第一实施方式(参照图4C)相同。但是，在第二实施方式中，如图15C所示，数据电压Vdata的亮和暗与第一实施方式(参照图4C)相反。

[0086] 在放电时段T0和初始化时段T1中，用于固定作为驱动晶体管的晶体管M1的栅极

M1G的电位的晶体管M4断开，这也使晶体管M1处于断开状态，由此不进行经由晶体管M1的对发光元件110的充电。其结果，发光元件110的阳极110A的电位降至阈值电压Vtholed，防止不需要的发光。

[0087] 第三实施方式

[0088] 现在对与上述的第一实施方式的不同之处在于像素电路11内的相互连接的第三实施方式进行说明。在第三实施方式中，在此所使用的所有TFT由N型TFT构成。

[0089] 图16是表示根据第三实施方式的像素电路11的配置示例的电路图。在图16中，与图3相对应的部分由相同的附图标记表示。

[0090] 像素电路11包括五个晶体管M1(驱动晶体管)、晶体管M2(第四控制元件)、晶体管M3(第二控制元件)、晶体管M4(第一控制元件)、晶体管M5(第三控制元件)、电容器Cst以及发光元件110。

[0091] 晶体管M1的栅极M1G连接到晶体管M3的漏极M3D(第六电极)和电容器Cst的另一电极ec1(第十电极)。晶体管M1的源极M1S(第三电极)连接到晶体管M3的源极M3S(第五电极)和晶体管M5的漏极M5D(第六电极)。晶体管M1的漏极M1D(第四电极)连接到晶体管M2的漏极M2D(第八电极)和晶体管M4的源极M4S(第五电极)。

[0092] 晶体管M2的漏极M2D连接到晶体管M1的漏极M1D和晶体管M4的源极M4S。晶体管M2的源极M2S(第七电极)连接到数据线Vdata。控制信号(扫描信号)S2输入到晶体管M2的栅极M2G。

[0093] 晶体管M3的源极M3S连接到晶体管M1的源极M1S和晶体管M5的漏极M5D。晶体管M3的漏极M3D连接到晶体管M1的栅极M1G和电容器Cst的另一个电极ec1。控制信号(扫描信号)S1输入到晶体管M3的栅极M3G。

[0094] 晶体管M4的源极M4S连接到晶体管M1的漏极M1D和晶体管M2的漏极M2D。晶体管M4的漏极M4D(第六电极)连接到发光元件110的阳极110A(第一电极)和电容器Cst的一个电极ec2(第九电极)。控制信号(发光控制信号)E1输入到晶体管M4的栅极M4G。发光元件110的阴极110C(第二电极)连接到电源供给线VSS。

[0095] 晶体管M5的漏极M5D连接到晶体管M1的源极M1S和晶体管M3的源极M3S。晶体管M5的源极M5S(第五电极)连接到第一电源VDD。控制信号(发光控制信号)E2输入到晶体管M5的栅极M5G。

[0096] 图17A至图17C表示根据第三实施方式的像素电路11的操作。图17A是表示与图16相同的像素电路11的电路图。图17B是表示像素电路11的不同时段的晶体管M2至M5中的接通和断开的关系的表。图17C是表示像素电路11的不同操作时段的控制信号的变化和数据信号的时序图。

[0097] 根据第三实施方式，如图17B所示，晶体管M2、M3、M4和M5在接通和断开之间的切换时刻与第一实施方式(参照图4B)相同。但是，在第三实施方式中，如图17C所示，各控制信号S1、S2、E1和E2是高电平有效信号。即，当控制信号S1、S2、E1、E2的值为高(H)时，各晶体管M3、M2、M4、M5相应地接通。当控制信号S1、S2、E1、E2的值为低(L)时，各晶体管M3、M2、M4、M5相应地断开。另外，在第三实施方式中，如图17C所示，数据电压Vdata的亮和暗与第一实施方式(参照图4C)相反。

[0098] 由于在放电时段T0和初始化时段T1中晶体管M4断开，因此发光元件110的阳极

110A的电位降至阈值电压Vtholed,电容器Cst的一个电极ec2的电位初始化为Vtholed。

[0099] 第四实施方式

[0100] 现在对与上述的第一实施方式的不同之处在于像素电路11内的相互连接的第四实施方式进行说明。在第四实施方式中,在此使用的所有TFT由N型TFT构成。

[0101] 图18是表示根据第四实施方式的像素电路11的配置示例的电路图。在图18中,与图3相对应的部分由相同的附图标记表示。

[0102] 晶体管M1的栅极M1G连接到晶体管M2的漏极M2D(第八电极)和晶体管M4的源极M4S(第五电极)。晶体管M1的漏极M1D(第四电极)连接到晶体管M5的源极M5S(第五电极)和电容器Cst的另一电极ec1(第十电极)。晶体管M1的源极M1S(第三电极)连接到第一电源VDD。

[0103] 晶体管M2的漏极M2D连接到晶体管M1的栅极M1G和晶体管M4的源极M4S。晶体管M2的源极M2S(第七电极)连接到数据线Vdata。控制信号(扫描信号)S2输入到晶体管M2的栅极M2G。

[0104] 晶体管M3的漏极M3D(第六电极)连接到晶体管M4的漏极M4D(第六电极)和电容器Cst的一个电极ec2(第九电极)。晶体管M3的源极M3S(第五电极)连接到基准电压源Vref。控制信号(扫描信号)S1输入到晶体管M3的栅极M3G。

[0105] 晶体管M4的源极M4S连接到晶体管M1的栅极M1G和晶体管M2的漏极M2D。晶体管M4的漏极M4D连接到晶体管M3的漏极M3D和电容器Cst的一个电极ec2。控制信号(发光控制信号)E1输入到晶体管M4的栅极M4G。

[0106] 晶体管M5的源极M5S连接到晶体管M1的漏极M1D和电容器Cst的另一电极ec1。晶体管M5的漏极M5D(第六电极)连接到发光元件110的阳极110A(第一电极)。控制信号(发光控制信号)E2输入到晶体管M5的栅极M5G。发光元件110的阴极110C(第二电极)连接到电源供给线VSS。

[0107] 图19A至图19C表示根据第四实施方式的像素电路11的操作。图19A是表示与图18相同的像素电路11的电路图。图19B是表示像素电路11的不同时段中晶体管M2至M5的接通和断开的关系的表。图19C是表示像素电路11的不同操作时段中控制信号的变化和数据信号的时序图。

[0108] 根据第四实施方式,如图19B所示,晶体管M2、M3、M4及M5在接通和断开之间的切换时刻与第一实施方式(参照图4B)相同。但是,在第四实施方式中,如图19C所示,各控制信号S1、S2、E1、E2是高电平有效信号。即,当控制信号S1、S2、E1、E2的值为高(H)时,各晶体管M3、M2、M4、M5相应地接通。当控制信号S1、S2、E1、E2的值为低(L)时,各晶体管M3、M2、M4、M5相应地断开。

[0109] 在放电时段T0和初始化时段T1期间,用于固定作为驱动晶体管的晶体管M1的栅极M1G的电位的晶体管M4断开,因此不进行经由晶体管M1对发光元件110充电。发光元件110的阳极110A的电位降至阈值电压Vtholed,电容器Cst的另一个电极ec1初始化为Vtholed。

[0110] 各实施方式中所述的技术特征(构成要素)可相互结合,这种组合可形成新的技术特征。

[0111] 可理解的是,本文所公开的实施方式是示例性的,而不是限制性的。由于本发明的范围由所附权利要求书而不是其前面的说明限定,因此落在权利要求书的边界和界限或者这种边界和界限的等效物内的所有的变更旨在被权利要求书涵盖。

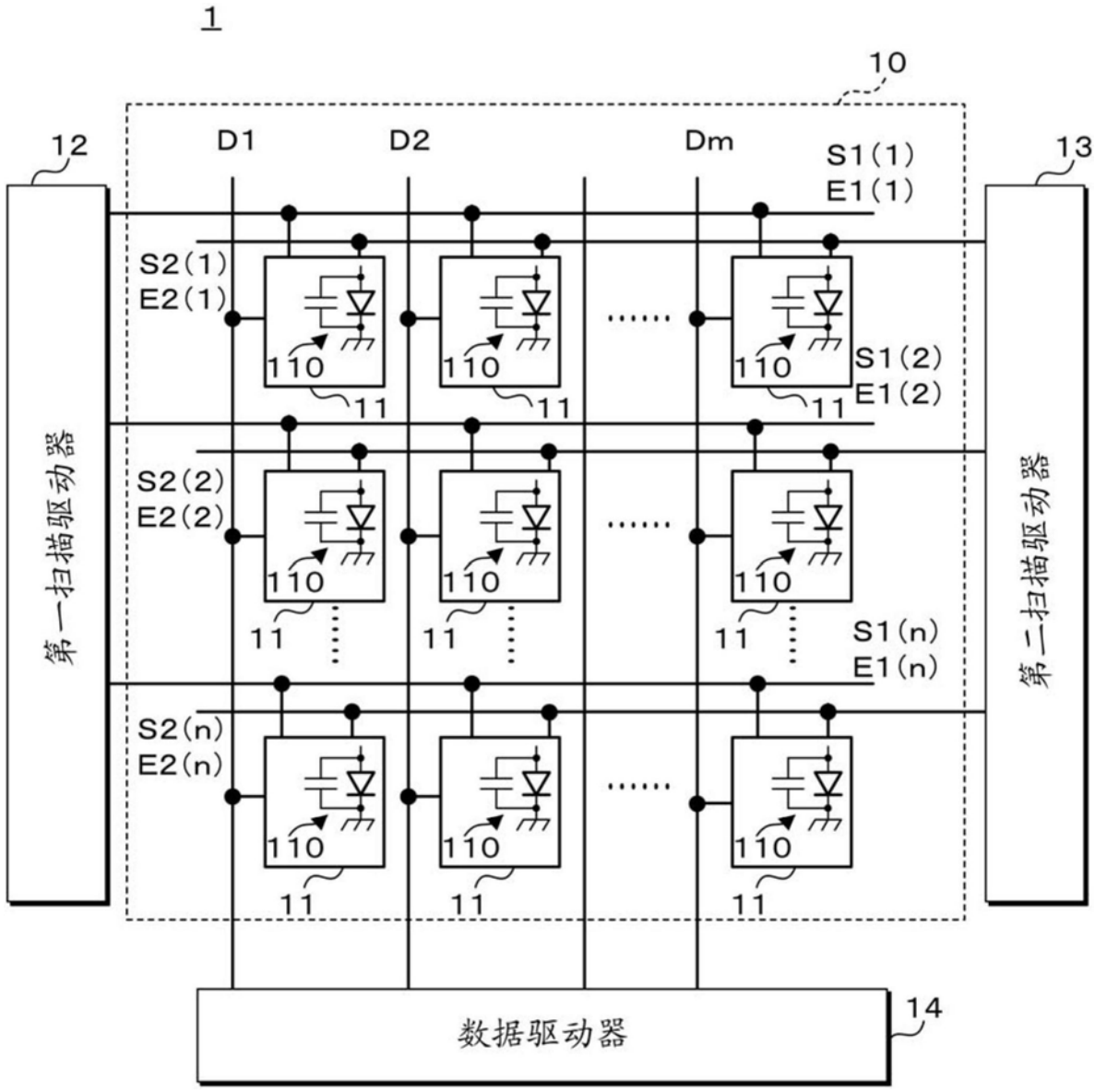

1
10
12
13
D1
D2
Dm
S1(1)
E1(1)
S2(1)
E2(1)
S1(2)
E1(2)
S2(2)
E2(2)
S1(n)
E1(n)
S2(n)
E2(n)
110
11
第一扫描驱动器
第二扫描驱动器
数据驱动器
14

图1

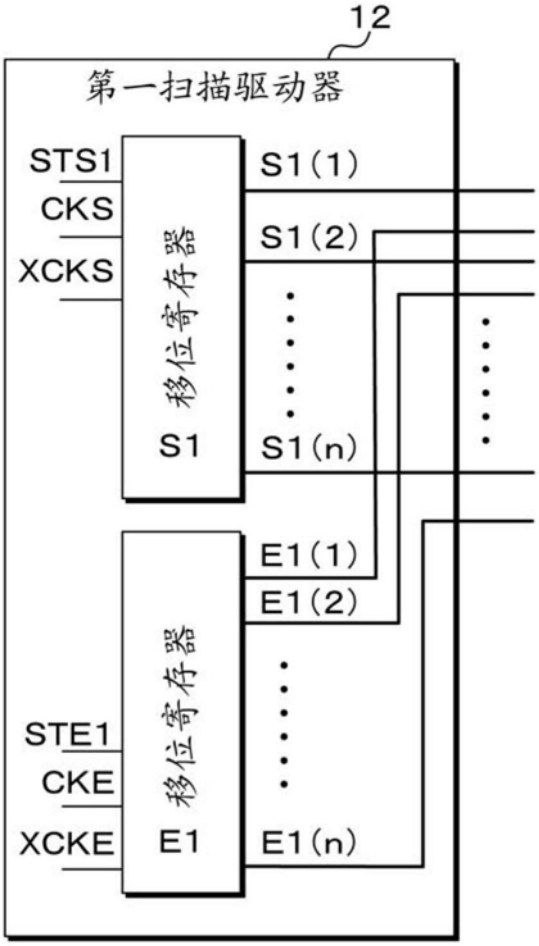

12
第一扫描驱动器
STS1
CKS
XCKS
移位寄存器
S1
S1(1)
S1(2)
S1(n)
E1(1)
E1(2)
E1(n)
STE1
CKE
XCKE
移位寄存器
E1

图2A

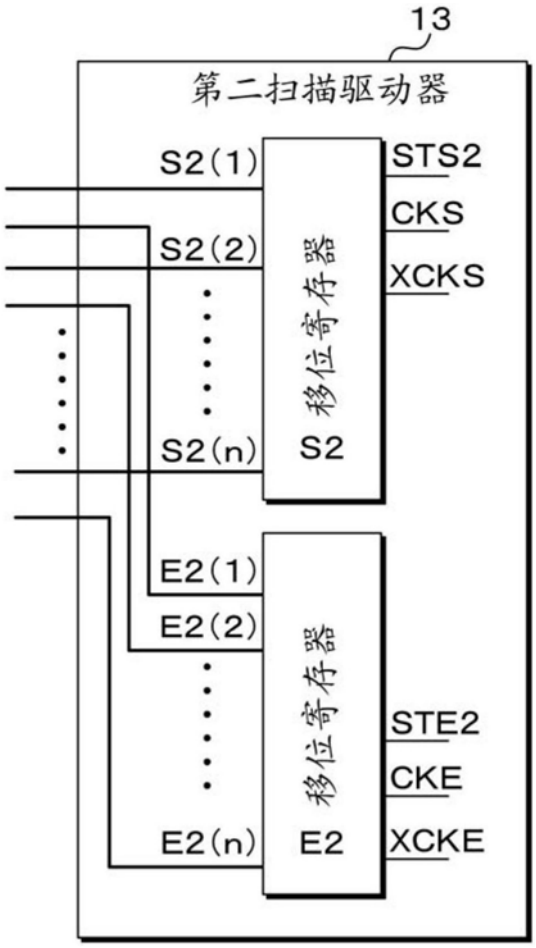

13
第二扫描驱动器
S2(1)
S2(2)
S2(n)
移位寄存器
S2
STS2
CKS
XCKS
E2(1)
E2(2)
E2(n)
移位寄存器
E2
STE2
CKE
XCKE

图2B

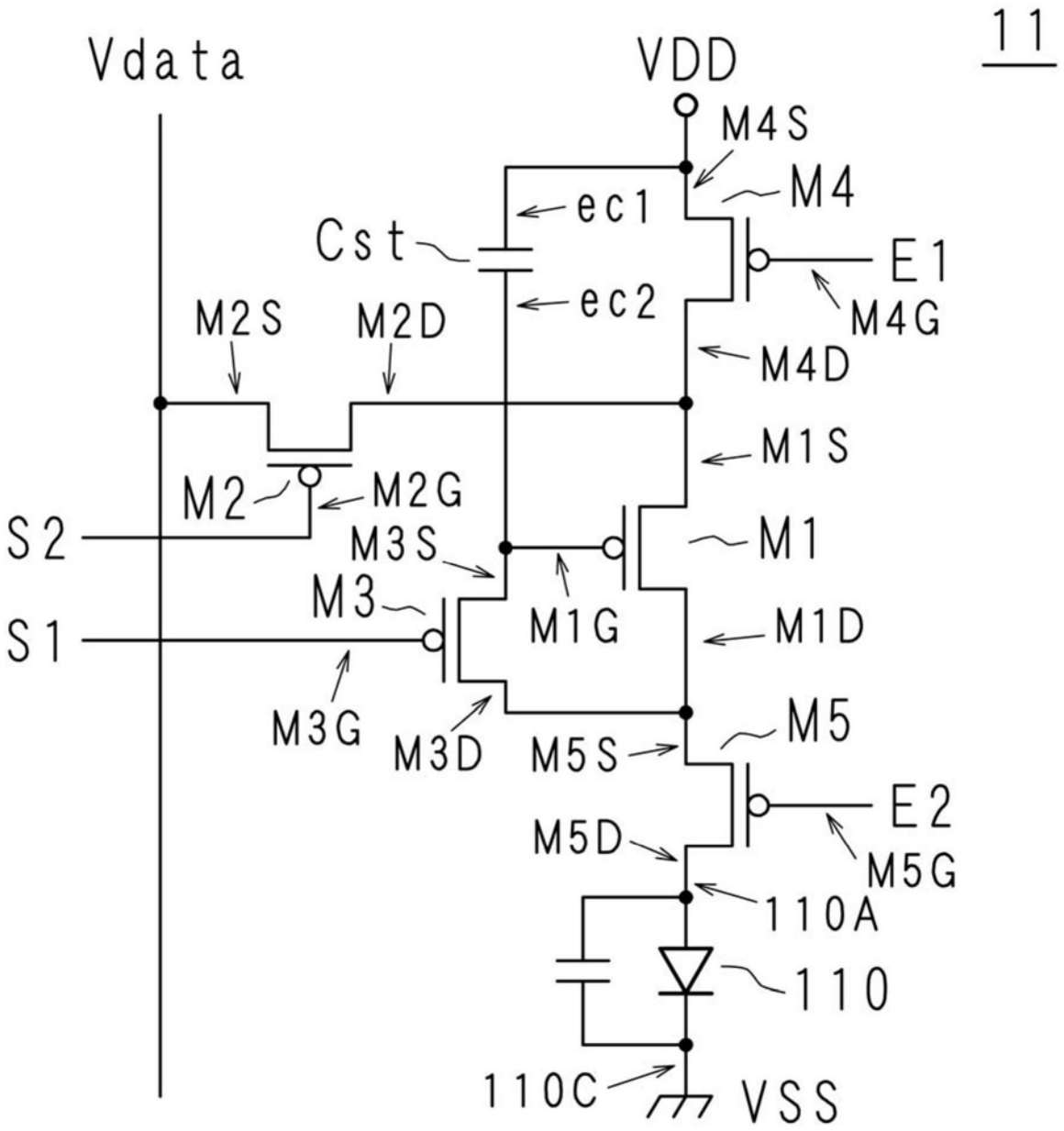

11
Vdata
VDD
M4S
M4
ec1
Cst
E1
ec2
M4G
M2S
M2D
M4D
M1S
M2
M2G
S2
M3S
M1
M3
M1G
S1
M1D
M3G
M3D
M5S
M5
E2
M5D
M5G
110A
110
110C
VSS

图3

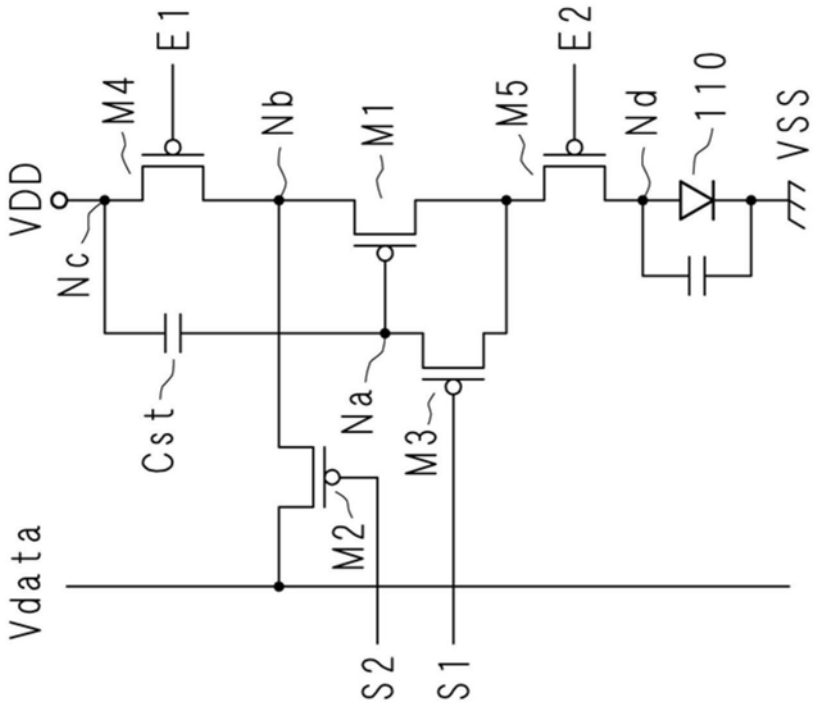


图4A

开关（信号）	放电	初始化	阈值检测&数据存储	发光
M3（S1）	断开	接通	接通	断开
M2（S2）	断开	断开	接通	断开
M4（E1）	断开	断开	断开	接通
M5（E2）	接通	接通	断开	接通

图4B

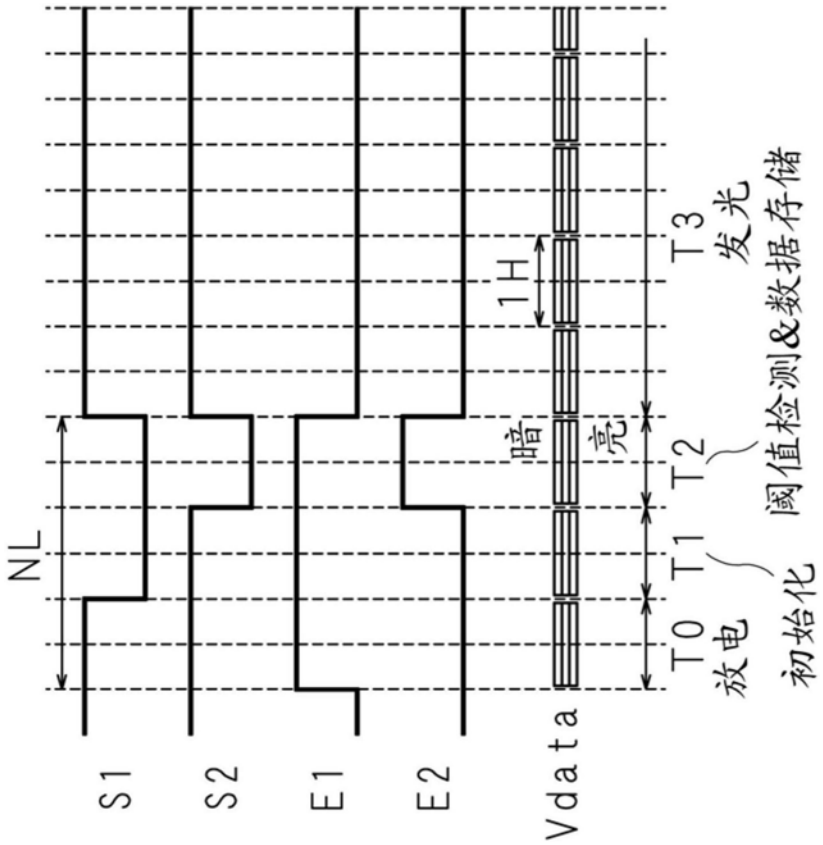

S1
S2
E1
E2
Vdata
NL
1H
暗
亮
T0
放电
T1
初始化
T2
阈值检测&数据存储
T3
发光

图4C

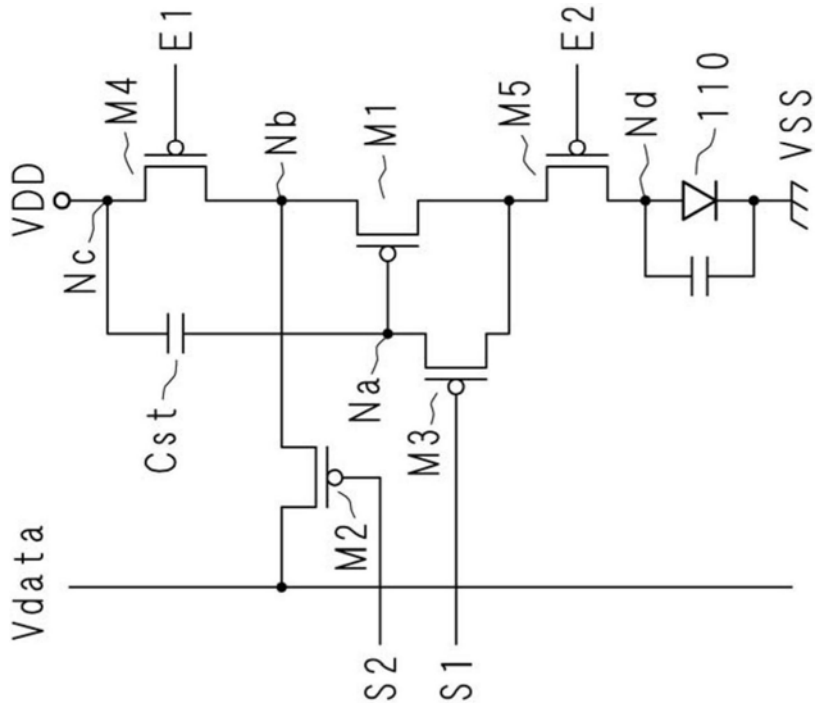

VDD
Nc
M4
E1
Nb
M1
M5
E2
Nd
110
VSS
Cst
Na
M3
M2
Vdata
S2
S1

图5A

开关（信号）	放电
M3（S1）	断开
M2（S2）	断开
M4（E1）	断开
M5（E2）	接通

图5B

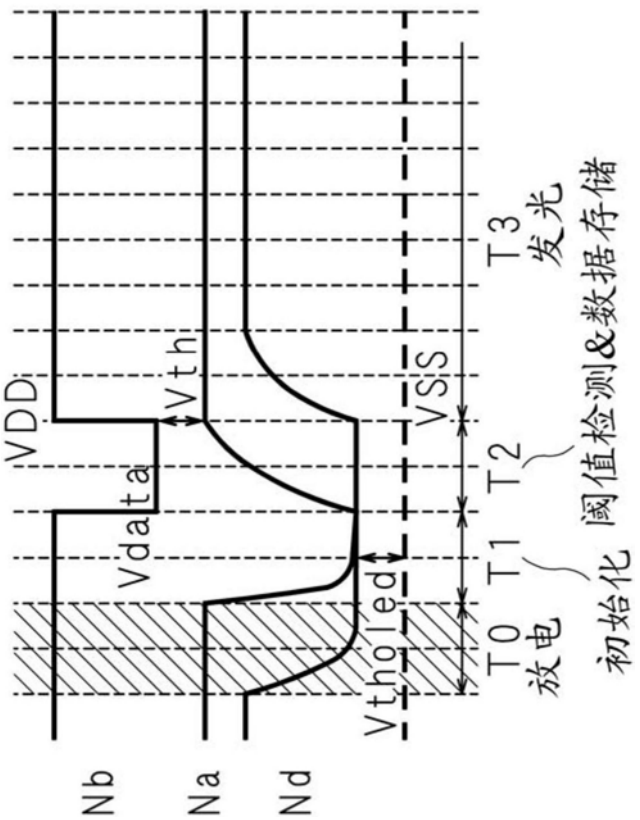


图5C

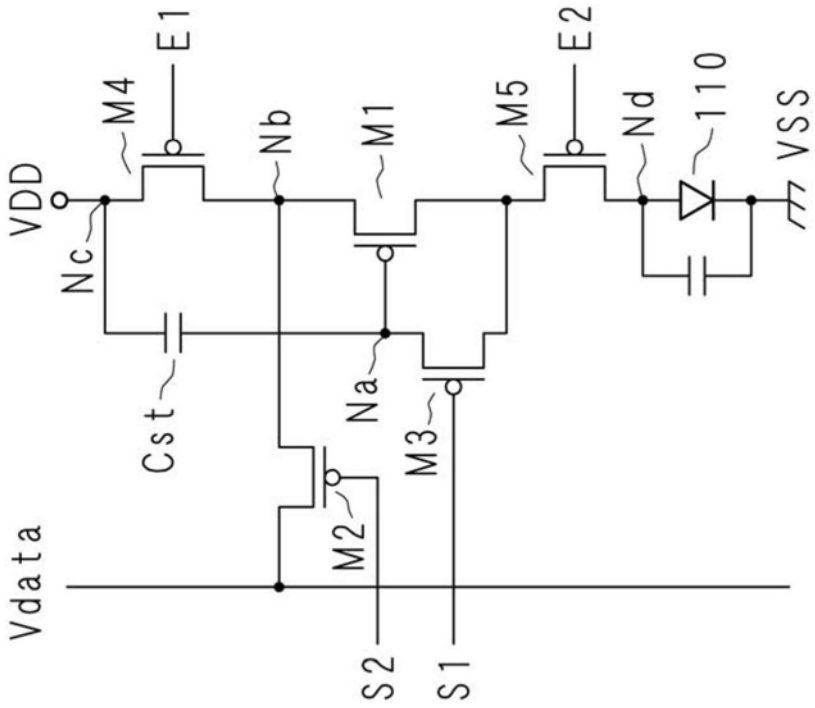


图6A

开关（信号）	初始化
M3（S1）	接通
M2（S2）	断开
M4（E1）	断开
M5（E2）	接通

图6B

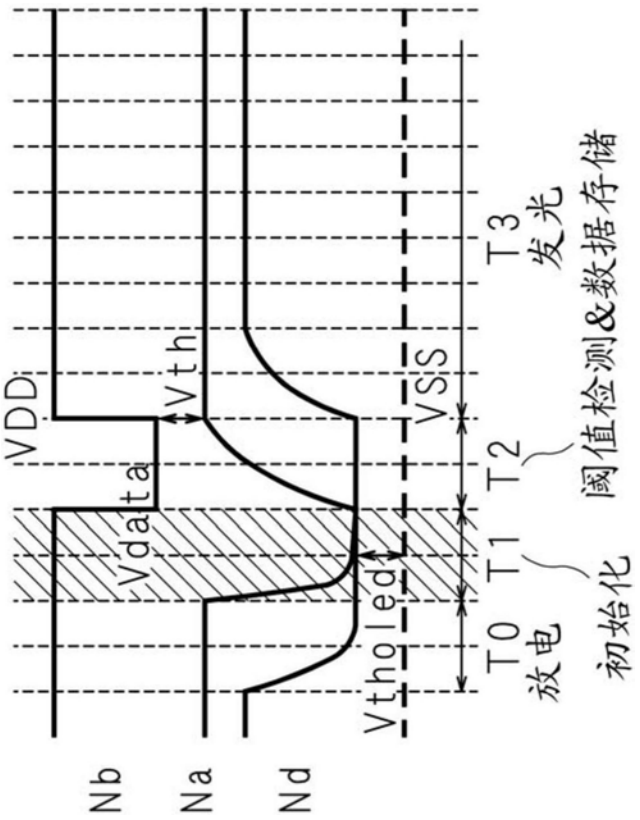

VDD
Vdata
Vth
Vtholed
VSS
Nb
Na
Nd
T0
放电
T1
初始化
T2
阈值检测&数据存储
T3
发光

图6C

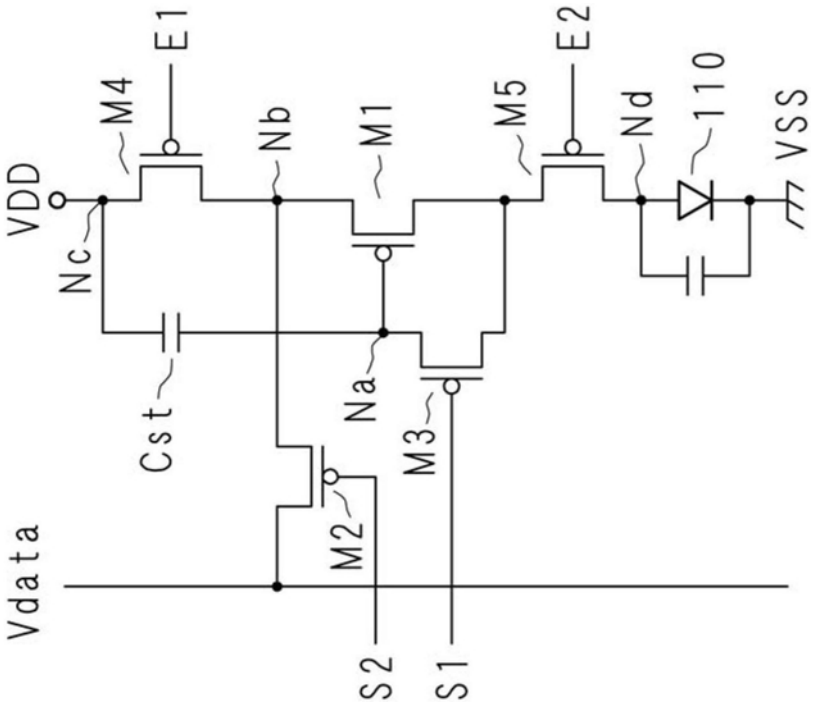

VDD
Nc
M4
E1
Nb
M1
M5
E2
Nd
110
VSS
Cst
Na
M3
M2
Vdata
S2
S1

图7A

开关（信号）	阈值检测&数据存储
M3（S1）	接通
M2（S2）	接通
M4（E1）	断开
M5（E2）	断开

图7B

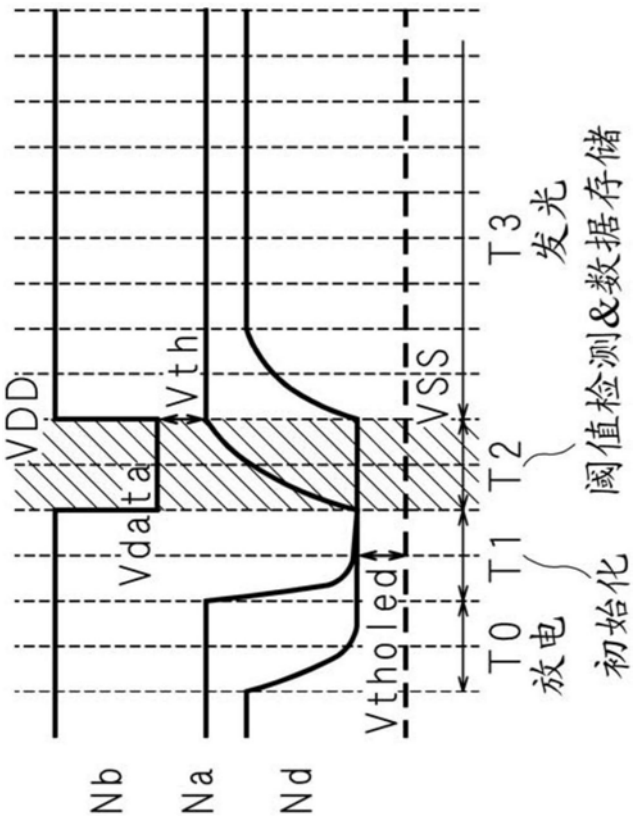


图7C

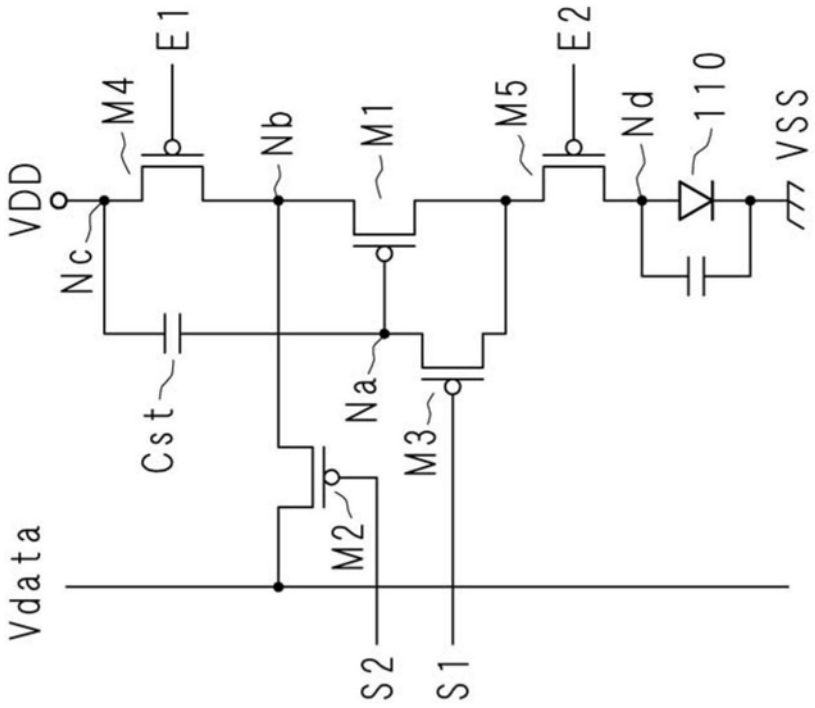


图8A

开关（信号）	发光
M3 (S1)	断开
M2 (S2)	断开
M4 (E1)	接通
M5 (E2)	接通

图8B

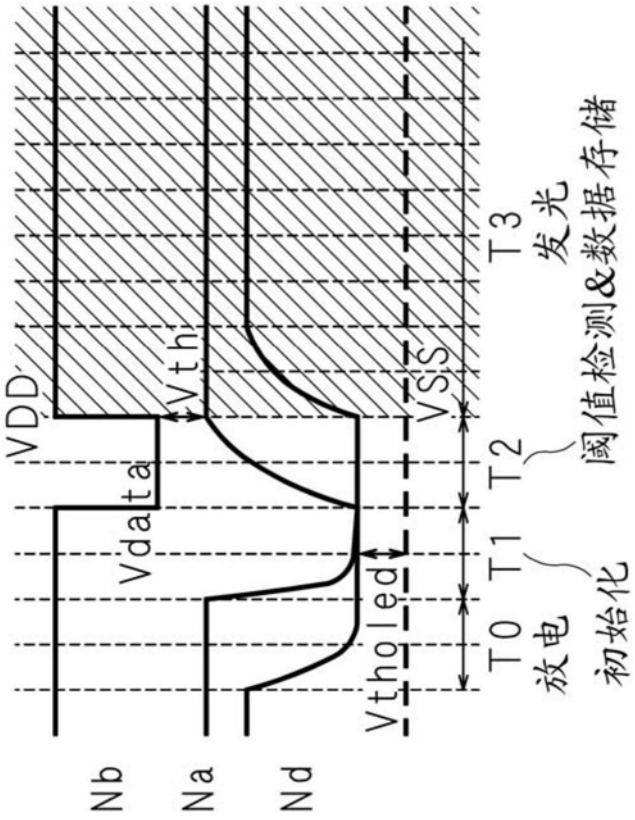

VDD
Vdata
Vth
Vtholed
VSS
Nb
Na
Nd
T0
T1
T2
T3
放电
初始化
阈值检测&数据存储
发光

图8C

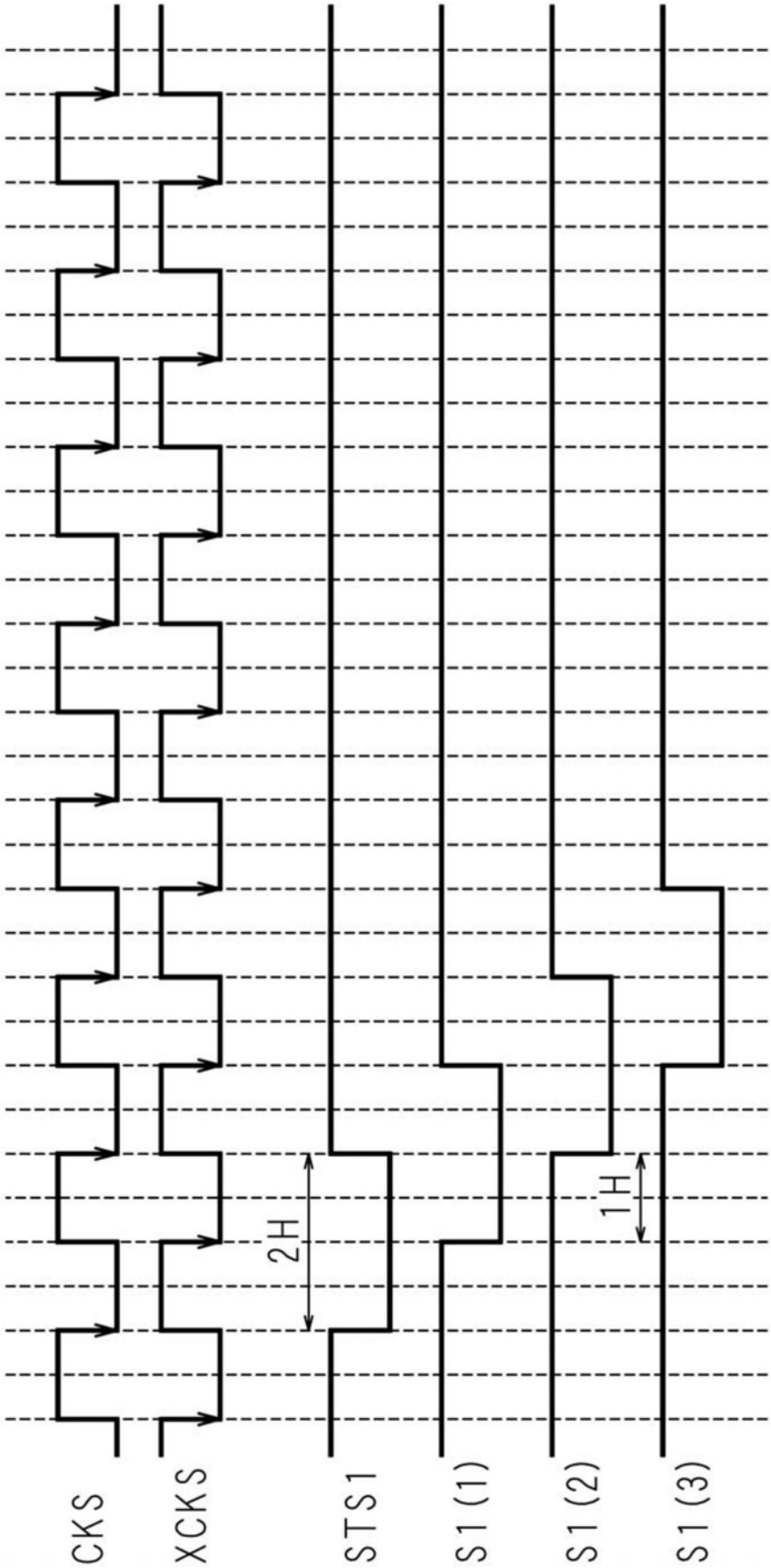


图9

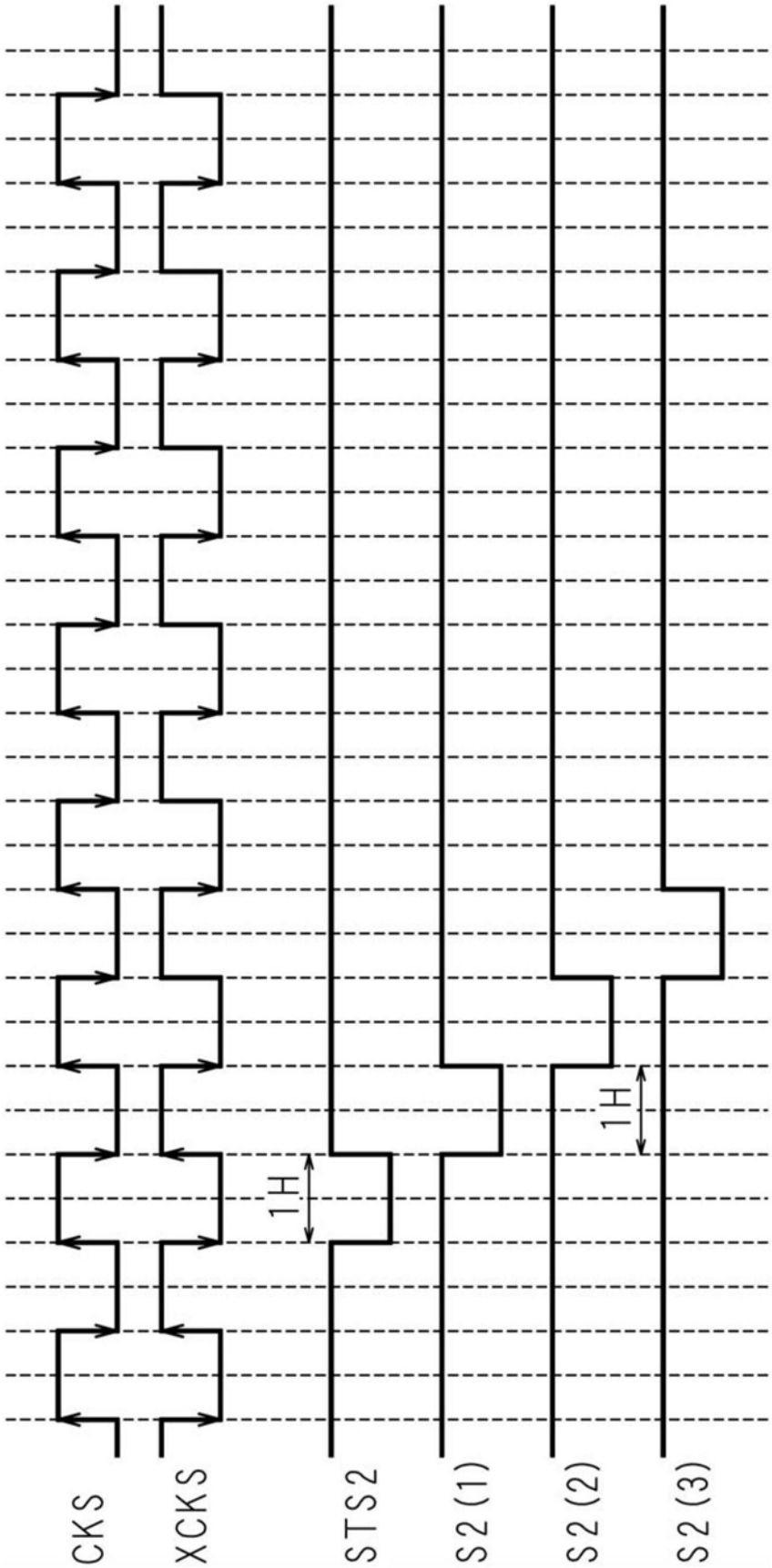


图10

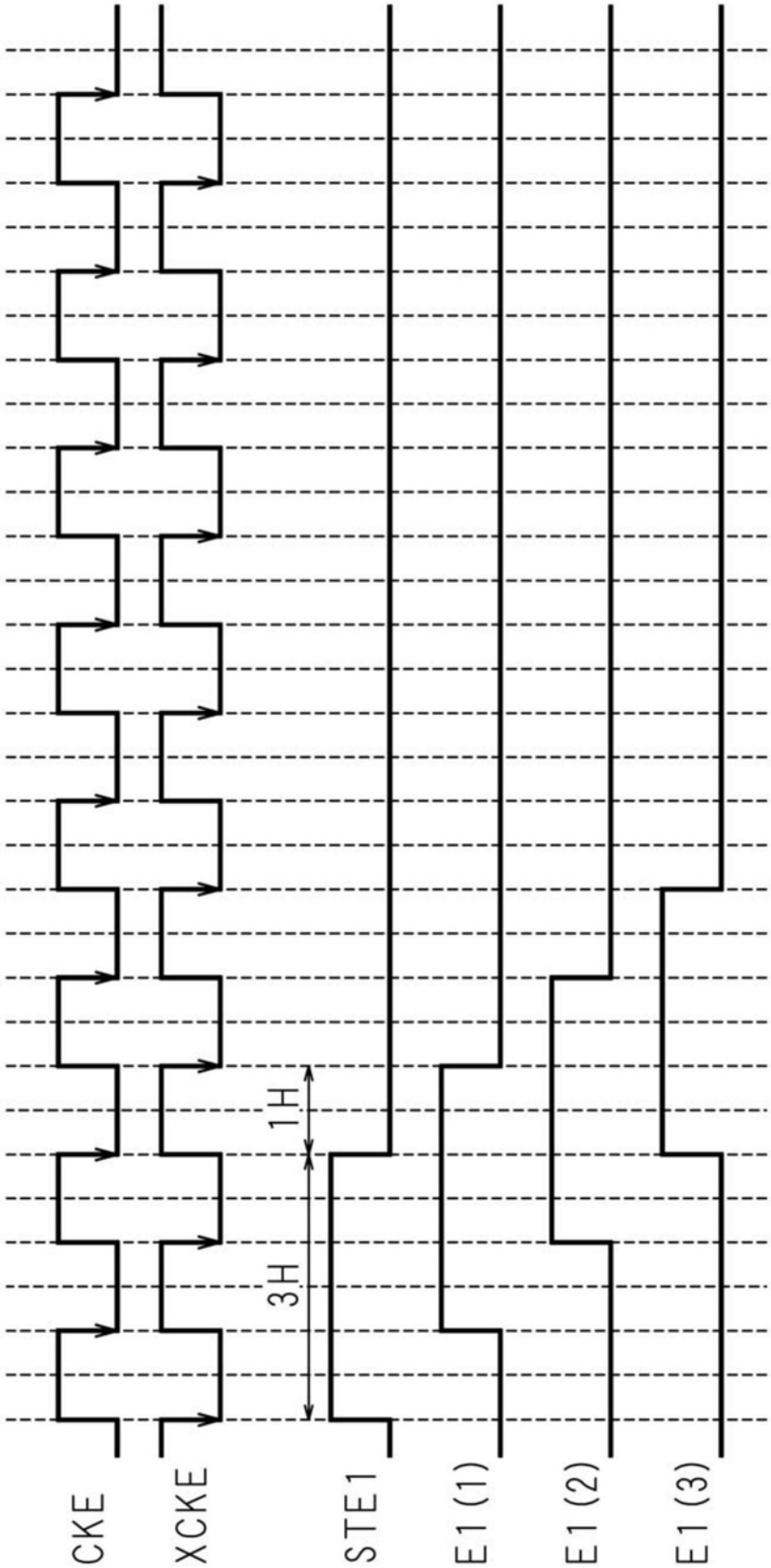


图11

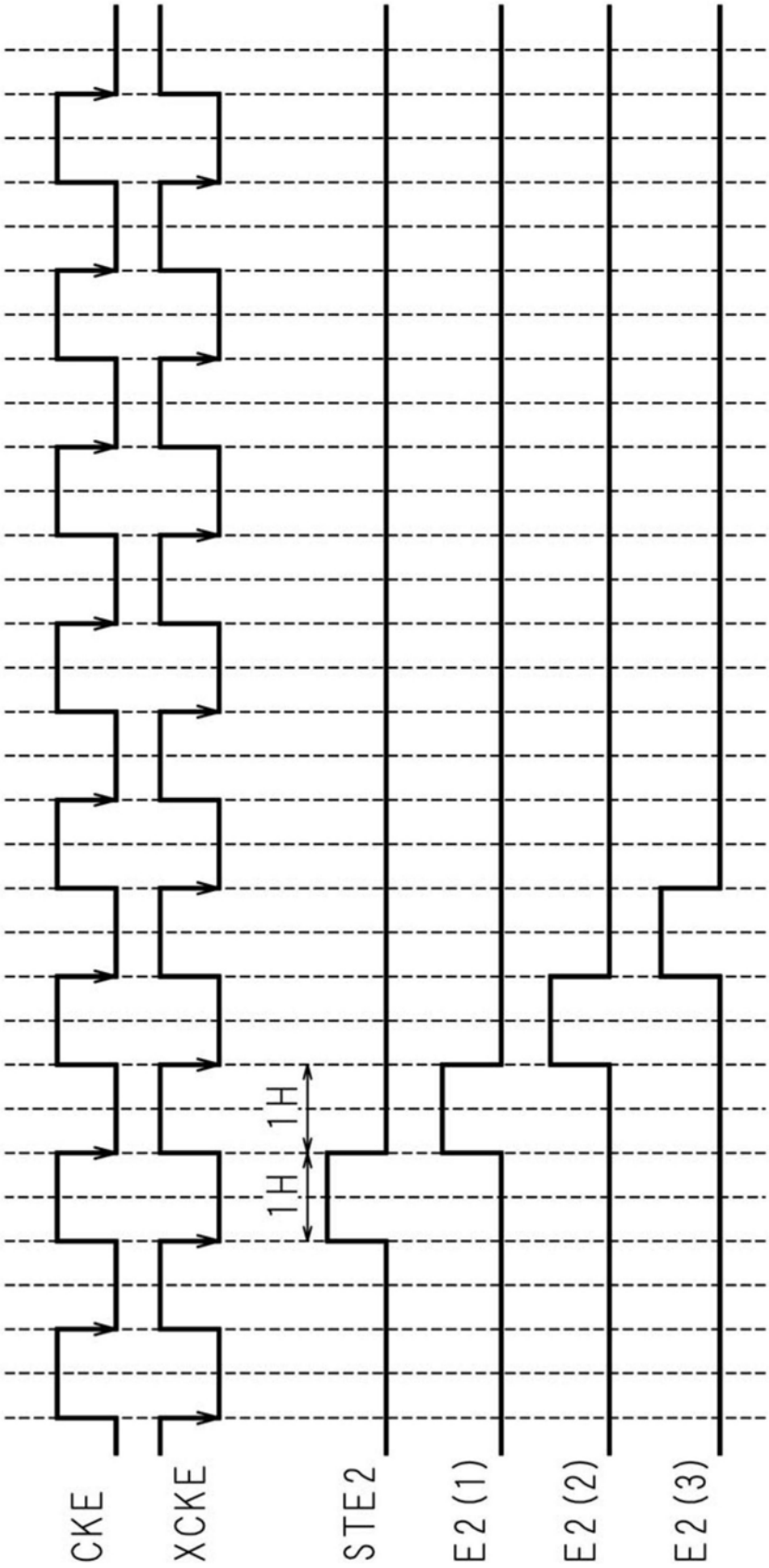


图12

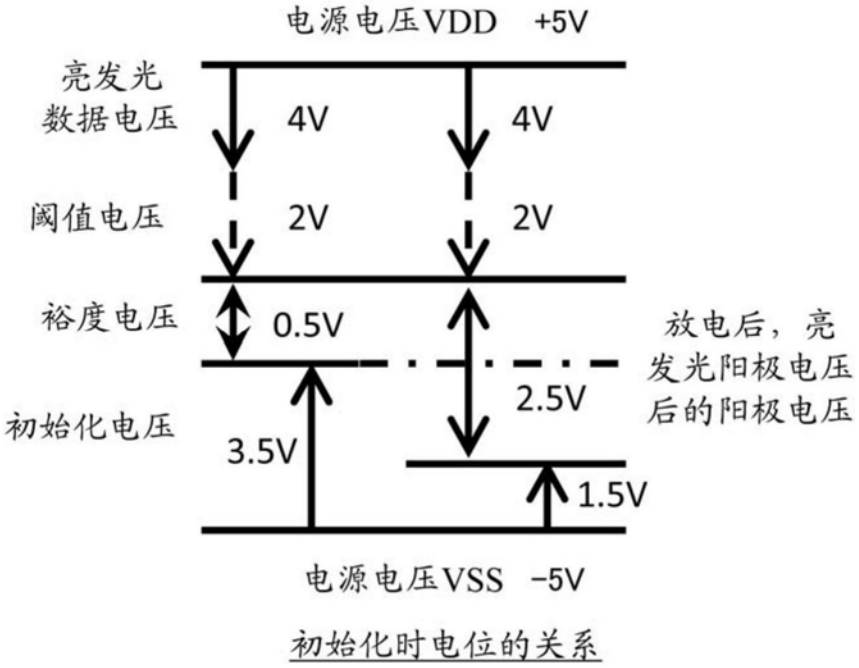

电源电压VDD +5V
亮发光
数据电压
4V
4V
阈值电压
2V
2V
裕度电压
0.5V
放电后，亮
发光阳极电压
后的阳极电压
2.5V
初始化电压
3.5V
1.5V
电源电压VSS -5V
初始化时电位的关系

图13

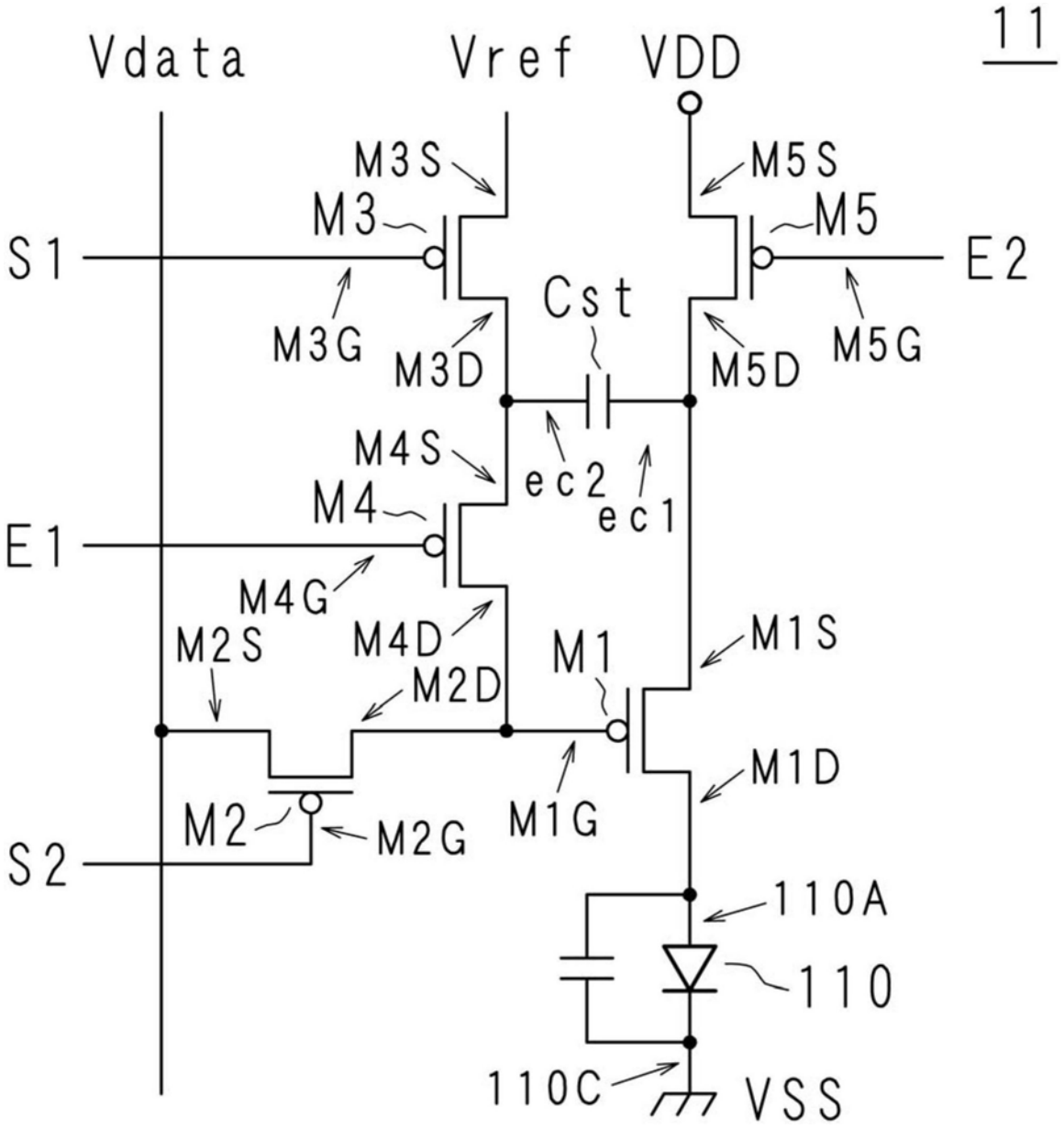

11
Vdata
Vref
VDD
M3S
M5S
M3
M5
S1
E2
Cst
M3G
M3D
M5D
M5G
M4S
ec2
ec1
M4
E1
M4G
M4D
M2S
M1
M1S
M2D
M1D
M2
M2G
M1G
S2
110A
110
110C
VSS

图14

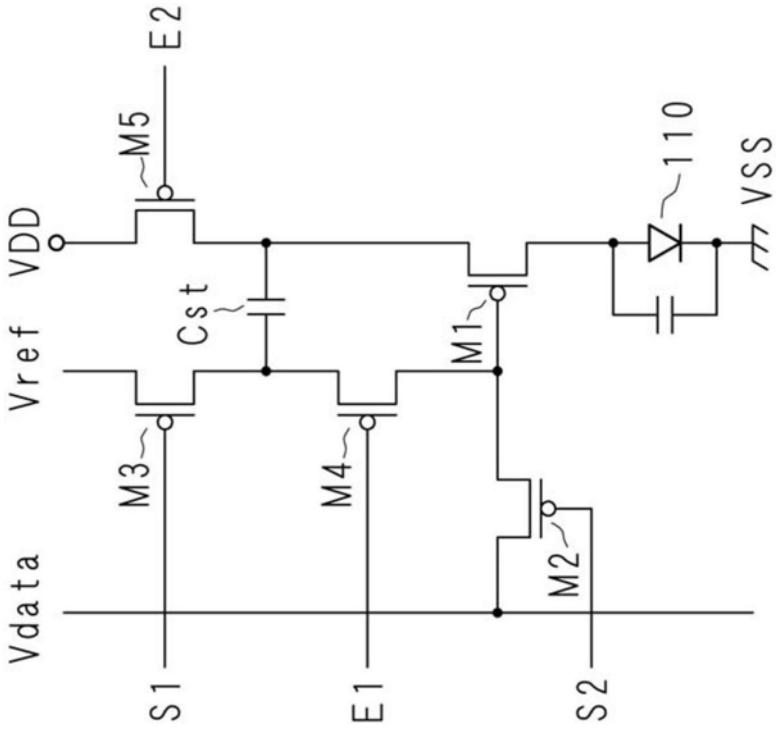


图15A

开关（信号）	放电	初始化	阈值检测&数据存储	发光
M3（S1）	断开	接通	接通	断开
M2（S2）	断开	断开	接通	断开
M4（E1）	断开	断开	断开	接通
M5（E2）	接通	接通	断开	接通

图15B

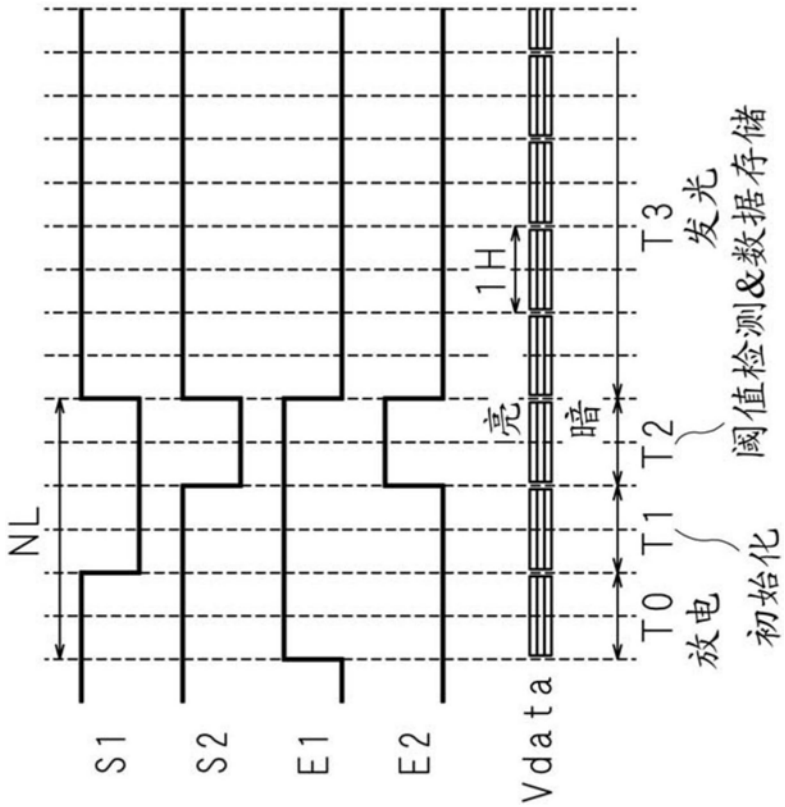


图15C

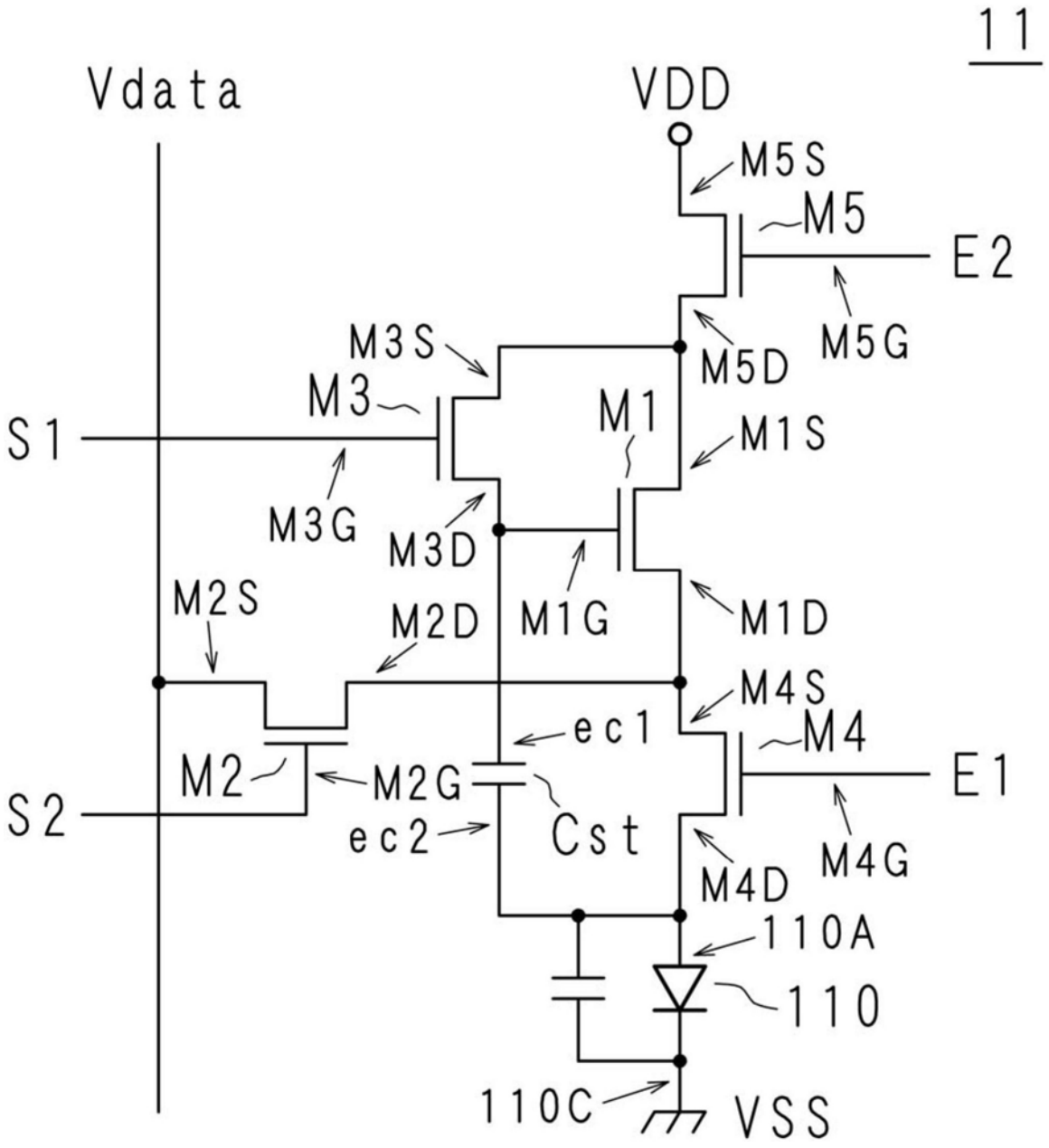

11
Vdata
VDD
M5S
M5
E2
M5G
M5D
M3S
M3
M1
M1S
S1
M3G
M3D
M1G
M1D
M2S
M2D
M4S
ec1
M4
M2
M2G
E1
S2
ec2
Cst
M4G
M4D
110A
110
110C
VSS

图16

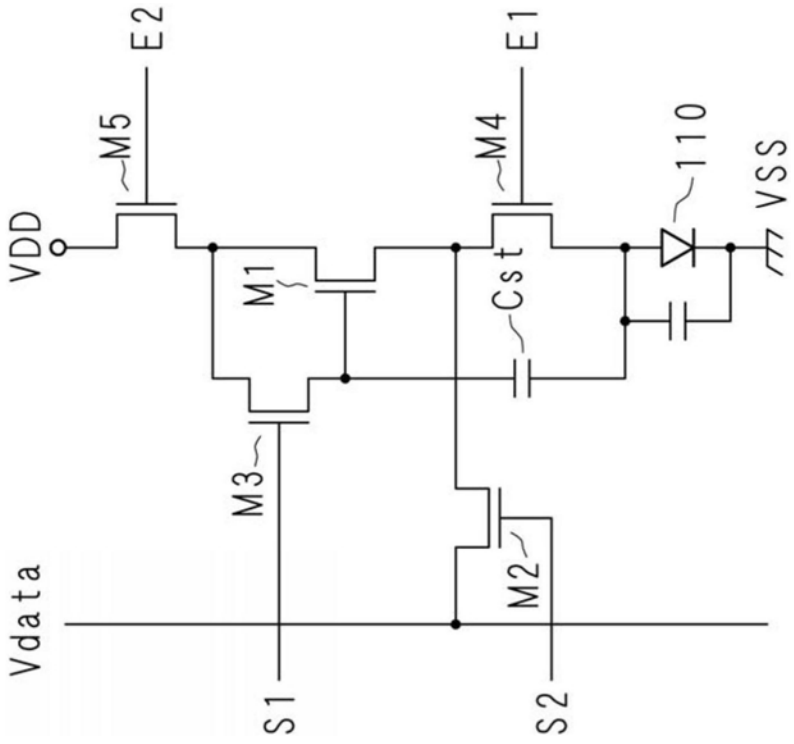


图17A

开关（信号）	放电	初始化	阈值检测&数据存储	发光
M3（S1）	断开	接通	接通	断开
M2（S2）	断开	断开	接通	断开
M4（E1）	断开	断开	断开	接通
M5（E2）	接通	接通	断开	接通

图17B

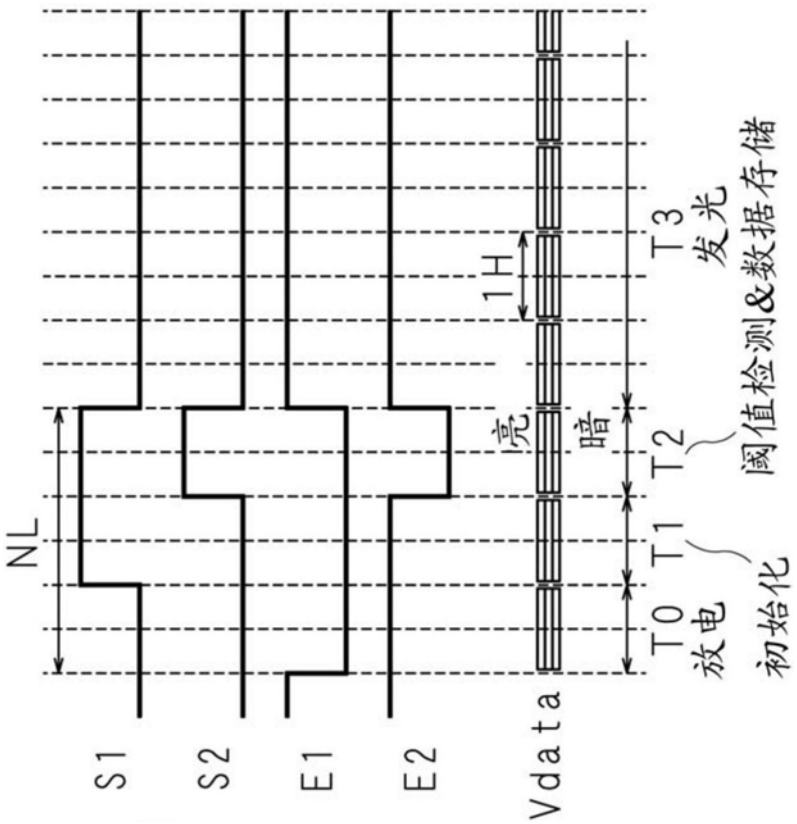


图17C

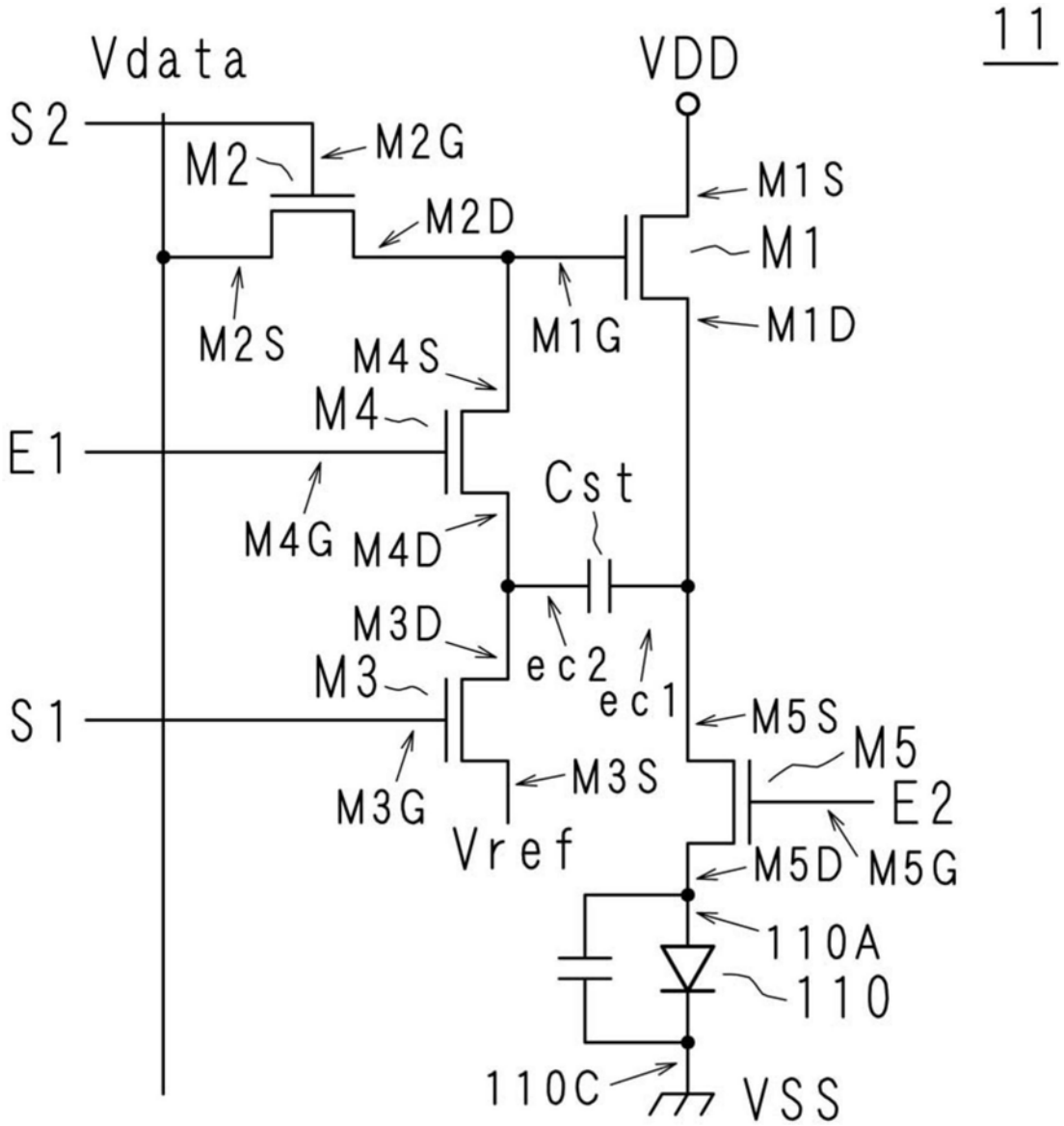

11
Vdata
VDD
S2
M2
M2G
M2D
M1S
M1
M2S
M1G
M1D
M4S
M4
E1
Cst
M4G
M4D
M3D
ec2
ec1
M3
S1
M5S
M5
M3S
E2
M3G
Vref
M5D
M5G
110A
110
110C
VSS

图18

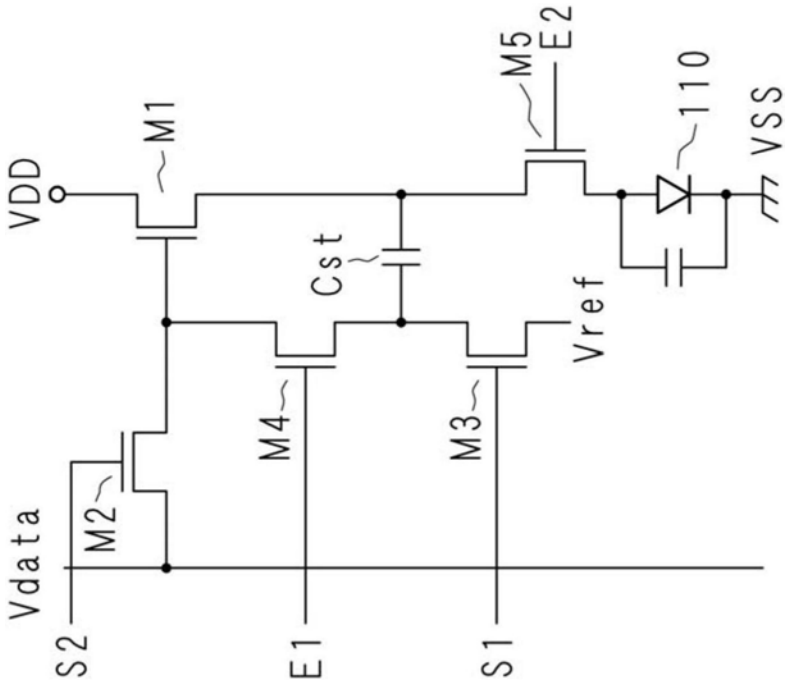


图19A

开关（信号）	放电	初始化	阈值检测&数据存储	发光
M3（S1）	断开	接通	接通	断开
M2（S2）	断开	断开	接通	断开
M4（E1）	断开	断开	断开	接通
M5（E2）	接通	接通	断开	接通

图19B

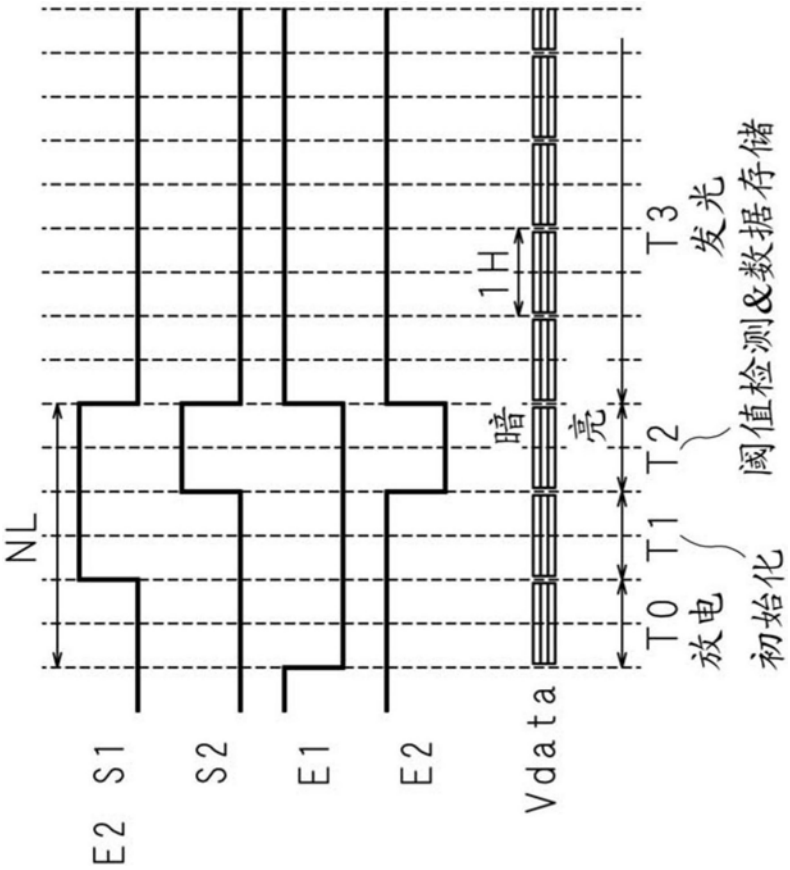
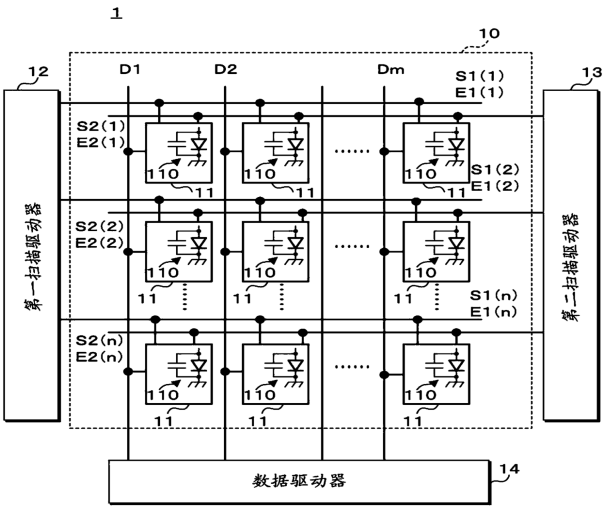


图19C

专利名称(译)	显示装置		
公开(公告)号	CN107689211A	公开(公告)日	2018-02-13
申请号	CN201710656989.5	申请日	2017-08-03
[标]发明人	野中义弘 柳濑慈郎 高取宪一		
发明人	野中义弘 柳濑慈郎 高取宪一		
IPC分类号	G09G3/3225		
CPC分类号	G09G3/3225 H01L51/102 H01L51/5206 H01L27/105 H01L51/05		
代理人(译)	黄志华 何月华		
优先权	2016155047 2016-08-05 JP 2017074731 2017-04-04 JP		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供补偿驱动晶体管阈值以实现高精度结构的显示装置。该显示装置包括：发光元件，其包括第一电极、第二电极、以及设置在所述第一电极和所述第二电极之间的有机发光层；像素电路，其包括电容器和使与所述电容器的电压相对应的电流流入所述发光元件的驱动晶体管。像素电路在将电容器连接到第一电极的同时停止将电流供给至向发光元件。