



(43)申请公布日 2020.06.05

G09G 3/3258(2016.01)

1. 一种像素电路,包括:

一第一晶体管,具有接收一系统高电压的一第一端、一第二端、及接收一发光信号的一控制端;

一第二晶体管,具有耦接该第一晶体管的该第二端的一第一端、接收一数据电压的一第二端及接收一第一扫描信号的一控制端;

一第三晶体管,具有耦接该第一晶体管的该第二端的一第一端、一第二端及一控制端;

一第一电容,具有接收该系统高电压的一第一端及耦接该第三晶体管的该控制端的一第二端;

一第四晶体管,具有耦接该第二晶体管的该控制端的一第一端、耦接该第二晶体管的该第二端的一第二端及接收一第二扫描信号的一控制端;

一第五晶体管,具有耦接该第二晶体管的该第二端的一第一端、接收一系统低电压的一第二端及接收一第三扫描信号的一控制端;

一第六晶体管,具有耦接该第三晶体管的该第二端的一第一端、一第二端及接收该发光信号的一控制端;

一有机发光二极管,具有耦接该第三晶体管的该第二端的一阳极及接收一系统低电压的一阴极;以及

一漏电流平衡电路,耦接该第三晶体管的该第一端、该第三晶体管的该控制端及该有机发光二极管的该阳极,且接收该第二扫描信号及第三扫描信号,以在一发光期间提供流向该第三晶体管的该控制端的多个漏电流。

2. 如权利要求1所述的像素电路,其中该漏电流平衡电路包括:

一第七晶体管,具有耦接该第一电容的该第二端的一第一端、耦接该第一晶体管的该第二端的一第二端及接收该第三扫描信号的一控制端;

一第八晶体管,具有耦接该第三晶体管的该控制端的一第一端、一第二端及接收该第二扫描信号的一控制端;以及

一第二电容,具有耦接该第八晶体管的该第二端的一第一端及耦接有机发光二极管的该阳极的一第二端。

3. 如权利要求2所述的像素电路,其中该第一晶体管、该第二晶体管、该第三晶体管、该第四晶体管、该第五晶体管、该第六晶体管、该第七晶体管及该第八晶体管分别为低温多晶硅晶体管。

4. 如权利要求2所述的像素电路,其中该第三扫描信号致能于一重置期间,该第一扫描信号致能于一写入期间,该第二扫描信号致能于该重置期间及该写入期间,并且该发光信号致能于该发光期间。

5. 如权利要求4所述的像素电路,其中该重置期间早于该写入期间之前,且该写入期间早于该发光期间。

6. 如权利要求4所述的像素电路,其中该第二扫描信号的致能期间大于等于该第一扫描信号的致能期间与该第三扫描信号的致能期间的总和。

7. 如权利要求1所述的像素电路,还包括:

一第九晶体管,具有耦接有机发光二极管的该阳极的一第一端、接收该系统低电压的一第二端及接收该第二扫描信号的一控制端。

## 像素电路

### 技术领域

[0001] 本发明涉及一种像素电路,且特别涉及一种自发光显示面板的像素电路。

### 背景技术

[0002] 在显示面板中,通过面板工艺所形成的晶体管会有漏电流的产生,导致电容中电荷的流失比预期的快,影响像素电路中的发光元件所产生的亮度。因此,需要一种新颖的像素电路来改善或抑制漏电流的影响。

### 发明内容

[0003] 本发明提供一种像素电路,通过产生流入的漏电流来对流出的漏电流进行补偿,借此改善或抑制漏电流对亮度显示的影响。

[0004] 本发明的像素电路,包括一第一晶体管、一第二晶体管、一第三晶体管、一第四晶体管、一第五晶体管、一第六晶体管、一有机发光二极管、一第一电容及一漏电流平衡电路。第一晶体管具有接收一系统高电压的一第一端、一第二端、及接收一发光信号的一控制端。第二晶体管具有耦接第一晶体管的第二端的一第一端、接收一数据电压的一第二端及接收一第一扫描信号的一控制端。第三晶体管具有耦接第一晶体管的第二端的一第一端、一第二端及一控制端。第一电容具有接收系统高电压的一第一端及耦接第三晶体管的控制端的一第二端。第四晶体管具有耦接第二晶体管的控制端的一第一端、耦接第二晶体管的第二端的一第二端及接收一第二扫描信号的一控制端。第五晶体管具有耦接第二晶体管的第二端的一第一端、接收一系统低电压的一第二端及接收一第三扫描信号的一控制端。第六晶体管具有耦接第三晶体管的第二端的一第一端、一第二端及接收发光信号的一控制端。有机发光二极管具有耦接第三晶体管的第二端的一阳极及接收一系统低电压的一阴极。漏电流平衡电路耦接第三晶体管的第一端、第三晶体管的控制端及有机发光二极管的阳极,且接收第二扫描信号及第三扫描信号,以在一发光期间提供流向第三晶体管的控制端的多个漏电流。

[0005] 基于上述,本发明实施例的像素电路,通过漏电流平衡电路产生流入第三晶体管的控制端的漏电流来对第四晶体管的漏电流进行补偿,借此改善或抑制漏电流对亮度显示的影响。

[0006] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合说明书附图作详细说明如下。

### 附图说明

[0007] 图1为依据本发明一实施例的像素电路的电路示意图。

[0008] 图2为依据本发明一实施例的像素电路的驱动波形示意图。

[0009] 附图标记说明:

[0010] 100:像素电路

- [0011] 110:漏电流平衡电路
- [0012] A~E:节点
- [0013] C1:第一电容
- [0014] C2:第二电容
- [0015] EM[n]:发光信号
- [0016] OLED:有机发光二极管
- [0017] OVDD:系统高电压
- [0018] OVSS:系统低电压
- [0019] PEM:发光期间
- [0020] PRT:重置期间
- [0021] PWT:写入期间
- [0022] S1[n]:第三扫描信号
- [0023] S1[n+1]:第一扫描信号
- [0024] S2[n]:第二扫描信号
- [0025] T1:第一晶体管
- [0026] T2:第二晶体管
- [0027] T3:第三晶体管
- [0028] T4:第四晶体管
- [0029] T5:第五晶体管
- [0030] T6:第六晶体管
- [0031] T7:第七晶体管
- [0032] T8:第八晶体管
- [0033] T9:第九晶体管
- [0034] V<sub>DATA</sub>:数据电压
- [0035] V<sub>GH</sub>:栅极高电压
- [0036] V<sub>GL</sub>:栅极低电压

### 具体实施方式

[0037] 除非另有定义,本文使用的所有术语(包括技术和科学术语)具有与本发明所属领域的普通技术人员通常理解的相同的含义。将进一步理解的是,诸如在通常使用的字典中定义的那些术语应当被解释为具有与它们在相关技术和本发明的上下文中的含义一致的含义,并且将不被解释为理想化的或过度正式的意义,除非本文中明确地这样定义。

[0038] 应当理解,尽管术语“第一”、“第二”、“第三”等在本文中可以用于描述各种元件、部件、区域、层及/或部分,但是这些元件、部件、区域、及/或部分不应受这些术语的限制。这些术语仅用于将一个元件、部件、区域、层或部分与另一个元件、部件、区域、层或部分区分开。因此,下面讨论的“第一元件”、“部件”、“区域”、“层”或“部分”可以被称为第二元件、部件、区域、层或部分而不脱离本文的教导。

[0039] 这里使用的术语仅仅是为了描述特定实施例的目的,而不是限制性的。如本文所使用的,除非内容清楚地指示,否则单数形式“一”、“一个”和“该”旨在包括多个形式,包括

“至少一个”。“或”表示“及/或”。如本文所使用的，术语“及/或”包括一个或多个相关所列项目的任何和所有组合。还应当理解，当在本说明书中使用时，术语“包括”及/或“包括”指定所述特征、区域、整体、步骤、操作、元件的存在及/或部件，但不排除一个或多个其它特征、区域整体、步骤、操作、元件、部件及/或其组合的存在或添加。

[0040] 图1为依据本发明一实施例的像素电路的电路示意图。请参照图1，在本实施例中，像素电路100包括第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8、第九晶体管T9、有机发光二极管OLED、第一电容C1及第二电容C2，其中第八晶体管T8、第九晶体管T9及第二电容C2可视为漏电流平衡电路110，并且第一晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8及第九晶体管T9可以分别是低温多晶硅(LTPS)晶体管。

[0041] 第一晶体管T1具有接收系统高电压OVDD的第一端、第二端、及接收发光信号EM[n]的控制端。第二晶体管T2具有耦接第一晶体管T1的第二端的第一端、接收数据电压V<sub>DATA</sub>的第二端及接收第一扫描信号S1[n+1]的控制端。第三晶体管T3具有耦接第一晶体管T1的第二端的第一端、第二端及控制端。第一电容C1具有接收系统高电压OVDD的第一端及耦接第三晶体管T3的控制端的第二端。

[0042] 第四晶体管T4具有耦接第二晶体管T2的控制端的第一端、耦接第二晶体管T2的第二端的第二端及接收第二扫描信号S2[n]的控制端。第五晶体管T5具有耦接第二晶体管T2的第二端的第一端、接收系统低电压0VSS的第二端及接收第三扫描信号S1[n]的控制端。第六晶体管T6具有耦接第三晶体管T3的第二端的第一端、第二端及接收发光信号EM[n]的控制端。有机发光二极管OLED具有耦接第三晶体管T3的第二端的阳极及接收系统低电压0VSS的阴极。

[0043] 第七晶体管T7具有耦接第一电容C1的第二端的第一端、耦接第一晶体管T1的第二端的第二端及接收第三扫描信号S1[n]的控制端。第八晶体管T8具有耦接第三晶体管T3的控制端的第一端、第二端及接收第二扫描信号S2[n]的控制端。第二电容C2具有耦接第八晶体管T8的第二端的第一端及耦接有机发光二极管OLED的阳极的第二端。第九晶体管T9具有耦接有机发光二极管OLED的阳极的第一端、接收系统低电压0VSS的第二端及接收第二扫描信号S2[n]的控制端。

[0044] 在本实施例中，漏电流平衡电路110耦接第三晶体管T3的第一端(即节点B)、第三晶体管T3的控制端(即节点A)及有机发光二极管OLED的阳极(即节点E)，且接收第二扫描信号S2[n]及第三扫描信号S1[n]，以在发光期间提供流向第三晶体管T3的控制端的多个漏电流。因此，可补偿第四晶体管T4在发光期间流向第三晶体管T3的第二端(即节点C)的漏电流，以抑制/消除第四晶体管T4的漏电流对节点A(亦即第一电容C1的第二端)的影响。

[0045] 图2为依据本发明一实施例的像素电路的驱动波形示意图。请参照图1及图2，在本实施例中，仅示驱动像素电路100的重置期间PRT、写入期间PWT及发光期间PEM，但本发明实施例不以此为限，其中图2所示仅为单一画面期间中的部分期间的驱动波形。并且，在本实施例中，重置期间PRT、写入期间PWT及发光期间PEM为按序配置，亦即重置期间PRT早于写入期间PWT之前，且写入期间PWT早于发光期间PEM。

[0046] 在重置期间PRT中，第二扫描信号S2[n]及第三扫描信号S1[n]致能(例如为栅极低

电压 $V_{GL}$ ),第一扫描信号 $S1[n+1]$ 及发光信号 $EM[n]$ 禁能(例如为栅极高电压 $V_{GH}$ )。此时,第三晶体管 $T3$ 、第四晶体管 $T4$ 、第五晶体管 $T5$ 、第七晶体管 $T7$ 、第八晶体管 $T8$ 及第九晶体管 $T9$ 导通,第一晶体管 $T1$ 、第二晶体管 $T2$ 及第六晶体管 $T6$ 截止,第三晶体管 $T3$ 的导通状态取决于节点 $A$ 的电压。系统低电压 $0VSS$ 经由导通的第四晶体管 $T4$ 、第五晶体管 $T5$ 传送至节点 $A$ 及 $C$ ,以改善晶体管的迟滞效应。并且,经由导通的第七晶体管 $T7$ 及第八晶体管 $T8$ ,节点 $B$ 及 $D$ 会被重置为系统低电压 $0VSS$ 。有机发光二极管 $OLED$ 的阳极端(即节点 $E$ )也被重置为系统低电压 $0VSS$ ,以获得更高的画面对比度。

[0047] 在写入期间 $PWT$ 中,第一扫描信号 $S1[n+1]$ 及第二扫描信号 $S2[n]$ 致能(例如为栅极低电压 $V_{GL}$ ),第三扫描信号 $S1[n]$ 及发光信号 $EM[n]$ 禁能(例如为栅极高电压 $V_{GH}$ )。此时,第二晶体管 $T2$ 、第三晶体管 $T3$ 、第四晶体管 $T4$ 、第八晶体管 $T8$ 及第九晶体管 $T9$ 导通,第一晶体管 $T1$ 、第五晶体管 $T5$ 、第六晶体管 $T6$ 及第七晶体管 $T7$ 截止,第三晶体管 $T3$ 的导通状态取决于节点 $A$ 的电压。节点 $B$ 的电压等于数据电压 $V_{DATA}$ ,节点 $E$ 的电压等于系统低电压 $0VSS$ ,节点 $A$ 、 $C$ 、 $D$ 的电压等于数据电压 $V_{DATA}$ -第三晶体管 $T3$ 的临界电压。通过将第三晶体管 $T3$ 的控制端的电压补偿到数据电压 $V_{DATA}$ 减去第三晶体管 $T3$ 的临界电压,可提高画面显示的均匀度。

[0048] 在发光期间 $PEM$ 中,发光信号 $EM[n]$ 致能(例如为栅极低电压 $V_{GL}$ ),第一扫描信号 $S1[n+1]$ 、第二扫描信号 $S2[n]$ 及第三扫描信号 $S1[n]$ 禁能(例如为栅极高电压 $V_{GH}$ )。此时,第一晶体管 $T1$ 、第三晶体管 $T3$ 及第六晶体管 $T6$ 导通,第二晶体管 $T2$ 、第四晶体管 $T4$ 、第五晶体管 $T5$ 、第七晶体管 $T7$ 、第八晶体管 $T8$ 及第九晶体管 $T9$ 截止,第三晶体管 $T3$ 的导通状态取决于节点 $A$ 的电压。节点 $A$ 的电压等于数据电压 $V_{DATA}$ -第三晶体管 $T3$ 的临界电压,节点 $B$ 的电压等于系统高电压 $0VDD$ ,节点 $C$ 、 $E$ 的电压等于有机发光二极管 $OLED$ 的发光临界电压,节点 $D$ 的电压等于数据电压 $V_{DATA}$ -第三晶体管 $T3$ 的临界电压-系统低电压 $0VSS$ +有机发光二极管 $OLED$ 的发光临界电压。

[0049] 在发光期间 $PEM$ 中,节点 $D$ 的电压通过第二电容 $C2$ 的耦合而提高。并且,截止的第四晶体管 $T4$ 产生流向节点 $C$ 的漏电流,截止的第七晶体管 $T7$ 及第八晶体管 $T8$ 产生流向节点 $A$ 的漏电流,借此可补偿第四晶体管 $T4$ 的漏电流,以改善或抑制漏电流对亮度显示的影响。详细来说,当节点 $A$ 的电压下降,第七晶体管 $T7$ 及第八晶体管 $T8$ 的漏电压会因为压差而上升,并且第四晶体管 $T4$ 的漏电流会因为压差而下降,因此可拉提节点 $A$ 的电压;当节点 $A$ 的电压上升,第七晶体管 $T7$ 及第八晶体管 $T8$ 的漏电压会因为压差而下降,并且第四晶体管 $T4$ 的漏电流会因为压差而上升,因此可拉低节点 $A$ 的电压。因此,可使节点 $A$ 的电压大致维持于数据电压 $V_{DATA}$ -第三晶体管 $T3$ 的临界电压。

[0050] 在本实施例中,第二扫描信号 $S2[n]$ 的致能期间对齐第一扫描信号 $S1[n+1]$ 的致能期间与第三扫描信号 $S1[n]$ 的致能期间,并且第二扫描信号 $S2[n]$ 的致能期间等于第一扫描信号 $S1[n+1]$ 的致能期间与第三扫描信号 $S1[n]$ 的致能期间的总和。但在其他实施例中,第二扫描信号 $S2[n]$ 的致能期间可大于第一扫描信号 $S1[n+1]$ 的致能期间与第三扫描信号 $S1[n]$ 的致能期间的总和,此依据电路设计而定。

[0051] 综上所述,本发明实施例的像素电路,通过漏电流平衡电路产生流入第三晶体管的控制端的漏电流来对第四晶体管的漏电流进行补偿,借此改善或抑制漏电流对亮度显示的影响。

[0052] 虽然本发明已以实施例公开如上,然其并非用以限定本发明,任何所属技术领域

中技术人员,在不脱离本发明的构思和范围内,当可作些许的变动与润饰,故本发明的保护范围当视权利要求所界定者为准。

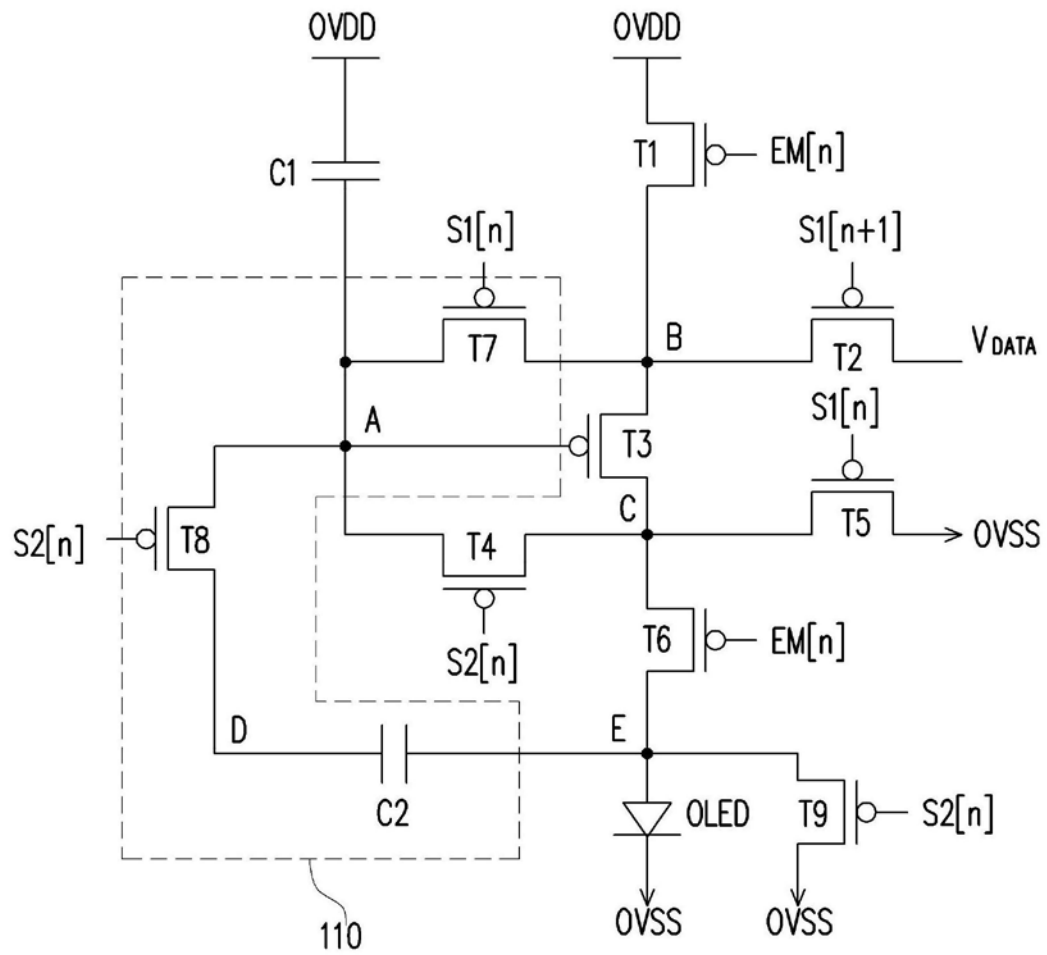
100

图1



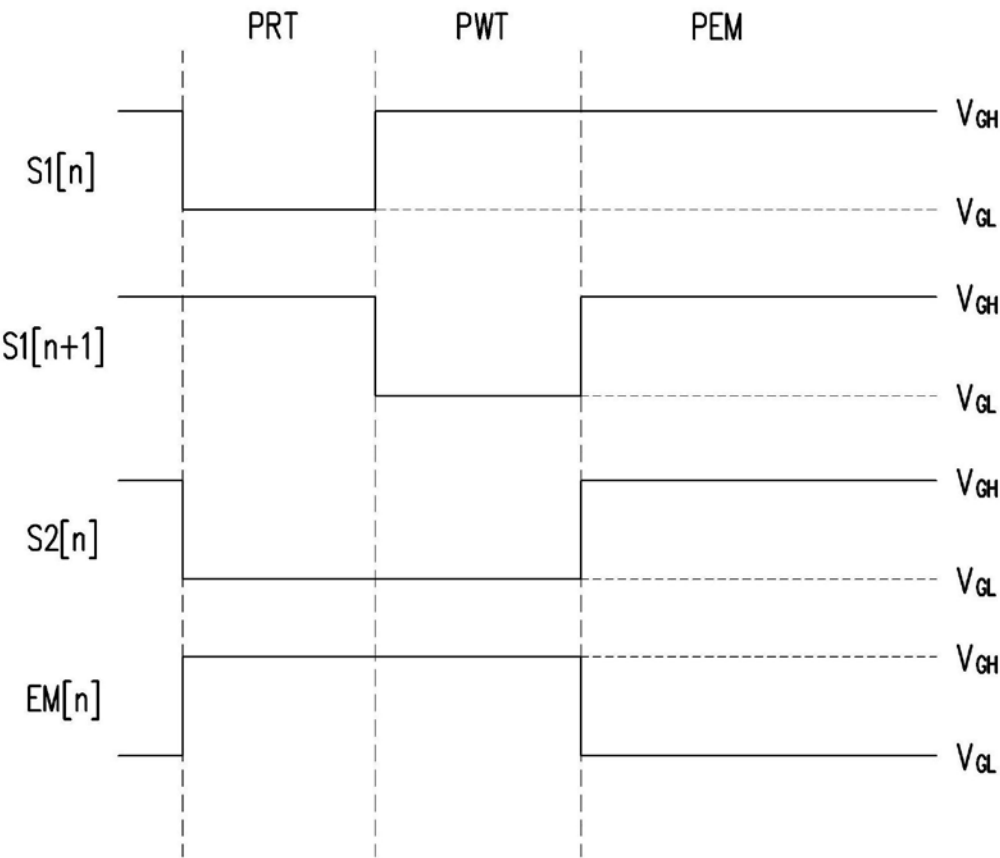


图2

专利名称(译)	像素电路		
公开(公告)号	<a href="#">CN111243528A</a>	公开(公告)日	2020-06-05
申请号	CN202010115031.7	申请日	2020-02-25
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	林志隆 张瑞宏 郑贸熏		
发明人	林志隆 张瑞宏 林捷安 郑贸熏		
IPC分类号	G09G3/3258		
代理人(译)	傅磊 黄艳		
优先权	108130532 2019-08-27 TW		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

#### 摘要(译)

一种像素电路，包括一第一晶体管、一第二晶体管、一第三晶体管、一第四晶体管、一第五晶体管、一第六晶体管、一第一电容、一有机发光二极管、及一漏电流平衡电路。第一晶体管、第三晶体管、第六晶体管及有机发光二极管串接于系统高电压与系统低电压之间。第二晶体管传送数据电压至第三晶体管。第五晶体管传送系统低电压至第三晶体管。第一电容耦接系统高电压与第三晶体管的控制端。第四晶体管耦接第三晶体管的控制端与第二端。漏电流平衡电路向第三晶体管的控制端提供多个漏电流。

