



(12)发明专利申请

(10)申请公布号 CN 109742127 A

(43)申请公布日 2019. 05. 10

(21)申请号 201910040724.1

(22)申请日 2019.01.16

(30)优先权数据

107140178 2018.11.13 TW

(71)申请人 友达光电股份有限公司

地址 中国台湾新竹市

(72)发明人 徐理智 柯聪盈 许雅婷 薛芷苓

王万仓 陈勇志 胡克龙 刘俊欣

(74)专利代理机构 隆天知识产权代理有限公司

72003

代理人 黄艳

(51)Int.Cl.

H01L 27/32(2006.01)

G09F 9/30(2006.01)

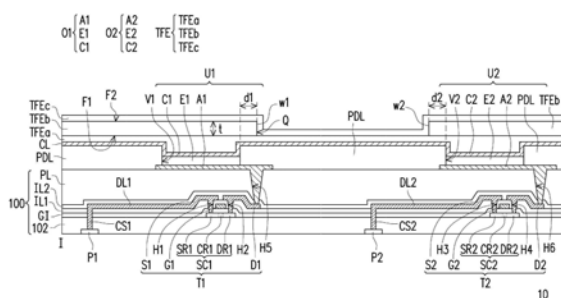
权利要求书2页 说明书13页 附图12页

(54)发明名称

像素结构

(57)摘要

一种像素结构,包括第一元件基板、相邻的第一发光元件及第二发光元件、第一无机封装层、有机封装层及第二无机封装层。第一发光元件及第二发光元件配置于第一元件基板上且与第一元件基板电性连接,其中第一发光元件包括第一发光层,且第二发光元件包括第二发光层。第一无机封装层覆盖第一发光元件及第二发光元件。有机封装层配置于第一无机封装层上,其中有机封装层具有第一开口,第一开口位于第一发光元件的第一发光层与第二发光元件的第二发光层之间。第二无机封装层配置于有机封装层上。



1. 一种像素结构,包括:

一第一元件基板;

相邻的一第一发光元件及一第二发光元件,配置于该第一元件基板上且与该第一元件基板电性连接,其中该第一发光元件包括一第一发光层,且该第二发光元件包括一第二发光层;

一第一无机封装层,覆盖该第一发光元件及该第二发光元件;

一有机封装层,配置于该第一无机封装层上,其中该有机封装层具有一第一开口,该第一开口位于该第一发光元件的该第一发光层与该第二发光元件的该第二发光层之间;以及一第二无机封装层,配置于该有机封装层上。

2. 如权利要求1所述的像素结构,其中该有机封装层具有相对设置的一第一表面及一第二表面,该第一开口贯穿该第一表面及该第二表面。

3. 如权利要求1所述的像素结构,其中该第一元件基板具有相对设置的一第三表面及一第四表面,该第一元件基板具有一第二开口,该第二开口贯穿该第三表面及该第四表面且与该第一开口重叠。

4. 如权利要求1所述的像素结构,其中该第一元件基板包括一第一主动元件及一第二主动元件,分别电性连接于该第一发光元件及该第二发光元件。

5. 如权利要求1所述的像素结构,还包括:

一第二元件基板,配置于该第一元件基板下方,其中该第一元件基板包括一第一主动元件,电性连接于该第一发光元件,该第二元件基板包括一第二主动元件,电性连接于该第二发光元件。

6. 如权利要求5所述的像素结构,其中该第二元件基板具有相对设置的一第五表面及一第六表面,该第二元件基板具有一第三开口,该第三开口贯穿该第五表面及该第六表面且与该第一开口重叠。

7. 如权利要求1所述的像素结构,其中,

该第一开口的邻近于该第一发光元件的一第一侧壁于该第一元件基板上的垂直投影与该第一发光层的边缘于该第一元件基板上的垂直投影相距一第一距离,以及该第一距离大于或等于该有机封装层的厚度。

8. 一种像素结构,包括:

一第一元件基板,具有相对设置的一第一表面及一第二表面且包括一第一开口,其中该第一开口贯穿该第一表面及该第二表面;

相邻的一第一发光元件及一第二发光元件,配置于该第一元件基板上且与该第一元件基板电性连接,其中该第一发光元件包括一第一发光层,该第二发光元件包括一第二发光层,且该第一开口位于该第一发光元件的该第一发光层与该第二发光元件的该第二发光层之间;以及

一封装结构层,覆盖该第一发光元件及该第二发光元件。

9. 如权利要求8所述的像素结构,其中该第一元件基板包括一第一主动元件及一第二主动元件,分别电性连接于该第一发光元件及该第二发光元件。

10. 如权利要求8所述的像素结构,还包括:

一第二元件基板,配置于该第一元件基板下方,其中该第一元件基板包括一第一主动

元件,电性连接于该第一发光元件,该第二元件基板包括一第二主动元件,电性连接于该第二发光元件。

像素结构

技术领域

[0001] 本发明涉及一种像素结构,且特别涉及一种应用于显示面板的像素结构。

背景技术

[0002] 随着携带式显示面板被广泛地应用,针对柔性(flexible,可挠性)显示面板的开发也越趋积极,然而目前的柔性显示面板的弯折程度仍有限。因此,如何提升显示面板的柔性,实已成目前亟欲解决的课题之一。

发明内容

[0003] 本发明的一实施方式提供一种像素结构,其具有提升的柔性。

[0004] 本发明的一实施方式的像素结构包括第一元件基板、相邻的第一发光元件及第二发光元件、第一无机封装层、有机封装层及第二无机封装层。第一发光元件及第二发光元件配置于第一元件基板上且与第一元件基板电性连接,其中第一发光元件包括第一发光层,且第二发光元件包括第二发光层。第一无机封装层覆盖第一发光元件及第二发光元件。有机封装层配置于第一无机封装层上,其中有机封装层具有第一开口,第一开口位于第一发光元件的第一发光层与第二发光元件的第二发光层之间。第二无机封装层配置于有机封装层上。

[0005] 本发明的另一实施方式的像素结构包括第一元件基板、相邻的第一发光元件及第二发光元件以及封装结构层。第一元件基板具有相对设置的第一表面及第二表面且包括第一开口,其中第一开口贯穿第一表面及第二表面。第一发光元件及第二发光元件配置于第一元件基板上且与第一元件基板电性连接,其中第一发光元件包括第一发光层,第二发光元件包括第二发光层,且第一开口位于第一发光元件的第一发光层与第二发光元件的第二发光层之间。封装结构层覆盖第一发光元件及第二发光元件。

[0006] 基于上述,在本发明的至少一实施方式的像素结构中,通过有机封装层具有位于两相邻的发光层之间的开口,或者通过元件基板具有贯穿其两表面的开口,使得像素结构具有提升的柔性。如此一来,当柔性显示面板具有像素结构时,其具有提升的弯折程度,进而增加其应用性。

[0007] 为让本发明的上述特征和优点能更明显易懂,下文特举实施方式,并配合说明书附图作详细说明如下。

附图说明

[0008] 图1是依照本发明的一实施方式的像素结构的俯视示意图。

[0009] 图2是图1的像素结构的各膜层的电路及信号路径示意图。

[0010] 图3是沿图1中剖面线I-I'的剖面示意图。

[0011] 图4A至图4E分别是本发明的其他实施方式的像素结构的俯视示意图。

[0012] 图5是依照本发明的另一实施方式的像素结构的剖面示意图。

- [0013] 图6是依照本发明的另一实施方式的像素结构的剖面示意图。
- [0014] 图7是依照本发明的另一实施方式的像素结构的俯视示意图。
- [0015] 图8是图7的像素结构的各膜层的电路及信号路径示意图。
- [0016] 图9是沿图7中剖线II-II' 的剖面示意图。
- [0017] 图10是依照本发明的另一实施方式的像素结构的剖面示意图。
- [0018] 图11是依照本发明的另一实施方式的像素结构的剖面示意图。
- [0019] 附图标记说明：
- [0020] 10、20、30、40、50、60：像素结构
- [0021] 100、200、300：元件基板
- [0022] 102、202、302：绝缘层
- [0023] A1、A2、C1、C2：电极
- [0024] ACF1、ACF2：异方性导电层
- [0025] CL：电极层
- [0026] CR1、CR2：通道区
- [0027] CS1、CS2：连接结构
- [0028] d1、d2：距离
- [0029] D1、D2：漏极
- [0030] DL1、DL2、DL3、SL、SL1、SL2：信号线
- [0031] DR1、DR2：漏极区
- [0032] E1、E2：发光层
- [0033] F1、F2、F3、F4、F5、F6、F7、F8：表面
- [0034] G1、G2：栅极
- [0035] GI、2GI、3GI：栅(闸)绝缘层
- [0036] H1、H2、H3、H4、H5、H6：接触窗
- [0037] IL1、IL2、2IL1、2IL2、3IL1、3IL2：层间绝缘层
- [0038] O1、O2、O3：发光元件
- [0039] P1、P2：接垫
- [0040] PDL：像素定义层
- [0041] PL、2PL、3PL：平坦层
- [0042] Q、R1、R2、R3、R4、R5、V1、V2、X、Y1、Y2、Y3、Y4、Y5、Y6、Y7、Y8、Y9、Z1、Z2、Z3、Z4、Z5：开口
- [0043] S1、S2：源极
- [0044] SC1、SC2：半导体层
- [0045] SR1、SR2：源极区
- [0046] t：厚度
- [0047] T1、T2、T3：主动元件
- [0048] TFE、TFE3、TFE6：封装结构层
- [0049] TFEa、TFEc、TFE3a、TFE3c、TFE6a、TFE6c：无机封装层
- [0050] TFEb、TFE3b、TFE6b：有机封装层

[0051] U1、U2、U3、U4、U5:像素单元区域

[0052] w1、w2:侧壁

具体实施方式

[0053] 在本文中,由“一数值至另一数值”表示的范围,是一种避免在说明书中一一列举该范围中的所有数值的概要性表示方式。因此,某一特定数值范围的记载,涵盖该数值范围内的任意数值以及由该数值范围内的任意数值界定出的较小数值范围,如同在说明书中明文写出该任意数值和该较小数值范围一样。

[0054] 本文使用的“约”、“近似”、“本质上”、或“实质上”包括所述值和在本领域普通技术人员确定的特定值的可接受的偏差范围内的平均值,考虑到所讨论的测量和与测量相关的误差的特定数量(即,测量系统的限制)。例如,“约”可以表示在所述值的一个或多个标准偏差内,或例如 $\pm 30\%$ 、 $\pm 20\%$ 、 $\pm 15\%$ 、 $\pm 10\%$ 、 $\pm 5\%$ 内。再者,本文使用的“约”、“近似”、“本质上”、或“实质上”可依测量性质、切割性质或其它性质,来选择较可接受的偏差范围或标准偏差,而可不用一个标准偏差适用全部性质。

[0055] 在附图中,为了清楚起见,放大了层、膜、面板、区域等的厚度。应当理解,当诸如层、膜、区域或基板的元件被称为在另一元件“上”或“连接到”另一元件时,其可以直接在另一元件上或与另一元件连接,或者中间元件可以也存在。相反,当元件被称为“直接在另一元件上”或“直接连接到”另一元件时,不存在中间元件。如本文所使用的,“连接”可以指物理及/或电性连接。再者,“电性连接”可为二元件间存在其它元件。

[0056] 图1是依照本发明的一实施方式的像素结构的俯视示意图。图2是图1的像素结构的各膜层的电路及信号路径示意图。图3是沿图1中剖面线I-I'的剖面示意图。

[0057] 请参照图1,像素结构10可包括多个像素单元区域U1~U3。虽然图1公开像素结构10包括三个像素单元区域U1~U3,但本发明并不限制像素单元区域的数量,可根据实际上像素结构10的架构、需求等进行调整。另外,像素单元区域U1~U3的排列方式并不以图1中所绘者为限,可根据实际上像素结构10的架构、需求等进行调整。

[0058] 请同时参照图1至图3,像素结构10可包括元件基板100、多个发光元件01~03、及封装结构层TFE,其中封装结构层TFE包括无机封装层TFEa、有机封装层TFEb及无机封装层TFEc。另外,在本实施方式中,像素结构10可选择性还包括像素定义层PDL及接垫P1~P2。为方便说明,图1省略示出部分膜层,以清楚示出膜层之间的配置关系。

[0059] 在本实施方式中,元件基板100可包括绝缘层102、信号线SL、多条信号线DL1~DL3、多个主动元件T1~T3、多个连接结构CS1~CS2、栅绝缘层GI、层间绝缘层IL1、层间绝缘层IL2及平坦层PL。

[0060] 在本实施方式中,绝缘层102是作为元件基板100的基板。在本实施方式中,绝缘层102的材质可包括:无机材料(例如:氧化硅、氮化硅、氮氧化硅、或上述至少二种材料的堆叠层)、有机材料(例如:聚酰亚胺系树脂、环氧系树脂或亚克力系树脂)、或上述的组合,但本发明不以此为限。在本实施方式中,绝缘层102为单层结构,但本发明并不限于此。在其他实施方式中,绝缘层102也可多层结构。

[0061] 在本实施方式中,信号线SL作为扫描线,且信号线DL1~DL3作为数据线,但本发明并不限于此。在本实施方式中,信号线SL可不平行于信号线DL1~DL3,亦即信号线SL与信号

线DL1~DL3交叉设置。此外,信号线SL与信号线DL1~DL3可位于不相同的膜层,且信号线SL与信号线DL1~DL3之间可夹有闸绝缘层GI(于后文进行详细描述)。基于导电性的考量,信号线SL与信号线DL1~DL3一般是使用金属材料。然而,本发明并不限于此,根据其他实施方式,信号线SL与信号线DL1~DL3也可以使用例如合金、金属材料的氮化物、金属材料的氧化物、金属材料的氮氧化物、其他非金属但具导电特性的材料、或是金属材料与前述材料的堆叠层。另外,在本实施方式中,信号线SL与信号线DL1~DL3分别可为单层或多层结构。

[0062] 请参照图2,在本实施方式中,主动元件T1配置于像素单元区域U1内,主动元件T2配置于像素单元区域U2内,主动元件T3配置于像素单元区域U3内。另外,在本实施方式中,主动元件T1与信号线DL1及信号线SL电性连接,主动元件T2与信号线DL2及信号线SL电性连接,主动元件T3与信号线DL3及信号线SL电性连接。

[0063] 请参照图3,在本实施方式中,主动元件T1可包括半导体层SC1、栅极G1、源极S1以及漏极D1,其中半导体层SC1包括源极区SR1、漏极区DR1以及通道区CR1,栅极G1位在通道区CR1上方且与通道区CR1重叠,源极S1经由形成在栅绝缘层GI(于后文进行详细描述)及层间绝缘层IL1(于后文进行详细描述)中的接触窗H1与源极区SR1电性连接,漏极D1经由形成在栅绝缘层GI(于后文进行详细描述)及层间绝缘层IL1(于后文进行详细描述)中的接触窗H2与漏极区DR1电性连接。另一方面,在本实施方式中,主动元件T2可包括半导体层SC2、栅极G2、源极S2以及漏极D2,其中半导体层SC2包括源极区SR2、漏极区DR2以及通道区CR2,栅极G2位在通道区CR2上方且与通道区CR2重叠,源极S2经由形成在栅绝缘层GI(于后文进行详细描述)及层间绝缘层IL1(于后文进行详细描述)中的接触窗H3与源极区SR2电性连接,漏极D2经由形成在栅绝缘层GI(于后文进行详细描述)及层间绝缘层IL1(于后文进行详细描述)中的接触窗H4与漏极区DR2电性连接。

[0064] 虽然图3仅公开像素结构10的对应剖面I-I'的部分结构而未公开主动元件T3的具体结构,但根据本文中针对主动元件T1及主动元件T2的相关描述,任何所属领域中技术人员应可理解,主动元件T3的具体结构及布局等。也就是说,任何所属领域中技术人员应可理解,主动元件T3可包括半导体层、栅极、源极以及漏极,其中半导体层包括源极区、漏极区以及通道区,栅极位在通道区上方且与通道区重叠,源极经由形成在栅绝缘层(于后文进行详细描述)及层间绝缘层(于后文进行详细描述)中的接触窗与源极区电性连接,漏极经由形成在栅绝缘层(于后文进行详细描述)及层间绝缘层(于后文进行详细描述)中的接触窗与漏极区电性连接。

[0065] 在本实施方式中,主动元件T1~主动元件T3属于顶部栅极型薄膜晶体管,但本发明不限于此。在其他实施方式中,主动元件T1~主动元件T3也可属于底部栅极型薄膜晶体管。

[0066] 在本实施方式中,信号线DL1连接于源极S1,信号线DL2连接于源极S2。如图3所示,信号线DL1直接连接于源极S1,信号线DL2直接连接于源极S2,但本发明不限于此。另外,虽然图3仅公开像素结构10的对应剖面I-I'的部分结构,但任何所属领域中技术人员应可理解,信号线DL3连接于主动元件T3的源极。

[0067] 在本实施方式中,栅极G1、源极S1、漏极D1、栅极G2、源极S2以及漏极D2的材质可包括(但不限于):金属、合金、前述材料的氮化物、前述材料的氧化物、前述材料的氮氧化物、其他非金属但具导电特性的材料、或是其它合适的材料。在本实施方式中,半导体层SC1以

及半导体层SC2的材质可包括多晶硅,亦即主动元件T1及主动元件T2可为低温多晶硅薄膜晶体管(Low Temperature Poly-Silicon Thin Film Transistor,LTPS TFT)。然而,本发明并不限定主动元件的型态。在其他实施方式中,半导体层SC1以及半导体层SC2的材质可包括非晶硅、微晶硅、纳米晶硅、单晶硅、有机半导体材料、金属氧化物半导体材料、纳米碳管/杆、钙钛矿或其它合适的材料。

[0068] 在本实施方式中,栅绝缘层GI全面地形成在绝缘层102上,且覆盖半导体层SC1及半导体层SC2。栅绝缘层GI可为单层或多层结构,且材质可包括无机材料、有机材料、或其它合适的材料,其中无机材料例如包括(但不限于):氧化硅、氮化硅或氮氧化硅;有机材料例如包括(但不限于):聚酰亚胺系树脂、环氧系树脂或亚克力系树脂。

[0069] 在本实施方式中,层间绝缘层IL1全面地形成于绝缘层102上,且覆盖栅极G1及栅极G2。层间绝缘层IL1可为单层或多层结构,且材质可包括无机材料、有机材料、或其它合适的材料,其中无机材料例如包括(但不限于):氧化硅、氮化硅或氮氧化硅;有机材料例如包括(但不限于):聚酰亚胺系树脂、环氧系树脂或亚克力系树脂。

[0070] 在本实施方式中,层间绝缘层IL2全面地形成于绝缘层102上,且覆盖主动元件T1及主动元件T2,以提供绝缘与保护的功能。层间绝缘层IL2可为单层或多层结构,且材质可包括无机材料、有机材料、或其它合适的材料,其中无机材料例如包括(但不限于):氧化硅、氮化硅或氮氧化硅;有机材料例如包括(但不限于):聚酰亚胺系树脂、环氧系树脂或亚克力系树脂。

[0071] 在本实施方式中,平坦层PL全面地形成于层间绝缘层IL2上,以提供保护与平坦的功能。平坦层PL可为单层或多层结构,且材质可包括无机材料、有机材料、或其它合适的材料,其中无机材料例如包括(但不限于):氧化硅、氮化硅或氮氧化硅;有机材料例如包括(但不限于):聚酰亚胺系树脂、环氧系树脂或亚克力系树脂。

[0072] 在本实施方式中,连接结构CS1位于绝缘层102、栅绝缘层GI与层间绝缘层IL1中,连接结构CS2位于绝缘层102、栅绝缘层GI与层间绝缘层IL1中。在本实施方式中,连接结构CS1连接于信号线DL1,连接结构CS2连接于信号线DL2。如图3所示,连接结构CS1是直接连接于信号线DL1,连接结构CS2是直接连接于信号线DL2,但本发明不限于此。另一方面,如前文所述,信号线DL1连接于源极S1,信号线DL2连接于源极S2,故信号线DL1用以连接源极S1与连接结构CS1,信号线DL2用以连接源极S1与连接结构CS1。在本实施方式中,连接结构CS1及连接结构CS2的材质可包括(但不限于):金属、合金、前述材料的氮化物、前述材料的氧化物、前述材料的氮氧化物、其他非金属但具导电特性的材料、或是其它合适的材料。另外,虽然图3仅公开像素结构10的对应剖面I-I'的部分结构,但任何所属领域中技术人员应可理解,元件基板100包括与信号线DL3连接的结构。

[0073] 在本实施方式中,接垫P1连接于连接结构CS1,接垫P2连接于连接结构CS2。如图3所示,接垫P1直接连接于连接结构CS1,接垫P2直接连接于连接结构CS2,但本发明不限于此。另一方面,如前文所述,连接结构CS1连接于信号线DL1,连接结构CS2连接于信号线DL2,故连接结构CS1用以连接信号线DL1与接垫P1,连接结构CS2用以连接信号线DL2与接垫P2。在本实施方式中,接垫P1及接垫P2的材质可包括金属、合金、前述材料的氮化物、前述材料的氧化物、前述材料的氮氧化物、其他非金属但具导电特性的材料、或是其它合适的材料,其中金属例如是(但不限于):钼、铝或钛。另外,在本实施方式中,接垫P1及接垫P2分别可为

单层或多层结构。在本实施方式中,接垫P1及接垫P2用以与外部电路电性连接,所述外部电路例如包括软性(柔性)电路板及/或集成电路芯片。另外,虽然图3仅公开像素结构10的对应剖面I-I'的部分结构,但任何所属领域中技术人员应可理解,元件基板100包括与信号线DL3连接的接垫。

[0074] 请参照图2,在本实施方式中,发光元件01配置于像素单元区域U1内,发光元件02配置于像素单元区域U2内,发光元件03配置于像素单元区域U3内。另外,在本实施方式中,发光元件01与主动元件T1电性连接,发光元件02与主动元件T2电性连接,发光元件03与主动元件T3电性连接。虽然图2仅公开发光元件01~发光元件03分别与主动元件T1~主动元件T3电性连接,但任何所属技术领域中技术人员应可理解,发光元件01~发光元件03实际上是通过例如具有1T1C的架构、2T1C的架构、3T1C的架构、3T2C的架构、4T1C的架构、4T2C的架构、5T1C的架构、5T2C的架构、6T1C的架构、6T2C的架构、7T2C的架构或是任何可能的架构的驱动单元来驱动。也就是说,主动元件T1~主动元件T3分别可为用以驱动发光元件01~发光元件03的驱动单元中的一个元件。

[0075] 请同时参照图1及图3,在本实施方式中,发光元件01与发光元件02相邻设置。虽然图3仅公开像素结构10的对应剖面I-I'的部分结构,但任何所属领域中技术人员应可理解,发光元件03与发光元件02相邻设置。

[0076] 在本实施方式中,发光元件01可包括发光层E1、电极A1及电极C1。在本实施方式中,电极A1经由形成在层间绝缘层IL2及平坦层PL中的接触窗H5与主动元件T1的漏极D1电性连接。也就是说,在本实施方式中,电极A1与元件基板100电性连接。在本实施方式中,发光层E1配置于电极A1与电极C1之间且形成在像素定义层PDL的开口V1内。在本实施方式中,电极A1与发光层E1重叠的部分作为发光元件01的阳极,而电极C1与发光层E1重叠的部分作为发光元件01的阴极,但本发明不限于此,在其他实施方式中,电极A1与发光层E1重叠的部分作为发光元件01的阴极,而电极C1与发光层E1重叠的部分作为发光元件01的阳极。另一方面,在本实施方式中,发光元件02可包括发光层E2、电极A2及电极C2。在本实施方式中,电极A2经由形成在层间绝缘层IL2及平坦层PL中的接触窗H6与主动元件T2的漏极D2电性连接。也就是说,在本实施方式中,电极A2与元件基板100电性连接。在本实施方式中,发光层E2配置于电极A2与电极C2之间且形成在像素定义层PDL的开口V2内。在本实施方式中,电极A2与发光层E2重叠的部分作为发光元件02的阳极,而电极C2与发光层E2重叠的部分作为发光元件02的阴极,但本发明不限于此,在其他实施方式中,电极A2与发光层E2重叠的部分作为发光元件02的阴极,而电极C2与发光层E2重叠的部分作为发光元件02的阳极。

[0077] 在本实施方式中,电极A1及电极A2的材质可为透明导电材料、不透明导电材料或前述材料的堆叠层。所述透明导电材料可包括金属氧化物导电材料,例如是铟锡氧化物、铟锌氧化物、铝锡氧化物、铝锌氧化物、铟镓锌氧化物、其他合适的氧化物、或者是上述至少二者的堆叠层。所述不透明导电材料可包括金属材料。

[0078] 在本实施方式中,发光层E1及发光层E2可以是任何所属领域中技术人员所周知的用于显示面板中的发光层。发光层E1及发光层E2分别可为红色有机发光层、绿色有机发光层、蓝色有机发光层、其他颜色有机发光层或上述发光层的组合。

[0079] 在本实施方式中,电极C1及电极C2的材质可为透明导电材料或是不透明导电材料。所述透明导电材料可包括金属氧化物导电材料,例如是铟锡氧化物、铟锌氧化物、铝锡

氧化物、铝锌氧化物、铟镉锌氧化物、薄金属、其他合适的氧化物、或者是上述至少二者的堆叠层。所述不透明导电材料可包括金属。另外，在本实施方式中，电极C1及电极C2彼此连接以形成电极层CL。换言之，在本实施方式中，电极层CL与发光层E1对应的部分即作为发光元件01的电极C1，而电极层CL与发光层E2对应的部分即作为发光元件02的电极C2。

[0080] 在本实施方式中，像素定义层PDL的材质可包括感光性聚亚酰胺材料、丙烯酸材料、硅氧烷材料、酚醛树脂材料、氧化物、氮化物或氮氧化物，但本发明不以此为限。

[0081] 另外，任何所属领域中技术人员可选择性地于电极A1与电极C1之间适当的位置及电极A2与电极C2之间适当的位置分别设置电子传输层、电子注入层、空穴传输层、空穴注入层或上述四种膜层的组合。另外，虽然图3仅公开像素结构10的部分结构而未示出发光元件03的具体结构，但根据前述针对发光元件01及发光元件02的相关描述，任何所属领域中技术人员应可理解，发光元件03的具体结构及布局等，于此不详加描述。

[0082] 在本实施方式中，无机封装层TFEa覆盖发光元件01及发光元件02，用以隔离水气、湿气等。在本实施方式中，无机封装层TFEa的材质可包括(但不限于)：氮化硅、氧化铝或氮氧化硅。

[0083] 在本实施方式中，有机封装层TFEb配置于无机封装层TFEa上，用以隔离工艺中所产生的杂质、颗粒等。在本实施方式中，有机封装层TFEb的材质可包括(但不限于)：丙烯酸树脂、环氧树脂、或碳氧化硅。如图3所示，在本实施方式中，有机封装层TFEb具有位于发光元件01的发光层E1与发光元件02的发光层E2之间的开口Q。详细而言，开口Q贯穿有机封装层TFEb的相对设置的表面F1及表面F2。换言之，在本实施方式中，有机封装层TFEb为经图案化的膜层，且开口Q可暴露出部分的无机封装层TFEa。另一方面，如图1所示，在本实施方式中，开口Q是位在像素单元区域U1与像素单元区域U2之间并且像素单元区域U1与像素单元区域U3。虽然图3仅公开像素结构10的对应剖面I-I'的部分结构，但根据前述描述任何所属领域中技术人员应可理解，有机封装层TFEb所具有的开口Q也位于发光元件01的发光层E1与发光元件03的发光层E3之间。

[0084] 虽然图1仅公开像素结构10具有的开口Q仅位在像素单元区域U1与像素单元区域U2之间并且像素单元区域U1与像素单元区域U3，但本发明并不限于此。在一实施方式中，除了位在像素单元区域U1与像素单元区域U2之间并且像素单元区域U1与像素单元区域U3之间的开口Q，有机封装层TFEb还可具有位于发光元件02的发光层E2与发光元件03的发光层E3之间的开口Q(如图4A所示)。在另一实施方式中，有机封装层TFEb可不具有位在像素单元区域U1与像素单元区域U2之间并且像素单元区域U1与像素单元区域U3之间的开口而仅具有位于发光元件02的发光层E2与发光元件03的发光层E3之间的开口Q(如图4B所示)。

[0085] 另外，如图1所示，虽然以上视角观看像素结构10，开口Q的轮廓为矩形且数量为一个，但本发明并不限于此。在一实施方式中，以上视角观看像素结构10，开口Q的轮廓可为椭圆形且数量可为两个(如图4C所示)。在另一实施方式中，以上视角观看像素结构10，开口Q的轮廓可为圆形且数量可为两个(如图4D所示)。

[0086] 另外，虽然图1仅公开一个像素结构10，但任何所属领域中技术人员应理解，当应用于装置，像素结构10的数量可为多个并且呈现阵列排列，而此时，开口Q可位于两个像素结构10之间(如图4E所示)。

[0087] 另外，在本实施方式中，开口Q的邻近于发光元件01的侧壁w1于元件基板100上的

垂直投影与发光层E1的边缘于元件基板100上的垂直投影相距一距离d1,开口Q的邻近于发光元件02的侧壁w2于元件基板100上的垂直投影与发光层E2的边缘于元件基板100上的垂直投影相距一距离d2,其中距离d1大于或等于有机封装层TFEb的厚度t,且距离d2大于或等于有机封装层TFEb的厚度t。如此一来,在本实施方式中,即便有机封装层TFEb具有开口Q,有机封装层TFEb依然能对发光元件01及发光元件02提供良好的保护。另外,在本实施方式中,有机封装层TFEb的厚度t介于约1微米至约10微米之间。

[0088] 在本实施方式中,无机封装层TFEc配置于有机封装层TFEb上,用以隔离水气、湿气等。在本实施方式中,有机封装层TFEb位于无机封装层TFEa与无机封装层TFEc之间。在本实施方式中,无机封装层TFEc的材质可包括(但不限于):氮化硅、氧化铝或氮氧化硅。须说明的是,无机封装层TFEa和无机封装层TFEc的材质可相同,亦可不相同。

[0089] 值得说明的是,在本实施方式中,通过封装结构层TFE中的有机封装层TFEb具有位于发光元件01的发光层E1与发光元件02的发光层E2之间的开口Q,使得像素结构10具有提升的柔性。如此一来,当柔性显示面板具有像素结构10时,其具有提升的弯折程度,进而增加其应用性。

[0090] 在前述实施方式中,像素结构10因有机封装层TFEb具有开口Q而柔性增加,但本发明并不限于此。以下,将参照图5及图6针对其他的实施方式进行说明。在此必须说明的是,下述实施方式沿用了前述实施方式的元件符号与部分内容,其中采用相同或相似的符号来表示相同或相似的元件,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施方式,下述实施方式不再重复赘述。

[0091] 图5是依照本发明的另一实施方式的像素结构的剖面示意图。图5的剖面位置可对应至图1中的剖面I-I'的位置。请同时参照图5及图3,图5的像素结构20与图3的像素结构10相似,因此相同或相似的元件以相同或相似的符号表示,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施方式。以下,将就图5的像素结构20与图3的像素结构10间的差异处做说明。

[0092] 请参照图5,在像素结构20中,元件基板100具有与开口Q重叠的开口R1。详细而言,开口R1贯穿元件基板100的相对设置的表面F3及表面F4。换言之,在本实施方式中,开口R1位于绝缘层102、栅绝缘层GI、层间绝缘层IL1、层间绝缘层IL2及平坦层PL中。另一方面,在本实施方式中,开口R1是配置在元件基板100中未设置有元件及走线的区域。

[0093] 在像素结构20中,像素定义层PDL、电极层CL、无机封装层TFEa及无机封装层TFEc分别具有与开口R1重叠的开口R2、开口R3、开口R4及开口R5。换言之,在本实施方式中,开口R1、开口R2、开口R3、开口R4及开口R5一起构成贯穿像素结构20的连通开口。在本实施方式中,开口R1、开口R2、开口R3、开口R4及开口R5彼此完全重叠,但本发明并不限于此。在其他实施方式中,开口R1、开口R2、开口R3、开口R4及开口R5中的至少一者可与其余者部分重叠。

[0094] 另外,在本实施方式中,像素结构20具有与开口Q重叠的开口R1、开口R2、开口R3、开口R4及开口R5,但本发明并不限于此。在其他实施方式中,像素结构20可具有开口R1、开口R2、开口R3、开口R4及开口R5中的一者、两者、三者或四者。

[0095] 另外,根据前文针对开口Q的位置、数量及轮廓的描述,任何所属技术领域中技术人员应理解,本发明并不限制开口R1、开口R1、开口R2、开口R3、开口R4及开口R5的位置、数量及轮廓。其余部分请参考前述实施方式,在此不赘述。

[0096] 值得说明的是,除了有机封装层TFEb中的开口Q,像素结构20通过更具有开口R1、开口R1、开口R2、开口R3、开口R4或开口R5,使得可更提升柔性。如此一来,当柔性显示面板具有像素结构20时,其具有提升的弯折程度,进而增加其应用性。

[0097] 图6是依照本发明的另一实施方式的像素结构的剖面示意图。图6的剖面位置可参考图1中的剖面I-I'的位置。请同时参照图6及图5,图6的像素结构30与图3的像素结构10相似,差异主要在于:在像素结构30中,元件基板100具有开口X而封装结构层TFE3不具开口;而在像素结构10中,封装结构层TFE具有开口Q而元件基板100不具开口。以下将针对图6的像素结构30与图3的像素结构10间的差异处进行说明,相同或相似的元件以相同或相似的符号表示,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施方式。

[0098] 请参照图6,在像素结构30中,封装结构层TFE3包括无机封装层TFE3a、有机封装层TFE3b及无机封装层TFE3c。在本实施方式中,无机封装层TFE3a覆盖发光元件01及发光元件02,用以隔离水气、湿气等。在本实施方式中,无机封装层TFE3a的材质可包括(但不限于):氮化硅、氧化铝或氮氧化硅。在本实施方式中,有机封装层TFE3b配置于无机封装层TFE3a上,用以隔离工艺中所产生的杂质、颗粒等。在本实施方式中,有机封装层TFE3b的材质可包括(但不限于):丙烯酸树脂、环氧树脂、或碳氧化硅。在本实施方式中,无机封装层TFE3c配置于有机封装层TFE3b上,用以隔离水气、湿气等。在本实施方式中,有机封装层TFE3b位于无机封装层TFE3a与无机封装层TFE3c之间。在本实施方式中,无机封装层TFE3c的材质可包括(但不限于):氮化硅、氧化铝或氮氧化硅。须说明的是,无机封装层TFE3a和无机封装层TFE3c的材质可相同,亦可不相同。

[0099] 在像素结构30中,元件基板100具有开口X。详细而言,开口X贯穿元件基板100的相对设置的表面F3及表面F4。换言之,在本实施方式中,开口X位于绝缘层102、栅绝缘层GI、层间绝缘层IL1、层间绝缘层IL2及平坦层PL中。在本实施方式中,开口X是配置在元件基板100中未设置有元件及走线的区域。另外,如图6所示,在本实施方式中,像素定义层PDL配置于开口X上,但本发明并不限于此。在其他实施方式中,部分的像素定义层PDL可填入开口X内。

[0100] 另外,在本实施方式中,开口X是位于发光元件01的发光层E1与发光元件02的发光层E2之间。虽然图6仅公开像素结构30的部分结构,但根据前述针对图1至图3的像素结构10的描述,尤其是针对开口Q的位置、数量及轮廓的描述,任何所属领域中技术人员应可理解,本发明并不限制开口X的位置、数量及轮廓。其余部分请参考前述实施方式,在此不赘述。

[0101] 值得说明的是,在本实施方式中,通过元件基板100具有贯穿表面F3及表面F4的开口X,使得像素结构30具有提升的柔性。如此一来,当柔性显示面板具有像素结构30时,其具有提升的弯折程度,进而增加其应用性。

[0102] 在前述像素结构10、像素结构20及像素结构30中,元件基板100包括多个主动元件T1~T3,但本发明并不限与此。以下,将参照图7至图11针对其他的实施方式进行说明。在此必须说明的是,下述实施方式沿用了前述实施方式的元件符号与部分内容,其中采用相同或相似的符号来表示相同或相似的元件,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施方式,下述实施方式不再重复赘述。

[0103] 图7是依照本发明的另一实施方式的像素结构的俯视示意图。图8是图8的像素结构的各膜层的电路及信号路径示意图。图9是沿图7中剖面II-II'的剖面示意图。请同时参照图7~图9及图1~图3,像素结构40与像素结构10相似,差异主要在于:像素结构40包括三

个元件基板100~300,元件基板100包括主动元件T1,元件基板200包括主动元件T2且元件基板300包括主动元件T3;而像素结构10仅包括一个元件基板100,且元件基板100包括主动元件T1、主动元件T2及主动元件T3。以下将针对像素结构40与像素结构10间的差异处进行说明,相同或相似的元件以相同或相似的符号表示,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施方式。

[0104] 请参照图7,像素结构40可包括像素单元区域U1、像素单元区域U4及像素单元区域U5。在本实施方式中,彼此电性连接的主动元件T1及发光元件O1配置于像素单元区域U1内,彼此电性连接的主动元件T2及发光元件O2配置于像素单元区域U4内,彼此电性连接的主动元件T3及发光元件O3配置于像素单元区域U5内。在本实施方式中,主动元件T1与信号线DL1及信号线SL电性连接,主动元件T2与信号线DL2及信号线SL1电性连接,主动元件T3与信号线DL3及信号线SL2电性连接。虽然图7公开像素结构40包括三个像素单元区域U1、U4~U5,但本发明并不限制像素单元区域的数量,可根据实际上像素结构40的架构、需求等进行调整。另外,像素单元区域U1、U4~U5的排列方式并不以图7中所绘者为限,可根据实际上像素结构40的架构、需求等进行调整。

[0105] 请同时参照图7至图9,在本实施方式中,像素结构40包括元件基板200,配置于元件基板100下方。详细而言,元件基板200可包括绝缘层202、主动元件T2、信号线SL1、信号线DL2、栅绝缘层2GI、层间绝缘层2IL1、层间绝缘层2IL2及平坦层2PL,其中绝缘层202作为元件基板200的基板,信号线SL1作为扫描线。换言之,在本实施方式中,配置在像素单元区域U4内的主动元件T2及发光元件O2是分别位在元件基板100下方及元件基板100上方。另外,元件基板200中的绝缘层202、信号线SL1、栅绝缘层2GI、层间绝缘层2IL1、层间绝缘层2IL2及平坦层2PL的材质可与元件基板100中的对应者(即绝缘层102、信号线SL、栅绝缘层GI、层间绝缘层IL1、层间绝缘层IL2及平坦层PL)相同或相似,故相关说明即不再赘述。

[0106] 另外,在本实施方式中,像素结构40包括元件基板300,配置于元件基板100下方,其中元件基板200位于元件基板100与元件基板300之间。详细而言,元件基板300可包括绝缘层302、主动元件T3、信号线SL2、信号线DL3、栅绝缘层3GI、层间绝缘层3IL1、层间绝缘层3IL2及平坦层3PL,其中绝缘层302作为元件基板300的基板,信号线SL2作为扫描线。换言之,在本实施方式中,配置在像素单元区域U5内的主动元件T3及发光元件O3是分别位在元件基板100、200下方及元件基板100上方。另外,元件基板300中的绝缘层302、信号线SL2、栅绝缘层3GI、层间绝缘层3IL1、层间绝缘层3IL2及平坦层3PL的材质可与元件基板100中的对应者(即绝缘层102、信号线SL、栅绝缘层GI、层间绝缘层IL1、层间绝缘层IL2及平坦层PL)相同或相似,故相关说明即不再赘述。

[0107] 另外,在本实施方式中,像素结构40包括异方性导电层ACF1与异方性导电层ACF2。详细而言,异方性导电层ACF1配置于元件基板100与元件基板200之间,且异方性导电层ACF2配置于元件基板200与元件基板300之间,用以提供电性通路。如图8所述,发光元件O2可经由异方性导电层ACF1而电性连接于主动元件T2,发光元件O3可经由异方性导电层ACF1及异方性导电层ACF2而电性连接于主动元件T3。虽然图8及图9公开像素结构40包括异方性导电层ACF1与异方性导电层ACF2,但本发明并不限于此。在其他实施方式中,像素结构40可不包括异方性导电层。其余部分请参考前述实施方式,在此不赘述。

[0108] 值得说明的是,在本实施方式中,通过封装结构层TFE中的有机封装层TFEb具有位

于发光元件01的发光层E1与发光元件02的发光层E2之间的开口Q,使得即使像素结构40具有彼此堆叠的多个元件基板100~300,像素结构40具有提升的柔性。如此一来,当柔性显示面板具有像素结构40时,其具有提升的弯折程度,进而增加其应用性。

[0109] 另外,根据前文针对像素结构10中的开口Q的位置、数量及轮廓的描述,任何所属技术领域技术人员应理解,像素结构40中的开口Q的位置、数量及轮廓并不以图6中所绘者为限。换言之,本发明并不限制像素结构40中的开口Q的位置、数量及轮廓。

[0110] 如前文所述,像素结构40因有机封装层TFEb具有开口Q而柔性增加,但本发明并不限于此。以下,将参照图10及图11针对其他的实施方式进行说明。在此必须说明的是,下述实施方式沿用了前述实施方式的元件符号与部分内容,其中采用相同或相似的符号来表示相同或相似的元件,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施方式,下述实施方式不再重复赘述。

[0111] 图10是依照本发明的另一实施方式的像素结构的剖面示意图。图10的剖面位置可对应至图7中的剖面II-II'的位置。请同时参照图10及图9,图10的像素结构50与图9的像素结构40相似,因此相同或相似的元件以相同或相似的符号表示,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施方式。以下,将就图10的像素结构50与图9的像素结构40间的差异处做说明。

[0112] 请参照图10,在像素结构50中,元件基板100具有与开口Q重叠的开口Y1。详细而言,开口Y1贯穿元件基板100的相对设置的表面F3及表面F4。换言之,在本实施方式中,开口Y1位于绝缘层102、栅绝缘层GI、层间绝缘层IL1、层间绝缘层IL2及平坦层PL中。另一方面,在本实施方式中,开口Y1是配置在元件基板100中未设置有元件及走线的区域。

[0113] 在像素结构50中,元件基板200具有与开口Q及开口Y1重叠的开口Y2。详细而言,开口Y2贯穿元件基板200的相对设置的表面F5及表面F6。换言之,在本实施方式中,开口Y2位于绝缘层202、栅绝缘层2GI、层间绝缘层2IL1、层间绝缘层2IL2及平坦层2PL中。另一方面,在本实施方式中,开口Y2是配置在元件基板200中未设置有元件及走线的区域。

[0114] 在像素结构50中,元件基板300具有与开口Q、开口Y1及开口Y2重叠的开口Y3。详细而言,开口Y3贯穿元件基板300的相对设置的表面F7及表面F8。换言之,在本实施方式中,开口Y3位于绝缘层302、栅绝缘层3GI、层间绝缘层3IL1、层间绝缘层3IL2及平坦层3PL中。另一方面,在本实施方式中,开口Y3是配置在元件基板300中未设置有元件及走线的区域。

[0115] 另外,在像素结构50中,像素定义层PDL、电极层CL、无机封装层TFEa、无机封装层TFEc、异方性导电层ACF1及异方性导电层ACF2分别具有与开口Y1重叠的开口Y4、开口Y5、开口Y6、开口Y7、开口Y8及开口Y9。换言之,在本实施方式中,开口Y1、开口Y2、开口Y3、开口Y4、开口Y5、开口Y6、开口Y7、开口Y8及开口Y9一起构成贯穿像素结构50的连通开口。在本实施方式中,开口Y1、开口Y2、开口Y3、开口Y4、开口Y5、开口Y6、开口Y7、开口Y8及开口Y9彼此完全重叠,但本发明并不限于此。在其他实施方式中,开口Y1、开口Y2、开口Y3、开口Y4、开口Y5、开口Y6、开口Y7、开口Y8及开口Y9中的至少一者可与其余者部分重叠。

[0116] 另外,在本实施方式中,像素结构50具有与开口Q重叠的开口Y1、开口Y2、开口Y3、开口Y4、开口Y5、开口Y6、开口Y7、开口Y8及开口Y9,但本发明并不限于此。在其他实施方式中,像素结构50可具有开口Y1、开口Y2、开口Y3、开口Y4、开口Y5、开口Y6、开口Y7、开口Y8及开口Y9中的一者、两者、三者、四者、五者、六者、七者或八者。

[0117] 另外,根据前文针对像素结构10中的开口Q的位置、数量及轮廓的描述,任何所属技术领域中技术人员应理解,本发明并不限制开口Y1、开口Y2、开口Y3、开口Y4、开口Y5、开口Y6、开口Y7、开口Y8及开口Y9的位置、数量及轮廓。其余部分请参考前述实施方式,在此不赘述。

[0118] 值得说明的是,除了有机封装层TFEb中的开口Q,像素结构50通过更具有开口Y1、开口Y2、开口Y3、开口Y4、开口Y5、开口Y6、开口Y7、开口Y8或开口Y9,使得可更提升柔性。如此一来,当柔性显示面板具有像素结构50时,其具有提升的弯折程度,进而增加其应用性。

[0119] 图11是依照本发明的另一实施方式的像素结构的剖面示意图。图11的剖面位置可参考至图7中的剖面II-II'的位置。请同时参照图11及图9,图11的像素结构60与图9的像素结构40相似,差异主要在于:在像素结构60中,元件基板100具有开口Z1而封装结构层TFE6不具开口;而在像素结构40中,封装结构层TFE具有开口Q而元件基板100不具开口。以下将针对图11的像素结构60与图7的像素结构40间的差异处进行说明,相同或相似的元件以相同或相似的符号表示,并且省略了相同技术内容的说明。关于省略部分的说明可参考前述实施方式。

[0120] 请参照图11,在像素结构60中,封装结构层TFE6包括无机封装层TFE6a、有机封装层TFE6b及无机封装层TFE6c。在本实施方式中,无机封装层TFE6a覆盖发光元件01及发光元件02,用以隔离水气、湿气等。在本实施方式中,无机封装层TFE6a的材质可包括(但不限于):氮化硅、氧化铝或氮氧化硅。在本实施方式中,有机封装层TFE6b配置于无机封装层TFE6a上,用以隔离工艺中所产生的杂质、颗粒等。在本实施方式中,有机封装层TFE6b的材质可包括(但不限于):丙烯酸树脂、环氧树脂、或碳氧化硅。在本实施方式中,无机封装层TFE6c配置于有机封装层TFE6b上,用以隔离水气、湿气等。在本实施方式中,有机封装层TFE6b位于无机封装层TFE6a与无机封装层TFE6c之间。在本实施方式中,无机封装层TFE6c的材质可包括(但不限于):氮化硅、氧化铝或氮氧化硅。须说明的是,无机封装层TFE6a和无机封装层TFE6c的材质可相同,亦可不相同。

[0121] 在像素结构60中,元件基板100具有开口Z1。详细而言,开口Z1贯穿元件基板100的相对设置的表面F3及表面F4。换言之,在本实施方式中,开口Z1位于绝缘层102、栅绝缘层GI、层间绝缘层IL1、层间绝缘层IL2及平坦层PL中。另一方面,在本实施方式中,开口Z1是配置在元件基板100中未设置有元件及走线的区域。

[0122] 在像素结构60中,元件基板200具有与开口Z1重叠的开口Z2。详细而言,开口Z2贯穿元件基板200的相对设置的表面F5及表面F6。换言之,在本实施方式中,开口Z2位于绝缘层202、栅绝缘层2GI、层间绝缘层2IL1、层间绝缘层2IL2及平坦层2PL中。另一方面,在本实施方式中,开口Z2是配置在元件基板200中未设置有元件及走线的区域。

[0123] 在像素结构60中,元件基板300具有与开口Z1及开口Z2重叠的开口Z3。详细而言,开口Z3贯穿元件基板300的相对设置的表面F7及表面F8。换言之,在本实施方式中,开口Z3位于绝缘层302、栅绝缘层3GI、层间绝缘层3IL1、层间绝缘层3IL2及平坦层3PL中。另一方面,在本实施方式中,开口Z3是配置在元件基板300中未设置有元件及走线的区域。另外,如图11所示,在本实施方式中,像素定义层PDL配置于开口Z1上,但本发明并不限于此。在其他实施方式中,部分的像素定义层PDL可填入开口Z1内。

[0124] 另外,在像素结构60中,异方性导电层ACF1及异方性导电层ACF2分别具有与开口

Z1重叠的开口Z4及开口Z5。换言之,在本实施方式中,开口Z1、开口Z2、开口Z3、开口Z4及开口Z5一起构成连通开口。在本实施方式中,开口Z1、开口Z2、开口Z3、开口Z4及开口Z5彼此完全重叠,但本发明并不限于此。在其他实施方式中,开口Z1、开口Z2、开口Z3、开口Z4及开口Z5中的至少一者可与其余者部分重叠。

[0125] 另外,在本实施方式中,像素结构60具有开口Z1、开口Z2、开口Z3、开口Z4及开口Z5,但本发明并不限于此。在其他实施方式中,像素结构50可具有开口Z1、开口Z2、开口Z3、开口Z4及开口Z5中的一者、两者、三者、四者、五者。

[0126] 另外,在本实施方式中,开口Z1、开口Z2、开口Z3、开口Z4及开口Z5是位于发光元件01的发光层E1与发光元件02的发光层E2之间。虽然图11仅公开像素结构60的部分结构,但根据前述针对图7至图9的像素结构40及图1至图3的像素结构10的描述,尤其是针对开口Q的位置、数量及轮廓的描述,任何所属领域中技术人员应可理解,本发明并不限制开口Z1、开口Z2、开口Z3、开口Z4及开口Z5的位置、数量及轮廓。其余部分请参考前述实施方式,在此不赘述。

[0127] 值得说明的是,在本实施方式中,通过元件基板100具有贯穿表面F3及表面F4的开口Z1,使得即使像素结构60具有彼此堆叠的多个元件基板100~300,像素结构60具有提升的柔性。另一方面,除了元件基板100中的开口Z1,像素结构60通过更具有开口Z2、开口Z3、开口Z4或开口Z5,使得可更提升柔性。如此一来,当柔性显示面板具有像素结构60时,其具有提升的弯折程度,进而增加其应用性。

[0128] 综上所述,在本发明的至少一实施方式的像素结构中,通过有机封装层具有位于两相邻的发光层之间的开口,或者通过元件基板具有贯穿其两表面的开口,使得像素结构具有提升的柔性。如此一来,当柔性显示面板具有像素结构时,其具有提升的弯折程度,进而增加其应用性。

[0129] 虽然本发明已以实施方式公开如上,然其并非用以限定本发明,任何所属技术领域中技术人员,在不脱离本发明的构思和范围内,当可作些许的变动与润饰,故本发明的保护范围当视权利要求所界定者为准。

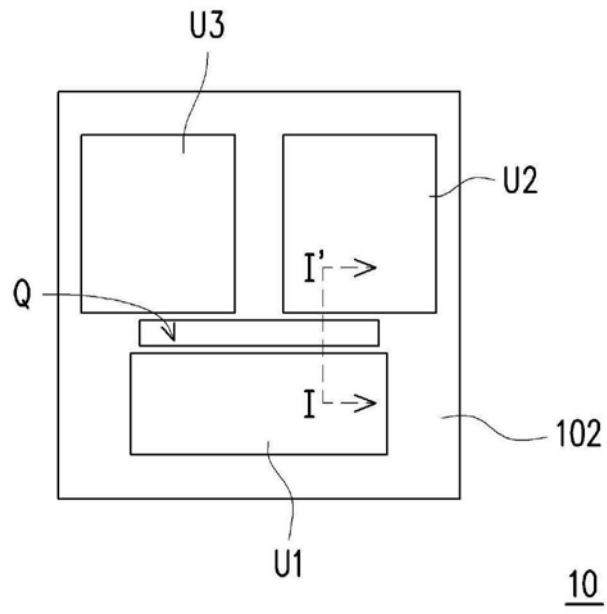


图1

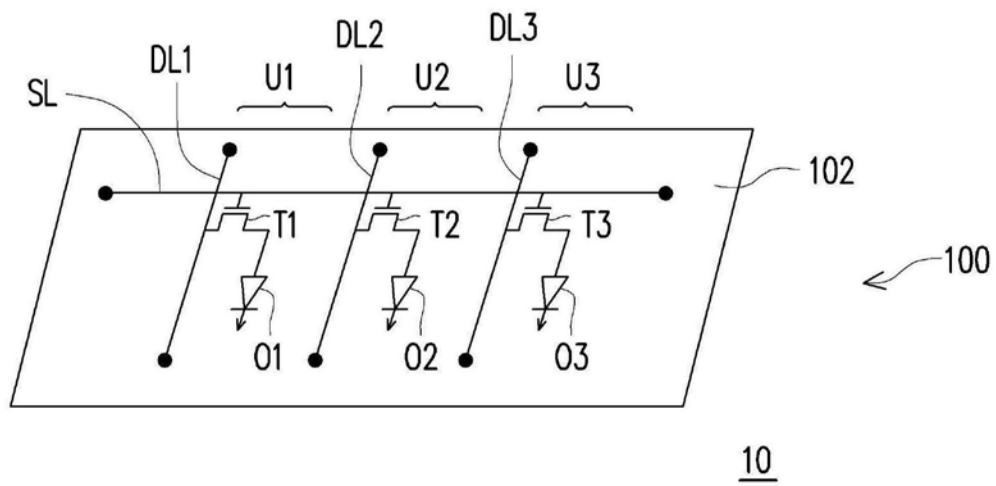


图2

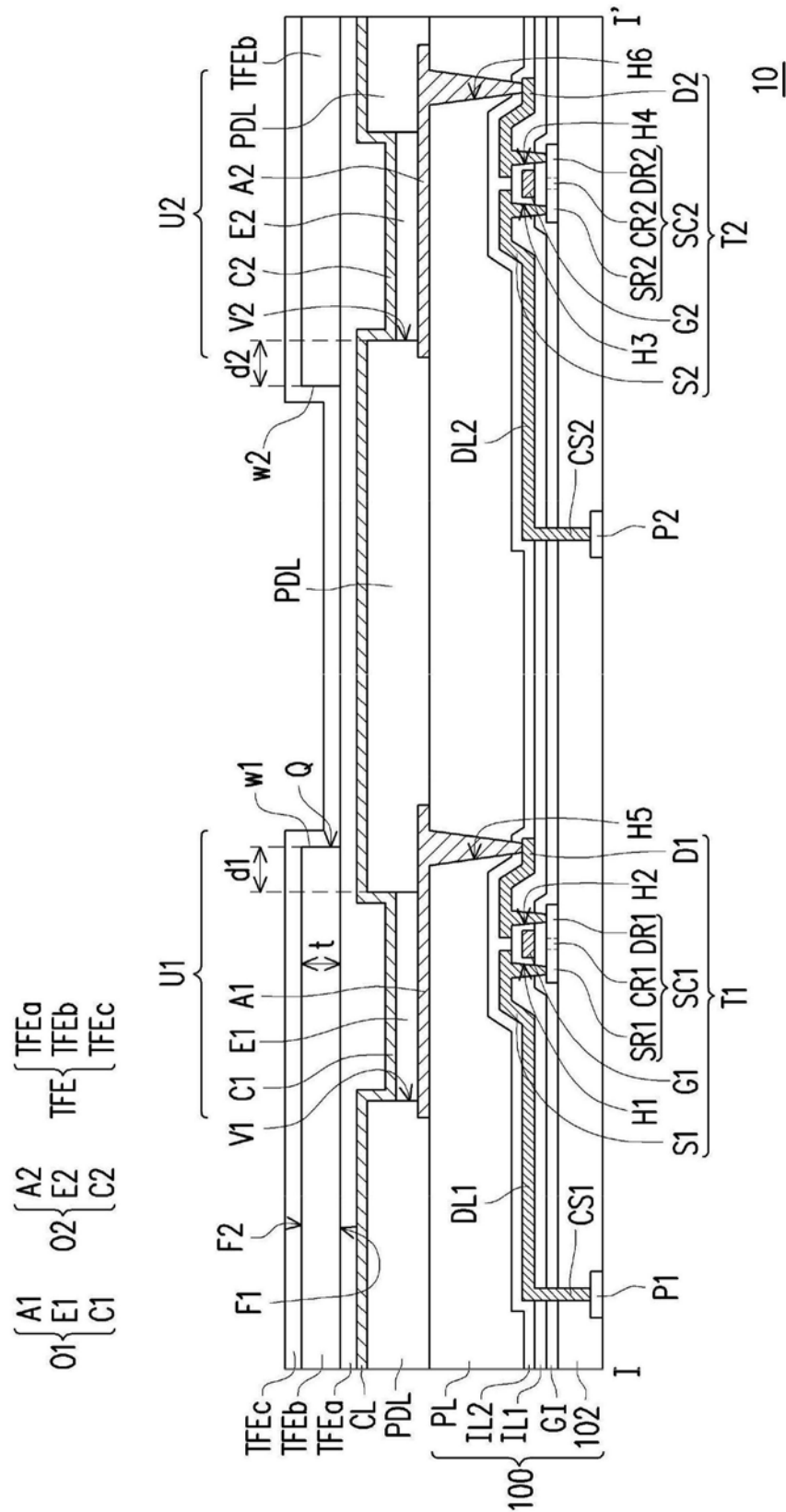


图3

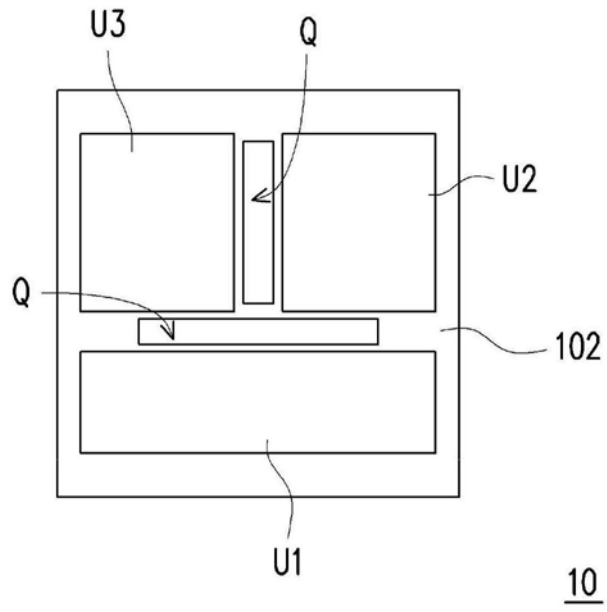


图4A

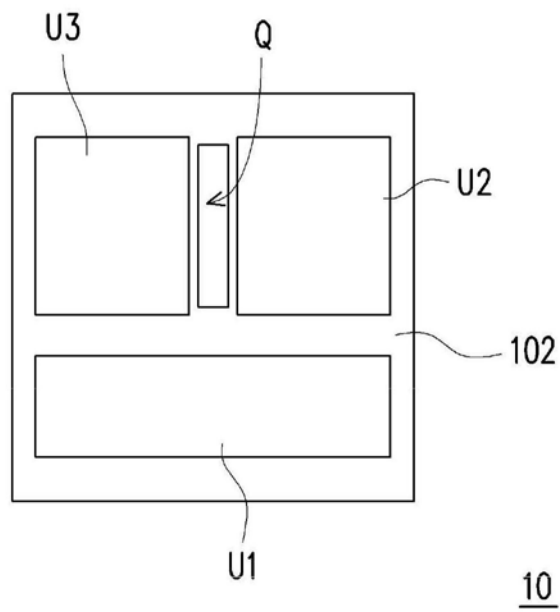


图4B

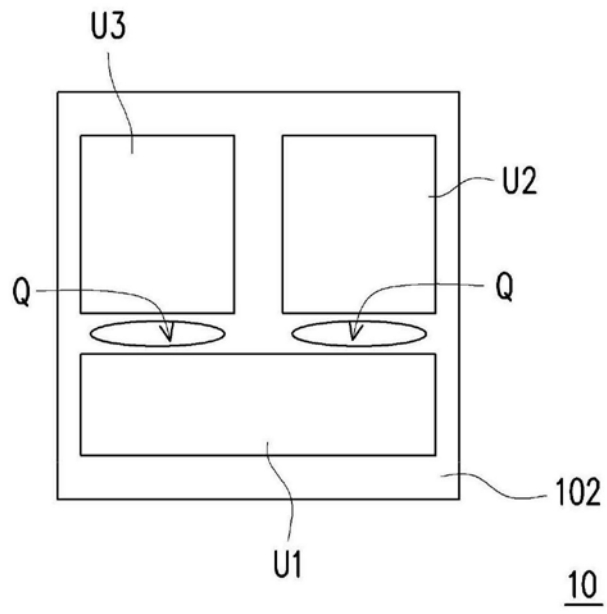


图4C

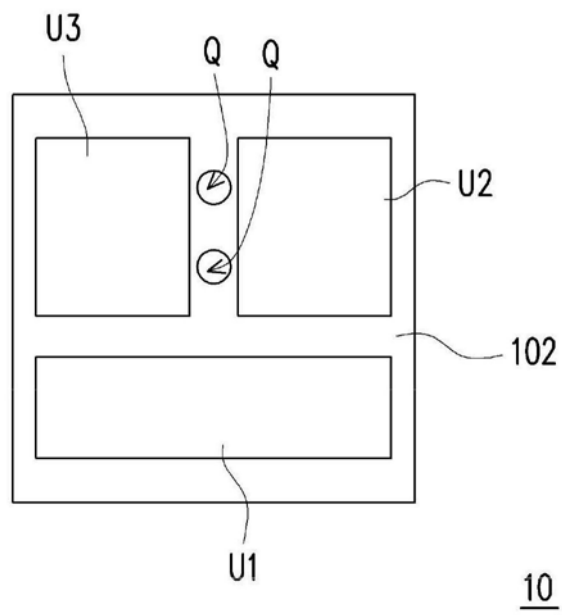


图4D

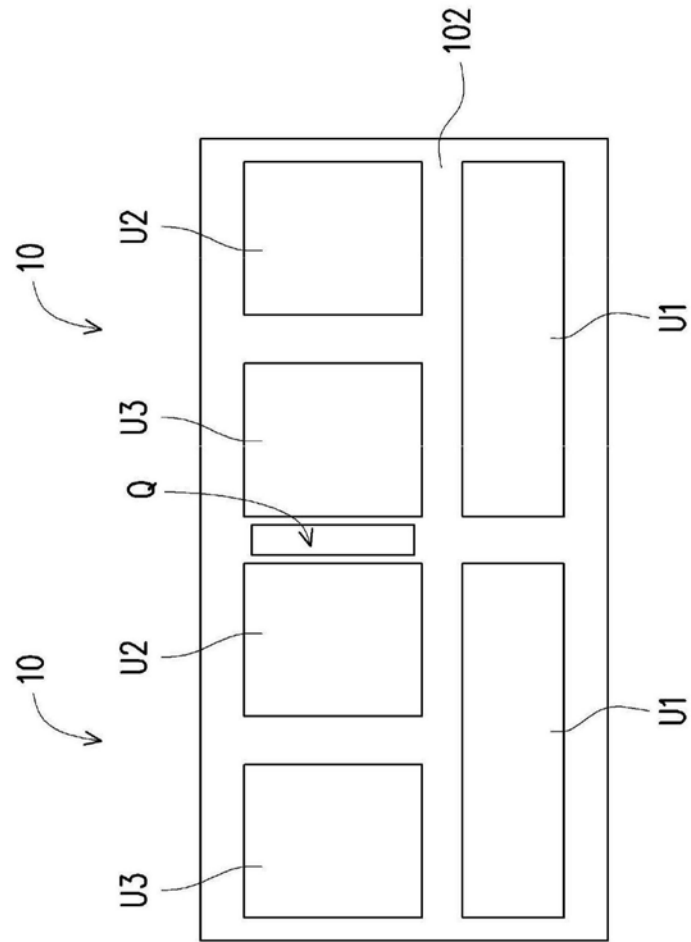


图4E

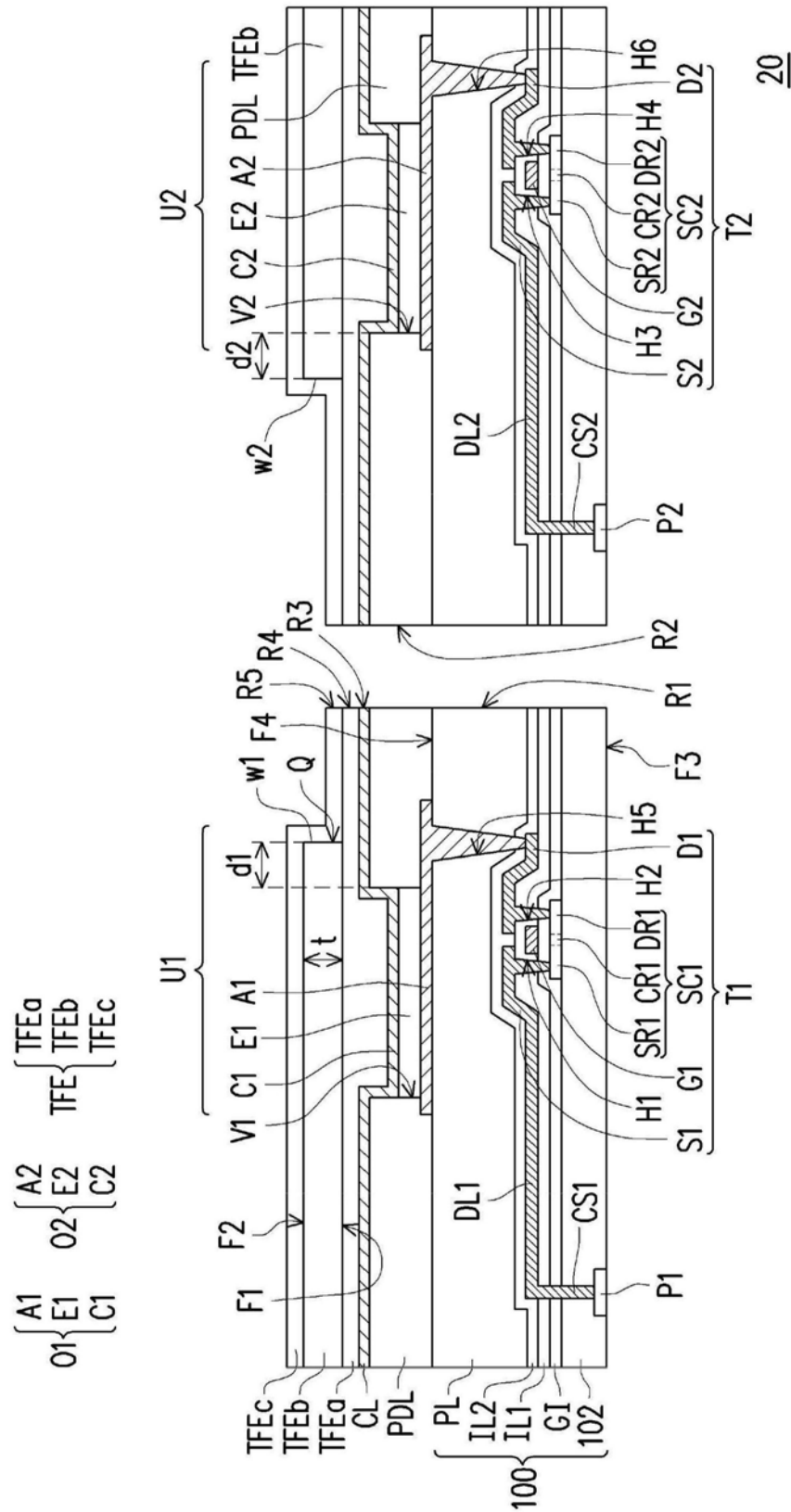


图5

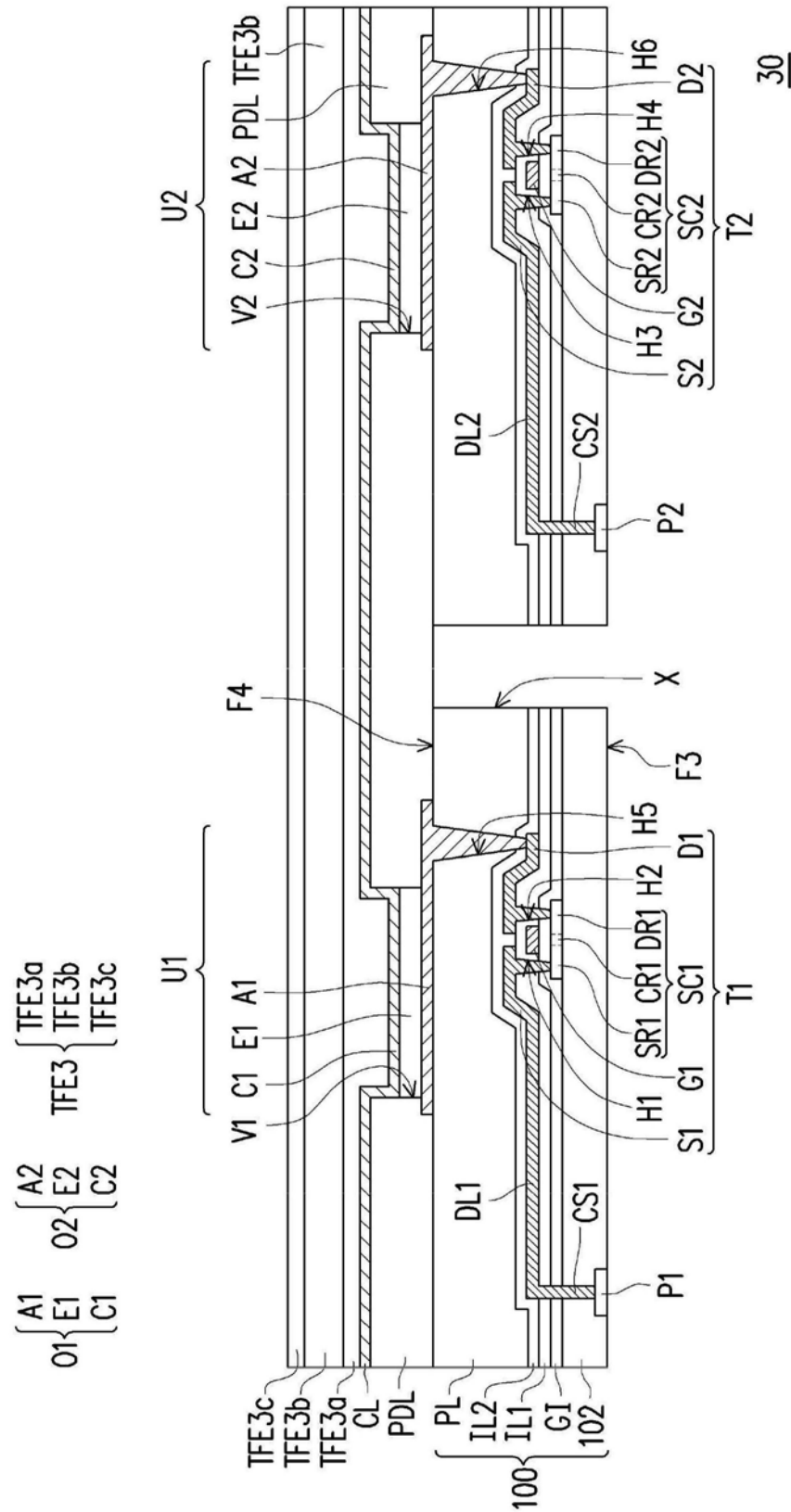


图6

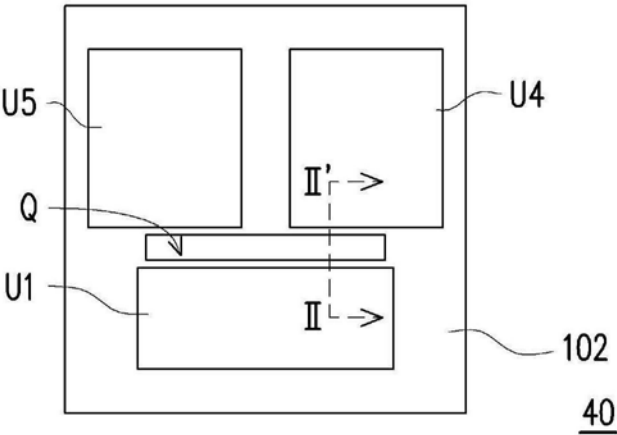


图7

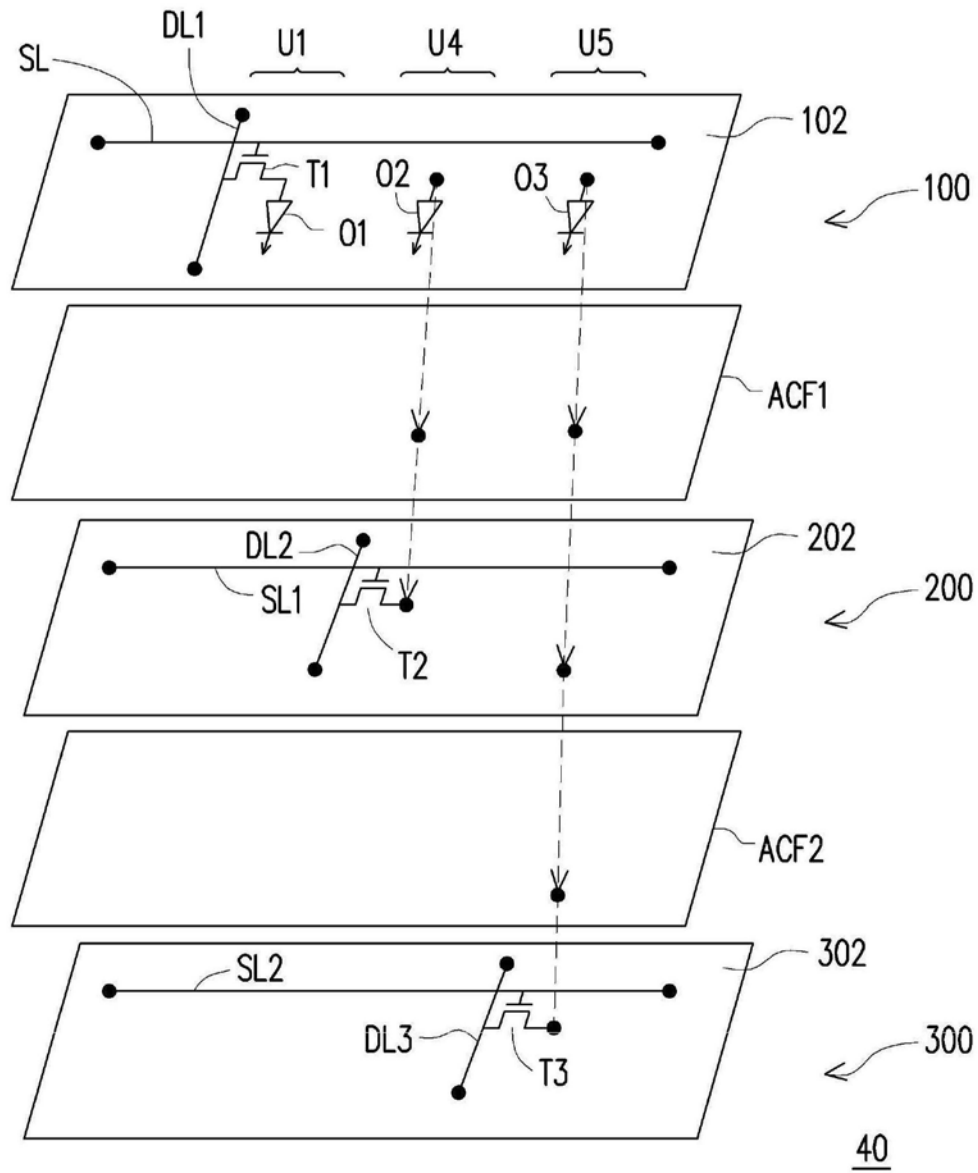


图8

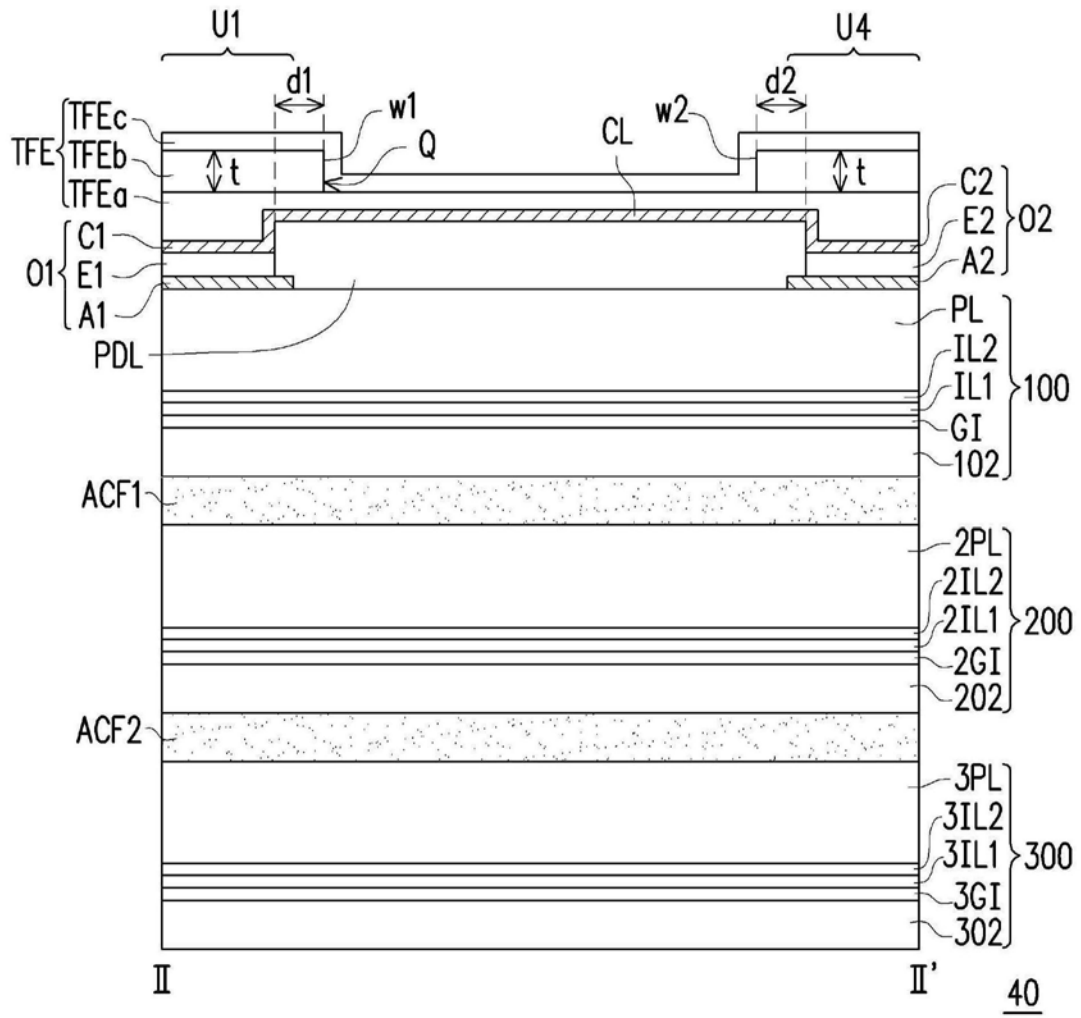


图9

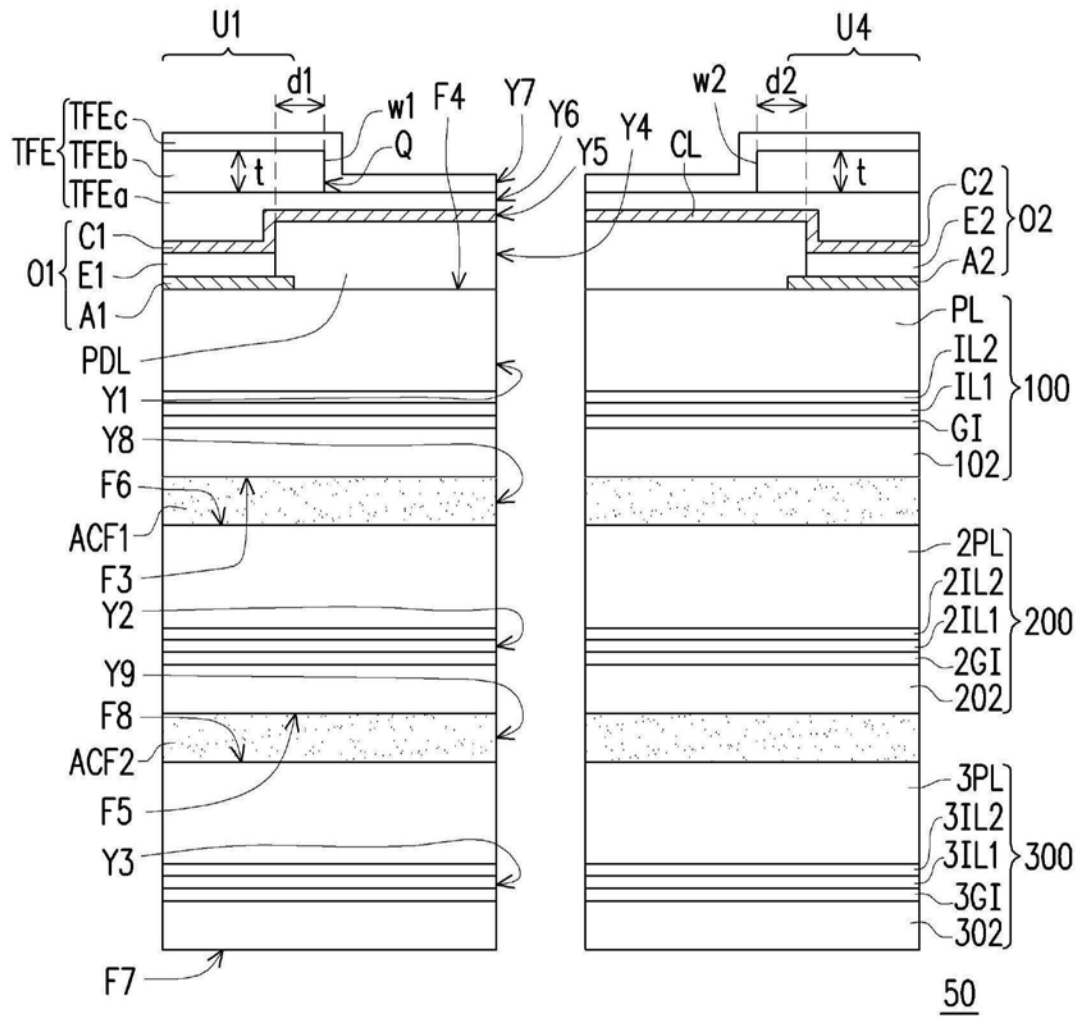


图10

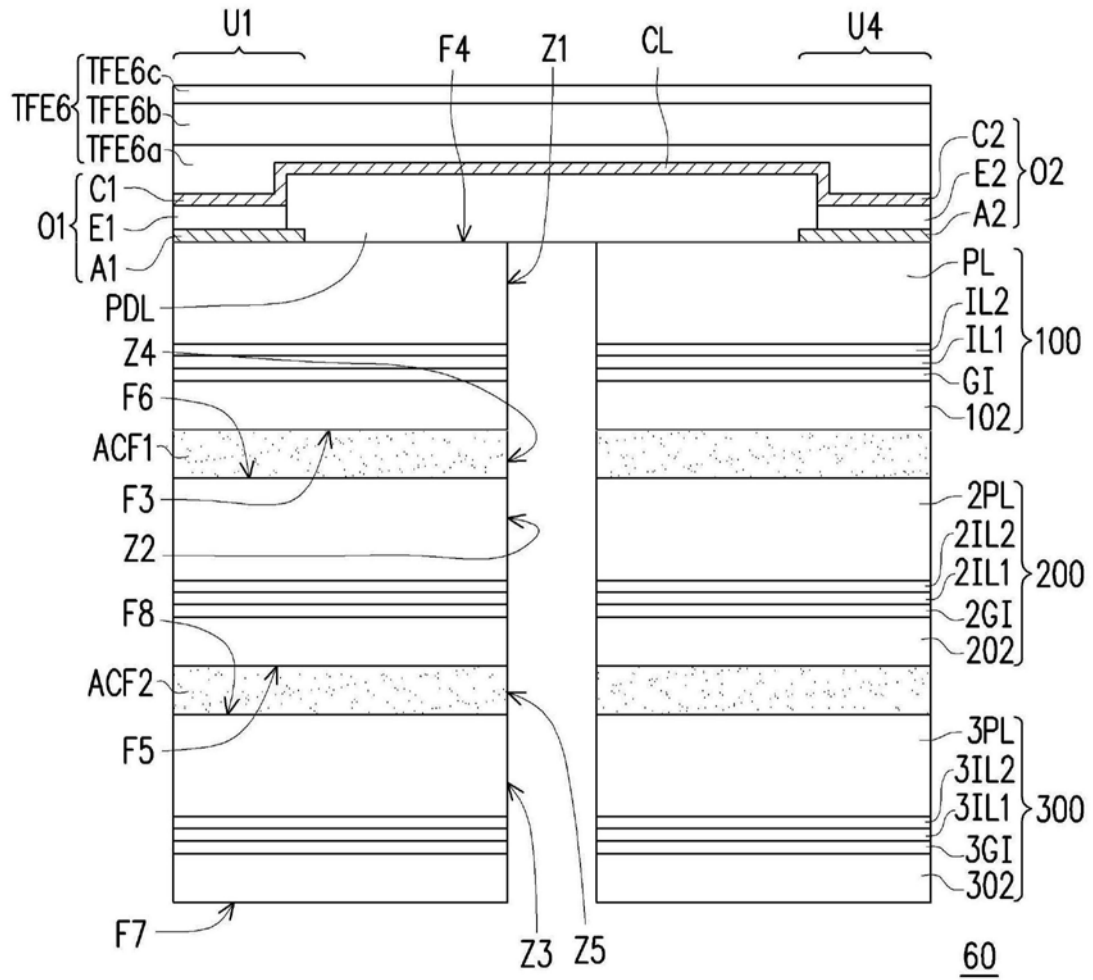


图11

专利名称(译)	像素结构		
公开(公告)号	CN109742127A	公开(公告)日	2019-05-10
申请号	CN201910040724.1	申请日	2019-01-16
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	徐理智 柯聪盈 许雅婷 薛芷苓 王万仓 陈勇志 胡克龙 刘俊欣		
发明人	徐理智 柯聪盈 许雅婷 薛芷苓 王万仓 陈勇志 胡克龙 刘俊欣		
IPC分类号	H01L27/32 G09F9/30		
代理人(译)	黄艳		
优先权	107140178 2018-11-13 TW		
外部链接	Espacenet SIPO		

摘要(译)

一种像素结构，包括第一元件基板、相邻的第一发光元件及第二发光元件、第一无机封装层、有机封装层及第二无机封装层。第一发光元件及第二发光元件配置于第一元件基板上且与第一元件基板电性连接，其中第一发光元件包括第一发光层，且第二发光元件包括第二发光层。第一无机封装层覆盖第一发光元件及第二发光元件。有机封装层配置于第一无机封装层上，其中有机封装层具有第一开口，第一开口位于第一发光元件的第一发光层与第二发光元件的第二发光层之间。第二无机封装层配置于有机封装层上。

