



(12)发明专利申请

(10)申请公布号 CN 108630152 A

(43)申请公布日 2018. 10. 09

(21)申请号 201810431269.3

(22)申请日 2018.05.08

(71)申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

申请人 合肥京东方光电科技有限公司

(72)发明人 化磊 凌杰 王东辉

(74)专利代理机构 北京清亦华知识产权代理事
务所(普通合伙) 11201

代理人 张润

(51)Int.Cl.

G09G 3/3291(2016.01)

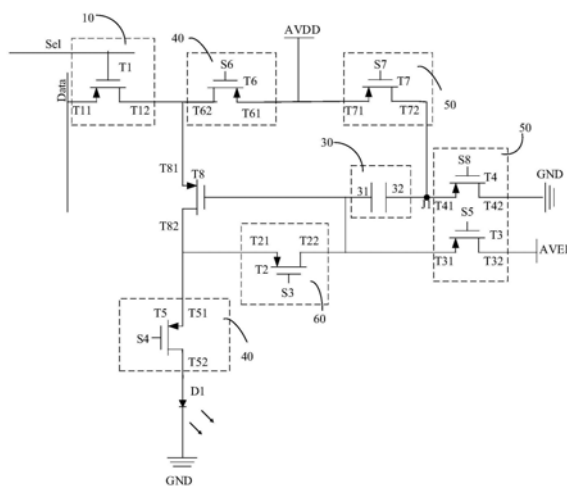
权利要求书2页 说明书9页 附图3页

(54)发明名称

显示装置及其像素驱动电路和驱动方法

(57)摘要

本发明提出一种显示装置及其像素驱动电路和驱动方法,其中,通过将数据电压提供给驱动晶体管的第一极;对存储子电路进行充电或放电以在驱动晶体管的控制极处于浮接状态时保持第一节点与驱动晶体管的控制极之间的电压差稳定;将第一电压端的第一电压信号提供给驱动晶体管的控制极,将第二电压端的第二电压信号或第三电压端的第三电压信号提供给第一节点;将数据电压和驱动晶体管的阈值电压写入至驱动晶体管的控制极;导通驱动晶体管的第二极和发光元件的第一端,在第二发光控制信号端的控制下,导通驱动晶体管的第一极和第三电压端,以控制发光元件发光,解决现有技术中解决了因晶体管开启电压波动导致的OLED显示画面异常的问题。



1. 一种像素驱动电路,其特征在于,包括发光元件、驱动晶体管、存储子电路、数据写入子电路、发光控制子电路、充电控制子电路和阈值电压补偿子电路,其中,

所述数据写入子电路与所述驱动晶体管相连,用于在选择信号端的控制下将数据线提供的电压提供给所述驱动晶体管的第一极;

所述存储子电路分别与所述驱动晶体管的控制极和第一节点相连,用于在所述第一节点的信号与所述驱动晶体管的控制极的信号的控制下进行充电或放电,以及在所述驱动晶体管的控制极处于浮接状态时保持所述第一节点与所述驱动晶体管的控制极之间的电压差稳定;

所述充电控制子电路分别与所述第一节点和所述驱动晶体管的控制极相连,用于在第一信号端的控制下将第一电压端的第一电压信号提供给所述驱动晶体管的控制极,以及在第二信号端和第三信号端的控制下将第二电压端的第二电压信号或第三电压端的第三电压信号提供给第一节点;

所述阈值电压补偿子电路分别与所述驱动晶体管的控制极和所述驱动晶体管的第二极相连,用于在第四信号端的控制下将所述驱动晶体管的控制极与所述驱动晶体管的第二极相连,以将所述数据电压和所述驱动晶体管的阈值电压写入至驱动晶体管的控制极;

所述发光控制子电路分别与所述发光元件、所述驱动晶体管和所述充电控制子电路相连,用于在第一发光控制信号端的控制下,导通驱动晶体管的第二极和发光元件的第一端,以及在第二发光控制信号端的控制下,导通驱动晶体管的第一极和第三电压端,以控制所述发光元件发光。

2. 如权利要求1所述的像素驱动电路,其特征在于,所述数据写入子电路包括:

第一晶体管,所述第一晶体管的第一极与所述数据线相连,所述第一晶体管的控制极与所述选择信号端相连,所述第一晶体管的第二极分别与所述驱动晶体管的第一极和所述发光控制子电路相连。

3. 如权利要求1所述的像素驱动电路,其特征在于,所述阈值电压补偿子电路包括:

第二晶体管,所述第二晶体管的第一极与所述驱动晶体管的第二极相连,所述第二晶体管的第二极与所述驱动晶体管的控制极和所述存储子电路的第一端相连,所述第二晶体管的控制极与第四信号端相连。

4. 如权利要求1所述的像素驱动电路,其特征在于,所述充电控制子电路包括:

第三晶体管,所述第三晶体管的第一极与所述阈值电压补偿子电路和所述存储子电路的第一端相连,所述第三晶体管的第二极与第一电压端相连,所述第三晶体管的控制极与所述第一信号端相连;

第四晶体管,所述第四晶体管的第一极与所述第一节点相连,所述第四晶体管的第二极与所述第二电压端相连,所述第四晶体管的控制极与所述第二信号端相连;

第七晶体管,所述第七晶体管的第一极分别与所述发光控制子电路和所述第三电压端相连,所述第七晶体管的第二极与所述第一节点相连,所述第七晶体管的控制极与第三信号端相连。

5. 如权利要求1所述的像素驱动电路,其特征在于,所述发光控制子电路包括:

第五晶体管,所述第五晶体管的第一极与所述驱动晶体管的第二极相连,所述第五晶体管的第二极与所述发光元件相连,所述第五晶体管的控制极与第一发光控制信号端相

连；

第六晶体管，所述第六晶体管的第一极连接到所述第三电压端，所述第六晶体管的第二极与所述驱动晶体管的第一极相连，所述第六晶体管的控制极与第二发光控制信号端相连。

6. 如权利要求1所述的像素驱动电路，其特征在于，所述存储子电路为存储电容。

7. 如权利要求1所述的像素驱动电路，其特征在于，所述选择信号端与第四信号端为同一信号端。

8. 如权利要求1所述的像素驱动电路，其特征在于，所述第三信号端、第一发光控制信号端和第二发光控制信号端为同一信号端。

9. 一种显示装置，其特征在于，包括如权利要求1-8中任一项所述的像素驱动电路。

10. 一种如权利要求1所述的像素驱动电路的驱动方法，其特征在于，

第一信号端和第二信号端分别向所述充电控制子电路提供打开信号，以使得第一电压端的第一电压信号提供给所述驱动晶体管的控制极，第二电压端的第二电压信号提供给所述第一节点以对所述存储子电路进行充电；

选择信号端向所述数据写入子电路提供打开信号，以使得数据线提供的数据电压提供给所述驱动晶体管的第一极，第四信号端向所述阈值电压补偿子电路提供打开信号，以使得所述驱动晶体管的控制极与所述驱动晶体管的第二极相连，以将所述数据电压和所述驱动晶体管的阈值电压写入至驱动晶体管的控制极；

第三信号端向所述充电控制子电路提供打开信号，以使得第三电压端的第三电压信号提供给所述第一节点，第一发光控制信号端和第二发光控制信号端向所述发光控制子电路提供打开信号，以将第三电压端的第三电压信号提供给驱动晶体管的第一极，并导通驱动晶体管的第二极和发光元件的第一端以控制所述发光元件发光。

11. 如权利要求10所述的驱动方法，其特征在于，所述第一电压信号与所述数据电压之间的差值的绝对值大于所述驱动晶体管的阈值电压。

12. 如权利要求10所述的驱动方法，其特征在于，所述选择信号端提供的选择信号与第四信号端提供的第四信号相同。

13. 如权利要求10所述的驱动方法，其特征在于，所述第三信号端提供的第三信号、第一发光控制信号端提供的第一发光控制信号和第二发光控制信号端提供的第二发光控制信号相同。

显示装置及其像素驱动电路和驱动方法

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素驱动电路、一种显示装置及一种像素驱动电路的驱动方法。

背景技术

[0002] 近年来,有机发光二极管显示(Organic Light-Emitting Diode,OLED)需求越来越大,特别是小尺寸柔性曲面屏、弯曲电视等大尺寸上的应用越来越受到显示行业的关注。

[0003] 与其它显示器相比OLED显示装置因为具有自发光、全彩色显示、宽视角、高亮度、高对比度和低功耗等优势而有着广阔的市场。但是,相关技术存在的问题是,传统的2T1C电路只是简单的将电压信号转为电流信号,没有考虑晶体管在制作过程中因为工艺波动影响导致的开启电压波动问题,造成OLED显示画面有明显的斑点、Mura等画质出现,影响产品的显示品质。

发明内容

[0004] 本发明旨在至少在一定程度上解决相关技术中的技术问题之一。为此,本发明的第一个目的在于提出一种像素驱动电路,能够消除驱动子电路的开启电压对发光元件的影响。

[0005] 本发明的第二个目的在于提出一种显示装置。

[0006] 本发明的第三个目的在于提出一种像素驱动电路的驱动方法。

[0007] 为达上述目的,本发明第一方面实施例提出了一种像素驱动电路,包括发光元件、驱动晶体管、存储子电路、数据写入子电路、发光控制子电路、充电控制子电路、阈值电压补偿子电路,其中,所述数据写入子电路与所述驱动晶体管相连,用于在选择信号端的控制下将数据线提供的数据电压提供给所述驱动晶体管的第一极;所述存储子电路分别与所述驱动晶体的控制极和第一节点相连,用于在所述第一节点的信号与所述驱动晶体的控制极的信号的控制下进行充电或放电,以及在所述驱动晶体的控制极处于浮接状态时保持所述第一节点与所述驱动晶体的控制极之间的电压差稳定;所述充电控制子电路分别与所述第一节点和所述驱动晶体的控制极相连,用于在第一信号端的控制下将第一电压端的第一电压信号提供给所述驱动晶体的控制极,以及在第二信号端和第三信号端的控制下将第二电压端的第二电压信号或第三电压端的第三电压信号提供给第一节点;所述阈值电压补偿子电路分别与所述驱动晶体的控制极和所述驱动晶体的第二极相连,用于在第四信号端的控制下将所述驱动晶体的控制极与所述驱动晶体的第二极相连,以将所述数据电压和所述驱动晶体的阈值电压写入至驱动晶体的控制极;所述发光控制子电路,分别与所述发光元件、所述驱动晶体管和所述充电控制子电路相连,用于在第一发光控制信号端的控制下,导通驱动晶体的第二极和发光元件的第一端,以及在第二发光控制信号端的控制下,导通驱动晶体的第一极和第三电压端,以控制所述发光元件发光。

[0008] 根据本发明实施例提出的像素驱动电路,在选择信号端的控制下将数据线提供的

数据电压提供给驱动晶体管的第一极,在第一节点的信号与驱动晶体管的控制极的信号的控制下进行充电或放电,在驱动晶体管的控制极处于浮接状态时保持第一节点与驱动晶体管的控制极之间的电压差稳定,在第一信号端的控制下将第一电压端的第一电压信号提供给驱动晶体管的控制极,在第二信号端和第三信号端的控制下将第二电压端的第二电压信号或第三电压信号端的第三电压信号提供给第一节点,在第四信号端的控制下将驱动晶体管的控制极与驱动晶体管的第二极相连,以将数据电压和驱动晶体管的阈值电压写入驱动晶体管的控制极,在第一发光控制信号的控制下,导通驱动晶体管的第二极和发光元件的第一端,在第二发光控制信号端的控制下,导通驱动晶体管的第一极和第三电压端,以控制发光元件发光。由此,本发明实施例的像素驱动电路能够消除驱动子电路的开启电压对发光元件的影响,从而解决了因晶体管开启电压波动导致的OLED显示画面异常的问题。

[0009] 根据本发明的一个实施例,所述数据写入子电路包括:第一晶体管,所述第一晶体管的第一极与所述数据线相连,所述第一晶体管的控制极与所述选择信号端相连,所述第一晶体管的第二极分别与所述驱动晶体管的第一极和所述发光控制子电路相连。

[0010] 根据本发明的一个实施例,所述阈值电压补偿子电路包括:第二晶体管,所述第二晶体管的第一极与所述驱动晶体管的第二极相连,所述第二晶体管的第二极与所述驱动晶体管的控制极和所述存储子电路的第一端相连,所述第二晶体管的控制极与第四信号端相连。

[0011] 根据本发明的一个实施例,所述充电控制子电路包括:第三晶体管,所述第三晶体管的第一极与所述阈值电压补偿子电路和所述存储子电路的第一端相连,所述第三晶体管的第二极与第一电压端相连,所述第三晶体管的控制极与所述第一信号端相连;第四晶体管,所述第四晶体管的第一极与所述第一节点相连,所述第四晶体管的第二极与所述第二电压端相连,所述第四晶体管的控制极与所述第二信号端相连;第七晶体管,所述第七晶体管的第一极分别与所述发光控制子电路和所述第三电压端相连,所述第七晶体管的第二极与所述第一节点相连,所述第七晶体管的控制极与第三信号端相连。

[0012] 根据本发明的一个实施例,所述发光控制子电路包括:第五晶体管,所述第五晶体管的第一极与所述驱动晶体管的第二极相连,所述第五晶体管的第二极与所述发光元件相连,所述第五晶体管的控制极与第一发光控制信号端相连;第六晶体管,所述第六晶体管的第一极连接到所述第三电压端,所述第六晶体管的第二极与所述驱动晶体管的第一极相连,所述第六晶体管的控制极与第二发光控制信号端相连。

[0013] 根据本发明的一个实施例,所述存储子电路为存储电容。

[0014] 根据本发明的一个实施例,所述选择信号端与第四信号端为同一信号端。

[0015] 根据本发明的一个实施例,所述第三信号端、第一发光控制信号端和第二发光控制信号端为同一信号端。

[0016] 为达到上述目的,本发明第二方面实施例提出的显示装置,包括所述的像素驱动电路。

[0017] 根据本发明实施例的显示装置,通过像素驱动电路能够消除因晶体管开启电压波动导致的OLED显示画面异常的问题。

[0018] 为达到上述目的,本发明第三方面实施例提出的像素驱动电路的驱动方法,第一信号端和第二信号端分别向所述充电控制子电路提供打开信号,以使得第一电压端的第一

电压信号提供给所述驱动晶体管的控制极,第二电压端的第二电压信号提供给所述第一节点以对所述存储子电路进行充电;选择信号端向所述数据写入子电路提供打开信号,以使得数据线提供的数据电压提供给所述驱动晶体管的第一极,第四信号端向所述阈值电压补偿子电路提供打开信号,以使得所述驱动晶体管的控制极与所述驱动晶体管的第二极相连,以将所述数据电压和所述驱动晶体管的阈值电压写入至驱动晶体管的控制极;第三信号端向所述充电控制子电路提供打开信号,以使得第三电压端的第三电压信号提供给所述第一节点,第一发光控制信号端和第二发光控制信号端向所述发光控制子电路提供打开信号,以将第三电压端的第三电压信号提供给驱动晶体管的第一极,并导通驱动晶体管的第二极和发光元件的第一端以控制所述发光元件发光。

[0019] 根据本发明实施例提出的像素驱动电路的驱动方法,第一信号端和第二信号端分别向充电控制子电路提供打开信号,使得第一电压端的第一电压信号提供给驱动晶体管的控制极,第二电压端的第二电压信号提供给第一节点以对存储子电路进行充电,选择信号端向数据写入子电路提供打开信号,使得数据线提供的数据电压提供给驱动晶体管的第一极,第四信号端向阈值电压补偿子电路提供打开信号,使得驱动晶体管的控制极与驱动晶体管的第二极相连,以将数据电压和驱动晶体管的阈值电压写入至驱动晶体管的控制极,第三信号端向充电控制子电路提供打开信号,使得第三电压端的第三电压信号提供给第一节点,第一发光控制信号端和第二发光控制信号端向发光控制子电路提供打开信号,以将第三电压端的第三电压信号提供给驱动晶体管的第一极,并导通驱动晶体管的第二极和发光元件的第一端以控制发光元件发光。由此,本发明实施例的驱动方法能够消除驱动子电路的开启电压对发光元件的影响,从而解决了因晶体管开启电压波动导致的OLED显示画面异常的问题。

[0020] 根据本发明的一个实施例,所述驱动子电路包括驱动晶体管,其中,所述第一电压信号与所述数据电压之间的差值的绝对值大于所述驱动晶体管的阈值电压。

[0021] 根据本发明的一个实施例,所述选择信号端提供的选择信号与第四信号端提供的第四信号相同。

[0022] 根据本发明的一个实施例,所述第三信号端提供的第三信号、第一发光控制信号端提供的第一发光控制信号和第二发光控制信号端提供的第二发光控制信号相同。

附图说明

[0023] 本发明上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解,其中:

[0024] 图1为根据本发明一个实施例的像素驱动电路的电路原理图;

[0025] 图2为根据本发明一个实施例的像素驱动电路的控制时序图;

[0026] 图3为根据本发明实施例的显示装置的方框示意图;

[0027] 图4为根据本发明实施例的移位寄存器的控制方法的流程图。

具体实施方式

[0028] 下面详细描述本发明的实施例,所述实施例的示例在附图中示出,其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附

图描述的实施例是示例性的,旨在用于解释本发明,而不能理解为对本发明的限制。

[0029] 下面参考附图描述本发明实施例的方法和装置。

[0030] 图1为根据本发明一个实施例的像素驱动电路的电路原理图。如图1所示,本发明实施例的像素驱动电路100包括:发光元件D1、驱动晶体管T8、存储子电路30、数据写入子电路10、发光控制子电路40、充电控制子电路50和阈值电压补偿子电路60。

[0031] 其中,数据写入子电路10与驱动晶体管T8相连,用于在选择信号端SEL的控制下将数据线Data提供的的数据电压 V_{data} 提供给驱动晶体管T8的第一极T81。

[0032] 存储子电路30分别与驱动晶体管T8的控制极和第一节点J1相连,用于在第一节点J1的信号与驱动晶体管T8的控制极的信号的控制下进行充电或放电,以及在驱动晶体管T8的控制极处于浮接状态时保持第一节点J1与驱动晶体管T8的控制极之间的电压差稳定。

[0033] 充电控制子电路50分别与第一节点J1和驱动晶体管T8的控制极相连,用于在第一信号端S5的控制下将第一电压端AVEE的第一电压信号提供给驱动晶体管T8的控制极,以及在第二信号端S8和第三信号端S7的控制下将第二电压端GND的第二电压信号或第三电压端S7的第三电压信号提供给第一节点J1。

[0034] 阈值电压补偿子电路60分别与驱动晶体管T8的控制极和驱动晶体管T8的第二极T82相连,用于在第四信号端S3的控制下将驱动晶体管T8的控制极与驱动晶体管T8的第二极T82相连,以将数据电压 V_{data} 和驱动晶体管T8的阈值电压 V_{th} 写入至驱动晶体管T8的控制极。

[0035] 发光控制子电路40分别与发光元件D1、驱动晶体管和充电控制子电路50相连,用于在第一发光控制信号端S4的控制下,导通驱动晶体管T8的第二极T82和发光元件D1的第一端,以及在第二发光控制信号端S6的控制下,导通驱动晶体管T8的第一极T81和第三电压端AVDD,以控制发光元件D1发光。

[0036] 如图1所示,在本发明实施例中,数据写入子电路10包括第一晶体管T1,第一晶体管T1的第一极T11与数据线Data相连,第一晶体管T1的控制极与选择信号端SEL相连,第一晶体管T1的第二极T12分别与驱动晶体管T8的第一极T81和发光控制子电路40相连。

[0037] 阈值电压补偿子电路60包括第二晶体管T2,第二晶体管T2的第一极T21与驱动晶体管T8的第二极T82相连,第二晶体管T2的第二极T22与驱动晶体管T8的控制极和存储子电路30的第一端31相连,第二晶体管T2的控制极与第四信号端S3相连。

[0038] 其中,如图2所示,选择信号端SEL提供的选择信号与第四信号端S3提供的第四信号相同或选择信号端SEL与第四信号端S3为同一信号端,即,选择信号和第四信号可同时为低电平或同时为高电平,其中,选择信号和第四信号低电平的电压值可为-12V,高电平的电压值可为+18V。

[0039] 进一步地,如图1所示,充电控制子电路50包括第三晶体管T3、第四晶体管T4和第七晶体管T7,第三晶体管T3的第一极T31与阈值电压补偿子电路60和存储子电路30的第一端31相连,第三晶体管T3的第二极T32与第一电压端AVEE相连,第三晶体管T3的控制极与第一信号端S5相连,第四晶体管T4的第一极T41与第一节点J1相连,第四晶体管T4的第二极T42与第二电压端GND相连,第四晶体管T4的控制极与第二信号端S8相连,第七晶体管T7的第一极T71分别与发光控制子电路40和第三电压端AVDD相连,第七晶体管T7的第二极T72与第一节点J1相连,第七晶体管T7的控制极与第三信号端S7相连。

[0040] 其中,第二电压端GND为低电平电压,在本发明实施例中,第二电压端GND为地。

[0041] 发光控制子电路40包括第五晶体管T5和第六晶体管T6,其中,第五晶体管T5的第一极T51与驱动晶体管T8的第二极T82相连,第五晶体管T5的第二极T52与发光元件D1相连,第五晶体管T5的控制极与第一发光控制信号端S4相连;第六晶体管T6的第一极T61连接到第三电压端AVDD,第六晶体管T6的第二极T62与驱动晶体管T8的第一极T81相连,第六晶体管T6的控制极与第二发光控制信号端S6相连。

[0042] 其中,第三信号端S7提供的第三信号、第一发光控制信号端S4提供的第一发光控制信号和第二发光控制信号端S6提供的第二发光控制信号相同或第三信号端S7、第一发光控制信号端S4以及第二发光控制信号端S6为同一信号端,即,第三信号、第一发光控制信号和第二发光控制信号可同为低电平或同为高电平,其中,第三信号、第一发光控制信号和第二发光控制信号的低电平的电压值可为-12V,高电平的电压值可为+18V。

[0043] 其中,存储子电路30可为存储电容。

[0044] 需要说明的是,在本发明实施例提供的上述像素驱动电路中,驱动晶体管和开关晶体管可以是薄膜晶体管(TFT,Thin Film Transistor),也可以是金属氧化物半导体场效应管(MOS,Metal Oxide Semiconductor),在此不作限定。在具体实施时,这些开关晶体管的控制极作为开关晶体管的栅极,并且这些开关晶体管根据开关晶体管类型以及信号端的信号的不同,可以将第一极作为开关晶体管的源极或漏极,以及将第二极作为开关晶体管的漏极或源极,在此不作限定。并且在描述具体实施例时,均是以驱动晶体管和开关晶体管为薄膜晶体管为例进行说明的。

[0045] 下面根据图2中的时序阶段与图1的电路原理图,对像素驱动电路的工作原理进行说明。

[0046] 如图2所示,在本发明实施例中,像素驱动电路可分为三个阶段:初始化阶段State1、开启电压补偿阶段State2和显示阶段State3。

[0047] 在初始化阶段State1,控制选择信号端SEL、第四信号端S3、第一发光控制信号端S4、第二发光控制信号端S6和第三信号端S7均提供低电平,即电压值为-12V,以使第一晶体管T1、第二晶体管T2、第五晶体管T5、第六晶体管T6和第七晶体管T7均工作于截止区。在初始阶段State1时可以将第一信号端S5和第二信号端S8置为高电平,即电压值为+18V,使第三晶体管T3和第四晶体管T4工作于饱和区。

[0048] 也就是说,在初始化阶段State1,充电控制子电路50的第三晶体管T3和第四晶体管T4处于导通工作状态,此时,第一电压端AVEE通过第三晶体管T3对存储子电路30进行充电,存储子电路30的第一端31被写入第一电压端AVEE的电压,由于驱动晶体管T8的控制端也与存储子电路30的第一端31相连,因此驱动晶体管T8的控制端也具有与第一电源AVEE电压值相等的电压,即驱动晶体管T8的控制极处于浮接状态时通过存储子电路30保持第一节点与驱动晶体管T8的控制极之间的电压差稳定,其中,第一电压端AVEE的电压值可根据驱动晶体管T8的实际参数进行设置,在本发明实施例中,第一电压端AVEE的电压值为-5V。

[0049] 应当理解的是,由于存储子电路30的第二端32通过第四晶体管T4与第二电压端GND相连,因此存储子电路30的第二端32的电压值可0V,即言,在初始化阶段State1结束后存储子电路30的两端电压差为5V,且存储子电路30的第一端31的电压值为-5V,存储子电路30的第二端32的电压值为0V,即第一节点J1的电压值为0V。而且,应当注意的是,第一电压

端AVEE提供给驱动晶体管T8的电压与数据线Data提供的的数据电压 V_{data} 的电压差的绝对值必须大于驱动晶体管T8的阈值电压 V_{th} ,以确保驱动晶体管T8在开启电压补偿阶段State2能够被充分打开。

[0050] 在开启电压补偿阶段State2,如图2所示,第一发光控制信号端S4、第二发光控制信号端S6和第三信号端S7维持在初始阶段State1时的低电平不变,然后将选择信号端SEL、第四信号端S3、第二信号端S8置为高电平,同时将第一信号端S5置为低电平,此时,选择信号、第四信号和第二信号均为高电平,即电压值为+18V,第一发光控制信号、第二发光控制信号、第一信号、第三信号均为低电平,即电压值为-12V,以使第五晶体管T5、第三晶体管T3、第六晶体管T6和第七晶体管T7均工作于截止区,第一晶体管T1、第二晶体管T2和第四晶体管T4均工作于饱和区。

[0051] 也就是说,在开启电压补偿阶段State2,数据线Data提供的的数据电压选择信号端的控制下通过数据写入子电路10写入至驱动晶体管T8,并通过数据写入子电路10、驱动晶体管T8和阈值电压补偿子电路60给存储子电路30充电,即将数据电压 V_{data} 通过数据写入子电路10、驱动子电路T8和阈值电压补偿子电路60写入至存储子电路30的第一端31,同时驱动晶体管T8的阈值电压 V_{th} 也通过阈值电压补偿子电路60写入存储子电路30的第一端,从而使存储子电路30的电压为数据电压 V_{data} 与驱动晶体管T8的驱动电压 V_{th} 之和,即 $|V_{data}+V_{th}|$,换言之,驱动晶体管T8的栅极电压也为 $|V_{data}+V_{th}|$,即对驱动晶体管T8的电压进行了补偿。其中,数据电压 V_{data} 为负电压。

[0052] 在显示阶段State3,控制选择信号端SEL、第四信号端S3、第一信号端S5和第二信号端S8置为低电平,即电压值为-12V,以及控制第一发光控制信号端S4、第二发光控制信号端S6和第三信号端S7置为高电平,即电压值为+18V,以使第一晶体管T1、第二晶体管T2、第三晶体管T3和第四晶体管T4工作于截止区,第五晶体管T5、第六晶体管T6和第七晶体管T7工作于饱和区。

[0053] 也就是说,在显示阶段State3,存储子电路30的第二端32(即第一节点J1)通过第七晶体管T7与第三电压端AVDD连接,此时,第三电压端AVDD通过发光控制子电路40将发光元件D1点亮,驱动晶体管T8工作在恒流区。

[0054] 具体地,因为存储子电路30在开启电压补偿阶段State2结束时两端电压差为 $|V_{data}+V_{th}|$,根据电荷守恒可知,此时驱动晶体管T8的栅极电压为 $V_{data}+V_{th}+AVDD$,因此,驱动晶体管T8的开启电压 U_{gs} 为:

$$[0055] \quad U_{gs} = (V_{data}+V_{th}+AVDD) - AVDD = V_{data}+V_{th}$$

[0056] 根据晶体管漏极电流 I_d 公式:

$$[0057] \quad I_d = \mu_p * C_{ox} * W / L * (U_{gs} - V_{th})^2$$

[0058] 其中, μ_p 为晶体管的空穴迁移率, C_{ox} 为晶体管单位面积栅电容, W 为晶体管的沟道宽度, L 为晶体管的沟道长度。

[0059] 进一步地,漏极电流 I_d 可为:

$$[0060] \quad I_d = \mu_p * C_{ox} * W / L * (V_{data}+V_{th}-V_{th})^2 = \mu_p * C_{ox} * W / L * V_{data}^2$$

[0061] 也就是说,驱动晶体管T8的开启电压 V_{th} 对漏极电流 I_d 的大小没有影响,即消除了驱动晶体管T8开启电压 V_{th} 的影响,进而解决了因驱动晶体管开启电压 V_{th} 波动导致的OLED显示画面异常的问题。

[0062] 综上所述,根据本发明实施例提出的像素驱动电路,在选择信号端的孔子下将数据线提供的电压提供驱动晶体管的第一极,在第一节点的信号与驱动晶体管的控制极的信号的控制下进行充电或放电,在驱动晶体管的控制极处于浮接状态时保持第一节点与驱动晶体管的控制极之间的电压差稳定,在第一信号端的控制下将第一电压端的第一电压信号提供驱动晶体管的控制极,在第二信号端和第三信号端的控制下将第二电压端的第二电压信号或第三电压信号端的第三电压信号提供第一节点,在第四信号端的控制下将驱动晶体管的控制极与驱动晶体管的第二极相连,以将数据电压和驱动晶体管的阈值电压写入驱动晶体管的控制极,在第一发光控制信号的控制下,导通驱动晶体管的第二极和发光元件的第一端,在第二发光控制信号端的控制下,导通驱动晶体管的第一极和第三电压端,以控制发光元件发光。由此,本发明实施例的像素驱动电路能够消除驱动子电路的开启电压对发光元件的影响,从而解决了因晶体管开启电压波动导致的OLED显示画面异常的问题。

[0063] 本发明实施例还提出了一种显示装置,如图3所示,本发明实施例的显示装置200包括像素驱动电路100。

[0064] 根据本发明实施例的显示装置,通过像素驱动电路能够消除因晶体管开启电压波动导致的OLED显示画面异常的问题。

[0065] 图4为根据本发明实施例的像素驱动电路的驱动方法。像素驱动电路包括数据写入子电路、驱动晶体管、存储子电路、发光控制子电路、充电控制子电路、阈值电压补偿子电路和发光元件。

[0066] 如图4所示,本发明实施例的像素驱动电路,包括以下步骤:

[0067] S101:第一信号端和第二信号端分别向充电控制子电路提供打开信号,以使得第一电压端的第一电压信号提供驱动晶体管的控制极,第二电压端的第二电压信号提供第一节点以对存储子电路进行充电。

[0068] S102:选择信号端向数据写入子电路提供打开信号,以使得数据线提供的电压提供驱动晶体管的第一极,第四信号端向阈值电压补偿子电路提供打开信号,以使得驱动晶体管的控制极与驱动晶体管的第二极相连,以将数据电压和驱动晶体管的阈值电压写入至驱动晶体管的控制极。

[0069] S103:第三信号端向充电控制子电路提供打开信号,以使得第三电压端的第三电压信号提供第一节点,第一发光控制信号端和第二发光控制信号端向发光控制子电路提供打开信号,以将第三电压端的第三电压信号提供驱动晶体管的第一极,并导通驱动晶体管的第二极和发光器件的第一端以控制发光元件发光。

[0070] 根据本发明的一个实施例,驱动子电路包括驱动晶体管,其中,第一电压信号与数据电压之间的差值的绝对值大于驱动晶体管的阈值电压。

[0071] 根据本发明的一个实施例,选择信号端提供的选择信号与第四信号端提供的第四信号相同。

[0072] 根据本发明的一个实施例,第三信号端提供的第三信号、第一发光控制信号端提供的第一发光控制信号和第二发光控制信号端提供的第二发光控制信号相同。

[0073] 综上所述,根据本发明实施例提出的像素驱动电路的驱动方法,第一信号端和第二信号端分别向充电控制子电路提供打开信号,使得第一电压端的第一电压信号提供驱

动晶体管的控制极,第二电压端的第二电压信号提供给第一节点以对存储子电路进行充电,选择信号端向数据写入子电路提供打开信号,使得数据线提供的数据电压提供给驱动晶体管的第一极,第四信号端向阈值电压补偿子电路提供打开信号,使得驱动晶体管的控制极与驱动晶体管的第二极相连,以将数据电压和驱动晶体管的阈值电压写入至驱动晶体管的控制极,第三信号端向充电控制子电路提供打开信号,使得第三电压端的第三电压信号提供给第一节点,第一发光控制信号端和第二发光控制信号端向发光控制子电路提供打开信号,以将第三电压端的第三电压信号提供给驱动晶体管的第一极,并导通驱动晶体管的第二极和发光元件的第一端以控制发光元件发光。由此,本发明实施例的驱动方法能够消除驱动子电路的开启电压对发光元件的影响,从而解决了因晶体管开启电压波动导致的OLED显示画面异常的问题。

[0074] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”、“具体示例”、或“一些示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必须针对的是相同的实施例或示例。而且,描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外,在不相互矛盾的情况下,本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

[0075] 流程图中或在此以其他方式描述的任何过程或方法描述可以被理解为,表示包括一个或更多个用于实现定制逻辑功能或过程的步骤的可执行指令的代码的模块、片段或部分,并且本发明的优选实施方式的范围包括另外的实现,其中可以不按所示出或讨论的顺序,包括根据所涉及的功能按基本同时的方式或按相反的顺序,来执行功能,这应被本发明的实施例所属技术领域的技术人员所理解。

[0076] 在流程图中表示或在此以其他方式描述的逻辑和/或步骤,例如,可以被认为用于实现逻辑功能的可执行指令的定序列表,可以具体实现在任何计算机可读介质中,以供指令执行系统、装置或设备(如基于计算机的系统、包括处理器的系统或其他可以从指令执行系统、装置或设备取指令并执行指令的系统)使用,或结合这些指令执行系统、装置或设备而使用。就本说明书而言,“计算机可读介质”可以是任何可以包含、存储、通信、传播或传输程序以供指令执行系统、装置或设备或结合这些指令执行系统、装置或设备而使用的装置。计算机可读介质的更具体的示例(非穷尽性列表)包括以下:具有一个或多个布线的电连接部(电子装置),便携式计算机盘盒(磁装置),随机存取存储器(RAM),只读存储器(ROM),可擦除可编程只读存储器(EPROM或闪速存储器),光纤装置,以及便携式光盘只读存储器(CDROM)。另外,计算机可读介质甚至可以是可在其上打印所述程序的纸或其他合适的介质,因为可以例如通过对纸或其他介质进行光学扫描,接着进行编辑、解译或必要时以其他合适方式进行处理来以电子方式获得所述程序,然后将其存储在计算机存储器中。

[0077] 应当理解,本发明的各部分可以用硬件、软件、固件或它们的组合来实现。在上述实施方式中,多个步骤或方法可以用存储在存储器中且由合适的指令执行系统执行的软件或固件来实现。如,如果用硬件来实现和在另一实施方式中一样,可用本领域公知的下列技术中的任一项或他们的组合来实现:具有用于对数据信号实现逻辑功能的逻辑门电路的离散逻辑电路,具有合适的组合逻辑门电路的专用集成电路,可编程门阵列(PGA),现场可编

程门阵列 (FPGA) 等。

[0078] 本技术领域的普通技术人员可以理解实现上述实施例方法携带的全部或部分步骤是可以通程序来指令相关的硬件完成,所述的程序可以存储于一种计算机可读存储介质中,该程序在执行时,包括方法实施例的步骤之一或其组合。

[0079] 此外,在本发明各个实施例中的各功能单元可以集成在一个处理模块中,也可以是各个单元单独物理存在,也可以两个或两个以上单元集成在一个模块中。上述集成的模块既可以采用硬件的形式实现,也可以采用软件功能模块的形式实现。所述集成的模块如果以软件功能模块的形式实现并作为独立的产品销售或使用,也可以存储在一个计算机可读取存储介质中。

[0080] 上述提到的存储介质可以是只读存储器,磁盘或光盘等。尽管上面已经示出和描述了本发明的实施例,可以理解的是,上述实施例是示例性的,不能理解为对本发明的限制,本领域的普通技术人员在本发明的范围内可以对上述实施例进行变化、修改、替换和变型。

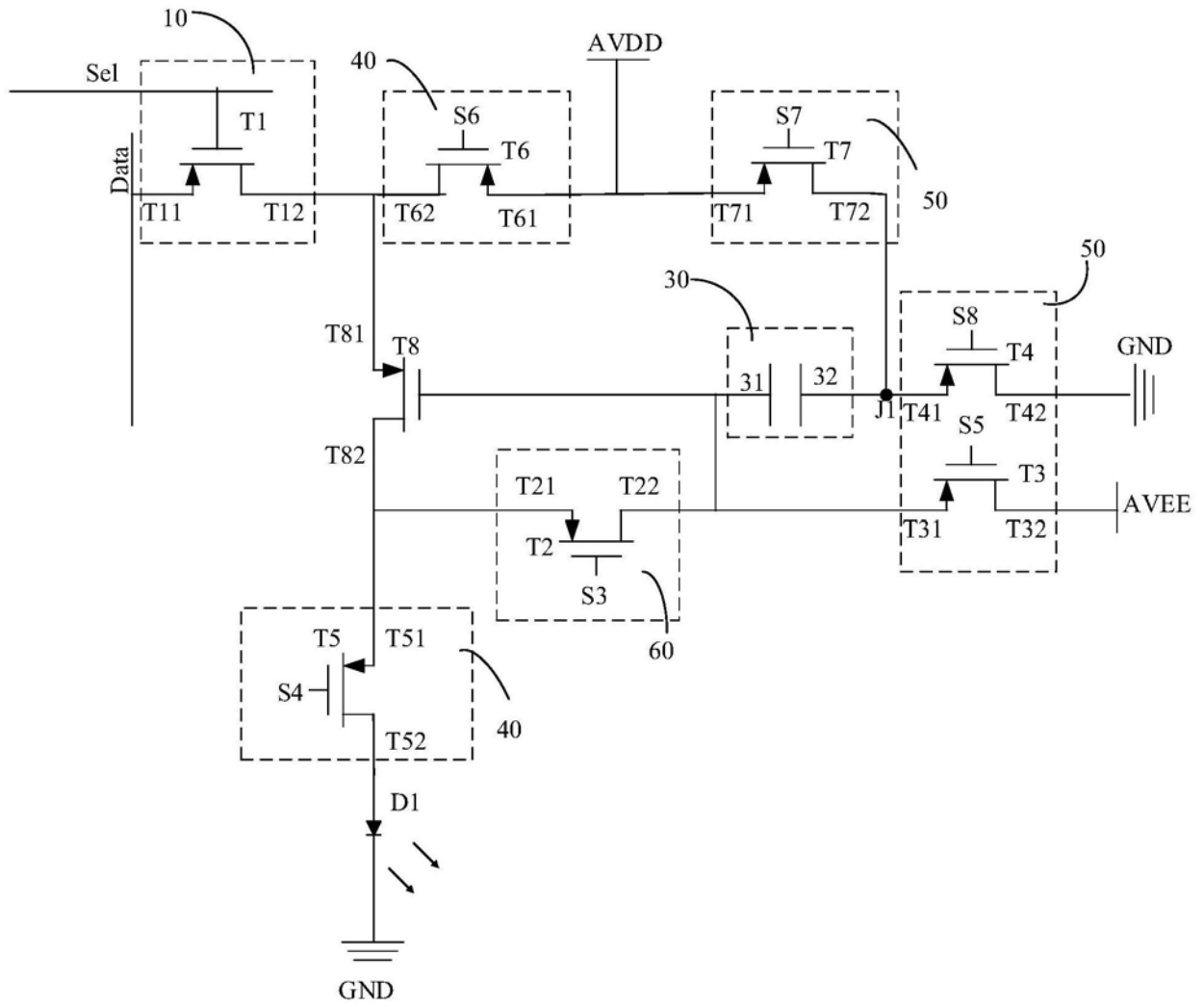


图1

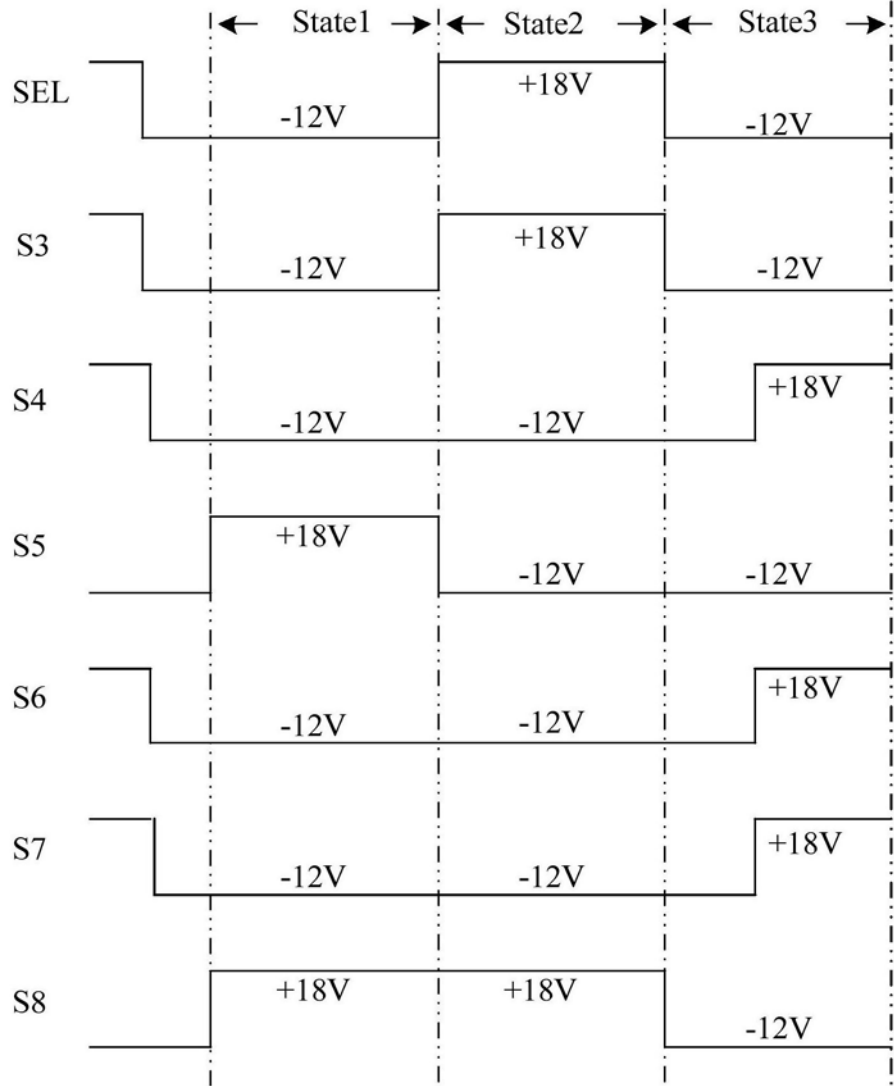


图2



图3

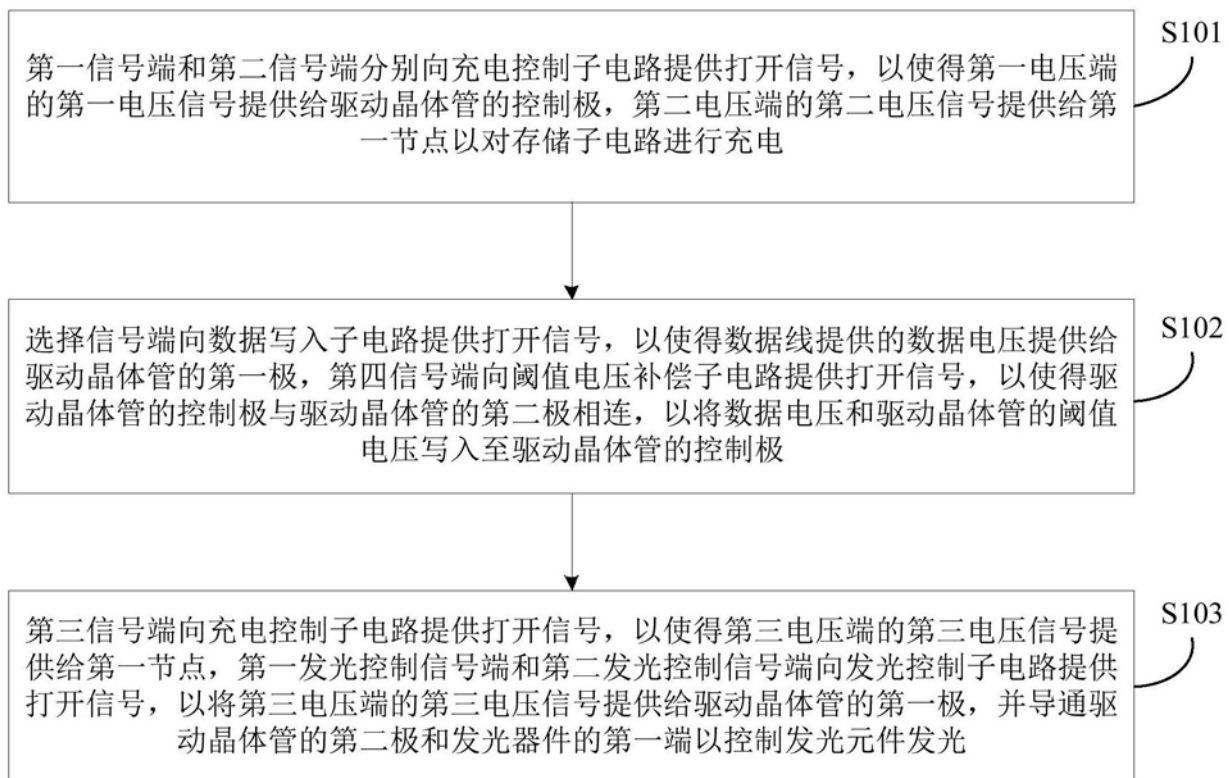


图4

专利名称(译)	显示装置及其像素驱动电路和驱动方法		
公开(公告)号	CN108630152A	公开(公告)日	2018-10-09
申请号	CN201810431269.3	申请日	2018-05-08
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 合肥京东方光电科技有限公司		
[标]发明人	化磊 凌杰 王东辉		
发明人	化磊 凌杰 王东辉		
IPC分类号	G09G3/3291		
CPC分类号	G09G3/3291 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2320/0233 G09G3/3258 G09G2300/0426 G09G2300/043 G09G2310/08		
代理人(译)	张润		
外部链接	Espacenet SIPO		

摘要(译)

本发明提出一种显示装置及其像素驱动电路和驱动方法，其中，通过将数据电压提供给驱动晶体管的第一极；对存储子电路进行充电或放电以在驱动晶体管的控制极处于浮接状态时保持第一节点与驱动晶体管的控制极之间的电压差稳定；将第一电压端的第一电压信号提供给驱动晶体管的控制极，将第二电压端的第二电压信号或第三电压端的第三电压信号提供给第一节点；将数据电压和驱动晶体管的阈值电压写入至驱动晶体管的控制极；导通驱动晶体管的第二极和发光元件的第一端，在第二发光控制信号端的控制下，导通驱动晶体管的第一极和第三电压端，以控制发光元件发光，解决现有技术中解决了因晶体管开启电压波动导致的OLED显示画面异常的问题。

