



(12)发明专利

(10)授权公告号 CN 105225637 B

(45)授权公告日 2018.01.26

(21)申请号 201410273863.6

(22)申请日 2014.06.18

(65)同一申请的已公布的文献号  
申请公布号 CN 105225637 A

(43)申请公布日 2016.01.06

(73)专利权人 上海和辉光电有限公司  
地址 201506 上海市金山区金山工业区大  
道100号1幢二楼208室

(72)发明人 张玮轩

(74)专利代理机构 上海申新律师事务所 31272  
代理人 吴俊

(51)Int.Cl.  
G09G 3/3233(2016.01)

(56)对比文件

- CN 1710637 A, 2005.12.21,
- CN 100514401 C, 2009.07.15,
- KR 20090046983 A, 2009.05.12,
- CN 102890910 A, 2013.01.23,
- CA 2510266 A1, 2006.12.27,
- CN 1870113 A, 2006.11.29,
- CN 101395653 A, 2009.03.25,
- CN 101939776 A, 2011.01.05,

审查员 李小艳

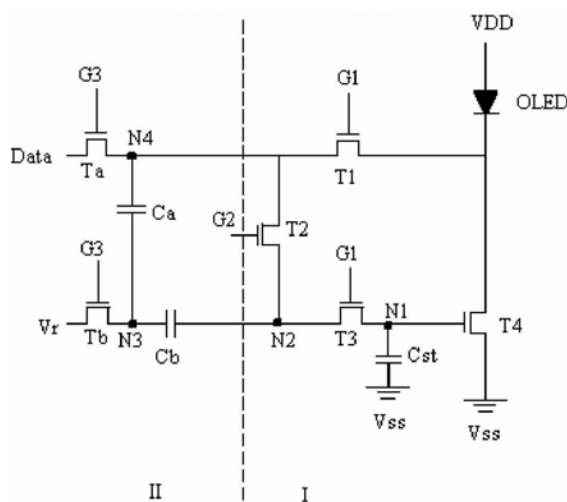
权利要求书2页 说明书6页 附图3页

(54)发明名称

一种像素补偿电路

(57)摘要

一种像素补偿电路,具体涉及像素补偿电路。包括:发光器件,在驱动信号作用下发光;驱动晶体管,在数据电压的作用下产生驱动信号;第一电压储存单元,用于储存数据电压;一数据电压端可切换地通过耦合电容向驱动晶体管的栅极写入数据电压;发光器件、第一电压储存单元和驱动晶体管位于一像素内区域。本发明除了对驱动晶体管具有电压补偿的效果,同时产生额外的电流对OLED组件因长时间使用导致的跨压上升的情形进行额外的补偿,还将电路划分为像素内和外部区域两部分,提高像素内区域的开口率,使得像素内区域的布局布线空间变大,降低工艺风险及减少像素阻容负荷。



1. 一种像素补偿电路,其特征在于,包括,
  - 一发光器件 (OLED), 串联于一第一电源电压端 (VDD) 与一第二电源电压端 (VSS) 之间, 在驱动信号作用下发光;
  - 一驱动晶体管 (T4), 串联于所述发光器件 (OLED) 与所述第二电源电压端 (VSS) 之间, 用以在数据电压的作用下产生所述驱动信号;
  - 一第一电压储存单元 (Cst), 并联于所述驱动晶体管 (T4) 的栅极和所述第二电源电压端 (VSS) 之间, 用于储存所述数据电压;
  - 一数据电压端 (Data) 可切换地通过耦合电容耦合于所述驱动晶体管 (T4) 的栅极, 以向所述驱动晶体管 (T4) 的栅极写入所述数据电压;所述发光器件 (OLED)、所述第一电压储存单元 (Cst) 和所述驱动晶体管 (T4) 位于一像素内区域, 所述像素补偿电路的其他元件位于对应素内区域之外的外部区域。
2. 根据权利要求1所述的一种像素补偿电路, 其特征在于, 包括一第一开关管 (Ta), 串联于所述数据电压端 (Data) 与所述耦合电容之间;
  - 或者, 包括一第一开关管 (Ta), 串联于所述数据电压端 (Data) 与所述耦合电容之间, 所述第一开关管 (Ta) 位于所述像素内区域之外的外部区域。
3. 根据权利要求2所述的一种像素补偿电路, 其特征在于, 所述第一电压储存单元 (Cst) 与所述驱动晶体管 (T4) 的栅极之间设一电路交汇节点作为一第一参考节点 (N1);
  - 一第二开关管 (T2) 连接于所述第一参考节点 (N1) 与所述驱动晶体管 (T4) 的源极之间;
  - 或者一第二开关管 (T2) 连接于所述第一参考节点 (N1) 与所述驱动晶体管 (T4) 的源极之间, 所述第二开关管 (T2) 位于所述像素内区域。
4. 根据权利要求3所述的一种像素补偿电路, 其特征在于, 所述第二开关管 (T2) 与所述第一参考节点 (N1) 之间设一电路交汇节点作为一第二参考节点 (N2);
  - 一第三开关管 (T3) 可选择地串联于所述第一参考节点 (N1) 与所述第二参考节点 (N2) 之间;
  - 或者一第三开关管 (T3) 可选择地串联于所述第一参考节点 (N1) 与所述第二参考节点 (N2) 之间, 所述第三开关管 (T3) 位于所述像素内区域。
5. 根据权利要求4所述的一种像素补偿电路, 其特征在于, 还包括一第四开关管 (T1), 可选择地串联于所述第二开关管 (T2) 与所述驱动晶体管 (T4) 的源极之间;
  - 或者, 还包括一第四开关管 (T1), 可选择地串联于所述第二开关管 (T2) 与所述驱动晶体管 (T4) 的源极之间, 所述第四开关管 (T1) 位于所述像素内区域;所述第二开关管 (T2) 与所述第四开关管 (T1) 之间设一电路交汇节点作为一第四参考节点 (N4)。
6. 根据权利要求5所述的一种像素补偿电路, 其特征在于, 所述耦合电容包括一第一耦合电容 (Ca)、一第二耦合电容 (Cb), 所述第一耦合电容 (Ca) 的一端连接所述第四参考节点 (N4), 另一端与所述第二耦合电容 (Cb) 串联, 以相串联的节点作为第三参考节点 (N3), 所述第二耦合电容 (Cb) 串联于所述第二参考节点 (N2) 与所述第三参考节点 (N3) 之间;
  - 或者,所述耦合电容包括一第一耦合电容 (Ca)、一第二耦合电容 (Cb), 所述第一耦合电容 (Ca) 的一端连接所述第四参考节点 (N4), 另一端与所述第二耦合电容 (Cb) 串联, 以相串联

的节点作为第三参考节点(N3),所述第二耦合电容(Cb)串联于所述第二参考节点(N2)与所述第三参考节点(N3)之间,所述耦合电容位于所述外部区域。

7.根据权利要求6所述的一种像素补偿电路,其特征在于,包括一第五开关管(Tb),可选择地串联于一参考电压端(Vr)与所述第三参考节点(N3)之间;

或者,包括一第五开关管(Tb),可选择地串联于一参考电压端(Vr)与所述第三参考节点(N3)之间;所述第五开关管(Tb)位于所述外部区域。

8.根据权利要求1所述的一种像素补偿电路,其特征在于,所述发光器件(OLED)采用有机发光二极管,所述有机发光二极管的阳极连接所述第一电源电压端(VDD),所述有机发光二极管的阴极连接所述驱动晶体管(T4)的源极。

9.根据权利要求3所述的一种像素补偿电路,其特征在于,所述第二开关管(T2)的栅极连接一第二控制信号。

10.根据权利要求5所述的一种像素补偿电路,其特征在于,所述第三开关管(T3)和所述第四开关管(T1)的栅极连接一第一控制信号。

11.根据权利要求7所述的一种像素补偿电路,其特征在于,所述第一开关管(Ta)和所述第五开关管(Tb)的栅极连接一第三控制信号。

12.根据权利要求7所述的一种像素补偿电路,其特征在于,所述第三开关管(T3)、和/或所述第五开关管(Tb)、和/或所述第四开关管(T1)、和/或所述第二开关管(T2)、和/或所述驱动晶体管(T4)采用N型薄膜晶体管。

13.根据权利要求2所述的一种像素补偿电路,其特征在于,所述第一开关管(Ta)采用P型薄膜晶体管。

## 一种像素补偿电路

### 技术领域

[0001] 本发明涉及电子技术领域,具体涉及一种像素补偿电路。

### 背景技术

[0002] 在显示技术的发展中,有机发光二极管显示器具有轻薄、可挠曲、快速反应时间及广视角等一系列优点,被认为是最具发展前景的显示技术。其中,主动式有机发光二极管(Active matrix OLED,AMOLED)更是由于适合大尺寸与高分辨率等优点而受到更多的关注,然而现有的主动式有机发光二极管由于临界电压的变化会造成驱动OLED的电流有所不同,造成面板的亮度不均匀,影响显示品质,而且随着长时间使用而发生材料老化的现象,也会对显示质量造成影响。

[0003] 现有技术中有多种补偿薄膜晶体管临界电压变化的像素补偿电路,以实现临界电压变化的补偿,然而,现有技术的像素补偿电路设计多为使用P-type薄膜晶体管(TFT)的补偿电路,并且在像素内使用多个薄膜晶体管的组件设计,在阵列电路上几乎已经将像素空间填满,导致像素(Pixel)内其它走线的布局布线空间会受到压缩,不仅造成开口率(Aperture Ratio)过低,影响发光效率,也会增加制程上的困难度,以及阻容负荷(RC loading)。

### 发明内容

[0004] 本发明的目的在于,提供一种像素补偿电路,解决以上技术问题;

[0005] 本发明所解决的技术问题可以采用以下技术方案来实现:

[0006] 一种像素补偿电路,其中,包括,

[0007] 一发光器件(OLED),串联于一第一电源电压端(VDD)与一第二电源电压端(VSS)之间,在驱动信号作用下发光;

[0008] 一驱动晶体管(T4),串联于所述发光器件(OLED)与所述第二电源电压端(VSS)之间,用以在数据电压的作用下产生所述驱动信号;

[0009] 一第一电压储存单元(Cst),并联于所述驱动晶体管(T4)的栅极和所述第二电源电压端(VSS)之间,用于储存所述数据电压;

[0010] 一数据电压端(Data)可切换地通过耦合电容耦合于所述驱动晶体管(T4)的栅极,以向所述驱动晶体管(T4)的栅极写入所述数据电压;

[0011] 所述发光器件(OLED)、所述第一电压储存单元(Cst)和所述驱动晶体管(T4)位于一像素内区域,所述像素补偿电路的其他元件位于对应素内区域之外的外部区域。

[0012] 优选地,包括一开关管(Ta),串联于所述数据电压端(Data)与所述耦合电容之间;

[0013] 或者,包括一开关管(Ta),串联于所述数据电压端(Data)与所述耦合电容之间,所述第一开关管(Ta)位于所述像素内区域之外的外部区域。

[0014] 优选地,所述第一电压储存单元(Cst)与所述驱动晶体管(T4)的栅极之间设一电路交汇节点作为一第一参考节点(N1);

[0015] 一第二开关管 (T2) 连接于所述第一参考节点 (N1) 与所述驱动晶体管 (T4) 的源极之间;

[0016] 或者一第二开关管 (T2) 连接于所述第一参考节点 (N1) 与所述驱动晶体管 (T4) 的源极之间,所述第二开关管 (T2) 位于所述像素内区域。

[0017] 优选地,所述第二开关管 (T2) 与所述第一参考节点 (N1) 之间设一电路交汇节点作为一第二参考节点 (N2);

[0018] 一第三开关管 (T3) 可选择地串联于所述第一参考节点 (N1) 与所述第二参考节点 (N2) 之间;或者一第三开关管 (T3) 可选择地串联于所述第一参考节点 (N1) 与所述第二参考节点 (N2) 之间,所述第三开关管 (T3) 位于所述像素内区域。

[0019] 优选地,还包括一第四开关管 (T1),可选择地串联于所述第二开关管 (T2) 与所述驱动晶体管 (T4) 的源极之间;或者,还包括一第四开关管 (T1),可选择地串联于所述第二开关管 (T2) 与所述驱动晶体管 (T4) 的源极之间,所述第四开关管 (T1) 位于所述像素内区域;

[0020] 所述第二开关管 (T2) 与所述第四开关管 (T1) 之间设一电路交汇节点作为一第四参考节点 (N4)。

[0021] 优选地,所述耦合电容包括一第一耦合电容 (Ca)、一第二耦合电容 (Cb),所述第一耦合电容 (Ca) 的一端连接所述第四参考节点 (N4),另一端与所述第二耦合电容 (Cb) 串联,以相串联的节点作为第三参考节点 (N3),所述第二耦合电容 (Cb) 串联于所述第二参考节点 (N2) 与所述第三参考节点 (N3) 之间;

[0022] 或者,所述耦合电容包括一第一耦合电容 (Ca)、一第二耦合电容 (Cb),所述第一耦合电容 (Ca) 的一端连接所述第四参考节点 (N4),另一端与所述第二耦合电容 (Cb) 串联,以相串联的节点作为第三参考节点 (N3),所述第二耦合电容 (Cb) 串联于所述第二参考节点 (N2) 与所述第三参考节点 (N3) 之间,所述耦合电容位于所述外部区域。

[0023] 优选地,包括一第五开关管 (Tb),可选择地串联于一参考电压端 (Vr) 与所述第三参考节点 (N3) 之间;

[0024] 或者,包括一第五开关管 (Tb),可选择地串联于一参考电压端 (Vr) 与所述第三参考节点 (N3) 之间;所述第五开关管 (Tb) 位于所述外部区域。

[0025] 优选地,所述发光器件 (OLED) 采用有机发光二极管,所述有机发光二极管的阳极连接所述第一电源电压端 (VDD),所述有机发光二极管的阴极连接所述驱动晶体管 (T4) 的源极。

[0026] 优选地,所述第二开关管 (T2) 的栅极连接一第二控制信号。

[0027] 优选地,所述第三开关管 (T3) 和所述第四开关管 (T1) 的栅极连接一第一控制信号。

[0028] 优选地,所述第一开关管 (Ta) 和所述第五开关管 (Tb) 的栅极连接一第三控制信号。

[0029] 优选地,所述第三开关管 (T3)、和/或所述第五开关管 (Tb)、和/或所述第四开关管 (T1)、和/或所述第二开关管 (T2)、和/或所述驱动晶体管 (T4) 采用N型薄膜晶体管。

[0030] 优选地,所述第一开关管 (Ta) 采用P型薄膜晶体管。

[0031] 有益效果:由于采用以上技术方案,本发明

[0032] 1) 除了对驱动晶体管具有电压补偿的效果,同时产生额外的电流对OLED组件因长

时间使用导致的跨压上升发光效率下降的情形进行额外的补偿,有利于电路的稳定;

[0033] 2) 本发明还将电路划分为像素内区域和外部区域两部分,可以提高面内的开口率,在设计上可以做两种发光设计的选择,使得像素内区域的布局布线空间变大,降低挑战工艺能力的风险以及减少像素阻容负荷。

### 附图说明

[0034] 图1为本发明的像素电路示意图;

[0035] 图2为本发明的控制信号的时序图;

[0036] 图3为本发明工作在第一阶段时各器件的工作状态示意图;

[0037] 图4为本发明工作在第二阶段时各器件的工作状态示意图;

[0038] 图5为本发明工作在第三阶段时各器件的工作状态示意图;

[0039] 图6为本发明工作在第四阶段时各器件的工作状态示意图。

### 具体实施方式

[0040] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0041] 需要说明的是,在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。

[0042] 下面结合附图和具体实施例对本发明作进一步说明,但不作为本发明的限定。

[0043] 参照图1,一种像素补偿电路,其中,包括:

[0044] 一发光器件OLED,串联于一第一电源电压端VDD与一第二电源电压端VSS之间,在驱动信号作用下发光;

[0045] 一驱动晶体管T4,串联于发光器件OLED与第二电源电压端VSS之间,用以在数据电压的作用下产生驱动信号;

[0046] 一第一电压储存单元Cst,并联于驱动晶体管T4的栅极和第二电源电压端VSS之间,用于储存数据电压;

[0047] 一数据电压端Data可切换地通过耦合电容耦合于驱动晶体管T4的栅极,以向驱动晶体管T4的栅极写入数据电压;发光器件OLED、第一电压储存单元Cst和驱动晶体管T4位于一像素内区域。

[0048] 作为本发明的一种优选的实施例,包括一第一开关管Ta,串联于数据电压端Data与耦合电容之间;或者,包括一第一开关管Ta,串联于数据电压端Data与耦合电容之间;第一开关管Ta位于像素内区域之外的外部区域。

[0049] 作为本发明的一种优选的实施例,第一电压储存单元Cst与驱动晶体管T4的栅极之间设一电路交汇节点作为一第一参考节点N1,一第二开关管T2连接于第一参考节点N1与驱动晶体管T4的源极之间。

[0050] 作为本发明的一种优选的实施例,第二开关管T2与第一参考节点N1之间设一电路交汇节点作为一第二参考节点N2,一第三开关管T3可选择地串联于第一参考节点N1与第二

参考节点N2之间。

[0051] 作为本发明的一种优选的实施例,还包括一第四开关管T1,可选择地串联于第二开关管T2与驱动晶体管T4的源极之间,第二开关管T2与第四开关管T1之间设一电路交汇节点作为一第四参考节点N4。

[0052] 作为本发明的一种优选的实施例,耦合电容包括一第一耦合电容Ca、一第二耦合电容Cb,第一耦合电容Ca的一端连接第四参考节点N4,另一端与第二耦合电容Cb串联,以相串联的节点作为第三参考节点N3,第二耦合电容Cb串联于第二参考节点N2与第三参考节点N3之间。

[0053] 作为本发明的一种优选的实施例,包括一参考电压端Vr,一第五开关管Tb可选择地串联于参考电压端Vr与第三参考节点N3之间。

[0054] 作为本发明的一种优选的实施例,发光器件OLED采用有机发光二极管,有机发光二极管的阳极连接第一电源电压端VDD,有机发光二极管的阴极连接驱动晶体管T4的源极。

[0055] 作为本发明的一种优选的实施例,第一开关管Ta采用P型薄膜晶体管。

[0056] 作为本发明的一种优选的实施例,第三开关管T3、和/或第五开关管Tb、和/或第四开关管T1、和/或第二开关管T2、和/或驱动晶体管T4采用N型薄膜晶体管。

[0057] 作为本发明的一种优选的实施例,第三开关管T3和第四开关管T1的栅极连接一第一控制信号G1。

[0058] 作为本发明的一种优选的实施例,第二开关管T2的栅极连接一第二控制信号G2。

[0059] 作为本发明的一种优选的实施例,第一开关管Ta和第五开关管Tb的栅极连接一第三控制信号G3。

[0060] 上述的第一控制信号G1、第二控制信号G2及第三控制信号G3可以由扫描信号线SCAN提供。

[0061] 本发明的发光器件OLED、和/或驱动晶体管T4、和/或第一电压储存单元Cst、和/或第二开关管T2、和/或第三开关管T3、和/或第四开关管T1可以设置于像素内区域I;耦合电容和/或第一开关管Ta和/或第五开关管Tb可以设置于外部区域II。

[0062] 本发明详细的流程步骤如下:参照图2、图3、图4、图5、图6,

[0063] 第一阶段,参照图3,在外部控制信号的作用下第四开关管T1、第二开关管T2、第三开关管T3、第五开关管Tb导通,第一开关管Ta截止,重置设定参考节点的电压;

[0064] 第一阶段目的在于将上一画面的电压数据重置,以去除之前画面数据的影响,确保后续阶段电路工作的正确无误;

[0065] 第二阶段,第一电源电压端VDD由高电平电压VDDH变换为低电平电压VDDL,设定参考节点的电压按照图3中虚线箭头所示的设定路径放电至一设定限值时停止放电,设定限值为 $V_{th\_T4}+V_{SS}$ ,其中, $V_{th\_T4}$ 为驱动晶体管T4的临界电压, $V_{SS}$ 为第二电源电压端VSS的电压。

[0066] 此时第一电压储存单元Cst与第二耦合电容Cb储存的电压分别如下:

[0067]  $C_{st}=V_{th\_T4}+V_{SS}$ ;

[0068]  $C_b=V_{N2}-V_{N3}=V_{th\_T4}+V_{SS}-V_r$ ;

[0069] 其中,Cst为第一电压储存单元的电压,Cb为第二耦合电容储存的电压;Vr为参考电压端Vr的电压;

[0070] 此时由于发光器件OLED上的跨压小于发光器件OLED的临界电压 $V_{th\_OLED}$ ,所以并

不会有电流流过发光器件OLED,发光器件OLED为不发光的状态;

[0071] 第三阶段,在外部控制信号的作用下第四开关管T1、第三开关管T3、第五开关管Tb仍为导通状态,第一开关管Ta、第二开关管T2截止,如图4所示,此时参考电压Vr通过第三开关管Tb使得第三参考节点N3的节点电压为参考电压Vr,第一电源电压端VDD由低电平电压VDDL变换为高电平电压VDDH,第三参考节点N4的节点电压上升至: $V_{DDH}-V_{th\_OLED}$ ,此时第一耦合电容Ca充电;充电后两端的电压为: $V_{Ca}=V_{N3}-V_{N4}=V_r-V_{DDH}+V_{th\_OLED}$ ;其中, $V_{N3}$ 为第三参考节点N3的电压, $V_{N4}$ 为第四参考节点N4的电压, $V_r$ 为参考电压端Vr的电压。

[0072] 第四阶段,在外部控制信号的作用下第五开关管Tb关闭,第一开关管Ta导通,此时第三参考节点N3为浮接(floating),可以将第二耦合电容Cb与第一耦合电容Ca视为一等效电容Ceq,等效电容 $C_{eq}=Ca*C_b/(Ca+C_b)$ ;数据电压Vdata通过耦合电容写入驱动晶体管T4控制端,驱动发光器件OLED发光。随即在外部控制信号的作用下关闭第四开关管T1、第三开关管T3,避免外部电路影响像素操作。

[0073] 作为本发明的一种优选的实施例,第一阶段中,设定参考节点包括第一参考节点N1、第二参考节点N2与第四参考节点N4,各节点电压为: $V_{N1}=V_{N2}=V_{N4}=V_{DDH}-V_{th\_OLED}$ ,其中, $V_{N1}$ 为第一参考节点N1的电压, $V_{N2}$ 为第二参考节点N2的电压, $V_{N4}$ 为第四参考节点N4的电压, $V_{DDH}$ 为第一电源电压端VDD的高电平电压; $V_{th\_OLED}$ 为发光器件OLED的临界电压。

[0074] 作为本发明的一种优选的实施例,第四阶段中,数据电压写入后,第四参考节点N4的节点电压 $V_{N4}=V_{data}$ ;驱动晶体管T4控制端的电压为: $V_{N1}=V_{N2}=V_{th\_T4}+V_{ss}+\{C_{eq}/(C_{st}+C_{eq})\}*(V_{data}-V_{DDH}+V_{th\_OLED})$ 。

[0075] 驱动发光器件OLED的电流由下列驱动TFT的饱和电流公式可以得知: $I_{OLED}=C(V_{SG}-V_{th\_TFT})^2$

[0076]  $=C(V_{th\_T4}+V_{ss}+\{C_{eq}/(C_{st}+C_{eq})\}*(V_{data}-V_{DDH}+V_{th\_OLED})-V_{ss}-V_{th\_T4})^2$

[0077]  $=C(\{C_{eq}/(C_{st}+C_{eq})\}*((V_{data}-V_{DDH}+V_{th\_OLED}))^2$ ;

[0078] 其中, $C=\frac{1}{2}\mu C_{ox}\frac{W}{L}$ ;其中, $\mu$ 为电子漂移率, $C_{ox}$ 为氧化层电容,W与L为驱动晶体管T4的宽度与长度; $V_{SG}$ 为驱动晶体管T4栅极与源极的电压差, $V_{th\_TFT}$ 为驱动晶体管T4的临界电压,Ceq为第一耦合电容Ca、一第二耦合电容Cb串联的等效电容;各像素的电流便由此决定。可以看出,驱动电流不受驱动晶体管T4的临界电压变化的影响。

[0079] 有机发光二极管显示器的发光亮度由驱动电流及其使用寿命决定,只要是与驱动晶体管及发光器件OLED有关的变化,均有可能影响显示面板的亮度表现,一方面在于薄膜晶体管临界电压的漂移与变化,另一方面,发光器件OLED材料的老化会造成驱动发光器件OLED的临界电压会因此上升,导致发光效率的降低,造成在同样的驱动电流下亮度会有衰减,本发明除了对驱动晶体管具有电压补偿的效果,同时产生额外的电流对OLED组件因长时间使用导致的跨压上升发光效率下降的情形进行额外的补偿,有利于电路的稳定;本发明还将电路划分为像素内区域I和外部区域II两部分,共使用了6T3C,并使用了N型薄膜晶体管与P型薄膜晶体管的组合电路,其中像素内区域为4N1C像素外区域为1N1P2C,利用像素外区域部分的电路对驱动晶体管与OLED组件提供补偿,可以提高面内的开口率,在设计上可以做两种发光设计的选择,使得像素内区域的布局布线空间变大,降低挑战工艺能力的风险以及减少像素阻容负荷。

[0080] 以上所述仅为本发明较佳的实施例,并非因此限制本发明的实施方式及保护范围,对于本领域技术人员而言,应当能够意识到凡运用本发明说明书及图示内容所作出的等同替换和显而易见的变化所得到的方案,均应当包含

[0081] 10在本发明的保护范围内。

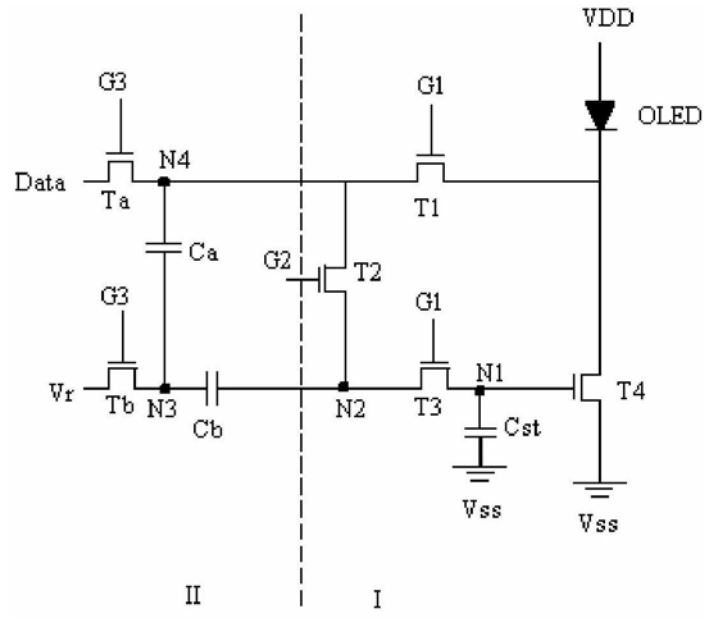


图1

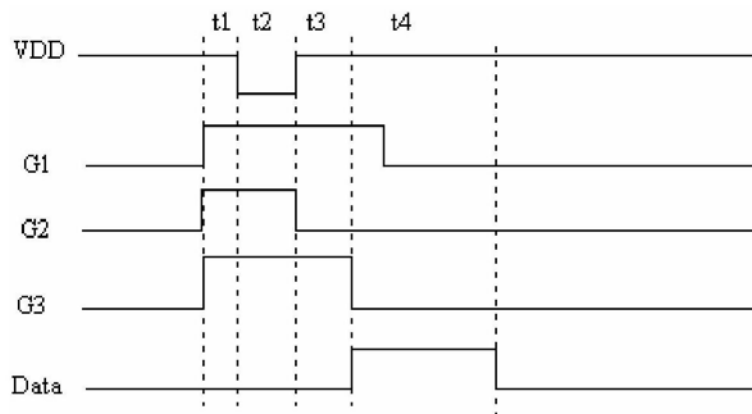


图2

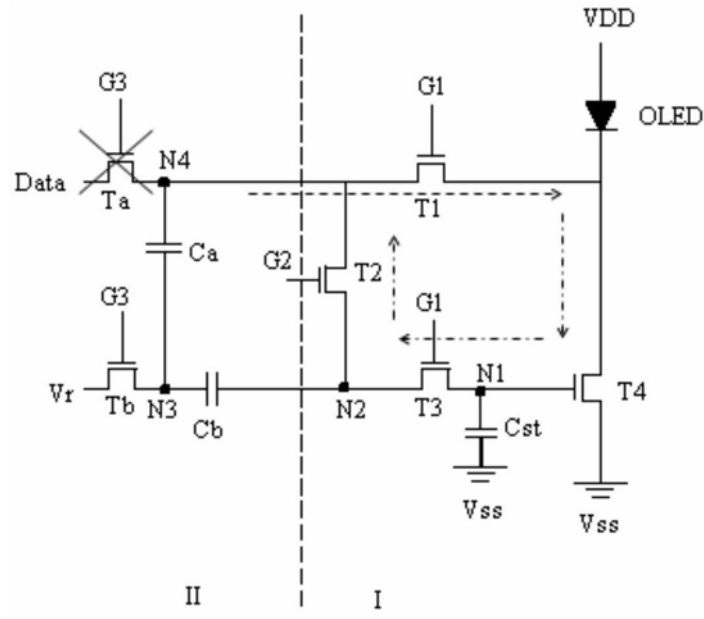


图3

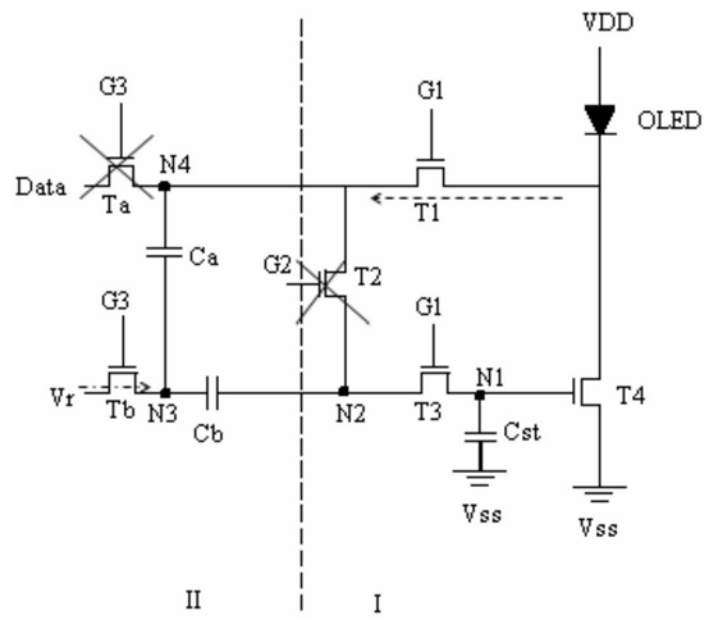


图4

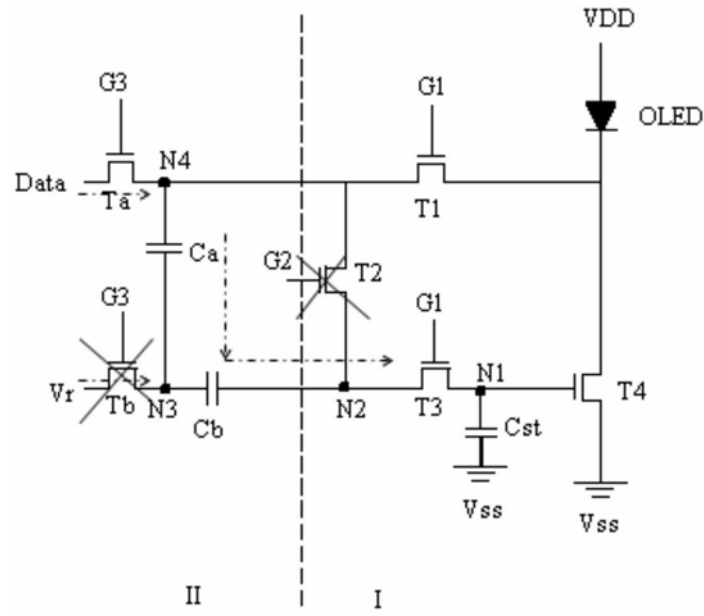


图5

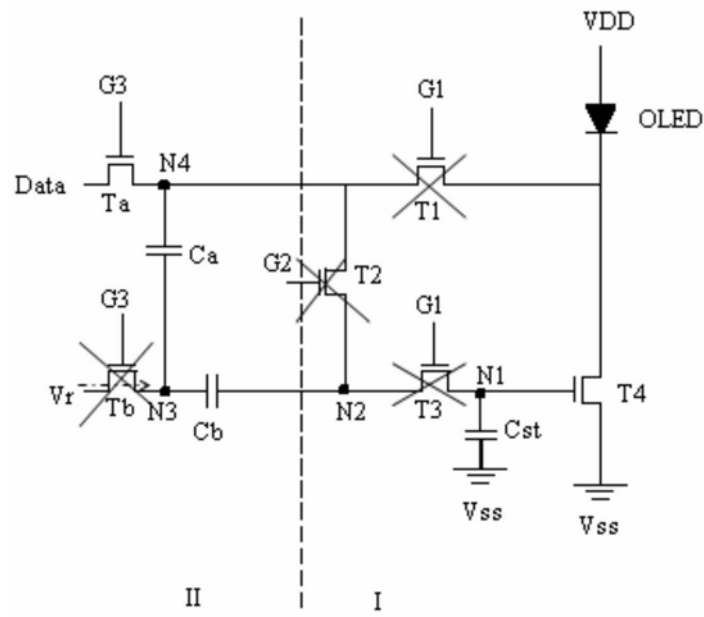


图6

专利名称(译)	一种像素补偿电路		
公开(公告)号	<a href="#">CN105225637B</a>	公开(公告)日	2018-01-26
申请号	CN201410273863.6	申请日	2014-06-18
[标]申请(专利权)人(译)	上海和辉光电有限公司		
申请(专利权)人(译)	上海和辉光电有限公司		
当前申请(专利权)人(译)	上海和辉光电有限公司		
[标]发明人	张玮轩		
发明人	张玮轩		
IPC分类号	G09G3/3233		
代理人(译)	吴俊		
审查员(译)	李小艳		
其他公开文献	CN105225637A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

一种像素补偿电路，具体涉及像素补偿电路。包括：发光器件，在驱动信号作用下发光；驱动晶体管，在数据电压的作用下产生驱动信号；第一电压储存单元，用于储存数据电压；一数据电压端可切换地通过耦合电容向驱动晶体管的栅极写入数据电压；发光器件、第一电压储存单元和驱动晶体管位于一像素内区域。本发明除了对驱动晶体管具有电压补偿的效果，同时产生额外的电流对OLED组件因长时间使用导致的跨压上升的情形进行额外的补偿，还将电路划分为像素内和外部区域两部分，提高像素内区域的开口率，使得像素内区域的布局布线空间变大，降低工艺风险及减少像素阻容负荷。

