



(12) 发明专利申请

(10) 申请公布号 CN 103632633 A

(43) 申请公布日 2014. 03. 12

(21) 申请号 201310308583. X

(22) 申请日 2013. 07. 22

(30) 优先权数据

10-2012-0091442 2012. 08. 21 KR

(71) 申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72) 发明人 张桓寿

(74) 专利代理机构 北京铭硕知识产权代理有限公司 11286

代理人 韩明星 王占杰

(51) Int. Cl.

G09G 3/32 (2006. 01)

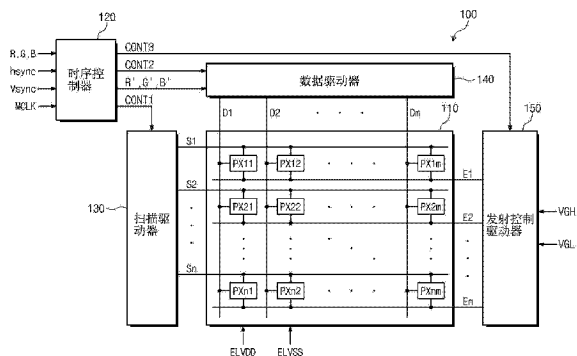
权利要求书7页 说明书16页 附图10页

(54) 发明名称

发射控制驱动器和具有其的有机发光显示装置

(57) 摘要

一种发射控制驱动器和具有其的有机发光显示装置。所述发射控制驱动器包括通过发射控制线顺序输出发射控制信号的级。每个级包括：第一信号处理器，接收第一电压并响应于第一子控制信号和第二子控制信号而产生第一信号和第二信号；第二信号处理器，接收第二电压并响应于第三子控制信号、第一信号和第二信号而产生第三信号和第四信号，第二电压的电平高于第一电压的电平；第三信号处理器，接收第一电压和第二电压并响应于第三信号和第四信号产生发射控制信号。每个级的第一信号处理器接收从前一级输出的发射控制信号作为第一子控制信号，多个级中的第一级的第一信号处理器接收开始信号作为第一子控制信号。



1. 一种发射控制驱动器,所述发射控制驱动器包括:

多个级,通过发射控制线顺序输出发射控制信号,每个级包括:

第一信号处理器,接收第一电压并响应于第一子控制信号和第二子控制信号而产生第一信号和第二信号;

第二信号处理器,接收第二电压并响应于第三子控制信号、第一信号和第二信号而产生第三信号和第四信号,第二电压的电平高于第一电压的电平;

第三信号处理器,接收第一电压和第二电压并响应于第三信号和第四信号而产生发射控制信号,

其中,所述多个级中的除第一级之外的每个级的第一信号处理器接收从前一级输出的发射控制信号作为第一子控制信号,所述多个级中的第一级的第一信号处理器接收开始信号作为第一子控制信号。

2. 根据权利要求1所述的发射控制驱动器,其中:

所述多个级中的奇数级中的每个级的第一信号处理器接收第一时钟信号作为第二子控制信号,

所述多个级中的奇数级中的每个级的第二信号处理器接收第二时钟信号作为第三子控制信号,

所述多个级中的偶数级中的每个级的第一信号处理器接收第二时钟信号作为第二子控制信号,和

所述多个级中的偶数级中的每个级的第二信号处理器接收第一时钟信号作为第三子控制信号。

3. 根据权利要求2所述的发射控制驱动器,其中,第一时钟信号和第二时钟信号具有相同的频率,并且第二时钟信号是通过使第一时钟信号移位与第一时钟信号的周期的一半对应的第一持续时间而获得的。

4. 根据权利要求3所述的发射控制驱动器,其中,在第一时钟信号从第一电平变成比第一电平小的第二电平的时间点激活开始信号,并且在与四倍的第一持续时间对应的第二持续时间内保持开始信号的激活。

5. 根据权利要求3所述的发射控制驱动器,其中,发射控制信号中的每个在第三持续时间内具有第二电压的电平,并且发射控制信号被顺序地移位第一持续时间,第三持续时间是第一持续时间的三倍。

6. 根据权利要求2所述的发射控制驱动器,其中,第一信号处理器包括:

第一晶体管,具有施加有第二子控制信号的栅极端和施加有第一子控制信号的源极端;

第二晶体管,具有连接到第一晶体管的漏极端的栅极端和施加有第二子控制信号的漏极端;

第三晶体管,具有施加有第二子控制信号的栅极端、连接到第二晶体管的源极端的源极端和施加有第一电压的漏极端,

其中,从相互连接的第二晶体管和第三晶体管的源极端输出第一信号,从第一晶体管的漏极端输出第二信号。

7. 根据权利要求6所述的发射控制驱动器,其中,第二信号处理器包括:

第四晶体管,具有施加有第三子控制信号的栅极端和连接到第一节点和第一晶体管的漏极端的漏极端;

第一电容器,具有施加有第三子控制信号的第一电极和连接到第四晶体管的漏极端的第二电极;

第五晶体管,具有连接到第三晶体管的源极端和第二节点的栅极端、施加有第二电压的源极端以及连接到第四晶体管的源极端的漏极端;

第六晶体管,具有连接到第二节点的栅极端和施加有第三子控制信号的漏极端;

第二电容器,具有连接到第六晶体管的栅极端的第一电极和连接到第六晶体管的源极端的第二电极;

第七晶体管,具有施加有第三子控制信号的栅极端、连接到第三节点的源极端和连接到第六晶体管的源极端的漏极端,其中,第三节点处的电压被输出作为第三信号并且第一节点处的电压被输出作为第四信号。

8. 根据权利要求7所述的发射控制驱动器,其中,第三信号处理器包括:

第八晶体管,具有连接到第一节点的栅极端、施加有第二电压的源极端和连接到第三节点的漏极端;

第三电容器,具有施加有第二电压的第一电极和连接到第三节点的第二电极;

第九晶体管,具有连接到第三节点的栅极端、施加有第二电压的源极端和连接到对应的发射控制线的漏极端;和

第十晶体管,具有连接到第一节点的栅极端、连接到对应的发射控制线的源极端和施加有第一电压的漏极端。

9. 一种有机发光显示装置,所述有机发光显示装置包括:

显示面板,包括多个像素,每个像素连接到扫描线中的对应扫描线、数据线中的对应数据线和发射控制线中的对应发射控制线;

扫描驱动器,通过扫描线将扫描信号顺序地施加到像素;

数据驱动器,通过数据线将数据电压施加到像素;

发射控制驱动器,包括多个级,所述多个级通过发射控制线将发射控制信号顺序地施加到像素,所述多个级中的每个级包括:

第一信号处理器,接收第一电压并响应于第一子控制信号和第二子控制信号而产生第一信号和第二信号;

第二信号处理器,接收第二电压并响应于第三子控制信号、第一信号和第二信号而产生第三信号和第四信号,第二电压的电平高于第一电压的电平;

第三信号处理器,接收第一电压和第二电压并响应于第三信号和第四信号而产生发射控制信号,

其中,所述多个级中的除第一级之外的每个级的第一信号处理器接收从前一级输出的发射控制信号作为第一子控制信号,所述多个级中的第一级的第一信号处理器接收开始信号作为第一子控制信号。

10. 根据权利要求9所述的有机发光显示装置,其中:

所述多个级中的奇数级中的每个级的第一信号处理器接收第一时钟信号作为第二子控制信号,

所述多个级中的奇数级中的每个级的第二信号处理器接收第二时钟信号作为第三子控制信号，

所述多个级中的偶数级中的每个级的第一信号处理器接收第二时钟信号作为第二子控制信号，和

所述多个级中的偶数级中的每个级的第二信号处理器接收第一时钟信号作为第三子控制信号。

11. 根据权利要求 10 所述的有机发光显示装置，其中：

第一时钟信号和第二时钟信号具有相同的频率，

第二时钟信号是通过使第一时钟信号移位与第一时钟信号的周期的一半对应的第一持续时间而获得的，

在第一时钟信号从第一电平变成比第一电平小的第二电平的时间点激活开始信号，

在四倍第一持续时间的第二持续时间内保持开始信号的激活。

12. 根据权利要求 11 所述的有机发光显示装置，其中，第一信号处理器包括：

第一晶体管，具有施加有第二子控制信号的栅极端和施加有第一子控制信号的源极端；

第二晶体管，具有连接到第一晶体管的漏极端的栅极端和施加有第二子控制信号的漏极端；

第三晶体管，具有施加有第二子控制信号的栅极端、连接到第二晶体管的源极端的源极端和施加有第一电压的漏极端，

其中，从相互连接的第二晶体管和第三晶体管的源极端输出第一信号，从第一晶体管的漏极端输出第二信号。

13. 根据权利要求 12 所述的有机发光显示装置，其中，第二信号处理器包括：

第四晶体管，具有施加有第三子控制信号的栅极端和连接到第一节点和第一晶体管的漏极端的漏极端；

第一电容器，具有施加有第三子控制信号的第一电极和连接到第四晶体管的漏极端的第二电极；

第五晶体管，具有连接到第三晶体管的源极端和第二节点的栅极端、施加有第二电压的源极端以及连接到第四晶体管的源极端的漏极端；

第六晶体管，具有连接到第二节点的栅极端和施加有第三子控制信号的漏极端；

第二电容器，具有连接到第六晶体管的栅极端的第一电极和连接到第六晶体管的源极端的第二电极；

第七晶体管，具有施加有第三子控制信号的栅极端、连接到第三节点的源极端和连接到第六晶体管的源极端的漏极端，其中，第三节点处的电压被输出作为第三信号并且第一节点处的电压被输出作为第四信号。

14. 根据权利要求 13 所述的有机发光显示装置，其中，第三信号处理器包括：

第八晶体管，具有连接到第一节点的栅极端、施加有第二电压的源极端和连接到第三节点的漏极端；

第三电容器，具有施加有第二电压的第一电极和连接到第三节点的第二电极；

第九晶体管，具有连接到第三节点的栅极端、施加有第二电压的源极端和连接到对应

的发射控制线的漏极端 ;和

第十晶体管,具有连接到第一节点的栅极端、连接到对应的发射控制线的源极端和施加有第一电压的漏极端。

15. 一种发射控制驱动器,所述发射控制驱动器包括:

多个级,通过发射控制线顺序输出发射控制信号,每个级包括:

双向驱动器,响应于第一方向控制信号和第二方向控制信号而输出第一输入信号或第二输入信号作为第一子控制信号;

第一信号处理器,接收第一电压并响应于第一子控制信号和第二子控制信号而产生第一信号和第二信号;

第二信号处理器,接收第二电压并响应于第三子控制信号、第一信号和第二信号而产生第三信号和第四信号,第二电压的电平高于第一电压的电平 ;和

第三信号处理器,接收第一电压和第二电压并响应于第三信号和第四信号而产生发射控制信号,

其中,所述多个级中的除第一级和最后一级之外的每个级的双向驱动器接收从前一级输出的发射控制信号作为第一输入信号和从下一级输出的发射控制信号作为第二输入信号,所述多个级中的第一级的双向驱动器接收开始信号作为第一输入信号和从下一级输出的发射控制信号作为第二输入信号,所述多个级中的最后一级双向驱动器接收从前一级输出的发射控制信号作为第一输入信号并接收开始信号作为第二输入信号。

16. 根据权利要求 15 所述的发射控制驱动器,其中,双向驱动器响应于被激活的第一方向控制信号将第一输入信号施加到第一信号处理器,响应于被激活的第二方向控制信号将第二输入信号施加到第一信号处理器。

17. 根据权利要求 16 所述的发射控制驱动器,其中,双向驱动器包括:

第十一晶体管,具有施加有第一方向控制信号的栅极端和施加有第一输入信号的源极端 ;和

第十二晶体管,具有施加有第二方向控制信号的栅极端、施加有第二输入信号的源极端和连接到第十一晶体管的漏极端的漏极端,其中,第一子控制信号通过第十一晶体管和第十二晶体管的漏极被施加到第一信号处理器。

18. 根据权利要求 15 所述的发射控制驱动器,其中,

所述多个级中的奇数级中的每级的第一信号处理器接收第一时钟信号作为第二子控制信号,

所述多个级中的奇数级中的每级的第二信号处理器接收第二时钟信号作为第三子控制信号,

所述多个级中的偶数级中的每级的第一信号处理器接收第二时钟信号作为第二子控制信号,和

所述多个级中的偶数级中的每级的第二信号处理器接收第一时钟信号作为第三子控制信号。

19. 根据权利要求 18 所述的发射控制驱动器,其中,

第一时钟信号和第二时钟信号具有相同的频率,

第二时钟信号是通过使第一时钟信号移位与第一时钟信号的周期的一半对应的第一

持续时间而获得的，

在第一时钟信号从第一电平变成比第一电平小的第二电平的时间点激活开始信号，和在与四倍的第一持续时间对应的第二持续时间内保持开始信号的激活。

20. 根据权利要求 18 所述的发射控制驱动器，其中，第一信号处理器包括：

第一晶体管，具有施加有第二子控制信号的栅极端和施加有第一子控制信号的源极端；

第二晶体管，具有连接到第一晶体管的漏极端的栅极端和施加有第二子控制信号的漏极端；

第三晶体管，具有施加有第二子控制信号的栅极端、连接到第二晶体管的源极端的源极端和施加有第一电压的漏极端，其中，从相互连接的第二晶体管和第三晶体管的源极端输出第一信号，从第一晶体管的漏极端输出第二信号。

21. 根据权利要求 20 所述的发射控制驱动器，其中，第二信号处理器包括：

第四晶体管，具有施加有第三子控制信号的栅极端和连接到第一节点和第一晶体管的漏极端的漏极端；

第一电容器，具有施加有第三子控制信号的第一电极和连接到第四晶体管的漏极端的第二电极；

第五晶体管，具有连接到第三晶体管的源极端和第二节点的栅极端、施加有第二电压的源极端以及连接到第四晶体管的源极端的漏极端；

第六晶体管，具有连接到第二节点的栅极端和施加有第三子控制信号的漏极端；

第二电容器，具有连接到第六晶体管的栅极端的第一电极和连接到第六晶体管的源极端的第二电极；和

第七晶体管，具有施加有第三子控制信号的栅极端、连接到第三节点的源极端和连接到第六晶体管的源极端的漏极端，其中，第三节点处的电压被输出作为第三信号并且第一节点处的电压被输出作为第四信号。

22. 根据权利要求 21 所述的发射控制驱动器，其中，第三信号处理器包括：

第八晶体管，具有连接到第一节点的栅极端、施加有第二电压的源极端和连接到第三节点的漏极端；

第三电容器，具有施加有第二电压的第一电极和连接到第三节点的第二电极；

第九晶体管，具有连接到第三节点的栅极端、施加有第二电压的源极端和连接到对应的发射控制线的漏极端；和

第十晶体管，具有连接到第一节点的栅极端、连接到对应的发射控制线的源极端和施加有第一电压的漏极端。

23. 一种发射控制驱动器，所述发射控制驱动器包括：

多个级，通过发射控制线顺序输出发射控制信号，每个级包括：

双向驱动器，响应于第一方向控制信号和第二方向控制信号而输出第一输入信号或第二输入信号作为第一子控制信号；

第一信号处理器，接收第一电压并响应于第一子控制信号和第二子控制信号产生第一信号和第二信号；

第二信号处理器，接收第二电压并响应于第三子控制信号、第一信号和第二信号而产

生第三信号、第四信号和进位信号,第二电压的电平高于第一电压的电平;和

第三信号处理器,接收第一电压和第二电压并响应于第三信号和第四信号产生发射控制信号,

其中,除所述多个级中的第一级和最后一级之外的双向驱动器接收从前一级输出的进位信号作为第一输入信号并接收从下一级输出的进位信号作为第二输入信号,所述多个级中的第一级的双向驱动器接收开始信号作为第一输入信号并接收从下一级输出的进位信号作为第二输入信号,所述多个级中的最后一级双向驱动器接收从前一级输出的进位信号作为第一输入信号并接收开始信号作为第二输入信号。

24. 根据权利要求 23 所述的发射控制驱动器,其中,双向驱动器响应于被激活的第一方向控制信号将第一输入信号施加到第一信号处理器,并响应于被激活的第二方向控制信号将第二输入信号施加到第一信号处理器。

25. 根据权利要求 24 所述的发射控制驱动器,其中,双向驱动器包括:

第十一晶体管,具有施加有第一方向控制信号的栅极端和施加有第一输入信号的源极端;和

第十二晶体管,具有施加有第二方向控制信号的栅极端、施加有第二输入信号的源极端和连接到第十一晶体管的漏极端的漏极端,其中,第一子控制信号通过第十一晶体管和第十二晶体管的漏极被施加到第一信号处理器。

26. 根据权利要求 23 所述的发射控制驱动器,其中:

所述多个级中的奇数级中的每个级的第一信号处理器接收第一时钟信号作为第二子控制信号,

所述多个级中的奇数级中的每个级的第二信号处理器接收第二时钟信号作为第三子控制信号,

所述多个级中的偶数级中的每个级的第一信号处理器接收第二时钟信号作为第二子控制信号,和

所述多个级中的偶数级中的每个级的第二信号处理器接收第一时钟信号作为第三子控制信号。

27. 根据权利要求 26 所述的发射控制驱动器,其中:

第一时钟信号和第二时钟信号具有相同的频率,

第二时钟信号是通过使第一时钟信号移位与第一时钟信号的周期的一半对应的第一持续时间而获得的,

在第一时钟信号从第一电平变成比第一电平小的第二电平的时间点激活开始信号,和在与四倍的第一持续时间对应的第二持续时间内保持开始信号的激活。

28. 根据权利要求 26 所述的发射控制驱动器,其中,第一信号处理器包括:

第一晶体管,具有施加有第二子控制信号的栅极端和施加有第一子控制信号的源极端;

第二晶体管,具有连接到第一晶体管的漏极端的栅极端和施加有第二子控制信号的漏极端;

第三晶体管,具有施加有第二子控制信号的栅极端、连接到第二晶体管的源极端的源极端和施加有第一电压的漏极端,其中,从相互连接的第二晶体管和第三晶体管的源极端

输出第一信号,从第一晶体管的漏极端输出第二信号。

29. 根据权利要求 28 所述的发射控制驱动器,其中,第二信号处理器包括:

第四晶体管,具有施加有第三子控制信号的栅极端和连接到第一节点和第一晶体管的漏极端的漏极端;

第一电容器,具有施加有第三子控制信号的第一电极和连接到第四晶体管的漏极端的第二电极;

第五晶体管,具有连接到第三晶体管的源极端和第二节点的栅极端、施加有第二电压的源极端以及连接到第四晶体管的源极端的漏极端;

第六晶体管,具有连接到第二节点的栅极端和施加有第三子控制信号的漏极端;

第二电容器,具有连接到第六晶体管的栅极端的第一电极和连接到第六晶体管的源极端的第二电极;

第七晶体管,具有施加有第三子控制信号的栅极端、连接到第三节点的源极端和连接到第六晶体管的源极端的漏极端;

第十三晶体管,具有连接到第二节点的栅极端、施加有第二电压的源极端和连接到第四节点的漏极端;和

第十四晶体管,具有连接到第一电容器的第二电极的栅极端、连接到第四节点的源极端和施加有第一时钟信号的漏极端,其中,第三节点处的电压被输出作为第三信号,第一节点处的电压被输出作为第四信号,第四节点处的电压被输出作为进位信号。

30. 根据权利要求 29 所述的发射控制驱动器,其中,第三信号处理器包括:

第八晶体管,具有连接到第一节点的栅极端、施加有第二电压的源极端和连接到第三节点的漏极端;

第三电容器,具有施加有第二电压的第一电极和连接到第三节点的第二电极;

第九晶体管,具有连接到第三节点的栅极端、施加有第二电压的源极端和连接到对应的发射控制线的漏极端;和

第十晶体管,具有连接到第一节点的栅极端、连接到对应的发射控制线的源极端和施加有第一电压的漏极端。

发射控制驱动器和具有其的有机发光显示装置

[0001] 本专利申请要求 2012 年 8 月 21 日在韩国知识产权局提交的第 10-2012-0091442 号、名称为“发射控制驱动器和具有该发射控制驱动器的有机发光显示装置”的韩国专利申请的优先权,该申请通过引用完全包含于此。

技术领域

[0002] 本公开涉及一种发射控制驱动器和一种具有该发射控制驱动器的有机发光显示装置。更具体地讲,本公开涉及一种能够简化其构造的发射控制驱动器以及一种具有该发射控制驱动器的有机发光显示装置。

背景技术

[0003] 近年来,已经开发了诸如液晶显示装置、有机发光显示装置、电润湿显示装置、等离子体显示面板、电泳显示装置等的各种显示装置。有机发光显示装置利用与电子和空穴之间的复合相关联地产生光的有机发光二极管来显示图像。有机发光显示装置具有例如快的响应速度、低功耗等的大量优势。

[0004] 有机发光显示装置包括:多个像素,显示图像;扫描驱动器,将扫描信号顺序施加到像素;数据驱动器,将数据电压施加到像素;发射控制驱动器,将发射控制信号施加到像素。像素响应于扫描信号而接收数据电压。像素产生具有与数据电压对应的预定亮度的光以显示图像。像素的发射时间段由发射控制信号控制。发射控制驱动器响应于初始控制信号被初始化,并产生发射控制信号。然而,期望简化发射控制驱动器的构造。

发明内容

[0005] 本发明构思的实施例提供了一种包括多个级的发射控制驱动器,所述多个级通过发射控制线顺序地输出发射控制信号。每个级可包括:第一信号处理器,接收第一电压并响应于第一子控制信号和第二子控制信号而产生第一信号和第二信号;第二信号处理器,接收第二电压并响应于第三子控制信号、第一信号和第二信号而产生第三信号和第四信号,第二电压的电平高于第一电压的电平;第三信号处理器,接收第一电压和第二电压并响应于第三信号和第四信号产生发射控制信号。每个级的第一信号处理器接收从前一级输出的发射控制信号作为第一子控制信号,所述多个级中的第一级的第一信号处理器接收开始信号作为第一子控制信号。

[0006] 所述多个级中的奇数级中的每个级的第一信号处理器接收第一时钟信号作为第二子控制信号,所述多个级中的奇数级中的每个级的第二信号处理器接收第二时钟信号作为第三子控制信号,所述多个级中的偶数级中的每个级的第一信号处理器接收第二时钟信号作为第二子控制信号,所述多个级中的偶数级中的每个级的第二信号处理器接收第一时钟信号作为第三子控制信号。

[0007] 第一时钟信号和第二时钟信号具有相同的频率,并且第二时钟信号是通过使第一时钟信号移位与第一时钟信号的周期的一半对应的第一持续时间而获得的。

[0008] 在第一时钟信号从第一电平变成比第一电平小的第二电平的时间点激活开始信号,并且在与四倍的第一持续时间对应的第二持续时间内保持开始信号的激活。

[0009] 发光控制信号中的每个可在第三持续时间内具有第二电压的电平,并且发射控制信号被顺序地移位第一持续时间,第三持续时间是第一持续时间的三倍。

[0010] 第一信号处理器可包括第一晶体管、第二晶体管和第三晶体管。第一晶体管具有施加有第二子控制信号的栅极端和施加有第一子控制信号的源极端。第二晶体管具有连接到第一晶体管的漏极端的栅极端和施加有第二子控制信号的漏极端。第三晶体管具有施加有第二子控制信号的栅极端、连接到第二晶体管的源极端的源极端和施加有第一电压的漏极端。从相互连接的第二晶体管和第三晶体管的源极端输出第一信号,从第一晶体管的漏极端输出第二信号。

[0011] 第二信号处理器可包括第四晶体管、第五晶体管、第六晶体管和第七晶体管以及第一电容器和第二电容器。第四晶体管具有施加有第三子控制信号的栅极端和连接到第一节点和第一晶体管的漏极端的漏极端。第一电容器具有施加有第三子控制信号的第一电极和连接到第四晶体管的漏极端的第二电极。第五晶体管具有连接到第三晶体管的源极端和第二节点的栅极端、施加有第二电压的源极端以及连接到第四晶体管的源极端的漏极端。第六晶体管具有连接到第二节点的栅极端和施加有第三子控制信号的漏极端。第二电容器具有连接到第六晶体管的栅极端的第一电极和连接到第六晶体管的源极端的第二电极。第七晶体管具有施加有第三子控制信号的栅极端、连接到第三节点的源极端和连接到第六晶体管的源极端的漏极端。第三信号被施加到第三节点并且第四信号被施加到第一节点。

[0012] 第三信号处理器可包括第八晶体管、第九晶体管、第十晶体管和第三电容器。第八晶体管具有连接到第一节点的栅极端、施加有第二电压的源极端和连接到第三节点的漏极端。第三电容器具有施加有第二电压的第一电极和连接到第三节点的第二电极。第九晶体管具有连接到第三节点的栅极端、施加有第二电压的源极端和连接到对应的发射控制线的漏极端。第十晶体管具有连接到第一节点的栅极端、连接到对应的发射控制线的源极端和施加有第一电压的漏极端。第九晶体管的漏极端和第十晶体管的源极端连接到下一级的第一信号处理器的第一晶体管的源极端。

[0013] 本发明构思的实施例提供了一种有机发光显示设备,所述有机发光显示设备包括:显示面板,包括多个像素,每个像素连接到扫描线中的对应扫描线、数据线中的对应数据线和发射控制线中的对应发射控制线;扫描驱动器,通过扫描线将扫描信号顺序地施加到像素;数据驱动器,通过数据线将数据电压施加到像素;发射控制驱动器,包括多个级,所述多个级通过发射控制线将发射控制信号顺序地施加到像素。每个级可包括:第一信号处理器,接收第一电压并响应于第一子控制信号和第二子控制信号而产生第一信号和第二信号;第二信号处理器,接收第二电压并响应于第三子控制信号、第一信号和第二信号而产生第三信号和第四信号,第二电压的电平高于第一电压的电平;第三信号处理器,接收第一电压和第二电压并响应于第三信号和第四信号而产生发射控制信号。每个级的第一信号处理器接收从前一级输出的发射控制信号作为第一子控制信号,所述多个级中的第一级的第一信号处理器接收开始信号作为第一子控制信号。

[0014] 本发明构思的实施例提供了一种发射控制驱动器,所述发射控制驱动器包括通过发射控制线顺序输出发射控制信号的多个级。每个级可包括:双向驱动器,响应于第一方向

控制信号和第二方向控制信号而输出第一输入信号或第二输入信号作为第一子控制信号；第一信号处理器，接收第一电压并响应第一子控制信号和第二子控制信号而产生第一信号和第二信号；第二信号处理器，接收第二电压并响应于第三子控制信号、第一信号和第二信号产生第三信号和第四信号，第二电压的电平高于第一电压的电平；第三信号处理器，接收第一电压和第二电压并响应于第三信号和第四信号产生发射控制信号。双向驱动器接收从前一级输出的发射控制信号作为第一输入信号和从下一级输出的发射控制信号作为第二输入信号，所述多个级中的第一级的双向驱动器接收开始信号作为第一输入信号，所述多个级中的最后一级双向驱动器接收开始信号作为第二输入信号。

[0015] 本发明构思的实施例提供了一种发射控制驱动器，所述发射控制驱动器包括通过发射控制线顺序输出发射控制信号的多个级。每个级可包括：双向驱动器，响应于第一方向控制信号和第二方向控制信号而输出第一输入信号或第二输入信号作为第一子控制信号；第一信号处理器，接收第一电压并响应于第一子控制信号和第二子控制信号而产生第一信号和第二信号；第二信号处理器，接收第二电压并响应于第三子控制信号、第一信号和第二信号产生第三信号、第四信号和进位信号，第二电压的电平高于第一电压的电平；第三信号处理器，接收第一电压和第二电压并响应于第三信号和第四信号而产生发射控制信号。双向驱动器接收从前一级输出的进位信号作为第一输入信号和从下一级输出的进位信号作为第二输入信号，所述多个级中的第一级的双向驱动器接收开始信号作为第一输入信号，所述多个级中的最后一级双向驱动器接收启动信号作为第二输入信号。

附图说明

[0016] 通过参照附图详细描述示例性实施例，特征对于本领域普通技术人员而言将变得清楚，在附图中：

[0017] 图 1 示出根据实施例的有机发光显示装置的框图；

[0018] 图 2 示出表示图 1 中示出的像素中的一个像素的示例的等效电路图；

[0019] 图 3 示出图 1 中示出的发射控制驱动器的框图；

[0020] 图 4 示出根据第一示例性实施例的有机发光显示装置的发射控制驱动器的级的电路图；

[0021] 图 5 示出图 4 中示出的第一级的操作的时序图；

[0022] 图 6 和图 7 示出根据第二示例性实施例的有机发光显示装置的发射控制驱动器的级的电路图；

[0023] 图 8 示出根据第三示例性实施例的有机发光显示装置的发射控制驱动器的级的电路图；

[0024] 图 9 示出图 8 中示出的第一级的操作的时序图；

[0025] 图 10 示出图 8 中示出的第二级的操作的时序图。

具体实施方式

[0026] 现在在下文中将参照附图更充分地描述示例实施例，然而，示例实施例可以以不同的形式来实施，并不应该被解释为限于在此阐述的实施例。相反，提供这些实施例是为了使这公开将是彻底的和完整的，并将把示例性实施方式充分地传达给本领域技术人员。

[0027] 将理解的是,当元件或层被称作“在”另一元件或层“上”、“连接到”或“结合到”另一元件或层时,它可以直接在另一元件或层上、直接连接到或直接结合到另一元件或层,或者可存在中间元件或中间层。相反,当元件被称作“直接在”另一元件或层上、“直接连接到”或“直接结合到”另一元件或层时,不存在中间元件或中间层。相同的标号始终表示相同的元件。如这里所使用的,术语“和 / 或”包括相关所列项目中的一个或多个的任意组合和全部组合。

[0028] 将理解的是,尽管在这里可使用术语第一、第二等来描述不同的元件、组件、区域、层和 / 或部分,但是这些元件、组件、区域、层和 / 或部分并不受这些术语的限制。这些术语仅是用来将一个元件、组件、区域、层和 / 或部分与另一个元件、组件、区域、层和 / 或部分区分开来。因此,在不脱离本发明的教导的情况下,下面讨论的第一元件、组件、区域、层或部分可被命名为第二元件、组件、区域、层或部分。

[0029] 在这里可使用空间相对术语,如“在... 下方”、“在... 下面”、“下面的”、“在... 上方”、“上面的”等,用来轻松地描述如图中所示的一个元件或特征与其它元件或特征的关系。应该理解的是,空间相对术语意在包含除了在附图中描述的方位之外的装置在使用或操作中的不同方位。例如,如果在附图中装置被翻转,则描述为“在”其它元件或特征“下面”或“下方”的元件随后将被定位为其它元件或特征“上面的”或“在”其它元件或特征“上方”的元件或特征。因此,示例性术语“在... 下方”可包括“在... 上方”和“在... 下方”两种方位。所述装置可被另外定位(旋转 90 度或者在其它方位),相应地解释这里使用的空间相对描述符。

[0030] 这里使用的术语仅为了描述特定实施例的目的,而不意图限制实施例。如这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。还将理解的是,当在本说明书中使用术语“包含”和 / 或“包括”时,说明存在所述特征、整体、步骤、操作、元件和 / 或组件,但不排除存在或附加一个或多个其它特征、整体、步骤、操作、元件、组件和 / 或其组合。

[0031] 除非另有定义,否则这里使用的所有术语(包括技术术语和科技术语)具有与本发明所属领域的普通技术人员所通常理解的意思相同的意思。将进一步理解,除非这里明确定义,否则术语例如在通用的字典中定义的术语应该被解释为具有与相关领域的上下文中它们的意思相同的意思,而不是理想地或者过于正式地解释它们的意思。

[0032] 在下文中,将参照附图详细解释实施例。

[0033] 图 1 示出根据实施例的有机发光显示装置的框图。参照图 1,有机发光显示装置 100 包括显示面板 110、时序控制器 120、扫描驱动器 130、数据驱动器 140 和发射控制驱动器 150。

[0034] 显示面板 110 可包括以矩阵形式布置的多个像素 PX11 至 PXnm。像素 PX11 至 PXnm 中的每个像素连接到在行方向上延伸的扫描线 S1 至 Sn 中的对应的扫描线和与扫描线 S1 至 Sn 交叉的数据线 D1 至 Dm 中的对应的数据线。另外,像素 PX11 至 PXnm 中的每个像素连接到发射控制线 E1 至 En 中的对应的发射控制线,其中,发射控制线 E1 至 En 大致平行于扫描线 S1 至 Sn 延伸。

[0035] 扫描线 S1 至 Sn 连接到扫描驱动器 130 以接收扫描信号。数据线 D1 至 Dm 连接到数据驱动器 140 以接收数据电压。发射控制线 E1 至 En 连接到发射控制驱动器 150,以接收

发射控制信号。在本示例性实施例中，“n”和“m”中的每个为大于零(0)的整数。

[0036] 时序控制器 120 可接收诸如 R、G 和 B 的图像信号和来自外部源(未示出)(例如,系统板)的控制信号。控制信号可包括水平同步信号 Hsync、垂直同步信号 Vsync 和主时钟信号 MCLK。

[0037] 时序控制器 120 将图像信号 R、G 和 B 的数据格式转换成适合于数据驱动器 140 和时序控制器 120 之间的接口的数据格式。时序控制器 120 将转换的图像信号 R'、G' 和 B' 提供给数据驱动器 140。

[0038] 时序控制器 120 响应于控制信号而产生第一控制信号 CONT1、第二控制信号 CONT2 和第三控制信号 CONT3。第一控制信号 CONT1、第二控制信号 CONT2 和第三控制信号 CONT3 分别用于控制扫描驱动器 130、数据驱动器 140 和发射控制驱动器 150 的操作时序。时序控制器 120 将第一控制信号 CONT1、第二控制信号 CONT2 和第三控制信号 CONT3 分别施加到扫描驱动器 130、数据驱动器 140 和发射控制驱动器 150。

[0039] 扫描驱动器 130 响应于第一控制信号 CONT1 而产生扫描信号。扫描信号通过扫描线 S1 至 Sn 以行为单位被顺序地施加到像素 PX11 至 PXnm。因此,像素 PX11 至 PXnm 以行为单位被顺序地选择。

[0040] 数据驱动器 140 响应于第二控制信号 CONT2 而产生与图像信号 R'、G' 和 B' 对应的数据电压。数据电压通过数据线 D1 至 Dm 被分别施加到像素 PX11 至 PXnm。

[0041] 用于控制发射控制驱动器 150 的第三控制信号 CONT3 包括多个子控制信号。子控制信号可包括开始信号 FLM、第一时钟信号 CLK1 和第二时钟信号 CLK2。

[0042] 发射控制驱动器 150 被施加有第一电压 VGL 和第二电压 VGH,其中,第二电压 VGH 的电压电平高于第一电压 VGL 的电压电平。发射控制驱动器 150 响应于第三控制信号 CONT3 而产生发射控制信号。具体地讲,发射控制驱动器 150 利用开始信号 FLM、第一时钟信号 CLK1、第二时钟信号 CLK2、第一电压 VGL 和第二电压 VGH 产生发射控制信号。后面将详细地描述发射控制驱动器 150 的操作。发射控制信号通过发射控制线 E1 至 En 被施加到像素 PX11 至 PXnm。

[0043] 像素 PX11 至 PXnm 被施加有第一发射电压 ELVDD 和第二发射电压 ELVSS。像素 PX11 至 PXnm 中的每个像素响应于通过扫描线 S1 至 Sn 中的对应的扫描线提供的对应的扫描信号,通过数据线 D1 至 Dn 中的对应的数据线被施加有数据电压中的对应的数据电压。像素 PX11 至 PXnm 中的每个像素通过利用第一发射电压 ELVDD 和第二发射电压 ELVSS 以对应于数据电压的亮度发射光。后面将对此进行详细描述。像素 PX11 至 PXnm 中的每个像素的发射时间段由发射控制信号控制。

[0044] 发射控制驱动器 150 可仅利用开始信号 FLM、第一时钟信号 CLK1、第二时钟信号 CLK2、第一电压 VGL 和第二电压 VGH 产生发射控制信号。换言之,不需要其它控制信号来初始化发射控制驱动器 150。因此,发射控制驱动器 150 的构造可被简化。

[0045] 图 2 示出表示图 1 中示出的像素中的一个像素的示例的等效电路图。由于像素 PX11 至 PXnm 具有相同的构造和功能,所以在图 2 中仅示出一个像素 PXij。因此,在下文中,将详细描述一个像素 PXij 的操作。

[0046] 参照图 2,像素 PXij 可包括有机发光二极管 OLED、驱动晶体管 T1、电容器 Cst、开关晶体管 T2 和发射控制晶体管 T3。驱动晶体管 T1 具有施加有第一发射电压 ELVDD 的源极

端、连接到发射控制晶体管 T3 的源极端的漏极端以及连接到开关晶体管 T2 的漏极端的栅极端。开关晶体管 T2 具有连接到对应的扫描线 Si 的栅极端和连接到对应的数据线 Dj 的源极端。

[0047] 开关晶体管 T2 响应于通过扫描线 Si 提供的扫描信号而导通。导通的开关晶体管 T2 通过数据线 Dj 接收数据电压并将数据电压施加到驱动晶体管 T1 的栅极端。

[0048] 电容器 Cst 具有连接到驱动晶体管 T1 的源极端的第一电极和连接到驱动晶体管 T1 的栅极端的第二电极。电容器 Cst 被充入施加到驱动晶体管 T1 的栅极端的数据电压,并在开关晶体管 T2 截止之后保持充入的数据电压。

[0049] 发射控制晶体管 T3 具有连接到对应的发射控制线 Ei 的栅极端和连接到有机发光二极管 OLED 的阳极电极(anode electrode)的漏极端。发射控制晶体管 T3 响应于通过发射控制线 Ei 提供的发射控制信号而导通。导通的发射控制晶体管 T3 将流过驱动晶体管 T1 的电流 I_{OLED} 传送到有机发光二极管 OLED。

[0050] 有机发光二极管 OLED 通过其阴极电极被施加有第二发射电压 ELVSS。有机发光二极管 OLED 根据通过发射控制晶体管 T3 从驱动晶体管 T1 提供的电流 I_{OLED} 的量发射不同强度的光。

[0051] 图 3 示出表示图 1 中示出的发射控制驱动器的框图。参照图 3,发射控制驱动器 150 包括依次连接的多个级 STAGE1 至 STAGEn,以顺序地输出发射控制信号。级 STAGE1 至 STAGEn 分别连接到发射控制线 E1 至 En,并顺序地输出发射控制信号。在预定时间段内,发射控制信号相互重叠。在下文中,通过发射控制线 E1 至 En 输出的发射控制信号被称作第一发射控制信号至第 n 发射控制信号。

[0052] 级 STAGE1 至 STAGEn 中的每个级接收第一电压 VGL 和第二电压 VGH,其中,第二电压 VGH 的电压电平高于第一电压 VGL 的电压电平。另外,级 STAGE1 至 STAGEn 中的每个级接收第一时钟信号 CLK1 和第二时钟信号 CLK2。

[0053] 在级 STAGE1 至 STAGEn 中,第一级 STAGE1 响应开始信号 FLM 被驱动。具体地讲,第一级 STAGE1 接收第一电压 VGL 和第二电压 VGH,并响应于开始信号 FLM、第一时钟信号 CLK1 和第二时钟信号 CLK2 而产生第一发射控制信号。第一发射控制信号通过第一发射控制线 E1 被施加到布置在对应的行中的像素。

[0054] 级 STAGE1 至 STAGEn 依次连接并被顺序地驱动。具体地讲,当前级连接到前一级的输出端并接收从前一级输出的发射控制信号。当前级响应于从前一级提供的发射控制信号而被驱动。

[0055] 例如,第二级 STAGE2 可接收从第一级 STAGE1 输出的第一发射控制信号并响应于第一发射控制信号被驱动。具体地讲,第二级 STAGE2 可接收第一电压 VGL 和第二电压 VGH,并响应于第一发射控制信号、第一时钟信号 CLK1 和第二时钟信号 CLK2 而产生第二发射控制信号。第二发射控制信号通过第二发射控制线 E2 被施加到布置在对应的行中的像素。其它级 STAGE3 至 STAGEn 以与第二级 STAGE2 的方式相同的方式被驱动,因此将不再重复对它们的详细描述。

[0056] 图 4 示出根据第一示例性实施例的有机发光显示装置的发射控制驱动器的级的电路图。图 4 示出第一级 STAGE1 和第二级 STAGE2 的电路图,但是级 STAGE1 至 STAGEn 具有相同的电路构造和功能。因此,在下文中,将详细描述第一级 STAGE1 的电路构造和操作,

并且为了避免冗余,将不再重复描述其它级 STAGE2 至 STAGEN 的电路构造和操作。参照图 4,级 STAGE1 至 STAGEN 中的每个级可包括第一信号处理器 151、第二信号处理器 152 和第三信号处理器 153。

[0057] 级 STAGE1 至 STAGEN 中的每个级的第一信号处理器 151 被施加有第一子控制信号和第二子控制信号。具体地讲,级 STAGE2 至 STAGEN 中的每个级的第一信号处理器 151 接收从前一级输出的发射控制信号作为第一子控制信号。第一级 STAGE1 的第一信号处理器 151 接收开始信号 FLM 作为第一子控制信号。

[0058] 另外,奇数级 STAGE1、STAGE3、...、和 STAGEN-1 中的每个级的第一信号处理器 151 接收第一时钟信号 CLK1 作为第二子控制信号。偶数级 STAGE2、STAGE4、...、和 STAGEN 中的每个级的第一信号处理器 151 接收第二时钟信号 CLK2 作为第二子控制信号。

[0059] 因此,第一信号处理器 151 接收第一电压 VGL,并响应于第一子控制信号和第二子控制信号产生第一信号 CS1 和第二信号 CS2。第一信号 CS1 和第二信号 CS2 被施加到第二信号处理器 152。

[0060] 第一级 STAGE1 的第一信号处理器 151 接收第一电压 VGL,并响应于开始信号 FLM 和第一时钟信号 CLK1 产生第一信号 CS1 和第二信号 CS2。第一信号处理器 151 将第一信号 CS1 和第二信号 CS2 施加到第二信号处理器 152。

[0061] 第一信号处理器 151 可包括第一晶体管 M1、第二晶体管 M2 和第三晶体管 M3。第一晶体管 M1、第二晶体管 M2 和第三晶体管 M3 可为 PMOS 晶体管。

[0062] 第一晶体管 M1 具有:源极端,施加有开始信号 FLM;栅极端,施加有第一时钟信号 CLK1;漏极端,连接到第二晶体管 M2 的栅极端。

[0063] 第二晶体管 M2 具有:栅极端,连接到第一晶体管 M1 的漏极端;源极端,连接到第三晶体管 M3 的源极端;漏极端,施加有第一时钟信号 CLK1。

[0064] 第三晶体管 M3 具有:栅极端,施加有第一时钟信号 CLK1 并连接到第二晶体管 M2 的漏极端;源极端,连接到第二晶体管 M2 的源极端;漏极端,施加有第一电压 VGL。

[0065] 第一信号 CS1 是从相互连接的第二晶体管 M2 和第三晶体管 M3 的源极端输出的。第二信号 CS2 是从第一晶体管 M1 的漏极端输出的。

[0066] 级 STAGE1 至 STAGEN 中的每个级的第二信号处理器 152 施加有第三子控制信号。具体地讲,奇数级 STAGE1、STAGE3、...、和 STAGEN-1 中的每个级的第二信号处理器 152 接收第二时钟信号 CLK2 作为第三子控制信号。偶数级 STAGE2、STAGE4、...、和 STAGEN 中的每级的第二信号处理器 152 接收第一时钟信号 CLK1 作为第三子控制信号。

[0067] 第二信号处理器 152 接收第二电压 VGH,并响应于第三子控制信号、第一信号 CS1 和第二信号 CS2 而产生第三信号 CS3 和第四信号 CS4。第三信号 CS3 和第四信号 CS4 被施加到第三信号处理器 153。

[0068] 第一级 STAGE1 的第二信号处理器 152 接收第二电压 VGH,并响应于第二时钟信号 CLK2 及来自第一信号处理器 151 的第一信号 CS1 和第二信号 CS2 而产生第三信号 CS3 和第四信号 CS4。第二信号处理器 152 将第三信号 CS3 和第四信号 CS4 施加到第三信号处理器 153。

[0069] 第二信号处理器 152 可包括第四晶体管 M4、第五晶体管 M5、第六晶体管 M6 和第七晶体管 M7 以及第一电容器 C1 和第二电容器 C2。第四晶体管 M4、第五晶体管 M5、第六晶体

管 M6 和第七晶体管 M7 可为 PMOS 晶体管。

[0070] 第四晶体管 M4 具有 : 栅极端, 施加有第二时钟信号 CLK2 ; 漏极端, 连接到第一节点 N1 和第二晶体管 M2 的栅极端 ; 源极端, 连接到第五晶体管 M5 的漏极端。

[0071] 第一电容器 C1 具有施加有第二时钟信号 CLK2 的第一电极和连接到第四晶体管 M4 的漏极端和第一节点 N1 的第二电极。

[0072] 第五晶体管 M5 具有 : 栅极端, 连接到第三晶体管 M3 的源极端和第二节点 N2 ; 源极端, 施加有第二电压 VGH ; 漏极端, 连接到第四晶体管 M4 的源极端。

[0073] 第六晶体管 M6 具有 : 栅极端, 连接到第二节点 N2 ; 源极端, 连接到第七晶体管 M7 的漏极端 ; 漏极端, 施加有第二时钟信号 CLK2。

[0074] 第二电容器 C2 具有连接到第六晶体管 M6 的栅极端的第一电极和连接到第六晶体管 M6 的源极端的第二电极。

[0075] 第七晶体管 M7 具有 : 栅极端, 施加有第二时钟信号 CLK2 ; 源极端, 连接到第三节点 N3 ; 漏极端, 连接到第六晶体管 M6 的源极端。

[0076] 第三信号 CS3 被施加到第三节点 N3, 并且第四信号 CS4 被施加到第一节点 N1。

[0077] 第一级 STAGE1 的第三信号处理器 153 接收第一电压 VGL 和第二电压 VGH, 并响应于从第二信号处理器 152 提供的第三信号 CS3 和第四信号 CS4 产生第一发射控制信号。第一发射控制信号通过第一发射控制线 E1 被施加到像素。第一发射控制信号被施加到第二级 STAGE2 的第一信号处理器 151。

[0078] 第三处理器 153 包括第八晶体管 M8、第九晶体管 M9 和第十晶体管 M10 以及第三电容器 C3。第八晶体管 M8、第九晶体管 M9 和第十晶体管 M10 为 PMOS 晶体管。

[0079] 第八晶体管 M8 具有 : 栅极端, 连接到第一节点 N1 ; 源极端, 施加有第二电压 VGH ; 漏极端, 连接到第三节点 N3。

[0080] 第三电容器 C3 具有施加有第二电压 VGH 的第一电极和连接到第三节点 N3 的第二电极。

[0081] 第九晶体管 M9 具有 : 栅极端, 连接到第三节点 N3 ; 源极端, 施加有第二电压 VGH ; 漏极端, 连接到第一发射控制线 E1。

[0082] 第十晶体管 M10 具有 : 栅极端, 连接到第一节点 N1 ; 源极端, 连接到第一发射控制线 E1 ; 漏极端, 施加有第一电压 VGL。

[0083] 第九晶体管 M9 的漏极端和第十晶体管 M10 的源极端连接到第二级 STAGE2 的第一信号处理器 151 的第一晶体管 M1 的源极端。

[0084] 将参照图 5 详细描述通过开始信号 FLM、第一时钟信号 CLK1 和第二时钟信号 CLK2 的第一晶体管 M1 至第十晶体管 M10 的操作。

[0085] 图 5 示出表示图 4 中示出的第一级的操作的时序图。参照图 5, 第一时钟信号 CLK1 和第二时钟信号 CLK2 具有相同的频率。即, 第一时钟信号 CLK1 和第二时钟信号 CLK2 具有相同的第一周期 T1。第二时钟信号 CLK2 是通过使第一时钟信号 CLK1 移位第一时钟信号 CLK1 的第一周期 T1 的一半而获得的。第一时钟信号 CLK1 和第二时钟信号 CLK2 之间的移位时间段被称作第一持续时间 1H。

[0086] 开始信号 FLM 仅被施加到第一级 STAGE1, 并且开始信号 FLM 的高电平持续时间被称作第二持续时间 4H。第二持续时间 4H 是第一时钟信号 CLK1 和第二时钟信号 CLK2 的第

一周期 T_1 的两倍。也就是说,第二持续时间 $4H$ 是第一持续时间 $1H$ 的四倍。

[0087] 当第一时钟信号 CLK1 从高电平变为低电平时,开始信号 FLM 从低电平变成高电平。如上所述,开始信号 FLM 在从低电平变成高电平之后,在第二持续时间 $4H$ 内保持高电平。即,当第一时钟信号 CLK1 从高电平变成低电平时开始信号 FLM 被激活,并且开始信号 FLM 的激活状态在第二持续时间 $4H$ 内维持。

[0088] 在下文中,每个信号的高电平被称作第一电平,每个信号的比高电平低的低电平被称作第二电平。另外,第一电压 VGL 具有第二电平,第二电压 VGH 具有第一电平。

[0089] 开始信号 FLM 和第一时钟信号 CLK1 在第一时间点 t_1 具有第二电平,第二时钟信号 CLK2 在第一时间段 t_1 具有第一电平。

[0090] 具有第二电平的第一时钟信号 CLK1 被施加到第一晶体管 M1 的栅极端和第三晶体管 M3 的栅极端。因此,第一晶体管 M1 和第三晶体管 M3 导通。

[0091] 具有第二电平的开始信号 FLM 通过导通的第一晶体管 M1 被施加到第二晶体管 M2 的栅极端和第一节点 N1。因此,第二晶体管 M2 导通,并且第一节点 N1 处的电压具有第二电平。

[0092] 具有第二电平的第一时钟信号 CLK1 和第一电压 VGL 分别通过导通的第二晶体管 M2 和导通的第三晶体管 M3 被施加到第二节点 N2。因此,第二节点 N2 处的电压具有第二电平。

[0093] 具有第一电平的第二时钟信号 CLK2 被施加到第四晶体管 M4 和第七晶体管 M7。因此,第四晶体管 M4 和第七晶体管 M7 截止。

[0094] 由于第一节点 N1 处的电压具有第二电平,所以第八晶体管 M8 导通。第二电压 VGH 通过导通的第八晶体管 M8 被施加到第三节点 N3。因此,第三节点 N3 处的电压具有第一电平。第三电容器 CS3 被充有第二电压 VGH。换言之,第三电容器 C3 被充有具有第一电平的电压。由于第三节点 N3 处的电压具有第一电平,所以第九晶体管 M9 截止。

[0095] 由于第一节点 N1 处的电压具有第二电平,所以第十晶体管 M10 导通。由于导通的第十晶体管 M10,第一电压 VGL 被施加到第一发射控制线 E1。因此,第一发射控制线具有第二电平。

[0096] 在第二时间点 t_2 ,开始信号 FLM 具有第二电平,第一时钟信号 CLK1 和第二时钟信号 CLK2 具有第一电平。第一晶体管 M1 和第三晶体管 M3 通过具有第一电平的第一时钟信号 CLK1 截止。

[0097] 由于第一节点 N1 处的电压保持第二电平,所以第二晶体管 M2 导通。具有第一电平的第一时钟信号 CLK1 通过导通的第二晶体管 M2 被施加到第二节点 N2。因此,第二节点 N2 处的电压具有第一电平。

[0098] 第一节点 N1 处的电压具有第二电平,因此,第八晶体管 M8 和第十晶体管 M10 导通。第二电压 VGH 通过导通的第八晶体管 M8 被施加到第三节点 N3,从而第三节点 N3 处的电压保持在第一电平。

[0099] 由于第三节点 N3 处的电压具有第一电平并且第一节点 N1 处的电压具有第二电平,所以第九晶体管 M9 截止并且第十晶体管 M10 导通。因此,第一发射控制信号保持在第二电平。

[0100] 在第三时间点 t_3 ,第二时钟信号 CLK2 从第一电平转变为第二电平,然后从第二电平再次转变成第一电平。因此,由于第一电容器 C1 的耦合,第一节点 N1 处的电势通过第二

时钟信号 CLK2 的电势的变化而被自举 (boot-strapped)。即,在第二时间点 t2 具有第二电平的电压的第一节点 N1 由于第一电容器 C1 的耦合在第二时钟信号 CLK2 的第二电平时间段具有低于第二电平的第三电平的电压。当施加到 PMOS 晶体管的电压的电平变低时,传统的 PMOS 晶体管具有良好的驱动特性。由于第一节点 N1 处的电压在时钟信号 CLK2 的第二电平时间段内具有低于第二电平的第三电平,所以可提高第八晶体管 M8 至第十晶体管 M10 的驱动特性。第一发射控制信号保持在第二电平。

[0101] 在第四时间点段 t4,开始信号 FLM 和第二时钟信号 CLK2 具有第一电平,第一时钟信号 CLK1 具有第二电平。

[0102] 第一晶体管 M1 被具有第二电平的第一时钟信号 CLK1 导通,并且具有第一电平的开始信号 FLM 被施加到第一节点 N1。第一节点 N1 处的电压具有第一电平,因此,第二晶体管 M2 和第十晶体管 M10 截止。

[0103] 第三晶体管 M3 响应于具有第二电平的第一时钟信号 CLK1 而被导通,并且第一电压 VGL 被施加到第二节点 N2。因此,第二节点 N2 处的电压具有第二电平。

[0104] 第七晶体管 M7 响应于具有第一电平的第二时钟信号 CLK2 而被截止。由于第一节点 N1 处的电压具有第一电平,所以第八晶体管 M8 截止。第三节点 N3 处的电压通过第三电容器 C3 被保持在第一电平。第三节点 N3 处的电压保持在第一电平,因此,第九晶体管 M9 截止。因此,第一发射控制信号被保持在第二电平。

[0105] 在第五时间点 t5,开始信号 FLM 和第一时钟信号 CLK1 具有第一电平,并且第二时钟信号 CLK2 具有第二电平。

[0106] 第一晶体管 M1 和第三晶体管 M3 通过具有第一电平的第一时钟信号 CLK1 截止。由于第一节点 N1 处的电压保持在第一电平,所以第二晶体管 M2、第八晶体管 M8 和第十晶体管 M10 截止。

[0107] 第四晶体管 M4 和第七晶体管 M7 响应于具有第二电平的第二时钟信号 CLK2 而被导通。另外,第二节点 N2 处的电压具有第二电平,从而第五晶体管 M5 和第六晶体管 M6 导通。

[0108] 如上所述的自举,由于第二电容器 C2 的耦合,第二节点 N2 的电势通过第二时钟信号 CLK2 的电势的变化被自举。即,第二节点 N2 处的电压在第二时钟信号 CLK2 的第二电平时间段内具有低于第二电平的第三电平。

[0109] 具有第二电平的第二时钟信号 CLK2 通过导通的第六晶体管 M6 和第七晶体管 M7 被施加到第三节点 N3。因此,第三节点 N3 处的电压在第五时间点 t5 具有第二电平。由于第三节点 N3 处的电压具有第二电平,所以第九晶体管 M9 导通。

[0110] 由于第九晶体管 M9 导通且第十晶体管 M10 截止,所以第一发射控制信号被保持在第一电平。

[0111] 在第六时间点 t6,开始信号 FLM 和第一时钟信号 CLK1 具有第二电平,并且第二时钟信号 CLK2 具有第一电平。根据第一时间点 t1 处的操作,第一发射控制信号在第六时间点 t6 具有第二电平。

[0112] 第一发射控制信号具有第一电平的持续时间被称作第三持续时间 3H。第三持续时间 3H 是第一持续时间 1H 的三倍。

[0113] 第一发射控制信号通过第二级 STAGE2 和第一发射控制线 E1 被施加到像素。第二

级 STAGE2 响应于第一发射控制信号、第一时钟信号 CLK1 和第二时钟信号 CLK2 产生第二发射控制信号。

[0114] 第二发射控制信号在相对于第一发射控制信号被移位第一持续时间 1H 之后被输出。换言之,从级 STAGE1 至 STAGEN 输出的发射控制信号被顺序地移位第一持续时间 1H。具体地讲,从当前级输出的发射控制信号通过使从先前级输出的发射控制信号移位第一持续时间 1H 而获得。

[0115] 因此,根据第一示例性实施例的有机发光显示装置的发射控制驱动器 150 接收第一电压 VGL 和第二电压 VGH,并响应于开始信号 FLM、第一时钟信号 CLK1 和第二时钟信号 CLK2 产生发射控制信号。因此,可简化发射控制驱动器 150 的构造。

[0116] 图 6 和图 7 示出根据第二示例性实施例的有机发光显示装置的发射控制驱动器的级的电路图。

[0117] 图 6 示出第一级 STAGE1 和第二级 STAGE2,图 7 示出第 (n-1) 级 STAGEN-1 和第 n 级 STAGEN。然而,级 STAGE1 至 STAGEN 具有相同的电路构造和功能。除了图 6 和图 7 中示出的级包括双向驱动器之外,图 6 和图 7 中示出的级以与图 4 中示出的级的方式相同的方式被驱动。因此,在下文中,将描述与图 4 中示出的级的电路构造不同的电路构造。

[0118] 参照图 6 和图 7,级 STAGE1 至 STAGEN 中的每个级的双向驱动器 154 接收第一方向控制信号 BI_CTL 和第二方向控制信号 BI_CTLB。双向驱动器 154 响应于第一方向控制信号 BI_CTL 和第二方向控制信号 BI_CTLB 而输出第一输出信号或第二输出信号作为第一子控制信号。

[0119] 具体地讲,当前级的双向驱动器 154 接收从前一级级输出的发射控制信号作为第一输入信号,并接收从下一级输出的发射控制信号作为第二输入信号。另外,第一级 STAGE1 的双向驱动器 154 接收开始信号 FLM 作为第一输入信号,并且第 n 级 STAGEN 接收开始信号 FLM 作为第二输入信号。

[0120] 例如,由于第一级 STAGE1 没有前一级,所以从第一级 STAGE1 输出的第一发射控制信号被施加到下一级(即,第二级 STAGE2)。从第二级 STAGE2 输出的第二发射控制信号被施加到下一级(即,第三级 STAGE3)和前一级(即,第一级 STAGE1)。由于第 n 级 STAGEN 没有下一级,所以从第 n 级 STAGEN 输出的第 n 发射控制信号被施加到前一级(即,第 (n-1) 级 STAGEN-1)。从第 (n-1) 级 STAGEN-1 输出的第 (n-1) 发射控制信号被施加到下一级(即,第 n 级 STAGEN)和前一级(即,第 (n-2) 级 STAGEN-2)。

[0121] 双向驱动器 154 包括第十一晶体管 M11 和第十二晶体管 M12。

[0122] 第十一晶体管 M11 包括施加有第一方向控制信号 BI_CTL 的栅极端和施加有第一输入信号的源极端。第十二晶体管 M12 包括施加有第二方向控制信号 BI_CTLB 的栅极端和施加有第二输入信号的源极端。第十一晶体管 M11 和第十二晶体管 M12 的漏极端连接到第一信号处理器 151 的第一晶体管 M1 的源极端。

[0123] 在第一级 STAGE1 中,双向驱动器 154 的第十一晶体管 M11 的栅极端接收第一方向控制信号 BI_CTL,并且双向驱动器 154 的第十一晶体管 M11 的源极端接收开始信号 FLM。第十二晶体管 M12 的栅极端接收第二方向控制信号 BI_CTLB,并且第十二晶体管 M12 的源极端接收从第二级 STAGE2 输出的第二发射控制信号。第十一晶体管 M11 和第十二晶体管 M12 的漏极端连接到第一晶体管 M1 的源极端。

[0124] 在第 n 级 STAGEn 中,双向驱动器 154 的第十一晶体管 M11 的栅极端接收第一方向控制信号 BI_CTL,并且双向驱动器 154 的第十一晶体管 M11 的源极端接收从第 $(n-1)$ 级 STAGEn-1 输出的第 $(n-1)$ 发射控制信号。第十二晶体管 M12 的栅极端接收第二方向控制信号 BI_CTLB,并且第十二晶体管 M12 的源极端接收开始信号 FLM。第十一晶体管 M11 和第十二晶体管 M12 的漏极端连接到第一晶体管 M1 的源极端。

[0125] 在其它级 STAGE2 至 STAGEn-1 中,双向驱动器 154 的第十一晶体管 M11 的栅极端接收第一方向控制信号 BI_CTL,并且双向驱动器 154 的第十一晶体管 M11 的源极端接收从前一级输出的发射控制信号。第十二晶体管 M12 的栅极端接收第二方向控制信号 BI_CTLB,并且第十二晶体管 M12 的源极端接收从下一级输出的发射控制信号。第十一晶体管 M11 和第十二晶体管 M12 的漏极端连接到第一晶体管 M1 的源极端。

[0126] 第一方向控制信号 BI_CTL 和第二方向控制信号 BI_CTLB 相互具有不同的电平。例如,当第一方向控制信号 BI_CTL 具有第一电平(或高平)时,第二方向控制信号 BI_CTLB 具有低于第一电平的第二电平(或低电平)。

[0127] 当第一方向控制信号 BI_CTL 具有第二电平时,级 STAGE1 至 STAGEn 中的每个级的双向驱动器 154 的第十一晶体管 M11 导通,并且级 STAGE1 至 STAGEn 中的每个级的双向驱动器 154 的第十二晶体管 M12 截止。因此,开始信号 FLM 被施加到第一级 STAGE1 的双向驱动器 154。另外,从第一级 STAGE1 输出的第二发射控制信号被施加到第二级 STAGE2。即,根据第二示例性实施例的发射控制驱动器的级 STAGE1 至 STAGEn 以与图 4 中示出的级的方式相同的方式被驱动。从级 STAGE1 至 STAGEn 输出的发射控制信号按照从第一发射控制信号至第 n 发射控制信号的顺序被顺序地施加到像素。因此,按照从显示面板 110 的上部到显示面板 110 的下部的顺序驱动像素。

[0128] 在第二方向控制信号 BI_CTLB 具有第二电平的情况下,级 STAGE1 至 STAGEn 中的每个级的双向驱动器 154 的第十一晶体管 M11 截止,并且级 STAGE1 至 STAGEn 中的每个级的双向驱动器 154 的第十二晶体管 M12 导通。因此,开始信号 FLM 被施加到第 n 级 STAGEn 的双向驱动器 154。另外,从第 n 级 STAGEn 输出的第 n 发射控制信号被施加到第 $(n-1)$ 级 STAGEn-1。因此,从级 STAGE1 至 STAGEn 输出的发射控制信号按照从第 n 发射控制信号至第一发射控制信号的顺序被顺序地施加到像素。因此,按照从显示面板 110 的下部到显示面板 110 的上部的顺序驱动像素。

[0129] 根据第二示例性实施例的有机发光显示装置的发射控制驱动器接收第一电压 VGL 和第二电压 VGH,并响应于开始信号 FLM、第一时钟信号 CLK1 和第二时钟信号 CLK2 而产生发射控制信号。因此,可简化发射控制驱动器的构造。

[0130] 图 8 示出根据第三示例性实施例的有机发光显示装置的发射控制驱动器的级的电路图。图 8 示出发射控制驱动器的第一级 STAGE1 和第二级 STAGE2。然而,级 STAGE1 至 STAGEn 具有相同的电路构造和功能。因此,在下文中,将详细描述第一级 STAGE1 并省略对其它级 STAGE2 至 STAGEn 的详细描述。

[0131] 除了第二信号处理器 152a 之外,以与图 6 和图 7 中示出的级的驱动方式相同的方式驱动图 8 中示出的级。因此,在下文中,将描述与图 6 和图 7 中示出的级的电路构造不同的电路构造。

[0132] 参照图 8,级 STAGE1 至 STAGEn 中的每个级的双向驱动器 154 接收从前一级输出

的进位信号 CA 作为第一输入信号,并接收从下一级输出的进位信号 CA 作为第二输入信号。另外,第一级 STAGE1 的双向驱动器 154 接收开始信号 FLM 作为第一输入信号,并且第 n 级 STAGEN 的双向驱动器 154 接收开始信号 FLM 作为第二输入信号。

[0133] 从级 STAGE1 至 STAGEN 中的每个级的第二信号处理器 152a 输出进位信号 CA。为了输出进位信号 CA,级 STAGE1 至 STAGEN 中的每个级的第二信号处理器 152a 包括第四晶体管 M4 至第七晶体管 M7、第一电容器 C1 和第二电容器 C2 以及第十三晶体管 M13 和第十四晶体管 M14。除了第一电容器 C1、第十三晶体管 M13 和第十四晶体管 M14 之外,第二信号处理器 152a 的电路构造与图 4 中示出的第二信号处理器 152 的电路构造相同。因此,将详细描述第一级 STAGE1 的第二信号处理器 152a 的第一电容器 C1、第十三晶体管 M13 和第十四晶体管 M14 之间的连接。

[0134] 第十三晶体管 M13 具有:栅极端,连接到第五晶体管 M5 的栅极端和第二节点 N2;源极端,施加有第二电压 VGH;漏极端,连接到第四节点 N4。

[0135] 第十四晶体管 M14 具有:栅极端,连接到第四晶体管 M4 的栅极端;源极端,连接到第四节点 N4;漏极端,施加有第二时钟信号 CLK2。

[0136] 第一电容器 C1 具有:第一电极,连接到第四晶体管 M4 的漏极端和第十四晶体管 M14 的栅极端;第二电极,连接到第四节点 N4。

[0137] 从第四节点 N4 输出的信号被定义为进位信号 CA,并被施加到第二级 STAGE2 的双向驱动器 154。

[0138] 级 STAGE1 至 STAGEN 中的每个级的进位信号 CA 被施加到前一级和下一级中的每个级的双向驱动器 154。例如,由于第一级 STAGE1 的前一级不存在,所以从第一级 STAGE1 输出的进位信号 CA 被施加到下一级(即,第二级 STAGE2)的双向驱动器 154。从第二级 STAGE2 输出的进位信号 CA 被施加到下一级(即,第三级 STAGE3)的双向驱动器 154 和前一级(即,第一级 STAGE1)的双向驱动器 154。

[0139] 由于第 n 级 STAGEN 的下一级不存在,所以从第 n 级 STAGEN 输出的进位信号被施加到第 (n-1) 级 STAGEN-1 的双向驱动器 154。从第 (n-1) 级 STAGEN-1 输出的进位信号 CA 被施加到第 n 级 STAGEN 和第 (n-2) 级 STAGEN-2 中的每个级的双向驱动器 154。

[0140] 即,代替图 6 和图 7 中示出的级中使用的发射控制信号,图 8 中示出的级中的每个级将进位信号 CA 施加到其前一级和下一级。因此,可通过使用进位信号而不是发射控制信号来驱动级 STAGE1 至 STAGEN。

[0141] 下面将参照图 9 详细描述通过第十三晶体管 M13 和第十四晶体管 M14 从第一级 STAGE1 输出进位信号 CA。另外,将在后面参照图 10 详细描述响应于来自第一级 STAGE1 的进位信号 CA 驱动的第二级 STAGE2。

[0142] 图 9 示出表示图 8 中示出的第一级的操作的时序图。尽管图 9 中未示出,但是第一方向控制信号 BI_CTL 具有第二电平,并且第二方向控制信号 BI_CTLB 具有第一电平。即,按照从显示面板 110 的上部到显示面板 110 的下部的顺序驱动级 STAGE1 至 STAGEN。

[0143] 除了第四节点 N4 处的电压被添加作为进位信号 CA 之外,图 9 中示出的信号具有与图 5 中示出的信号的波形相同的波形。换言之,除了图 8 中示出的第一级 STAGE1 输出进位信号 CA 之外,以与图 4 中示出的第一级 STAGE1 的驱动方式相同的方式驱动图 8 中示出的第一级 STAGE1。

[0144] 在除了第一节点 N1 具有第一电平的时间段 N1_H 之外的时间段内,第一节点 N1 具有第二电平或第三电平。当第一节点 N1 具有第二电平或第三电平时,第十四晶体管 M14 导通。即,在除了第一节点 N1 具有第一电平的时间段 N1_H 之外的时间段内,第二时钟信号 CLK2 被施加到第四节点 N4。因此,在除了第一节点 N1 具有第一电平的时间段 N1_H 之外的时间段内,第四节点 N4 具有与第二时钟信号 CLK2 的波形相同的波形。

[0145] 当第一节点 N1 处的电压具有第一电平时,第十四晶体管 M14 截止。当第一节点 N1 处的电压从第二电平变为第一电平时,第二节点 N2 处的电压从第一电平改变为第二电平。当第二节点 N2 处的电压具有第二电平时,第十三晶体管 M13 导通。第二电压 VGH 通过导通的第十三晶体管 M13 被施加到第四节点 N4。因此,第四节点 N4 处的电压具有第一电平并在第十三晶体管 M13 导通时保持在第一电平。也就是说,在第二节点 N2 具有第二电平的时间段 N2_L 内,第四节点 N4 处的电压保持在第一电平。

[0146] 当第十四晶体管 M14 不存在时,第二时钟信号 CLK2 被连续地施加到第一电容器 C1。因此,第一电容器 C1 被交替地且重复地充入第一电平和第二电平。在这种情况下,由于第一电容器 C1 的负载,第二时钟信号 CLK2 可被延迟。即,异常的第二时钟信号 CLK2 被施加到第二信号处理器 152。

[0147] 当第一节点 N1 处的电压具有第一电平时,第十四晶体管 M14 截止。当第十四晶体管 M14 截止时,第二时钟信号 CLK2 不受第三电容器 C3 的影响,因此,可防止第二时钟信号 CLK2 的延迟。

[0148] 当第十四晶体管 M14 截止时,第十三晶体管 M13 使第四节点 N4 均匀地保持。换言之,当第十四晶体管 M14 截止时,第十三晶体管 M13 导通,从而第四节点 N4 处的电压保持在第一电平。

[0149] 根据第三示例性实施例的有机发光显示装置的发射控制驱动器仅利用开始信号 FLM、进位信号 CA、第一时钟信号 CLK1、第二时钟信号 CLK2 和第二电压 VGH 产生发射控制信号。即,不需要额外的控制信号来初始化发射控制驱动器 150。因此,可简化发射控制驱动器 150 的构造。

[0150] 图 10 示出表示图 8 中示出的第二级的操作的时序图。参照图 10,第一级 STAGE1 的第四节点 N4 处的电压作为进位信号 CA 被施加到第二级 STAGE2。在第一时间点 t1,进位信号 CA 和第二时钟信号 CLK2 具有第二电平,第一时钟信号 CLK1 具有第一电平。

[0151] 具有第二电平的第二时钟信号 CLK2 被施加到第一晶体管 M1 的栅极端和第三晶体管 M3 的栅极端。因此,第一晶体管 M1 和第三晶体管 M3 被导通。

[0152] 具有第二电平的进位信号 CA 通过导通的第一晶体管 M1 被施加到第二晶体管 M2 的栅极端和第一节点 N1。因此,第二晶体管 M2 导通并且第一节点 N1 处的电压具有第二电平。

[0153] 具有第一电平的第一时钟信号 CLK1 被施加到第四晶体管 M4 和第七晶体管 M7。因此,第四晶体管 M4 和第七晶体管 M7 截止。

[0154] 由于第一节点 N1 处的电压具有第二电平,所以第八晶体管 M8 导通。第二电压 VGH 通过导通的第八晶体管 M8 被施加到第三节点 N3。因此,第三节点 N3 处的电压具有第一电平,第九晶体管 M9 截止。

[0155] 第一节点 N1 处的电压具有第二电平,从而第十晶体管 M10 导通。由于导通的第十

晶体管 M10, 第一电压 VGL 被施加到第二发射控制线 E2。因此, 第二发射控制信号具有第二电平。

[0156] 在第二时间点 t2, 进位信号 CA、第一时钟信号 CLK1 和第二时钟信号 CLK2 具有第一电平。第一晶体管 M1 和第三晶体管 M3 响应于具有第一电平的第三时钟信号 CLK2 而被截止。

[0157] 由于第一节点 N1 处的电压保持在第二电平, 因此第二晶体管 M2 导通。具有第一电平的第三时钟信号 CLK1 通过导通的第二晶体管 M2 被施加到第二节点 N2。因此, 第二节点 N2 处的电压具有第一电平。

[0158] 由于第一节点 N1 处的电压具有第二电平, 所以第八晶体管 M8 和第十晶体管 M10 导通。因此, 第二电压 VGH 通过导通的第八晶体管 M8 被施加到第三节点 N3, 从而第三节点 N3 处的电压保持在第一电平。

[0159] 当第三节点 N3 处的电压具有第一电平并且第一节点 N1 处的电压具有第二电平时, 第九晶体管 M9 截止并且第十晶体管 M10 导通。因此, 第二发射控制信号保持在第二电平。

[0160] 在第三时间点 t3, 通过第一电容器 C1 的耦合而导致的第三节点 N1 的电势的改变与图 5 中描述的变化相同。

[0161] 在第四时间点 t4, 进位信号 CA 和第一时钟信号 CLK1 具有第一电平, 第二时钟信号 CLK2 具有第二电平。

[0162] 第一晶体管 M1 通过具有第二电平的第三时钟信号 CLK2 导通, 并且具有第一电平的进位信号 CA 被施加到第一节点 N1。第一节点 N1 处的电压具有第一电平。由于第一节点 N1 处的电压具有第一电平, 所以第二晶体管 M2 和第十晶体管 M10 截止。

[0163] 第三晶体管 M3 响应于具有第二电平的第三时钟信号 CLK2 而被导通, 并且第一电压 VGL 被施加到第二节点 N2。因此, 第二节点 N2 处的电压具有第二电平。

[0164] 第七晶体管 M7 响应于具有第一电平的第三时钟信号 CLK1 而被截止。由于第一节点 N1 处的电压具有第一电平, 所以第八晶体管 M8 截止。第三节点 N3 处的电压通过第三电容器 C3 保持在第一电平, 因此第九晶体管 M9 截止。结果, 第二发射控制信号保持在第二电平。

[0165] 在第五时间点 t5, 进位信号 CA 和第三时钟信号 CLK2 具有第一电平, 并且第三时钟信号 CLK1 具有第二电平。

[0166] 第一晶体管 M1 和第三晶体管 M3 响应于具有第一电平的第三时钟信号 CLK2 而被截止。第一节点 N1 处的电压保持在第一电平。因此, 第二晶体管 M2、第八晶体管 M8 和第十晶体管 M10 截止。

[0167] 第四晶体管 M4 和第七晶体管 M7 响应于具有第二电平的第三时钟信号 CLK1 而被导通。另外, 由于第二节点 N2 处的电压具有第二电平, 所以第五晶体管 M5 和第六晶体管 M6 导通。

[0168] 具有第二电平的第三时钟信号 CLK2 通过导通的第六晶体管 M6 和第七晶体管 M7 被施加到第三节点 N3。因此, 第三节点 N3 处的电压在第五时间点 t5 具有第二电平, 从而第九晶体管 M9 导通。当第九晶体管 M9 导通并且第十晶体管 M10 截止时, 第二发射控制信号具有第一电平。

[0169] 在第六时间点 t6, 进位信号 CA 和第二时钟信号 CLK2 具有第一电平, 并且第一时钟信号 CLK1 具有第一电平。根据如上所述的在第一时间点 t1 的操作, 第一发射控制信号在第六时间点 t6 具有第二电平。

[0170] 如上所述, 当前级响应于第一时钟信号 CLK1、第二时钟信号 CLK2 和从前一级提供的进位信号 CA 产生发射控制信号。另外, 从级 STAGE1 至 STAGEN 输出的发射控制信号被顺序地移位第一持续时间 1H。由于不需要额外的控制信号来初始化发射控制驱动器, 所以可简化发射控制驱动器的构造。

[0171] 已经在此公开了示例实施例, 尽管采用了特定术语, 但是仅以一般且描述性的意义使用并解释这些特定术语, 而不是出于限制的目的。在一些情况下, 如截止至提交本申请时本领域普通技术人员将清楚的是, 除非另外明确指出, 否则结合具体实施例描述的特征、特性和 / 或元件可被单独使用或与结合其它实施例描述的特征、特性和 / 或元件组合使用。因此, 本领域技术人员将理解的是, 在不脱离如权利要求所阐述的本发明的精神和范围的情况下, 可以在形式和细节上做出各种改变。

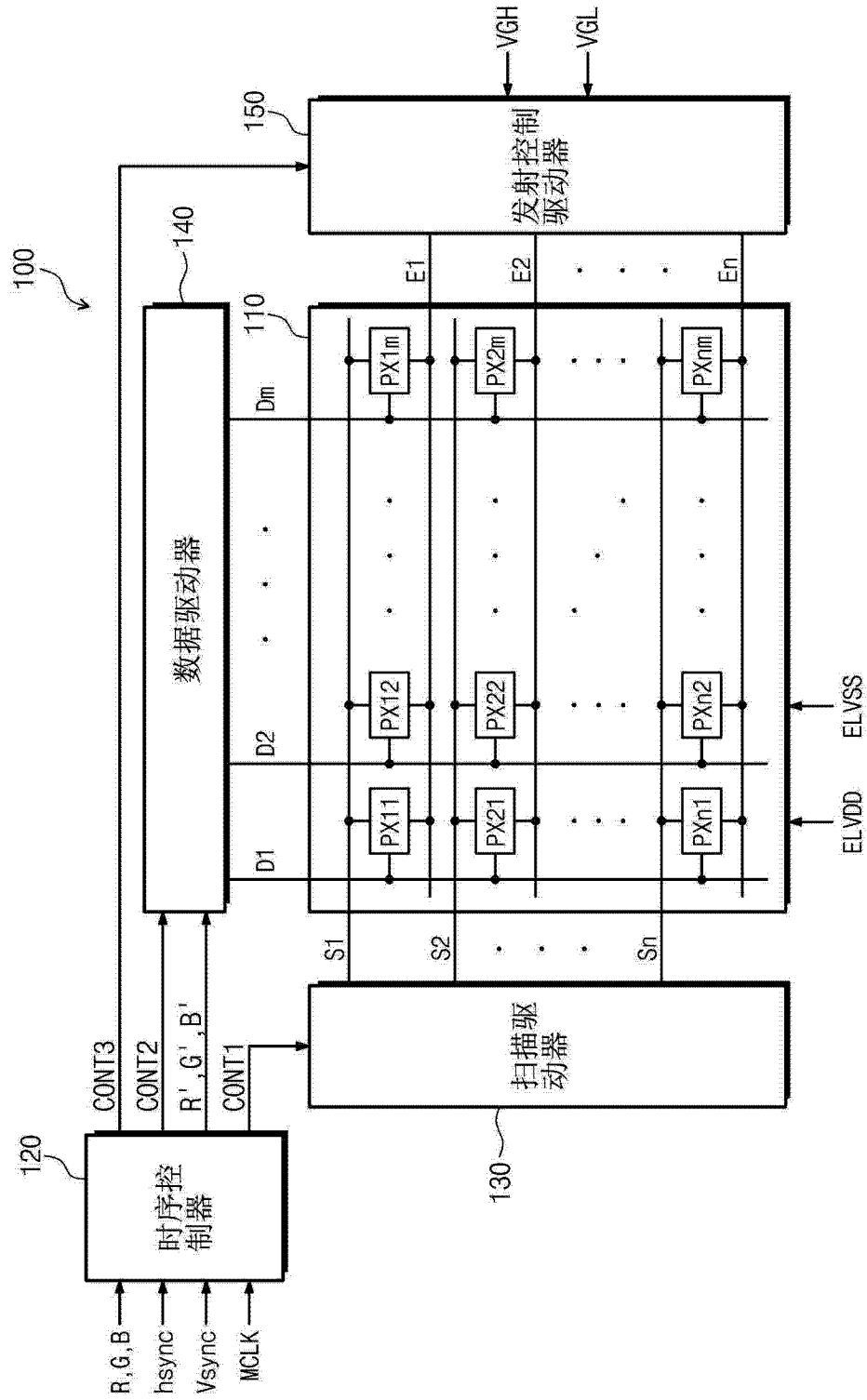


图 1

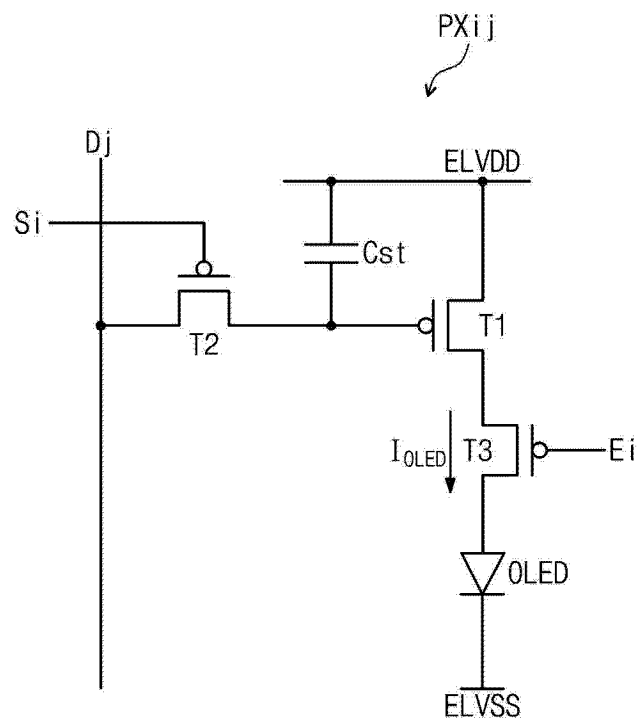


图 2

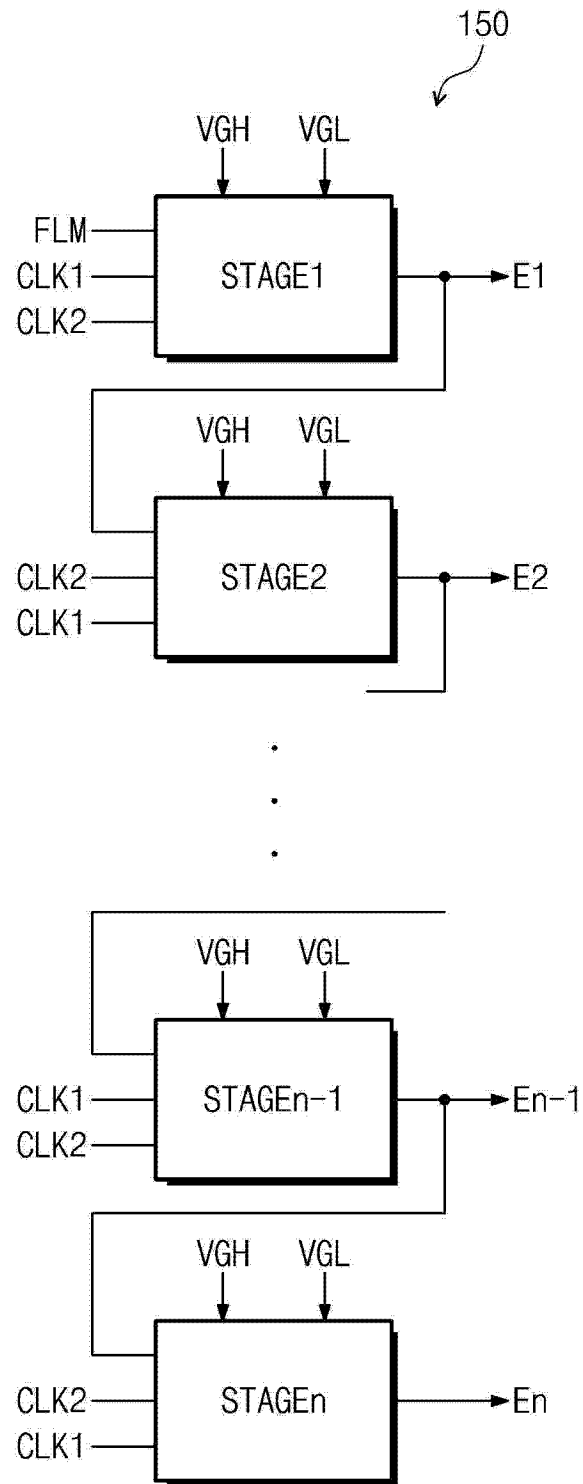


图 3

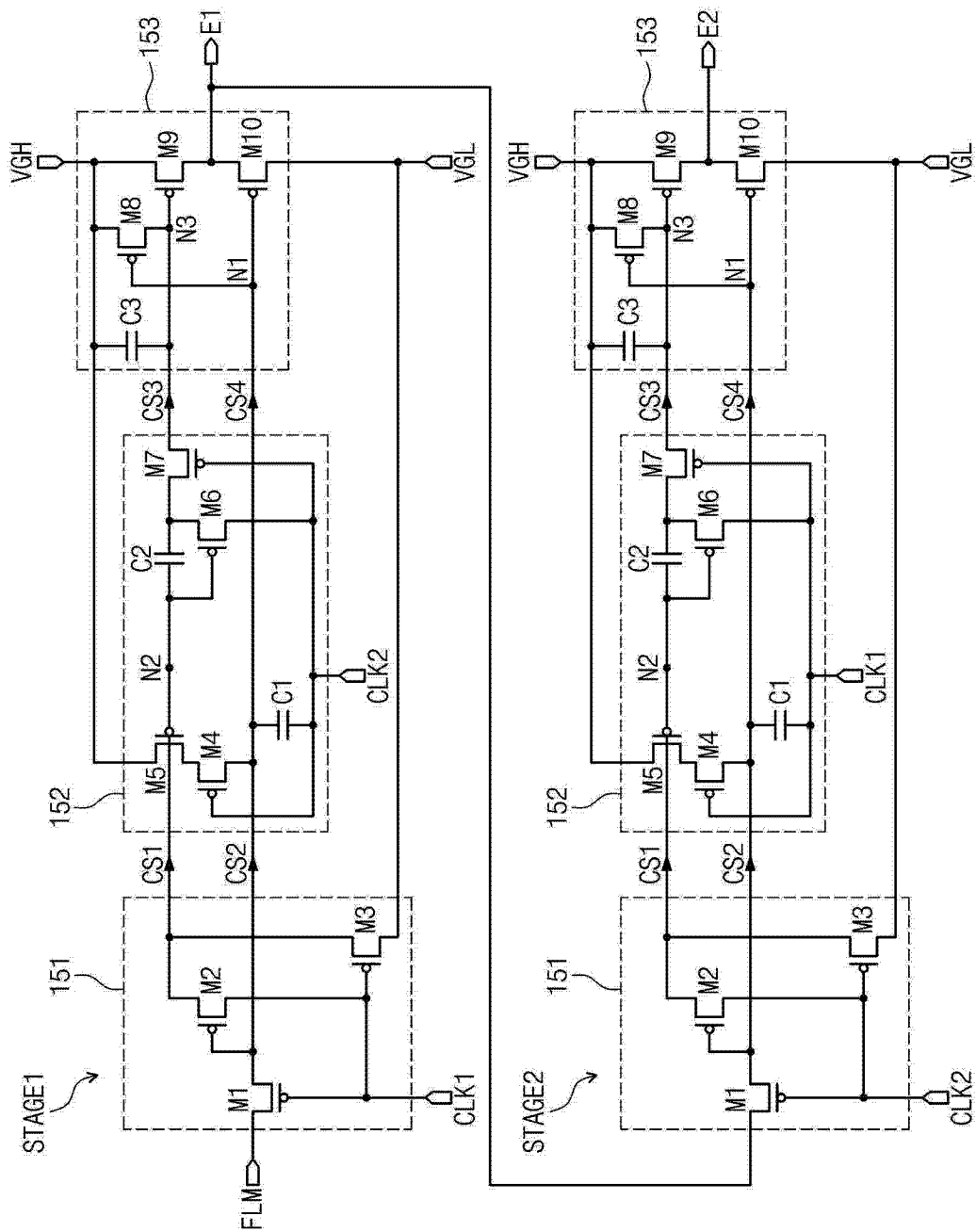


图 4

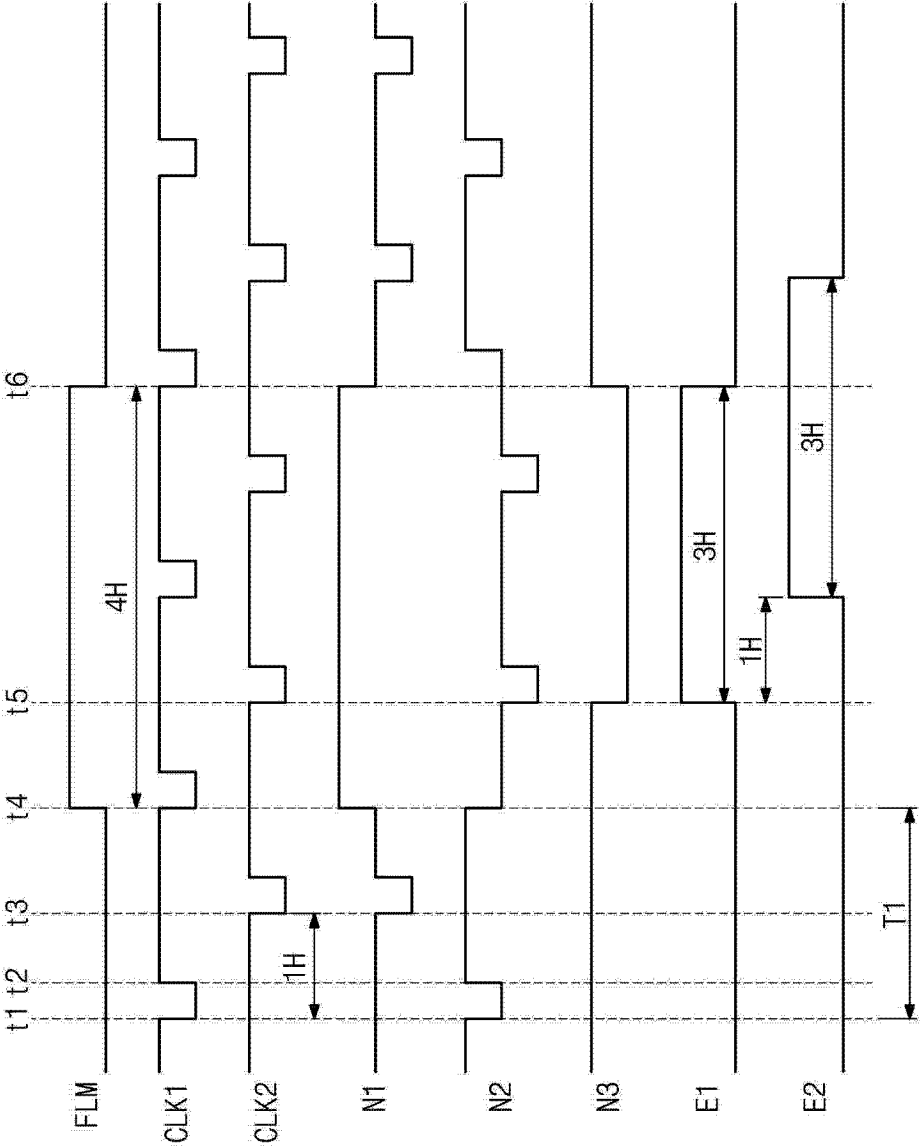


图 5

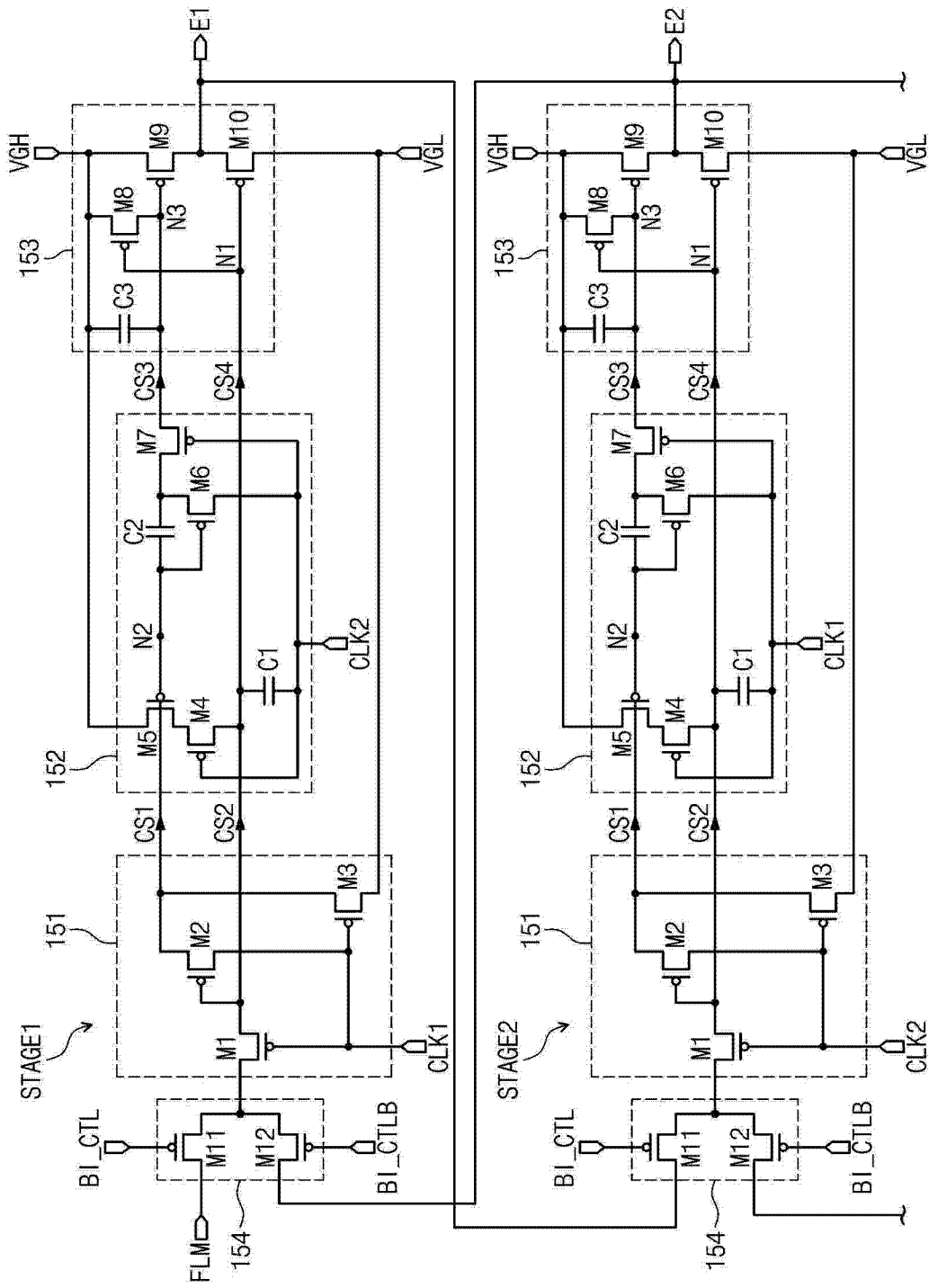


图 6

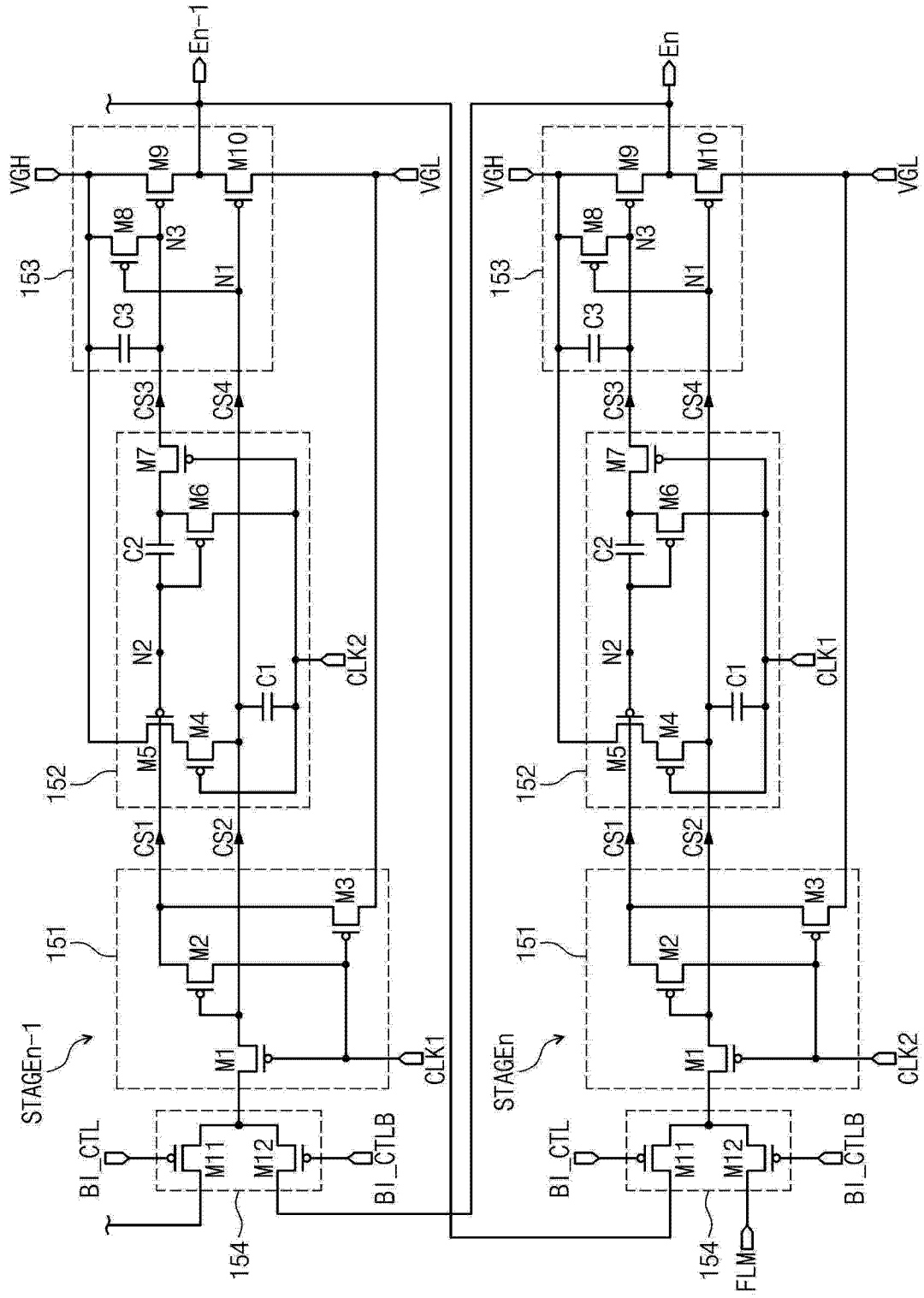


图 7

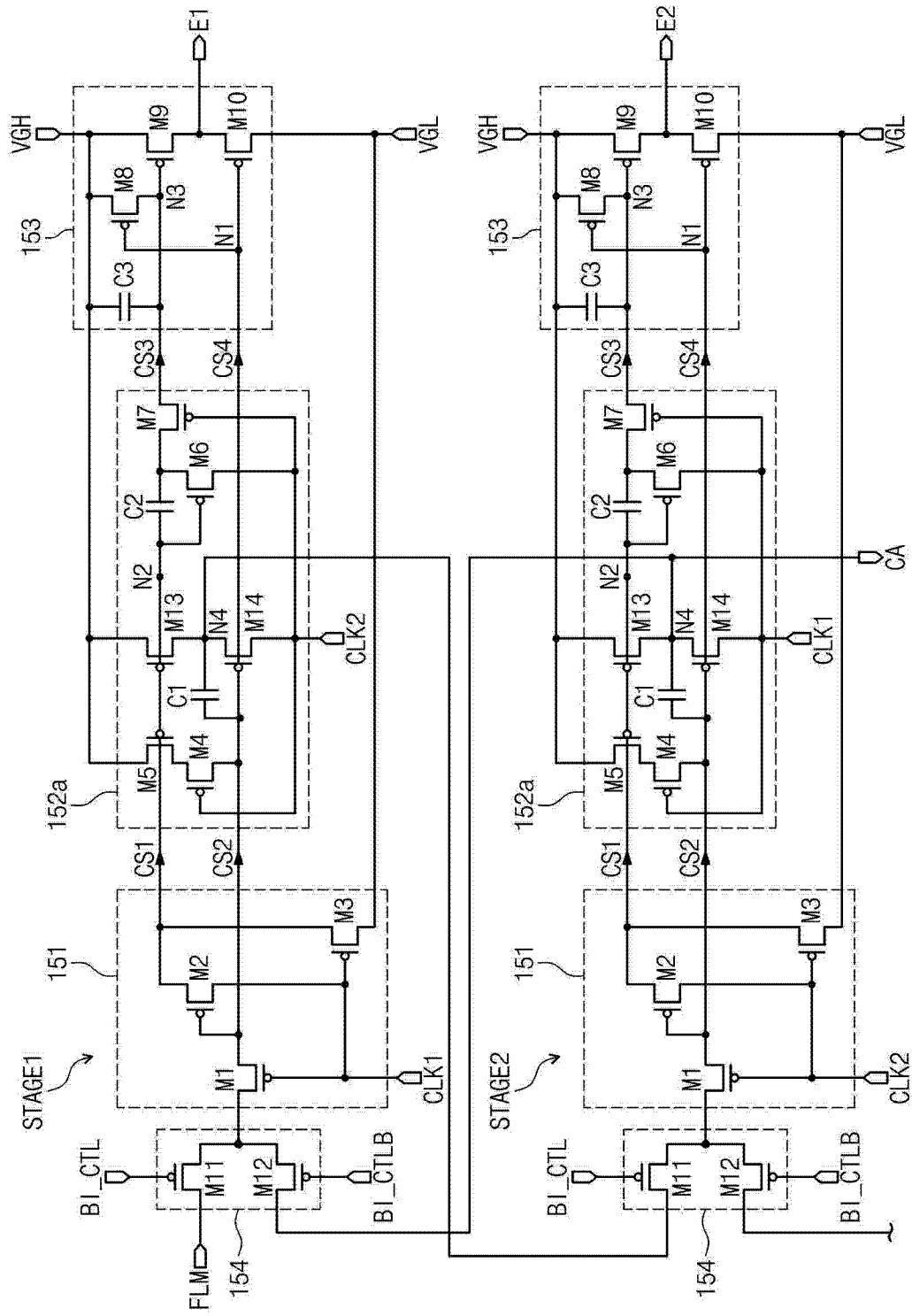


图 8

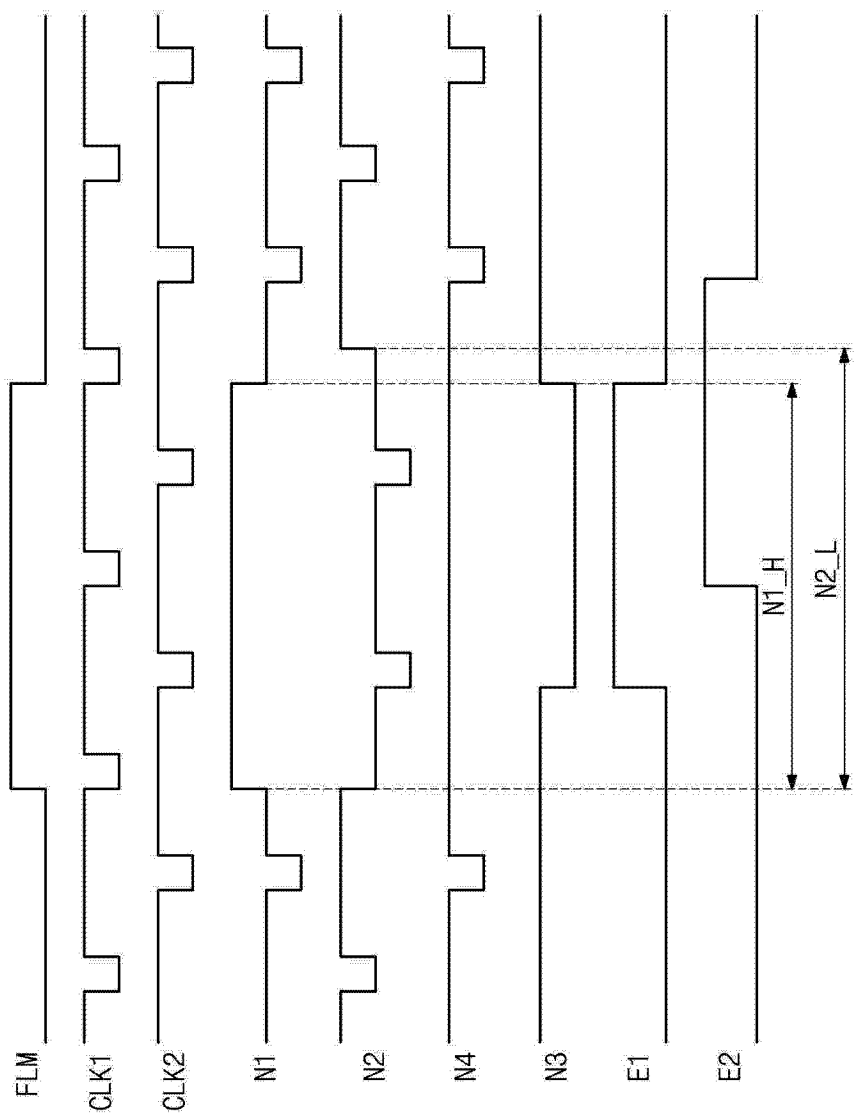


图 9

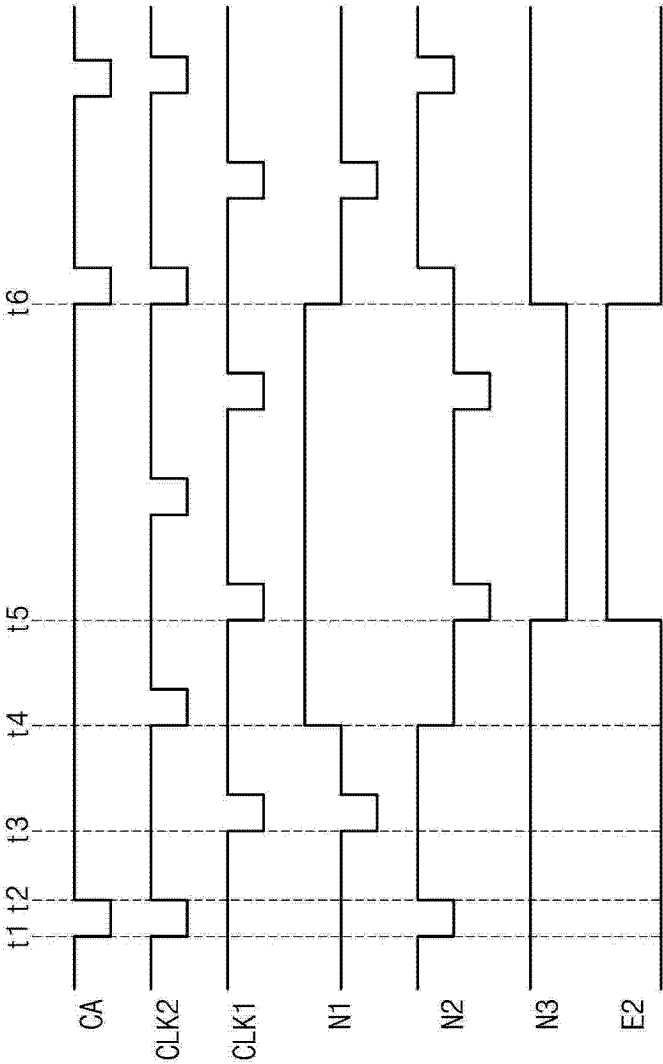


图 10

专利名称(译)	发射控制驱动器和具有其的有机发光显示装置		
公开(公告)号	CN103632633A	公开(公告)日	2014-03-12
申请号	CN201310308583.X	申请日	2013-07-22
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	张桓寿		
发明人	张桓寿		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3291 G09G3/32		
代理人(译)	韩明星 王占杰		
优先权	1020120091442 2012-08-21 KR		
其他公开文献	CN103632633B		
外部链接	Espacenet SIPO		

摘要(译)

一种发射控制驱动器和具有其的有机发光显示装置。所述发射控制驱动器包括通过发射控制线顺序输出发射控制信号的级。每个级包括：第一信号处理器，接收第一电压并响应于第一子控制信号和第二子控制信号而产生第一信号和第二信号；第二信号处理器，接收第二电压并响应于第三子控制信号、第一信号和第二信号而产生第三信号和第四信号，第二电压的电平高于第一电压的电平；第三信号处理器，接收第一电压和第二电压并响应于第三信号和第四信号产生发射控制信号。每个级的第一信号处理器接收从前一级输出的发射控制信号作为第一子控制信号，多个级中的第一级的第一信号处理器接收开始信号作为第一子控制信号。

