



(12)发明专利申请

(10)申请公布号 CN 111354316 A
(43)申请公布日 2020.06.30

(21)申请号 201911201996.1

(22)申请日 2019.11.29

(30)优先权数据

10-2018-0166478 2018.12.20 KR

(71)申请人 乐金显示有限公司

地址 韩国首尔

(72)发明人 张成旭

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 唐京桥 陈炜

(51)Int.Cl.

G09G 3/3266(2016.01)

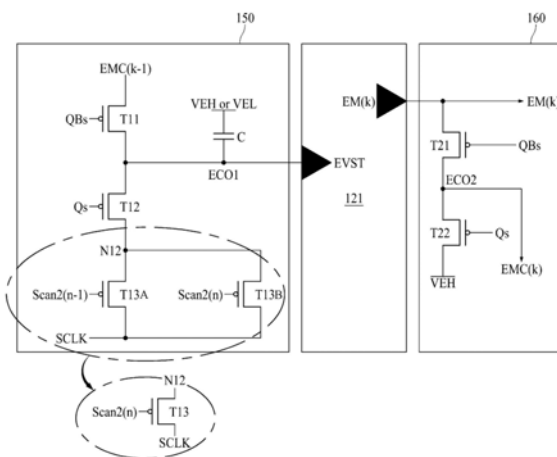
权利要求书2页 说明书19页 附图14页

(54)发明名称

包括栅极驱动器的电致发光显示装置

(57)摘要

一种栅极驱动器的电致发光显示装置,包括由多个级组成的栅极驱动器,栅极驱动器包括:向第n像素行提供发射信号的第k级;连接至第k级的第一控制器,提供输入信号;连接至第k级的第二级控制器,接收第k级的输出信号作为输入信号。第一控制器用于生成用于感测第n像素行的控制信号,第二控制器连接至施加有发射信号的发射线以将第k级的输出信号提供给发射线,并且连接至第(k+1)级的第一控制器以将第k级的输出信号提供给第(k+1)级的第一控制器,第k级的输出信号被移位至发射进位信号。因此,可以选择性地向特定像素行施加随机栅极信号以感测和补偿特定像素行。可以实时补偿显示面板的不均匀亮度,以改善电致发光显示装置的图像质量并延长其寿命。



1. 一种包括由多个级组成的栅极驱动器的电致发光显示装置,所述栅极驱动器包括:
第k级,用于向第n像素行提供发射信号,其中,n和k是自然数,并且 $1 \leq k \leq n$;
所述第k级的第一控制器,其连接至所述第k级并且提供输入信号;以及
所述第k级的第二控制器,其连接至所述第k级并且接收所述第k级的输出信号作为输入信号,
其中,所述第一控制器被实现为生成用于感测所述第n像素行的控制信号,以及
其中,所述第二控制器连接至被施加有所述发射信号的发射线,以将所述第k级的输出信号提供给所述发射线,并且所述第二控制器连接至第(k+1)级的第一控制器,以向所述第(k+1)级的第一控制器提供所述第k级的输出信号,所述第k级的输出信号被移位至发射进位信号。
2. 根据权利要求1所述的电致发光显示装置,其中,所述第k级将所述发射信号提供给包括奇数像素行和偶数像素行的两个像素行,并且k是通过将n除以2而获得的。
3. 根据权利要求1所述的电致发光显示装置,其中,构成所述栅极驱动器的所述多个级被实现为移位寄存器。
4. 根据权利要求1所述的电致发光显示装置,还包括被布置在所述第n像素行中的多个子像素,所述多个子像素中的每个包括发光二极管和像素电路,
其中,所述像素电路包括驱动晶体管、开关晶体管、发射晶体管和感测晶体管。
5. 根据权利要求1所述的电致发光显示装置,其中,所述栅极驱动器还包括感测扫描驱动器,所述感测扫描驱动器用于提供用于控制所述感测晶体管的感测信号。
6. 根据权利要求5所述的电致发光显示装置,其中,所述感测扫描驱动器包括:下拉晶体管,其由Qsp节点控制以输出栅极时钟;以及上拉晶体管,其由QBs节点控制以输出栅极高电压,并且被提供给所述第n像素行的感测信号是调整所述栅极时钟的信号。
7. 根据权利要求6所述的电致发光显示装置,其中,所述第k级的第一控制器包括:
第十一晶体管,其由所述QBs节点控制,以将第(k-1)级的发射进位信号施加至所述第一控制器的输出节点;
第十二晶体管,其由Qs节点控制,所述第十二晶体管具有连接至所述第一控制器的输出节点的一个电极;
第十三晶体管,其由所述感测扫描驱动器的输出信号控制,所述第十三晶体管将用于选择所述第n像素行的感测时钟施加至所述第十二晶体管的一个电极;以及
电容器,其连接至所述输出节点和施加有发射高电压或发射低电压的线,并且
其中,提供给所述第一控制器的输出节点的信号被提供作为所述第k级的输入信号。
8. 根据权利要求7所述的电致发光显示装置,其中,所述第一控制器还包括连接至所述第一控制器的输出节点的第十四晶体管和第一子电容器,并且
其中,所述第十四晶体管由所述发射低电压控制,以将所述Qs节点的信号施加至所述第一控制器的输出节点,并且所述第一子电容器连接至所述输出节点和输入有所述感测时钟的节点。
9. 根据权利要求7所述的电致发光显示装置,其中,所述第十三晶体管包括第13A晶体管和第13B晶体管,所述第13A晶体管由所述感测扫描驱动器的输出信号控制,以用于向所述奇数像素行提供信号,所述第13B晶体管由所述感测扫描驱动器的输出信号控制,以用于

向所述偶数像素行提供信号。

10. 根据权利要求6所述的电致发光显示装置,其中,所述第k级的第二控制器包括:

第21晶体管,其由所述QB_s节点控制,以将所述第k级的输出信号施加至所述第二控制器的输出节点;以及

第22晶体管,其由所述Q_s节点控制,以向所述第二控制器的输出节点施加发射高电压。

11. 根据权利要求10所述的电致发光显示装置,其中,所述第二控制器还包括所述QB_s节点和施加有所述第k级的输出信号的节点之间的第二子电容器。

12. 根据权利要求1所述的电致发光显示装置,其中,所述第二控制器的输出节点连接至在所述第n像素行中包括的发光晶体管的栅极。

13. 根据权利要求1所述的电致发光显示装置,其中,所述第k级包括Q_e节点控制器、QB_e节点控制器、输出单元和稳定器。

14. 根据权利要求1所述的电致发光显示装置,其中,所述栅极驱动器还包括用于向所述第n像素行提供扫描信号的感测扫描驱动器,并且所述第一控制器和所述第二控制器通过与所述感测扫描驱动器同步来进行操作。

15. 一种电致发光显示装置,包括:

感测扫描驱动器,其包括用于向特定像素行施加感测信号的多个级;

发射驱动器,其包括用于向所述特定像素行施加发射信号的多个级;

第一控制器,用于向所述发射驱动器提供输入信号;以及

第二控制器,用于接收所述发射驱动器的输出信号作为输入信号,

其中,在感测周期中感测在所述特定像素行中包括的驱动装置的电气特性,并且

在所述感测周期期间通过所述感测扫描驱动器和所述发射驱动器输出栅极导通电压。

16. 根据权利要求15所述的电致发光显示装置,其中,所述特定像素行之前的像素行和所述特定像素行之后的像素行被正常驱动,以使得像素能够发光。

17. 根据权利要求15所述的电致发光显示装置,其中,所述第一控制器包括多个晶体管和电容器,所述多个晶体管由构成所述感测扫描驱动器的节点和所述感测信号控制,以向所述第一控制器的输出节点施加输出信号。

18. 根据权利要求15所述的电致发光显示装置,其中,所述第二控制器包括多个晶体管,所述多个晶体管由构成所述感测扫描驱动器的节点控制,以向所述第二控制器的输出节点施加输出信号。

19. 根据权利要求15所述的电致发光显示装置,其中,用于感测所述特定像素行的感测数据电压在所述感测周期之前的数据编程周期内被施加至所述特定像素行。

20. 根据权利要求19所述的电致发光显示装置,其中,所述发射驱动器包括多个级,所述多个级中的每个将所述发射信号施加至所述特定像素行和所述特定像素行之前的像素行,并且黑色数据电压在所述数据编程周期内被施加至所述像素行。

包括栅极驱动器的电致发光显示装置

技术领域

[0001] 本公开内容涉及包括栅极驱动器的电致发光显示装置,该电致发光显示装置可以向特定像素行选择性地输出随机信号。

背景技术

[0002] 根据发光层的材料,电致发光显示装置可以分为无机发光显示装置和有机发光显示装置。有源矩阵型有机发光显示装置包括自发光的有机发光二极管(OLED),其优点在于:响应速度快,发光效率和亮度高,并且视角宽。

[0003] 有机发光显示装置通过使用诸如OLED的自发光二极管来显示输入图像。OLED包括阳极电极、阴极电极以及形成在阳极电极和阴极电极之间的有机化合物层。有机化合物层包括空穴注入层(HIL)、空穴传输层(HTL)、发射层(EML)、电子传输层(ETL)和电子注入层(EIL)。如果向阳极电极和阴极电极施加电源电压,则已经通过空穴传输层的空穴和已经通过电子传输层的电子被移动以形成激子,由此发射层发射可见光。

[0004] 电致发光显示装置的驱动电路包括用于向数据线提供数据信号的数据驱动器以及用于向栅极线提供栅极信号的栅极驱动器。栅极驱动器可以与构成屏幕的显示区域的电路元件一起直接形成在同一基板上。与电路元件一起直接形成在显示面板的基板上的栅极驱动器可以被称为面板内栅极(GIP)电路。显示区域的电路元件构成像素电路,像素电路形成在由像素阵列的数据线和栅极线以矩阵布置所限定的像素中的每个像素中。栅极驱动器以及显示区域的电路元件中的每个电路元件包括多个晶体管。

[0005] 栅极信号和数据信号被提供给显示区域,并且栅极信号包括扫描信号和发射信号。显示区域中的像素使用发射信号和一个或多个扫描信号来驱动。通常,生成扫描信号的栅极驱动器可以包括用于顺序输出栅极信号的移位寄存器。

[0006] GIP型栅极驱动器包括与栅极线的数量对应的多个级,其中,每一级输出提供给栅极线的栅极信号,级与栅极线一一对应。栅极线将栅极信号提供给布置在显示区域中的像素阵列,以使得发光二极管能够发光。

[0007] 发光二极管在发光的同时产生热量以及光,并且从发光二极管产生的热量提高了显示区域的表面温度,从而可能出现不均匀亮度。因此,已经研究了通过补偿显示面板的不均匀亮度来提高图像质量的方法。

[0008] 数字显示设备以逐行扫描方法将数据写入像素中。逐行扫描方法在一帧周期的垂直活动时间段内将数据顺序写入显示区域的所有行中。例如,在将数据同时写入第一像素行的像素中之后,将数据同时写入第二像素行的像素中,然后将数据同时写入第三像素行的像素中。以这种方式,显示面板中的每一行的数据被顺序写入所有像素行的像素中。为了实现逐行扫描方法,栅极驱动器可以使用移位寄存器对输出进行移位,并且将栅极信号顺序提供给栅极线。

[0009] 每个像素被分成具有不同颜色的多个子像素以显示颜色,并且每个子像素包括用作开关元件或驱动元件的晶体管。晶体管可以被实现为薄膜晶体管(TFT)。栅极驱动器将栅

极信号提供给在每个像素中形成的晶体管的栅极,以使晶体管导通或截止。

[0010] 显示区域的每个像素电路包括多个晶体管。具有不同波形的栅极信号可以被施加至多个晶体管。显示装置需要与被施加至像素电路的栅极信号的数量一样多的栅极驱动器。栅极驱动器包括移位寄存器,并且需要向其传输用于控制移位寄存器的起始信号、时钟等的线。

[0011] 如上所述,为了补偿显示面板的不均匀亮度,需要根据像素的驱动方法在垂直显示周期内不规则地改变栅极信号的移位,包括感测和补偿显示区域中的像素的状态的情况。在这种情况下,由于现有栅极驱动器的移位寄存器根据具有预定周期的时钟定时来生成输出,因此难以通过使用不同于逐行扫描方法的输出方法在垂直显示周期内将栅极信号输出到显示面板的随机像素行,而不考虑时钟定时。

[0012] 因此,本公开内容的发明人已经认识到上述问题,并且发明了包括栅极驱动器的电致发光显示装置,其可以改变施加至显示面板的随机线的栅极信号。

发明内容

[0013] 鉴于上述问题做出了本公开内容,并且本公开内容的目的是提供一种包括栅极驱动器的电致发光显示装置,其可以在逐行扫描过程中改变被提供给显示面板的随机像素行的栅极信号。

[0014] 除了如上所述的本公开内容的目的之外,本领域技术人员将根据本公开内容的以下描述中清楚地理解本公开内容的其他目的和特征。

[0015] 根据本公开内容的一个方面,通过提供包括由多个级组成的栅极驱动器的电致发光显示装置可以实现上述及其他目的,该栅极驱动器包括:第 k 级,用于向第 n 像素行提供发射信号;第一控制器,其连接至第 k 级,提供输入信号;以及第二控制器,其连接至第 k 级,用于接收第 k 级的输出信号作为输入信号。第一控制器被实现为生成用于感测第 n 像素行的控制信号,以及第二控制器连接至施加有发射信号的发射线,以将第 k 级的输出信号提供给发射线,并且连接至第 $(k+1)$ 级的第一控制器,以将第 k 级的输出信号提供给第 $(k+1)$ 级的第一控制器,第 k 级的输出信号被移位至发射进位信号。在这种情况下, n 和 k 是自然数,并且 $1 \leq k \leq n$ 。因此,可以选择性地向特定像素行施加随机栅极信号,以感测和补偿特定像素行。因此,可以实时补偿显示面板的不均匀亮度,从而可以改善电致发光显示装置的图像质量,并且可以延长其寿命。

[0016] 根据本公开内容的另一方面,通过提供以下电致发光显示装置可以实现上述及其他目的,该电致发光显示装置包括:感测扫描驱动器,包括用于向特定像素行施加感测信号的多个级;发射驱动器,包括用于向特定像素行施加发射信号的多个级;第一控制器,用于向发射驱动器提供输入信号;以及第二控制器,用于接收发射驱动器的输出信号作为输入信号,其中,在感测周期中感测在特定像素行中包括的驱动装置的电气特性,并且在感测周期内通过感测扫描驱动器和发射驱动器来输出栅极导通电压。因此,可以选择性地向特定像素行施加随机栅极信号,以感测和补偿特定像素行。因此,可以实时补偿显示面板的不均匀亮度,从而可以改善电致发光显示装置的图像质量,并且可以延长其寿命。

[0017] 其他实施方式的细节被包括在具体实施方式和附图中。

[0018] 根据本公开内容的实施方式,可以设置用于向发射驱动器提供输入信号的第一控

制器和用于接收发射驱动器的输出信号的第二控制器,由此可以向特定像素行的栅极线提供随机信号。

[0019] 此外,根据本公开内容的实施方式,第一控制器还包括连接至其输出节点的晶体管和第一子电容器,第二控制器还包括连接至其输出节点的第二子电容器,由此可以改善用于IFS的发射驱动器的稳定性和可靠性。

[0020] 除了如上所述的本公开内容的效果之外,本领域技术人员将根据本公开内容的以上描述中清楚地理解本公开内容的其他优点和特征。

附图说明

[0021] 通过以下结合附图进行的详细描述,将更清楚地理解本公开内容的上述及其他方面、特征和其他优点,在附图中:

[0022] 图1是示出根据本公开内容的一个方面的电致发光显示装置的框图。

[0023] 图2是示出根据本公开内容的一个方面的栅极驱动器的电路配置的图;

[0024] 图3a和图3b是示出连接至子像素的感测路径的图;

[0025] 图4A是示出根据本公开内容的一个方面的子像素的像素电路图;

[0026] 图4B是图4A的波形;

[0027] 图5A是示出根据本公开内容的一个方面的感测扫描驱动器的电路图;

[0028] 图5B是示出根据本公开内容的一个方面的感测扫描驱动器的波形;

[0029] 图6是示出根据本公开内容的一个方面的用于帧内感测(IFS)的发射驱动器的图;

[0030] 图7是示出根据本公开内容的一个方面的第一控制器的波形;

[0031] 图8是示出根据本公开内容的一个方面的发射驱动器的波形;

[0032] 图9是示出根据本公开内容的一个方面的第二控制器的波形;

[0033] 图10是示出根据本公开内容的另一个方面的用于IFS的发射驱动器的图;以及

[0034] 图11是示出根据本公开内容的一个方面的发射驱动器的电路图。

具体实施方式

[0035] 通过以下参考附图描述的方面,将阐明本公开内容的优点和特征及其实现方法。然而,本公开内容可以以不同的形式来实施,并且不应当被解释为限于本文中阐述的方面。相反,提供这些方面是为了使本公开内容是透彻的和完整的,并且向本领域技术人员充分地传达本公开内容的范围。此外,本公开内容仅由权利要求的范围来限定。

[0036] 用于描述本公开内容的方面的附图中公开的形状、尺寸、比例、角度和数量仅仅是示例,因此,本公开内容不限于所示出的细节。贯穿说明书,相同的附图标记指代相同的元件。在以下描述中,当确定了相关已知功能或配置的详细描述不必要地模糊本公开内容的重点时,将省略该详细描述。在使用本说明书中描述的“包含”、“具有”和“包括”的情况下,可以添加另一部分,除非使用“仅”。除非另有指示,否则单数形式的术语可以包括复数形式。

[0037] 在构造元件时,尽管没有明确的描述,但是该元件被解释为包括误差范围。

[0038] 在描述位置关系时,例如,当位置关系被描述为“在其上”、“在其上方”、“在其下面”和“在其旁边”时,可以在两个其他部分之间设置一个或更多个部分,除非使用“仅”或

“紧邻”。

[0039] 在描述时间关系时,例如,当时间顺序被描述为“在其后”、“随后”、“接下来”以及“在其之前”时,可以包括不连续的情况,除非使用“仅”或“紧接”。

[0040] 如本领域技术人员可以充分理解的,本公开内容的各方面的特征可以彼此部分地或全部地耦合或组合,并且可以以不同方式相互操作并且在技术上被驱动。本公开内容的方面可以彼此独立地执行,或者可以以共同依赖的关系一起执行。

[0041] 在本公开内容中,形成在显示面板的基板上的栅极驱动器可以用N型或P型晶体管来实现。例如,晶体管可以用具有金属氧化物半导体场效应晶体管(MOSFET)结构的晶体管来实现。晶体管可以是包括栅极、源极和漏极的三电极器件。源极为晶体管提供载流子。在晶体管中,载流子从源极开始移动。漏极可以是载流子通过其从晶体管移动到外部的电极。

[0042] 例如,在晶体管中,载流子从源极移动到漏极。在n型晶体管中,由于载流子是电子,所以源极的电压低于漏极的电压,以使电子从源极移动到漏极。在N型晶体管中,由于电子从源极移动到漏极,所以电流从漏极移动到源极。在P型晶体管中,由于载流子是空穴,所以源极的电压高于漏极的电压,以使空穴从源极移动到漏极。在P型晶体管中,由于空穴从源极移动到漏极,所以电流从源极移动到漏极。晶体管的源极和漏极可以不固定,并且可以根据施加的电压被切换。因此,源极和漏极可以分别称为第一电极和第二电极或者第二电极和第一电极。

[0043] 在下文中,栅极导通电压可以是用于接通晶体管的栅极信号的电压。栅极截止电压可以是用于关断晶体管的电压。例如,在P型晶体管中,栅极导通电压可以是逻辑低电压,而栅极截止电压可以是逻辑高电压。在N型晶体管中,栅极导通电压可以是栅极高电压,而栅极截止电压可以是栅极低电压。栅极高电压可以等于发射高电压,而栅极低电压可以等于发射低电压。

[0044] 在下文中,将参照附图描述根据本公开内容的栅极驱动器和使用该栅极驱动器的电致发光显示装置。

[0045] 图1是示出了根据本公开内容的一个方面的电致发光显示装置的框图。

[0046] 参照图1,电致发光显示装置包括显示面板100和显示面板驱动电路。

[0047] 显示面板100包括显示输入图像的数据的显示区域DA。像素阵列被布置在显示区域DA中。像素阵列包括多条数据线DL、与数据线DL交叉的多条栅极线GL以及布置在由数据线DL和栅极线GL限定的区域中的像素。像素可以根据发光区域被布置为各种形状,例如矩阵形状、共享发射相同颜色的光的像素的形状、条纹形状和菱形形状。

[0048] 每个像素可以包括红色子像素、绿色子像素和蓝色子像素以显示颜色。每个像素还可以包括白色子像素或实现相同颜色的多个子像素。每个子像素101包括像素电路。在电致发光显示装置的情况下,像素电路包括发光二极管、多个晶体管和电容器。像素电路连接至数据线DL和栅极线GL。在图1的圆圈中,“DL(m-2)、DL(m-1)和DL(m)”表示数据线,并且“GL(n-2)、GL(n-1)和GL(n)”表示栅极线。

[0049] 触摸传感器可以布置在显示面板100上。可以使用单独的触摸传感器来感测触摸输入,或者可以通过像素来感测触摸输入。触摸传感器可以被实现为盒上型触摸传感器或附加型触摸传感器,并且被布置在显示面板100的屏幕上。可替代地,触摸传感器可以被实

现为嵌入在像素阵列中的盒内型触摸传感器。

[0050] 显示面板驱动电路包括数据驱动器110和GIP型栅极驱动器120。显示面板驱动电路在时序控制器130的控制下将输入图像的数据写入显示面板100的像素中。显示面板驱动电路包括数据驱动器110和栅极驱动器120,所述数据驱动器110和栅极驱动器120在时序控制器130的控制下被驱动。

[0051] 数据驱动器110在垂直显示周期VA内输出要提供给显示面板100的所有像素行的像素的数据电压。当显示面板100的像素阵列包括 $n*m$ 个像素时,显示面板100包括 m 条数据线DL和 n 条栅极线GL。因此,垂直显示周期VA包括 $n*m$ 个像素。

[0052] 可以将数据电压划分为用于显示的视频数据电压和感测数据电压。用于显示的数据电压是输入图像的数据电压。感测数据电压是用于感测子像素的电气特性的数据电压,并且是与输入图像的数据无关地被预先设置的特定电压。

[0053] 栅极驱动器120可以形成在显示面板100的边框区域BZ中,在该边框区域BZ上不显示图像。栅极驱动器120在时序控制器130的控制下输出栅极信号,并且通过栅极线GL选择用数据电压充电的像素。栅极驱动器120通过使用一个或多个移位寄存器输出并移位栅极信号。栅极驱动器120在一定移位时刻将提供给栅极线的栅极信号移位至被预先设置在垂直显示周期PA内的特定栅极线,并且然后响应于感测控制信号将特定电压的栅极信号提供给特定栅极线。之后,栅极驱动器120在一定移位时刻移位提供给其他栅极线的栅极信号。

[0054] 时序控制器130接收来自主机系统的输入图像的数字视频数据和与数字视频数据同步的时序信号。时序信号包括垂直同步信号、水平同步信号、时钟信号、数据使能信号等。主机系统可以是电视(TV)、机顶盒、导航系统、个人计算机(PC)、家庭影院、移动设备和可穿戴设备之一。在移动设备和可穿戴设备中,数据驱动器110、时序控制器130、电平移位器140等可以集成至一个驱动集成电路(IC)中。

[0055] 时序控制器130基于从主机系统接收的时序信号生成用于控制数据驱动器110的操作时序的数据时序控制信号DDC和用于控制栅极驱动器120的操作时序的栅极时序控制信号GDC。

[0056] 电平移位器140将从时序控制器130输出的栅极时序控制信号GDC的电压转换为栅极导通电压和栅极截止电压,并且将它们提供给栅极驱动器120。栅极时序控制信号GDC的低电平电压被转换为栅极导通电压,并且栅极时序控制信号GDC的高电平电压被转换为栅极截止电压。

[0057] 栅极时序控制信号GDC包括起始信号、时钟等。起始信号在每个帧周期中在早期生成一次,并且被输入至栅极驱动器120。起始信号控制每个帧周期中的栅极驱动器120的起始时序。时钟对从栅极驱动器120输出的栅极信号的移位时序进行控制。

[0058] 图2是示出了根据本公开内容的一个方面的栅极驱动器的电路配置的图。详细地说,图2简要地示出了栅极驱动器120中的移位寄存器的电路配置。

[0059] 栅极驱动器120的移位寄存器包括级联连接的级ST $(n-1)$ 至ST $(n+2)$ 。移位寄存器接收栅极起始信号GVST或从前一级接收的进位信号CAR1至CAR4作为起始信号,并且根据时钟CLK的时序生成输出Gout $(n-1)$ 至Gout $(n+2)$ 。在下文中,起始信号指示栅极起始信号GVST或由前一级生成并施加至当前级的起始信号输入节点的进位信号CAR1至CAR4。

[0060] 栅极驱动器120包括扫描驱动器和发射驱动器。根据扫描信号的类型可以存在多个扫描驱动器。扫描驱动器和发射驱动器中的每个包括如图2 中所示的多个级。构成扫描驱动器和发射驱动器的多个级中的每一级可以将扫描信号或发射信号施加至一个像素行。可替代地,构成扫描驱动器和发射驱动器的多个级中的每一级可以将扫描信号或发射信号施加至作为奇数行和偶数行的两个像素行。构成扫描驱动器的多个级中的每一级可以被实现为但不限于图5A的电路,并且构成发射驱动器的多个级中的每一级可以实现为但不限于图11的电路。

[0061] 可以将内部补偿方法或外部补偿方法应用于电致发光显示装置,以减少子像素的劣化并增加子像素的寿命。像素的电气特性(例如驱动元件的阈值电压、驱动元件的电子迁移率和OLED的阈值电压)是用于确定驱动电流的因素,并且因此应当同等地应用于所有像素。然而,由于包括工艺变化、随时间的改变等的各种原因,可能存在像素之间的电气特性的变化。此外,由于从发光二极管生成的热量,可能产生显示面板的不均匀亮度。像素之间的这些电气特性的变化和均匀亮度可能导致显示面板的图像质量的劣化和显示面板的寿命的缩短。

[0062] 内部补偿方法使用布置在像素电路内部的补偿电路来对驱动元件的栅极至源极电压进行采样,并且感测驱动元件的阈值电压,从而用感测到的阈值电压来补偿数据电压。外部补偿方法通过连接至子像素的感测路径来感测取决于驱动元件的电气特性而改变的像素的电压,并且基于感测到的电压使用像素阵列外部的电路来对输入图像的数据进行调制,从而补偿驱动元件的电气特性的变化。

[0063] 为了以与外部补偿方法相同的方式来感测并补偿驱动元件的电气特性,当在屏幕驱动之前或之后不存在屏幕驱动的状态下可以确保感测周期时,可以感测并补偿电气特性。由于在一个像素行中感测所需的时间是大约40个水平周期至100个水平周期,因此难以确保在驱动中间能够感测所有像素行的时间。

[0064] 根据本公开内容的一个方面的电致发光显示装置可以以一帧为单位感测一个像素行或多个像素行,以实时补偿子像素的电气特性的变化和均匀亮度。例如,可以对每个帧重复地执行将数据电压施加至相应的像素电路的过程,该数据电压通过以下操作来补偿:通过在布置在一个像素行中的像素电路中实现的感测线来提取感测数据,并且通过计算来计算补偿系数。该感测方法可以被定义为帧内感测(IFS)。

[0065] 例如,在执行一帧以使得感测到第k像素行并且正常驱动其他像素行之后,在下一帧中感测到第(k+1)像素行,并且将通过感测计算的补偿数据电压施加至第k像素行以用于正常驱动,并且对于其他像素行执行一帧以用于正常驱动。以这种方式,在对所有像素行执行感测和补偿之后,可以实时地执行正常驱动。

[0066] 图3A和图3B是示出了连接至子像素的感测路径的图。

[0067] 参照图3A,以在一帧内实时执行的感测模式,数据驱动器110生成感测数据电压,并且通过数据线DL将感测数据电压提供给显示面板100 的感测子像素101。数据驱动器110包括连接至感测路径的感测单元22 和数据电压发生器23。感测单元22包括连接至子像素101的数据线DL1 至DL2、开关元件SW1和SW2、采样和保持电路SH以及模拟至数字转换器(ADC)。数据电压发生器23包括数字至模拟转换器(DAC)。

[0068] 数据电压发生器23通过DAC生成数据电压,并且将数据电压提供给第一数据线

DL1。当与数据电压同步的栅极信号被提供给栅极线GL时，数据电压被提供给子像素101。数据电压包括显示数据电压和感测数据电压。

[0069] 感测单元22通过第二数据线DL2连接至子像素101。感测单元22 包括采样和保持电路SH、ADC以及第一开关元件SW1和第二开关元件 SW2。感测单元22可以对取决于驱动元件的电流而变化的第二数据线DL2 的电压进行采样，并且因此感测驱动元件的电气特性。第一开关元件SW1 将参考电压Vref提供给第二数据线DL2，以初始化施加至子像素101和第二数据线DL2的电压。第二开关元件SW2特定栅极线的感测周期内导通，并且将第二数据线DL2连接至采样和保持电路SH。可以在每个帧周期或每个预定时间改变特定栅极线的位置，使得可以感测显示面板100的所有子像素。

[0070] 采样和保持电路SH对在第二数据线DL2中放电的子像素101的模拟感测电压进行采样和保持。ADC将由采样和保持电路SH采样的子像素 101的模拟感测电压转换为数字感测数据S-DATA。感测单元22可以被实现为已知的电压感测电路或已知的电流感测电路。从感测单元22输出的数字感测数据S-DATA被发送至补偿器26。补偿器26被包括在时序控制器130中。

[0071] 补偿器26利用输入图像的视频数据V-DATA根据感测值来计算在查找表中设置的补偿值，并对视频数据V-DATA进行调制，从而补偿子像素 101的电气特性的变化。查找表接收数字感测数据S-DATA和输入图像的视频数据V-DATA作为存储器地址，并且输出存储在存储器地址中的补偿值。由补偿器26调制的视频数据V-DATA被发送至数据电压发生器23。经调制的视频数据V-DATA由数据电压发生器23转换为显示数据电压，并且将其提供给第一数据线DL1。

[0072] 如图3B中所示，感测单元22包括DAC，从而将输入图像的视频数据电压V-DATA提供给第二数据线DL2，并且与感测单元22分隔开，参考电压Vref可以通过第一数据线DL1施加至子像素101。

[0073] 图4A是示出了根据本公开内容的一个方面的子像素的像素电路图。

[0074] 参照图4A，根据本公开内容的一个方面的像素电路包括发光二极管 EL、驱动晶体管DT、多个晶体管ST1至ST4以及存储电容器Cst。在这种情况下，驱动晶体管DT和第一晶体管ST1被实现为N型晶体管，并且第二晶体管ST2、第三晶体管ST3和第四晶体管ST4被实现为P型晶体管。

[0075] 作为N型晶体管的驱动晶体管DT和第一晶体管ST1中的每个被实现为氧化物晶体管。氧化物晶体管可以用包括氧化物半导体层的NMOS 实现，该NMOS的截止电流是低的。截止电流可以是在晶体管的截止状态下在晶体管的源极与漏极之间流动的漏电流。在截止电流低的晶体管中，尽管截止状态较长，但由于漏电流小，因此可以使像素的亮度变化最小化。因此，截止状态长的驱动晶体管DT和第一晶体管ST1可以被实现为包括氧化物半导体的N型晶体管，由此可以减小可能在驱动晶体管DT 和第一晶体管ST1中产生的漏电流。

[0076] 作为P型晶体管的第二晶体管ST2、第三晶体管ST3和第四晶体管 ST4被实现为多晶硅晶体管。多晶硅晶体管可以用PMOS实现，该PMOS 包括具有高迁移率的低温多晶硅(LTPS)。

[0077] 根据本公开内容的一个方面，构成发射驱动器和第三扫描驱动器的多个级中的每一级可以将发射信号和第三扫描信号施加至作为奇数行和偶数行的两个像素行，并且构成

第一扫描驱动器和第二扫描驱动器的多个级中的每一级可以将第一扫描信号和第二扫描信号施加至一个像素行。第一扫描驱动器提供第一扫描信号，第二扫描驱动器提供第二扫描信号，并且第三扫描驱动器提供第三扫描信号。

[0078] 图4A的像素电路是第n像素行中的子像素，第n个第一扫描信号 Scan1 (n)、第n个第二扫描信号Scan2 (n) 和第k个第三扫描信号Scan3 (k) 以及第k发射信号Em (k) 被施加至像素电路。这些信号Scan1 (n)、Scan2 (n)、Scan3 (k) 和Em (k) 中的每个在逻辑高电压与逻辑低电压之间摆动，并且控制每个晶体管的导通/截止。在这种情况下，n是作为偶数的自然数，而k 是1/2的自然数。

[0079] 驱动晶体管DT是根据栅极至源极电压来调节在发光器件EL中流动的电流的驱动器件。驱动晶体管DT包括连接至第一节点N1的栅极、连接至第二节点N2的源极以及连接至第三节点N3的漏极。驱动晶体管DT 可以向发光二极管EL提供驱动电流，以允许发光二极管发光。

[0080] 第一开关晶体管ST1是开关晶体管，并且根据第n个第一扫描信号 Scan1 (n) 接通，以将参考电压Vref提供给第一节点N1，从而初始化驱动晶体管DT的栅极。第一晶体管ST1包括连接至施加第n个第一扫描信号 Scan1 (n) 的第n个第一扫描信号线的栅极、连接至施加参考电压Vref的参考电压线的漏极以及通过第一节点N1连接至驱动晶体管DT的栅极的源极。

[0081] 第二晶体管ST2在正常驱动期间根据第n个第二扫描信号Scan2 (n) 接通，以将数据电压Vdata提供给第二节点N2，并且在感测期间根据第n 个第二扫描信号Scan2 (n) 接通，以向第二节点N2提供感测数据电压并感测驱动器件的电气特性。因此，第二晶体管ST2可以被称为感测晶体管。第二晶体管ST2包括连接至施加第n个第二扫描信号Scan2 (n) 的第n个第二扫描信号线的栅极、连接至施加数据电压Vdata的数据线的源极以及通过第二节点N2连接至驱动晶体管DT的源极的漏极。

[0082] 第三晶体管ST3是开关晶体管，并且根据第k个第三扫描信号Scan3 (k) 接通，以将参考电压Vref提供给第二节点N2，从而复位发光二极管EL 的阳极。第三晶体管ST3包括连接至施加第k个第三扫描信号Scan3 (k) 的第k个第三扫描信号线的栅极、连接至参考电压线的源极以及通过第二节点N2连接至驱动晶体管DT的源极的漏极。

[0083] 第四晶体管ST4根据第k发射信号Em (k) 接通，以向第三节点N3提供高电位电源电压VDD。第k发射信号Em (k) 可以仅在发光周期内接通，以防止发光二极管EL在不是发光周期的时间段内发光。因此，第四晶体管ST4可以被称为发光晶体管。第四晶体管ST4包括连接至施加第k发射信号Em (k) 的第k发光线的栅极、连接至施加高电位电源电压VDD的高电位电源电压线的源极以及通过第三节点N3连接至驱动晶体管DT的漏极的漏极。

[0084] 存储电容器Cst包括通过第一节点N1连接至驱动晶体管DT的栅极的一侧电极，以及通过第二节点N2连接至驱动晶体管DT的源极的另一侧电极。存储电容器Cst在发光二极管的发光周期内均匀地保持驱动晶体管DT的栅极至源极电压。

[0085] 发光二极管EL包括通过第二节点N2连接至驱动晶体管DT的源极的阳极和用于提供低电位电源VSS的阴极。发光二极管EL根据施加至阳极和阴极的电压而发光。

[0086] 图4B是图4A的波形。如参照图4A所述，第k发射驱动器的级和第三扫描驱动器的级向第(n-1) 像素行和第n像素行提供信号。因此，将参照图4B描述施加至第(n-1) 像素行和第

n像素行的信号的波形。将描述第(n-1) 像素行是奇数像素行而第n像素行是偶数像素行的情况作为示例。

[0087] 根据本公开内容的一个方面的要感测的像素电路在正常驱动周期 DRIV之前具有帧内感测周期(IFS)。在下文中,驱动周期DRIV的操作将被描述,并且然后之后是帧内感测周期(IFS)。

[0088] 参照图4B,当第(n-1)个第一扫描信号Scan1(n-1)被移位至栅极导通电压时,用于驱动的数据编程周期Data Program(Regular)启动。对于用于驱动的数据编程周期Data Program(Regular),第一晶体管ST1通过第(n-1)个第一扫描信号Scan1(n-1)的栅极导通电压接通,并且因此驱动晶体管DT的栅极复位至参考电压Vref。随后,当第(n-1)个第二扫描信号Scan2(n-1)被移位至栅极导通电压时,第二晶体管ST2接通。接通的第二晶体管ST2将数据电压Vdata施加至第二节点N2。因此,存储电容器Cst的一侧电极以参考电压Vref充电,并且其另一侧电极以数据电压Vdata充电。在对存储电容器Cst的一侧电极和另一侧电极充电之后,第一晶体管ST1和第二晶体管ST2被移位至栅极截止电压。

[0089] 当第k个第三扫描信号Scan3(k)被移位至栅极导通电压时,阳极复位周期开始。对于阳极复位周期,第三晶体管ST3接通,以将发光二极管EL的阳极复位至参考电压Vref。因此,当连接至发光二极管EL的阳极的存储电容器Cst的另一侧电极的电压从数据电压Vdata移位至参考电压Vref时,通过电容器的耦合,存储电容器Cst的一侧电极的电压移位量为参考电压Vref与数据电压Vdata之间的差值。

[0090] 对于用于驱动的数据编程周期和阳极复位周期,第k发射信号Em(k)保持栅极截止电压。对于发光周期,第k发射信号Em(k)被移位至栅极导通电压,并且因此将高电位电源电压VDD提供给驱动晶体管DT的漏极。因此,对于发光周期,驱动晶体管DT接通,并且因此将驱动电流提供给发光二极管EL的阳极。

[0091] 如上所述,发射驱动器向两像素行提供发射信号。因此,在作为奇数行的第(n-1)像素行启动数据编程之前,作为偶数行的第n像素行执行具有时间差的数据编程。

[0092] 第(n-1)个第二扫描信号Scan2(n-1)和第n个第二扫描信号Scan2(n)将栅极导通电压保持2个水平(2H)周期。第(n-1)个第一扫描信号Scan1(n-1)和第n个第一扫描信号Scan1(n)将栅极导通电压保持2水平(2H)周期。第n个第一扫描信号Scan1(n)从第(n-1)个第一扫描信号Scan1(n-1)移位量为短于1个水平(1H)周期的时间段。

[0093] 将描述根据本公开内容的一个方面的包括在第n像素行中的像素电路的帧内感测周期(IFS)的操作。参照图4B,帧内感测周期(IFS)可以包括用于感测的数据编程周期Data Program(IFS)和感测周期Sensing。

[0094] 对于用于驱动周期DRIV的驱动的数据编程周期Data Program(Regular),第一扫描信号Scan1(n-1)和Scan1(n)以及第二扫描信号Scan2(n-1)和Scan2(n)的波形同样地应用于帧内感测周期(IFS)的用于感测的数据编程周期Data Program(IFS)。然而,用于感测的数据编程周期Data Program(IFS)的数据电压输入不同于用于驱动的数据编程周期Data Program(Regular)的数据电压输入。

[0095] 对于用于感测的数据编程周期Data Program(IFS),第一晶体管ST1和第二晶体管ST2通过第n个第一扫描信号Scan1(n)和第n个第二扫描信号Scan2(n)接通,由此存储电容器Cst的一侧电极以参考电压Vref充电,而其另一侧电极以数据电压Vdata充电。第一晶

晶体管ST1和第二晶体管 ST2同时关断。

[0096] 在包括在第n像素行中的像素电路的第一晶体管ST1和第二晶体管 ST2接通之前,包括在第(n-1)像素行中的像素电路的第一晶体管ST1和第二晶体管ST2接通。包括在第(n-1)像素行和第n像素行的像素电路中的第一晶体管ST1和第二晶体管ST2接通的时间段彼此交叠。

[0097] 感测数据编程周期之后是感测周期Sensing。对于感测周期Sensing,用于感测第n像素行的像素电路的第k发射信号 $E_m(k)$ 是栅极导通电压。在这种情况下,由于第(n-1)像素行的像素电路发光,第(n-1)像素行的像素电路不应发光。

[0098] 为此,可以调节用于第n像素行的像素电路的感测的数据编程周期的数据电压输入。更具体地,对于第n个第二扫描信号Scan2(n)被移位至栅极导通电压并且第(n-1)个第二扫描信号Scan2(n-1)从栅极导通电压移位至栅极截止电压的时间段,黑色数据电压Bdata被提供给数据电压Vdata。黑色数据电压Bdata是可以在显示面板上显示黑色屏幕的数据电压,并且允许第(n-1)像素行不发光。提供黑色数据电压Bdata的时间段可以是一个水平(1H)周期,并且相应的时间段对应于确定电压以允许发光二极管 EL发光的时间段。通过第二晶体管ST2提供黑色数据电压Bdata。

[0099] 随后,对于在第(n-1)个第一扫描信号Scan1(n-1)和第(n-1)个第二扫描信号Scan2(n-1)被移位至栅极导通电压并且第n个第一扫描信号Scan1(n)和第n个第二扫描信号Scan2(n)被移位至栅极截止电压之前的时间段,感测数据电压Sdata被提供给数据电压Vdata。感测数据电压Sdata是被提供以感测第n像素行的像素电路的电气特性的电压。感测数据电压Sdata的时间段对应于一个水平(1H)周期。当为相应周期提供感测数据电压Sdata时,第二晶体管ST2将感测数据电压Sdata施加至驱动晶体管DT的源极。在这种情况下,像素电路的电气特性可以从驱动器件提供的驱动电流的量,并且可以感测驱动电流的量以确定驱动器件的状态,由此可以执行补偿。

[0100] 如上所述,如果感测到偶数像素行,则将黑色数据电压Bdata施加至用于感测数据编程周期Data Program(IFS)的数据电压Vdata,并且然后向其施加感测数据电压Sdata。反之,如果感测到奇数像素行,则在施加感测数据电压Sdata之后施加黑色数据电压Bdata,由此奇数像素行可以不发光。

[0101] 在感测数据编程周期Data Program(IFS)之后,当第k发射信号 $E_m(k)$ 被移位至栅极导通电压时,感测周期Sensing启动。对于感测周期Sensing,发射信号 $E_m(k)$ 保持栅极导通电压,并且用于提供第二扫描信号以通过第二晶体管ST2感测驱动器件的电气特性的第二扫描驱动器向第n个第二扫描信号Scan2(n)提供栅极导通电压。因此,第四晶体管ST4、驱动晶体管 DT和第二晶体管ST2接通,以通过数据线(或感测线)感测驱动器件的电气特性。

[0102] 对于帧内感测周期(IFS),未包括在施加和感测数据的过程中的第k个第三扫描信号Scan3(k)保持栅极截止电压。

[0103] 对于感测数据编程周期Data Program(IFS),第一晶体管ST1接通以将参考电压Vref施加至第一节点N1,并且第二晶体管ST2接通以将感测数据电压Sdata施加至第二节点N2。因此,驱动晶体管DT的栅极至源极电压Vgs存储在存储电容器Cst中。随后,当第一晶体管ST1和第二晶体管ST2关断时,驱动晶体管DT的栅极至源极电压Vgs被保持。然后,对于感测周期Sensing,第二晶体管ST2和第四晶体管ST4接通,并且因此从高电位电源电压线至数

据线形成电流路径。感测沿电流路径流过数据线的电流的量,以确定驱动晶体管DT的电气特性。通过在感测周期Sensing 内流过数据线的电流的量,可以对于用于正常驱动的数据编程周期Data Program(Regular) 确定要通过数据线施加的数据电压Vdata。例如,如果由于驱动晶体管DT的电气特性的劣化而在感测周期内流过数据线的电流小,则在数据编程周期Data Program(Regular) 内施加低于原始数据电压的数据电压。因此,当驱动晶体管DT的电气特性劣化时,施加较高的栅极至源极电压Vgs,由此可以均匀地保持流向发光二极管EL的电流。

[0104] 尽管上面已经描述了第n像素行的像素电路的驱动周期DRIV和帧内感测周期(IFS),但是可以在要感测的像素行的帧内感测周期(IFS)之后在驱动周期DRVI之后的像素行中执行顺序驱动。

[0105] 如上所述,第n个第二扫描信号和第k发射信号应当在没有像素电路的驱动周期DRIV的周期内是栅极导通电压,从而感测第n像素行。因此,用于提供第二扫描信号的第二扫描驱动器和用于提供发射信号的发射驱动器应当选择性地随机栅极信号输出至特定像素行。为此,第二扫描驱动器可以被实现为调节输入至其的时钟信号,并且发射驱动器可以被实现为包括可以控制发射驱动器的输出的单独的控制器的。

[0106] 在下文中,将描述第二扫描驱动器和发射驱动器。第二扫描驱动器可以被称为感测扫描驱动器。

[0107] 图5A是示出了根据本公开内容的一个实施方式的感测扫描驱动器的电路图,并且图5B是示出了根据本公开内容的一个实施方式的感测扫描驱动器的波形。此外,图5B是当感测第n像素行时的波形。

[0108] 参照图5A和图5B,根据本公开内容的一个实施方式的感测扫描驱动器被实现为八(8)个晶体管 and 两(2)个电容器。晶体管都是p型晶体管。第一扫描晶体管Ts1和第二晶体管Ts2的栅极分别连接至Qsp节点和QBs节点。QBs节点使第二扫描晶体管Ts2的栅极放电。在这种情况下,构成感测扫描驱动器的晶体管的放电意味着栅极导通电压,并且其充电意味着栅极截止电压。因此,第一扫描晶体管Ts1可以被称为下拉晶体管,而第二扫描晶体管Ts2可以被称为上拉晶体管。

[0109] 第一扫描晶体管Ts1或第二扫描晶体管Ts2根据Qsp节点和QBs节点接通,并且因此第一栅极时钟GCLK1或栅极截止电压VGH输出至第n个第二扫描信号Scan2(n)。由于被输入感测扫描驱动器的输出信号的像素电路的第二扫描晶体管ST2是p型晶体管,所以第二扫描晶体管ST2根据栅极导通电压接通。在这种情况下,第二扫描信号可以被称为感测信号,并且感测扫描驱动器通过与第一控制器和第二控制器同步来操作,这将在后面描述。

[0110] 可以通过向特定像素行中的栅极线提供随机信号来调节第一栅极时钟GCLK1以接通像素电路的第二晶体管ST2。

[0111] 通过数据驱动器110生成时钟信号,例如第二栅极时钟GCLK2以及第一栅极时钟GCLK1。数据驱动器110通过控制与要感测的像素行对应的第一栅极时钟GCLK1和第二栅极时钟GCLK2来调节第n个第二扫描信号Scan2(n)的波形。如上所述,由于构成本公开内容的发射驱动器的多个级中的每个将发射信号施加至两个像素行,所以当第n像素行要被感测时第(n-1)发射信号与第n发射信号一起接通。因此,数据驱动器110应当将黑色数据电压施加至第(n-1)像素行,以防止第(n-1)像素行发光。

[0112] 参照图5B的第二扫描信号Scan2,第(n-1)个第二扫描驱动器输出第一输出信号①以施加黑色数据电压,并且输出第二输出信号②以施加用于驱动的数据电压。第n个第二扫描驱动器输出第一输出信号③以施加感测数据电压,输出用于感测的第二输出信号④,并且输出第三输出信号⑤以施加用于驱动的数据电压。从第(n+1)像素行,第二扫描驱动器仅输出用于施加用于驱动的数据电压的输出信号。在这种情况下,例如,栅极导通电压为-4V,并且栅极截止电压为9V。

[0113] 图6是示出根据本公开内容的一个方面的用于IFS的发射驱动器的图。为了感测第n像素行,栅极驱动器包括发射驱动器121、用于向发射驱动器121提供输入信号的第一控制器150、以及用于调整发射驱动器121的输出信号的第二控制器160。在这种情况下,第一控制器150、发射驱动器121和第二控制器160被定义为用于IFS的发射驱动器。图7示出了根据本公开内容的一个方面的第一控制器150的波形,图8示出了根据本公开内容的一个方面的发射驱动器121的波形,图9示出了根据本公开内容的一个方面的第二控制器160的波形。在下文中,将参照图6至图9给出描述。

[0114] 发射驱动器121、第一控制器150和第二控制器160中的每一个包括多个级。由于构成发射驱动器121的多个级将发射信号施加至两像素行,因此构成发射驱动器121的多个级的数量对应于显示面板的像素行的数量的一半。

[0115] 如上所述,用于感测第n像素行的第k发射信号 $E_m(k)$ 在帧内感测周期(IFS)的感测周期Sensing内应当是栅极导通电压。在感测周期Sensing内生成的第k发射信号 $E_m(k)$ 的栅极导通电压是随机生成的用于感测的电压。因此,可以布置用于生成用于感测第n像素行的信号的第一控制器150,从而可以将从第一控制器150输出的输出信号作为输入信号施加至发射驱动器150。发射驱动器121将从第一控制器150接收的信号移位并输出移位信号。从发射驱动器121移位的输出信号被输入至第二控制器160。第二控制器160将通过发射驱动器121输出的输出信号照原样提供至第n像素行,并且在第(n+1)像素行中将通过发射驱动器121输出的输出信号移位,然后将移位信号提供给第一控制器的第(k+1)级。由于从发射驱动器121输出的输出信号是随机生成的用于感测第n像素行的信号,因此通过第二控制器160随机生成的信号被重新移位,以提供用于第(n+1)像素行的正常驱动的信号。在这种情况下,从第二控制器160的第k级输出并输入至第一控制器的第(k+1)级的信号被定义为进位信号。

[0116] 参照图6、图7和图5B,第一控制器150使用感测时钟SCLK、第二扫描驱动器的第n个第二扫描信号Scan2(n)以及第二扫描驱动器的Qs节点和QBs节点的电压来生成栅极导通电压。第一控制器150包括第十一晶体管T11、第十二晶体管T12、第13A晶体管T13A、第13B晶体管T13B和电容器C。

[0117] 第十一晶体管T11由QBs节点控制,以将第(k-1)发射进位信号 $EMC(k-1)$ 施加至第一控制器150的输出节点EC01。

[0118] 电容器C包括连接至第一控制器150的输出节点EC01的一侧端子和连接至提供有发射高电压VEH或发射低电压VEL的线的另一侧端子。电容器C使第一控制器150的输出节点EC01的电压稳定。如图5B所示,具有用于感测第n像素行的帧内感测周期(IFS)的可变波形的像素行是第(n-1)像素行、第(n)像素行,第(n+1)像素行和第(n+2)像素行。参照对应像素行中的第二扫描驱动器的第n个第二扫描信号Scan2(n)以及Qs节点和QBs节点的波形,Qs节

点对应于栅极导通电压, QB_s节点对应于栅极截止电压, 以及第n个第二扫描信号Scan (n) 对应于栅极截止电压。这基于为感测而修改的第一栅极时钟GCLK1, 并且第一控制器150的输出节点EC01在相应周期内为浮置状态。因此, 电容器C可以连接至第一控制器150的输出节点EC01, 以使第一控制器150的输出节点EC01稳定。

[0119] 第十二晶体管T12由Q_s节点控制, 并将第十二节点N12的电压施加至第一控制器150的输出节点EC01。

[0120] 第13A晶体管T13A和第13B晶体管T13B由它们各自彼此不同的信号控制并且彼此并联连接。第13A晶体管T13A由为奇数像素行的第(n-1) 第二扫描信号Scan2 (n-1) 控制, 以将感测时钟SCLK施加至第十二节点 N12, 而第13B晶体管T13B由为偶数像素行的第n个第二扫描信号 Scan2 (n) 控制, 以将感测时钟SCLK施加至第十二节点N12。例如, 如果发射驱动器向一个像素行提供发射信号, 则第13A晶体管T13A和第13B 晶体管T13B可以被实现为作为第十三晶体管T13的一个晶体管。第十三晶体管T13由第n个第二扫描信号Scan2 (n) 控制, 以将感测时钟SCLK施加至第十二节点N12。

[0121] 第(k-1) 发射进位信号EMC (k-1) 是从第二控制器提供的进位信号, 第二控制器向用于正常驱动的像素行而不是用于感测的像素行提供发射信号。另一方面, 以与栅极时钟相同的方式, 从数据驱动器110生成感测时钟SCLK作为时钟信号, 以用于选择用于感测的像素行。发射进位信号 EMC (k-1) 通过第十一晶体管T11被施加至第一控制器150的输出节点EC01, 并且感测时钟SCLK通过第13A晶体管T13A或第13B晶体管T13B 和第十二晶体管T12被施加至第一控制器150的输出节点EC01。

[0122] 在帧内感测周期 (IFS) 的感测周期Sensing内, 由于感测时钟SCLK 是栅极导通电压而第n个第二扫描信号Scan2 (n) 也是栅极导通电压, 所以第13B晶体管转换T13B导通, 以将感测时钟SCLK的栅极导通电压施加至第十二节点N12。在这种情况下, 由于第(n-1) 个第二扫描信号Scan2 (n-1) 是栅极截止电压, 所以第13A晶体管T13A截止。由于栅极导通电压被施加至Q_s节点, 所以第十二晶体管T12导通, 以将作为第十二节点N12的电压的栅极导通电压施加至第一控制器150的输出节点EC01。由于当栅极导通电压被施加至Q_s节点时栅极截止电压被施加至QB节点, 所以第十一晶体管T11截止。因此, 在感测周期Sensing内, 第一控制器150将栅极导通电压的感测时钟SCLK施加至输出节点EC01。也就是说, 在感测周期Sensing内, 第一控制器150输出根据第(k-1) 发射进位信号EMC (k-1) 修改的发射进位信号EMC (k-1) '。在这种情况下, 经修改的发射进位信号 EM (k-1) ' 可以被称为第一控制器150的输出信号或控制信号。

[0123] 参照图6和图8, 从第一控制器150输出的控制信号被输入至发射驱动器121的发射开始信号EVST。发射驱动器121可以被实现为可以使发射信号依次移位的移位寄存器。发射驱动器121通过将从第一控制器150 输出的经修改的发射进位信号EMC (k-1) ' 移位来输出第k发射信号Em (k)。由于构成发射驱动器的每一级向两个像素行提供发射信号, 所以发射驱动器通过将第k个经修改的发射进位信号EMC (k-1) ' 移位一个2水平周期 (2H) 来输出发射信号EM (k)。

[0124] 参照图6、图9和图5B所示, 从发射驱动器121输出的第k发射信号EM (k) 被提供给第n像素行的发射线。第k发射信号EM (k) 是为了感测第n像素行而修改的发射信号, 并且第(k+1) 像素行应当执行正常驱动而非感测。因此, 第二控制器160将为了正常驱动而重新移位的

发射信号提供给发射驱动器的第(k+1)级,发射驱动器的第(k+1)级向第(n+1)像素行提供发射信号。第二控制器160通过使用第k发射信号EM(k)作为输入信号来输出被提供给发射驱动器的第(k+1)级的第k发射进位信号EMC(k)。

[0125] 第二控制器160使用第二扫描驱动器的第k发射信号EM(k)以及Q_s节点和QB_s节点。第二控制器160包括第21晶体管T21和第22晶体管T22。第二晶体管T21由QB_s节点控制,以将第k发射信号EM(k)施加至第二控制器160的输出节点EC02。第二晶体管T22由Q_s节点控制,以将发射高电压VECH施加至第二控制器160的输出节点EC02。

[0126] 由于第n个第二扫描信号Scan2(n)和第k发射信号EM(k)在用于感测第n像素行的感测周期Sensing内是发射低电压,因此从第二控制器160输出的第k发射进位信号EMC(k)在感测周期Sensing内应当是发射高电压。在第二控制器160中,由于Q_s节点使图5的第一扫描晶体管Ts1导通,使得第n个第二扫描信号Scan2(n)可以是栅极导通电压,所以第二控制器160被实现为控制第22晶体管T22,从而输出发射高电压VEH。因此,当第n个第二扫描信号Scan(n)对应于栅极导通电压时,第二控制器160输出发射高电压VEH,而当第n个第二扫描信号Scan(n)对应于栅极截止电压时,第二控制器160输出第k发射信号EM(k)。也就是说,第二控制器160通过将修改为栅极低电压的第k发射信号EM(k)重新移位至栅极高电压来输出第k发射进位信号EMC(k),从而第(n+1)像素行的像素电路可以被正常驱动。

[0127] 图10是示出根据本公开内容的另一个方面的用于IFS的发射驱动器的图。

[0128] 如参照图1所述,栅极驱动器120可以以GIP类型布置在显示面板100的两侧。同样地,发射驱动器121可以以GIP类型布置在显示面板100的两侧,以将发射信号传输到奇数像素行和偶数像素行中的每一行。在这种情况下,在提供给作为奇数像素行的第(n-1)像素行的发射信号的波形与提供给作为偶数像素行的第n像素行的发射信号的波形之间可能存在差异。这是因为构成发射驱动器的第一控制器151在IFS内由第二扫描驱动器的Q_s节点和QB_s节点以及第二扫描驱动器的输出信号控制。尽管可以从一侧的第二扫描驱动器提供Q_s节点和QB_s节点的信号,但是也可以从两侧提供第二扫描驱动器的输出信号。在时序方面,从一侧提供的信号与从两侧提供的信号之间可能存在差异。由于像素电路中包括的驱动晶体管是敏感元件,所以驱动晶体管的电气特性可以根据感测时序而变化。因此,可以实现根据本公开内容的另一个方面的第一控制器151,以确保发射信号波形的均匀性。从第二扫描驱动器的一侧或两侧提供给第一控制器151的信号和节点不限于上述描述。可以根据第二扫描驱动器的级的布置来修改信号和节点,并且甚至可以通过另一种设计结构来生成输入至第一控制器151的信号之间的差异。

[0129] 根据本公开内容的另一个方面的第一控制器151指示第14晶体管T14和第一子电容器Ca被添加到图6的第一控制器150,以确保发射信号波形的均匀性。因此,将省略或简要地描述根据本公开内容的另一个方面的第一控制器151的与图6的第一控制器150的元件重复的元件的描述。

[0130] 第一控制器151包括第14晶体管T14和第一子电容器Ca以及第十一晶体管T11、第十二晶体管T12、第13A晶体管T13A、第13B晶体管T13B和电容器C。

[0131] 第14晶体管T14由发射低电压VEL控制,以将Q_s节点的电压施加至第一控制器151的输出节点EC01。第一子电容器Ca包括连接至第一控制器151的输出节点EC01的一侧端子以及连接至感测时钟SLCK的另一侧端子。当由发射低电压VEL控制的第14晶体管T14被添加

到第一控制器151的输出节点EC01时, Q_s 节点的电压可以被施加至第一控制器 151的输出节点EC01, 以均匀地确保由于第n个第二扫描信号Scan2(n) 和 Q_s 节点之间的时序差异导致的第一控制器151的输出节点EC01的波形。第一子电容器Ca的一侧端子连接至第一控制器151的输出节点EC01, 并且其另一侧端子连接至输入有感测时钟SCLK的感测时钟输入线。根据本公开内容的另一个方面的第一控制器151具有第十二晶体管T12的电阻分量, 其根据用于感测的像素行是奇数行还是偶数行而变化。例如, 如果感测奇数像素行, 则第十二晶体管T12的栅极是在前一像素行的驱动期间预先充电的电压。如果感测到偶数像素行, 则第十二晶体管T12的栅极通过扫描驱动器的自举电容器CBs经历自举, 因此变为栅极低电压。因此, 由于根据用于感测的像素行输出的发射信号的波形可以改变, 所以第一子电容器Ca可以被布置成在感测时钟SCLK为逻辑低电压时使用电容器的耦合效应均匀地保持发射信号输出的波形。

[0132] 从发射驱动器121输出的第k发射信号EM(k) 通过第二控制器161被输入至第一控制器的第(k+1)级。具体地, 第k发射信号EM(k) 在通过由 Q_s 节点控制的第21晶体管T21或由 Q_s 节点控制的第22晶体管T22之后被输入至第一控制器的下一级。由于第21晶体管T21或第22晶体管T22 的劣化而移位的阈值电压值被反映在通过第21晶体管T21或第22晶体管 T22提供的输出信号中。由于这个原因, 第21晶体管T21或第22晶体管T22的阈值电压的负移位裕度(negative shift margin)可能是不利的。

[0133] 根据本公开内容的另一个方面的第二控制器161指示第二子电容器 Cb被添加到图6的第二控制器160, 以确保第21晶体管T21或第22晶体管T22的阈值电压的移位裕度。因此, 将省略或简要地描述根据本公开内容的另一个方面的第二控制器161的与图6的第二控制器160的元件重复的元件的描述。

[0134] 第二控制器161还包括第二子电容器Cb以及第21晶体管T21和第 22晶体管T22。第二子电容器Cb的一侧端子连接至从其输出第k发射信号EM(k) 的节点, 并且其另一侧端子连接至QB节点。第k发射进位信号 EMC(k) 表示第k发射信号EM(k) 已经通过第21晶体管T21。当第k发射信号EM(k) 和 QBs 节点对应于栅极导通电压时, 第k发射信号EMC(k) 被输出作为等于QB节点与第21晶体管T21的阈值电压之间的差的信号, 而没有成为栅极接通电压。在这种情况下, 第21晶体管T21的阈值电压提高, 从而可能导致缺陷。因此, 当第二子电容器Cb连接在从其输出第 k发射信号EM(k) 的节点和 QBs 节点之间时, 可以使用电容器的耦合效应来降低第21晶体管T21的栅极电压, 这发生在第k发射信号EM(k) 是栅极导通电压时, 从而确保了第21晶体管T21的阈值电压裕度。

[0135] 根据本公开内容的另一个方面的第一控制器还包括连接至第一控制器的输出节点的晶体管和第一子电容器, 并且第二控制器还包括连接至第二控制器的输出节点的第二子电容器, 由此可以改善发射驱动器在IFS内的稳定性和可靠性。

[0136] 图11是示出根据本公开内容的一个方面的发射驱动器的电路图。具体地, 图11是示出构成发射驱动器的多个级中的用于向第n像素行提供发射信号的第k级的电路图。

[0137] 参照图11, 发射驱动器121在 Q_e 节点被去激活至栅极截止电压并且 Q_{Be} 节点被激活至栅极导通电压的时间段内输出发射高电压 V_{EH} 的发射信号EM(k)。在 Q_e 节点被激活至栅极导通电压并且 Q_{Be} 节点被去激活至栅极截止电压时的时间段内, 发射驱动器121输出发射低电压 V_{EL} 的发射信号EM(k)。换言之, 当 Q_{e1} 节点通过与 Q_e 节点的有效时序同步而经历自举

时,发射驱动器121输出发射低电压VEL的发射信号EM(k)。为此,发射驱动器121可以包括Qe节点控制器、QBe节点控制器、输出单元和稳定器。

[0138] Qe节点控制器可以被实现为第一晶体管Te1。第一晶体管Te1根据发射时钟信号ECLK通过将发射开始信号EVST或第(k-1)发射进位信号 EMC(k-1)施加至Qe节点来激活Qe节点。

[0139] 与Qe节点相反,QBe节点控制器根据发射时钟信号ELCK、发射开始信号EVST或第(k-1)发射进位信号EMC(k-1)以及Qe节点来激活QBe节点。QBe节点控制器可以被实现为第一电容器CQ2、第二晶体管Te2、第三晶体管Te3、第四晶体管Te4和第二电容器CQBe。

[0140] 第一电容器CQ2连接在发射时钟信号ECLK的输入端子和Qe节点之间。第二晶体管Te2根据Qe2节点的电位将发射时钟信号ECLK提供给QBe节点。第三晶体管Te3根据发射开始信号EVST或第(k-1)发射进位信号EMC(k-1)将发射高电压VEH提供给Qe2节点。因此,在发射开始信号EVST或第(k-1)发射进位信号EMC(k-1)被保持为栅极截止电压的时间段内,Qe2节点的电位通过与发射时钟信号ECLK同步而被改变。此外,在发射开始信号EVST或第(k-1)发射进位信号EMC(k-1)被保持为栅极导通电压的时间段内,Qe2节点的电位变为发射高电压VEH。

[0141] 第四晶体管Te4根据Qe节点的电位将发射高电压VEH提供给QBe节点。第二电容器CQBe连接在QBe节点和发射高电压VEH之间,并使QBe的电位稳定。

[0142] 输出单元包括作为下拉器件的第六晶体管Te6、作为上拉器件的第七晶体管Te7以及第三电容器CBe。

[0143] 从Qe1节点经历自举开始,第六晶体管Te6通过与Qe节点的有效时序同步来将发射低电压VEL的发射信号EM(k)提供给输出节点E0。第三电容器CBe连接在Qe1节点和发射输出节点E0之间,并用于在发射信号EM(k)从发射高电压VEH移位到发射低电压VEL时通过将发射输出节点E0的电位变化反映到Qe1节点的电位中而使Qe1节点自举。第七晶体管Te7在Qe节点之前的QBe节点的有效周期内将发射信号EM(k)提供给发射输出节点E0。

[0144] 稳定器可以被实现为第五晶体管Te5。第五晶体管Te5的栅极连接至发射低电压VEL的输入端子,并且第五晶体管Te5的第一电极和第二电极分别连接至Qe节点和Qe1节点。当Qe1节点经历自举时,第五晶体管Te5的第一电极和第二电极之间的沟道电流变为零。换言之,当Qe1节点经历自举时,第五晶体管Te5截止,从而阻止Qe节点和Qe1节点之间的电连接。当Qe1节点未经历自举时,第五晶体管Te5保持在导通状态。

[0145] 第五晶体管Te5保持在导通状态,然后仅在Qe1节点经历自举时截止,从而阻止Qe节点和Qe1节点之间的电流流动。因此,当Qe1节点经历自举时,Qe节点的电位变得与Qe1节点的电位不同。由于Qe节点的电位不会改变(即使在自举时Qe1节点的电位发生变化),因此在自举时不会向在连接至Qe节点的第一晶体管Te1和第四晶体管Te4施加过载。如果不存在第五晶体管Te5,则第一晶体管Te1的漏极源极电压和第四晶体管Te4的栅极源极电压可以由自举而增加到阈值或更大。如果此过载持续,则可能发生损坏设备的击穿。第六晶体管Te6允许第一晶体管Te1和第四晶体管Te4连接至Qe节点,以在Qe1节点的自举时不被击穿。

[0146] 因此,根据本公开内容的一个方面的发射驱动器通过使第(k-1)发射进位信号EMC(k-1)移位来将第k发射信号EM(k)输出至第n像素行。

[0147] 包括根据本公开内容的方面的栅极驱动器的电致发光显示装置可以被描述如下。

[0148] 在根据本公开内容的一个方面的电致发光显示装置中,由多个级组成的栅极驱动器包括:第k级 ($1 \leq k \leq n$, n和k是自然数),用于向第n像素行提供发射信号;第k级的第一控制器,其连接至第k级,提供输入信号;以及第k级的第二控制器,其连接至第k级,接收第k级的输出信号作为输入信号。第一控制器被实现为生成用于感测第n像素行的控制信号,以及第二控制器连接至施加有发射信号的发射线,以将第k级的输出信号提供给发射线,并且第二控制器连接至第(k+1)级的第一控制器,以向第(k+1)级的第一控制器提供第k级的输出信号,第k级的输出信号被移位至发射进位信号。在这种情况下,n和k是自然数,并且 $1 \leq k \leq n$ 。因此,可以选择性地向特定像素行施加随机栅极信号,以感测和补偿该特定像素行。因此,可以实时补偿显示面板的不均匀亮度,从而可以改善电致发光显示装置的图像质量,并且可以延长其寿命。

[0149] 根据本公开内容的另一特征,第k级可以将发射信号提供给奇数像素行和偶数像素行,并且k可以通过将n除以2而获得的。

[0150] 根据本公开内容的又一特征,构成栅极驱动器的多个级可以被实现为移位寄存器。

[0151] 根据本公开内容的又一特征,多个子像素可以被布置在第n像素行中,并且多个子像素中的每个包括发光二极管和像素电路,其中,像素电路可以包括:驱动晶体管、开关晶体管、发射晶体管和感测晶体管。

[0152] 根据本公开内容的又一个特征,栅极驱动器还可以包括感测扫描驱动器,用于提供控制感测晶体管的感测信号。

[0153] 根据本公开内容的又一个特征,感测扫描驱动器可以包括由 Q_{sp} 节点控制以输出栅极时钟的下拉晶体管以及由 Q_B 节点控制以输出栅极高电压的上拉晶体管,并且提供给第n像素行的感测信号可以是调整栅极时钟的信号。

[0154] 根据本公开内容的又一特征,第k级的第一控制器可以包括:第十一晶体管,其由 Q_B 节点控制以将第(k-1)级的发射进位信号施加至第一控制器的输出节点;第十二晶体管,其由 Q_s 节点控制,并且具有连接至第一控制器的输出节点的一个电极;第十三个晶体管,其由感测扫描驱动器的输出信号控制,将用于选择第n像素行的感测时钟施加至第十二晶体管的一个电极;以及电容器,其连接至输出节点和被施加有发射高电压或发射低电压的线,并且提供给第一控制器的输出节点的信号可以被提供作为第k级的输入信号。

[0155] 根据本公开内容的又一特征,第一控制器还可以包括连接至第一控制器的输出节点的第十四晶体管和第一子电容器,第十四晶体管可以由发射低电压控制,以将 Q_s 节点的信号施加至第一控制器的输出节点,并且第一子电容器可以连接至输出节点和输入有感测时钟的节点。

[0156] 根据本公开内容的又一特征,第十三晶体管可以包括第13A晶体管和第13B晶体管,第13A晶体管由感测扫描驱动器的输出信号控制,用于向奇数像素行提供信号,第13B晶体管由感测扫描驱动器的输出信号控制,用于向偶数像素行提供信号。

[0157] 根据本公开内容的又一特征,第k级的第二控制器可以包括:第21晶体管,其由 Q_B 节点控制,以将第k级的输出信号施加至第二控制器的输出节点;以及第22晶体管,其由 Q_s 节点控制,以将发射高电压施加至第二控制器的输出节点。

[0158] 根据本公开内容的又一个特征,第二控制器还可以包括在 Q_B 节点和施加有第k级

的输出信号的节点之间的第二子电容器。

[0159] 根据本公开内容的又一个特征,第二控制器的输出节点可以连接至第 n 像素行中包括的发光晶体管的栅极。

[0160] 根据本公开内容的又一特征,第 k 级可以包括 Qe 节点控制器、QBe 节点控制器、输出单元和稳定器。

[0161] 根据本公开内容的又一个特征,栅极驱动器还可以包括用于向第 n 像素行提供扫描信号的感测扫描驱动器,并且第一控制器和第二控制器可以通过与感应扫描驱动器同步来操作。

[0162] 在根据本公开内容的一个方面的电致发光显示装置中,电致发光显示装置包括:感测扫描驱动器,其包括用于向特定像素行施加感测信号的多个级;发射驱动器,其包括用于向特定像素行施加发射信号的多个级;第一控制器,其用于向发射驱动器提供输入信号;第二控制器,其用于接收发射驱动器的输出信号作为输入信号,其中,在感测周期中感测在特定像素行中包括的驱动装置的电气特性,并且在感测周期期间通过感测扫描驱动器和发射驱动器来输出栅极导通电压。因此,可以选择性地向特定像素行施加随机栅极信号,以感测和补偿特定像素行。因此,可以实时补偿显示面板的不均匀亮度,从而可以改善电致发光显示装置的图像质量,并且可以延长其寿命。

[0163] 根据本公开内容的另一特征,特定像素行之前的像素行和特定像素行之后的像素行可以被正常驱动,以使得像素能够发光。

[0164] 根据本公开内容的又一特征,第一控制器可以包括多个电容器和晶体管,其中,多个晶体管可以由构成感测扫描驱动器的节点和感测信号控制,以向第一控制器的输出节点施加输出信号。

[0165] 根据本公开内容的又一特征,第二控制器可以包括多个晶体管,其中,多个晶体管可以由构成感测扫描驱动器的节点控制,以向第二控制器的输出节点施加输出信号。

[0166] 根据本公开内容的又一个特征,用于感测特定像素行的感测数据电压可以在感测周期之前的数据编程周期内被施加至特定像素行。

[0167] 根据本公开内容的又一个特征,发射驱动器可以包括多个级,多个级中的每一级将发射信号施加至特定像素行和特定像素行之前的像素行,并且黑色数据电压在数据编程周期内被施加至像素行。

[0168] 对于本领域技术人员明显的是,上述本公开内容不是由上述方面和附图来限定,并且可以在不脱离本公开内容的精神或范围的情况下对本公开内容进行各种替换、修改和变化。因此,本公开内容的范围由所附权利要求限定,并且旨在从权利要求的含义、范围和等同概念导出的所有变型或修改都落入本公开内容的范围内。

[0169] 可以对上述各方面进行组合以提供另外的实施方式。本说明书中提及和/或在申请数据表中列出的所有美国专利、美国专利申请公开、美国专利申请、外国专利、外国专利申请和非专利出版物都通过引用整体并入本文。如果需要,可以修改实施方式的各方面以采用各种专利、申请和出版物的概念来提供其他实施方式。

[0170] 根据以上详细描述,可以对实施方式进行这些和其他改变。通常,在以下权利要求中,所使用的术语不应被解释为将权利要求限制于说明书和权利要求中公开的特定实施方式,而是应当被解释为包括所有可能的实施方式以及这样的权利要求享有的等同物的全部

范围。因此,权利要求不受本公开内容限制。

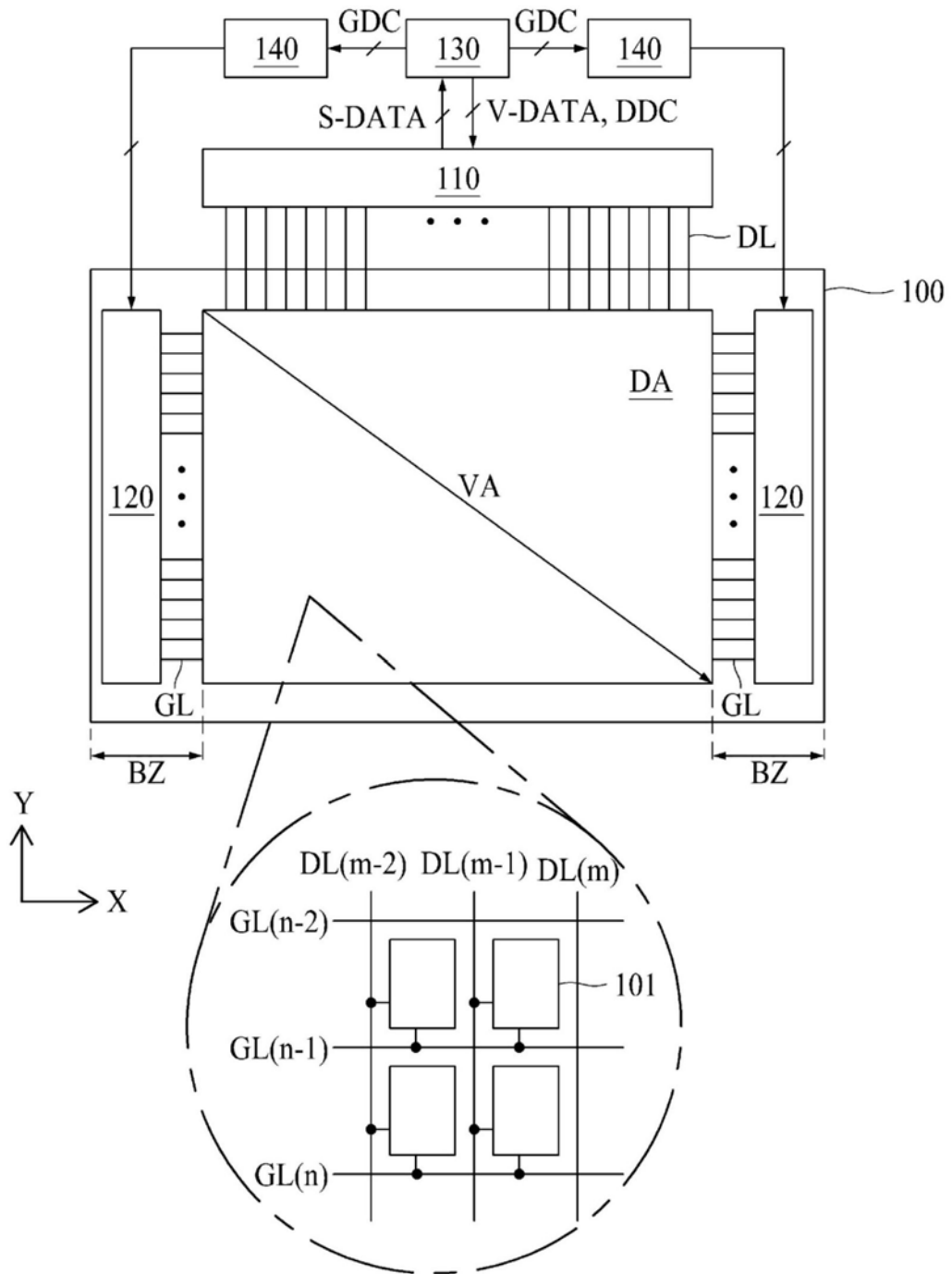


图1

120

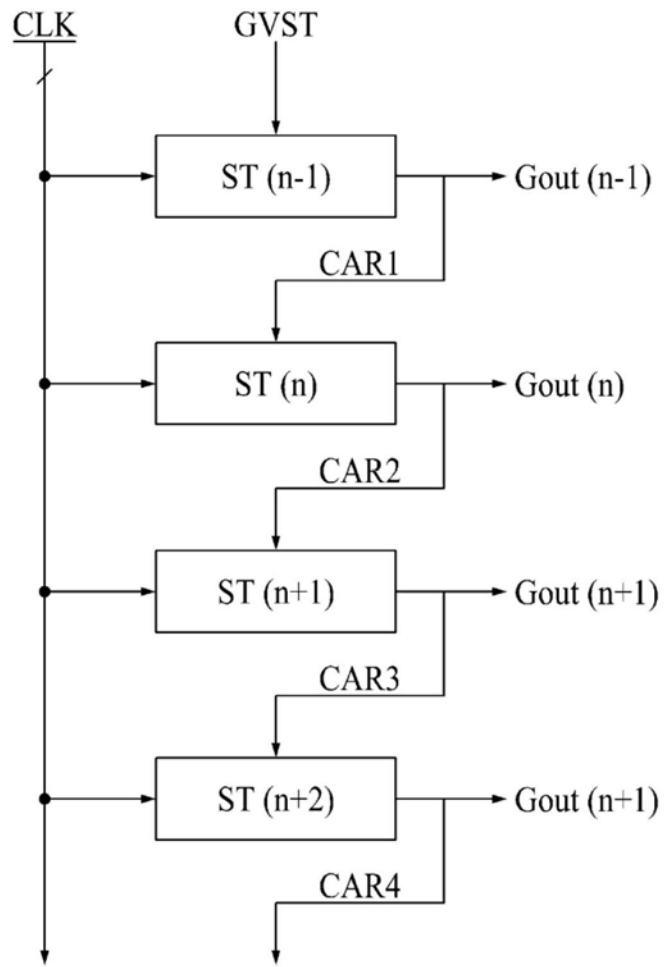


图2

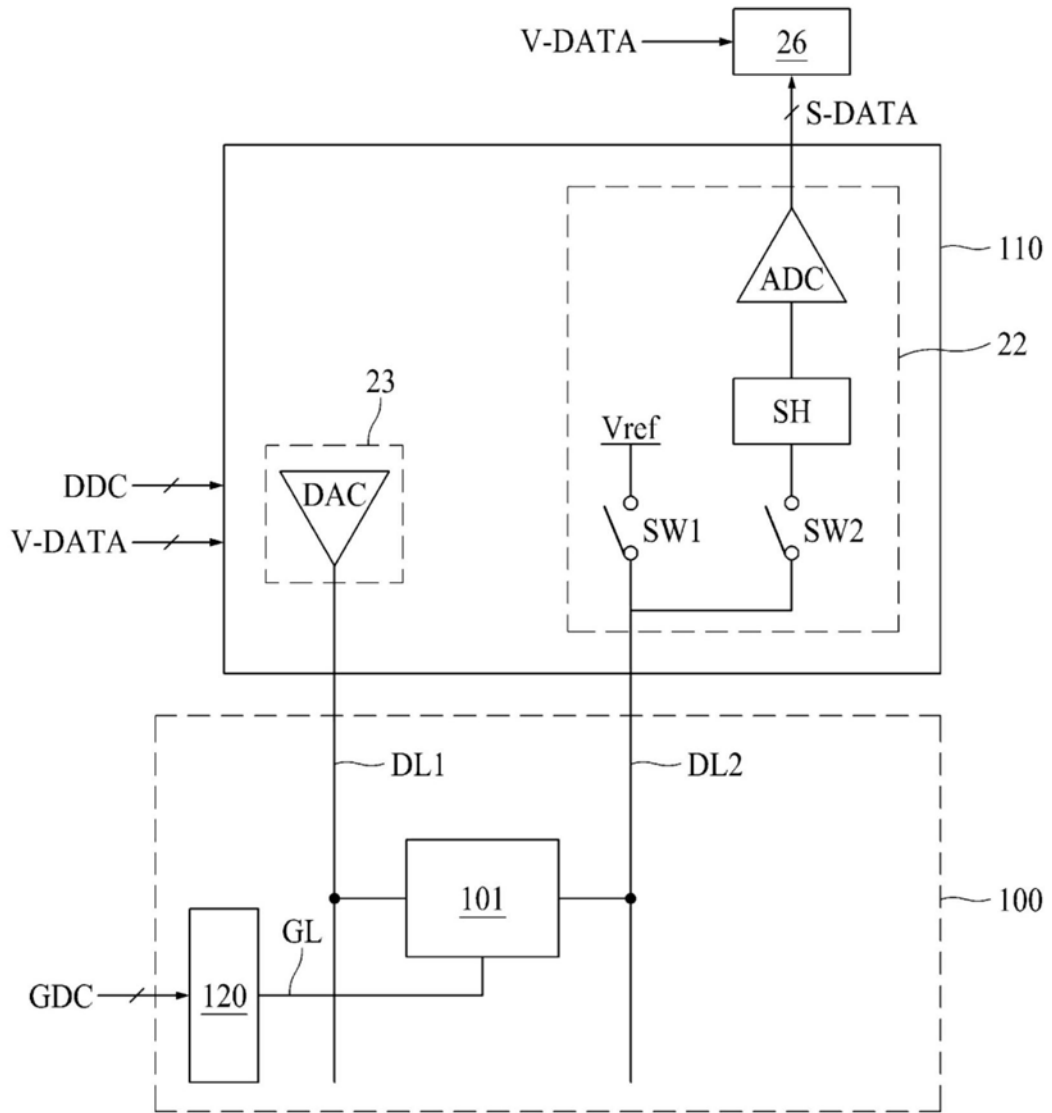


图3A

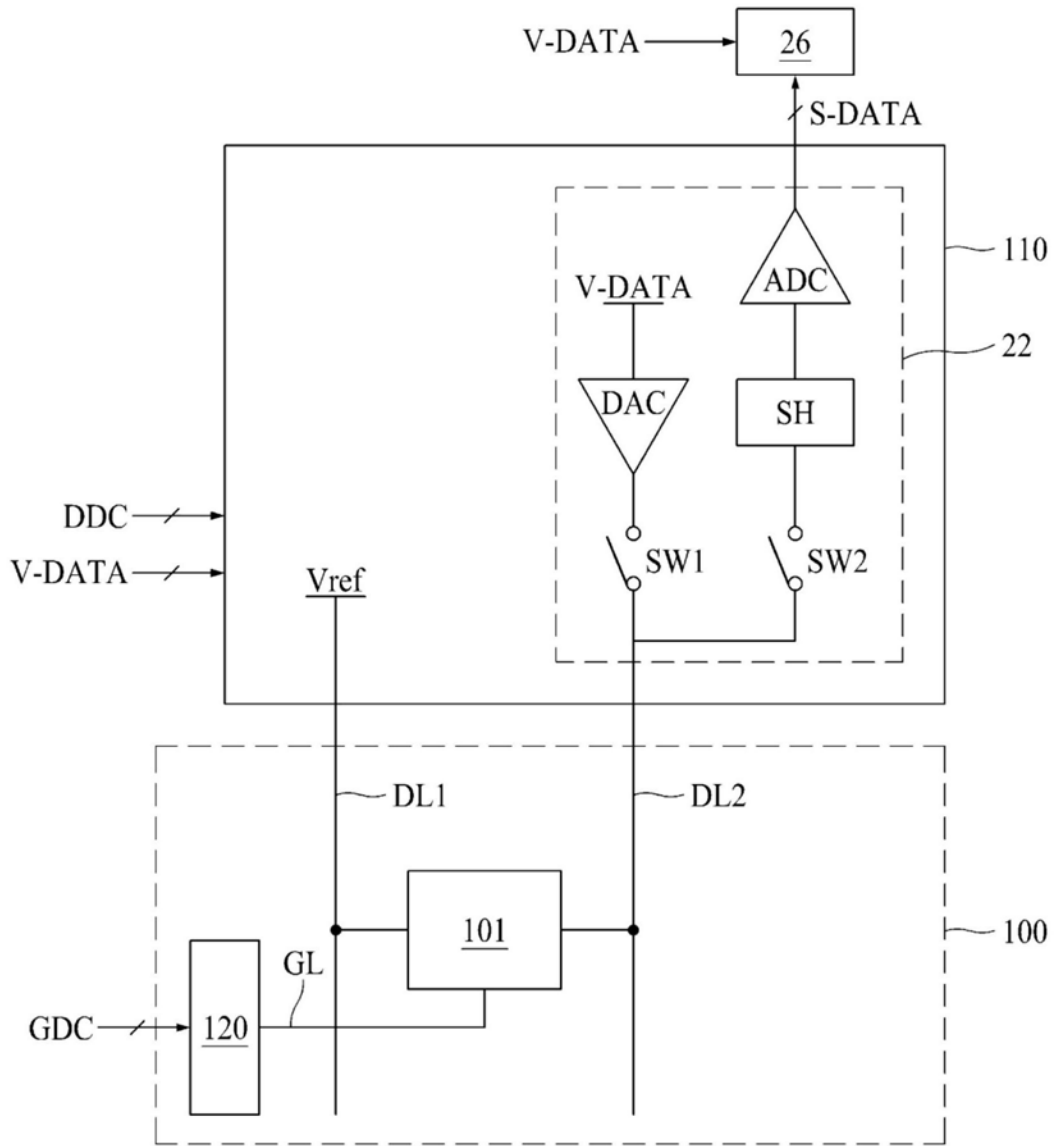


图3B

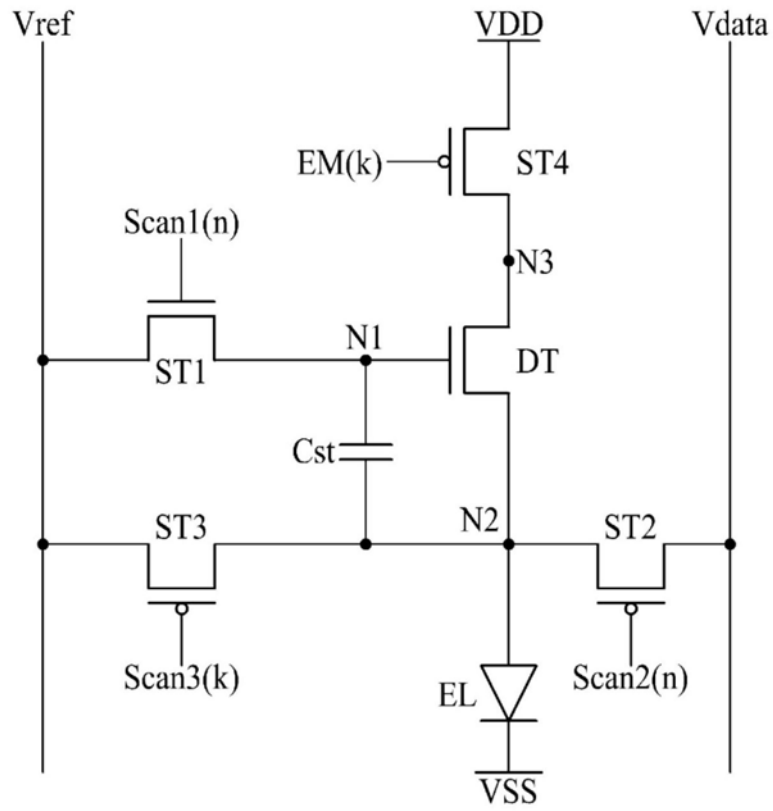


图4A

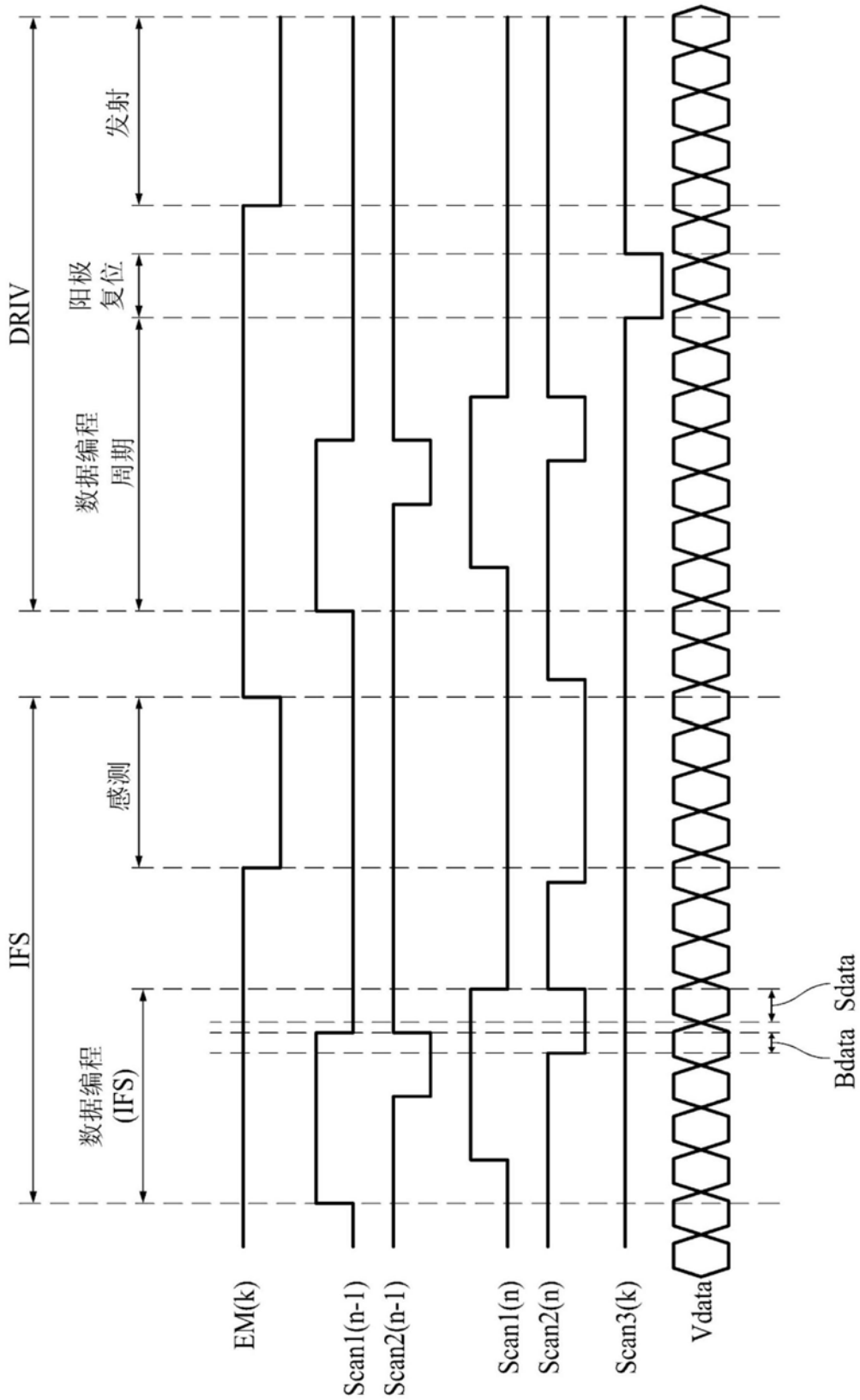


图4B

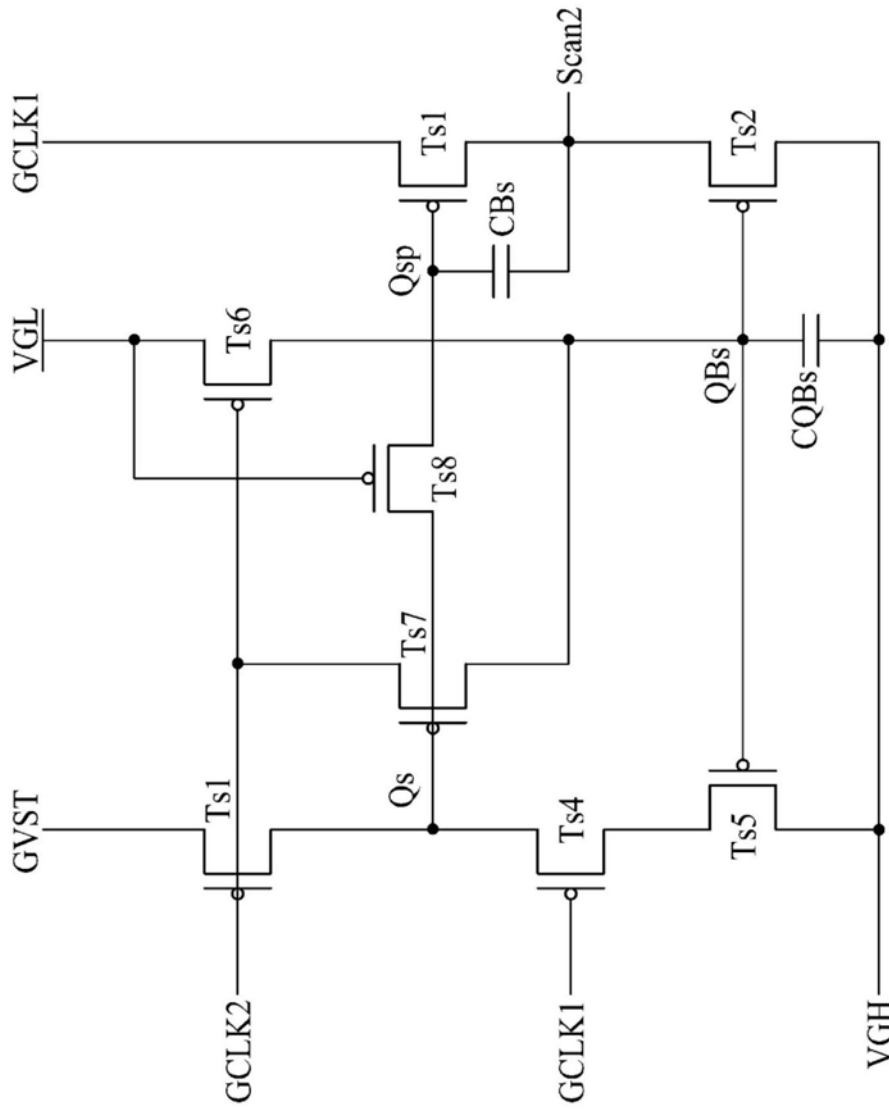


图5A

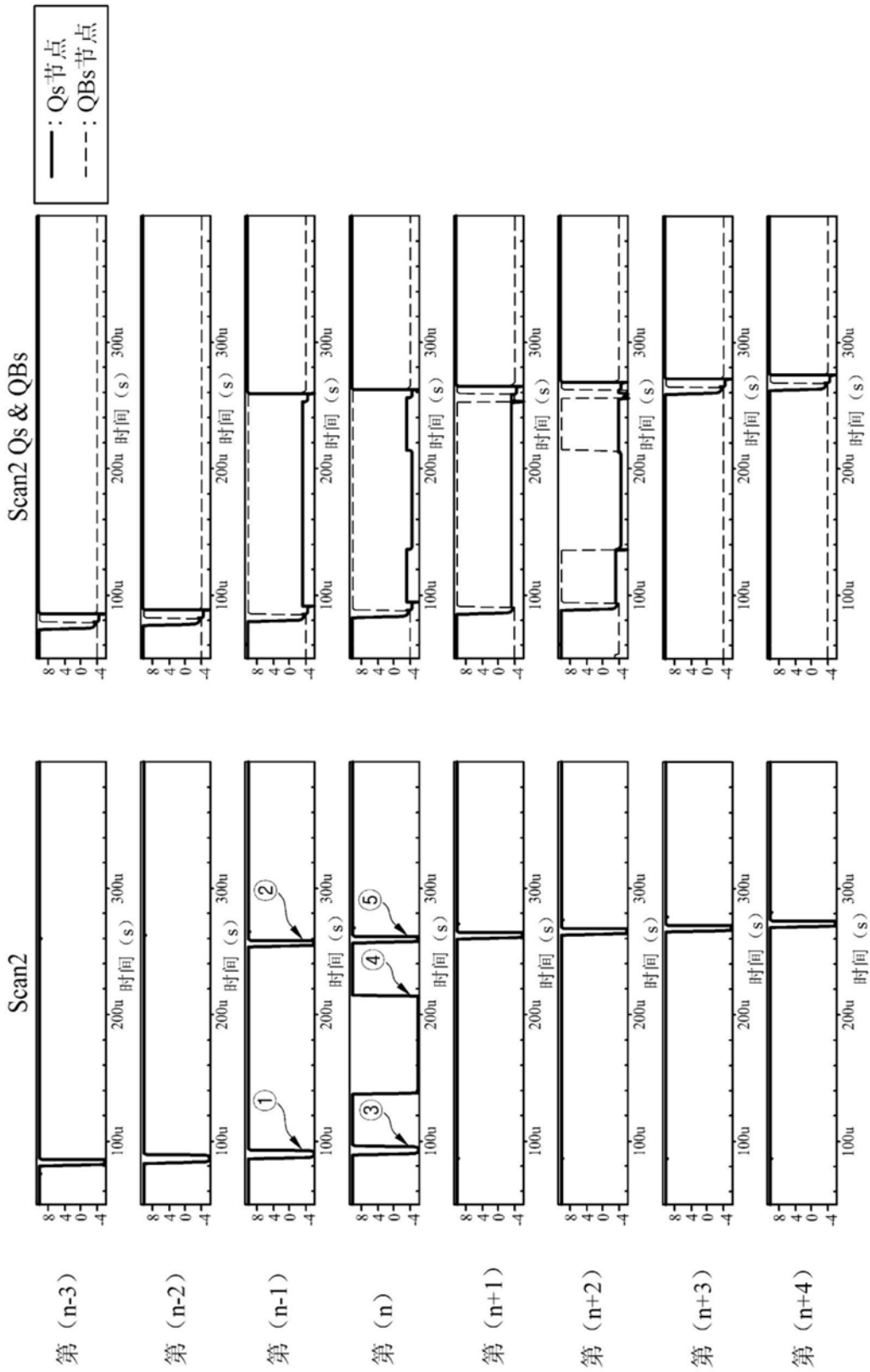


图5B

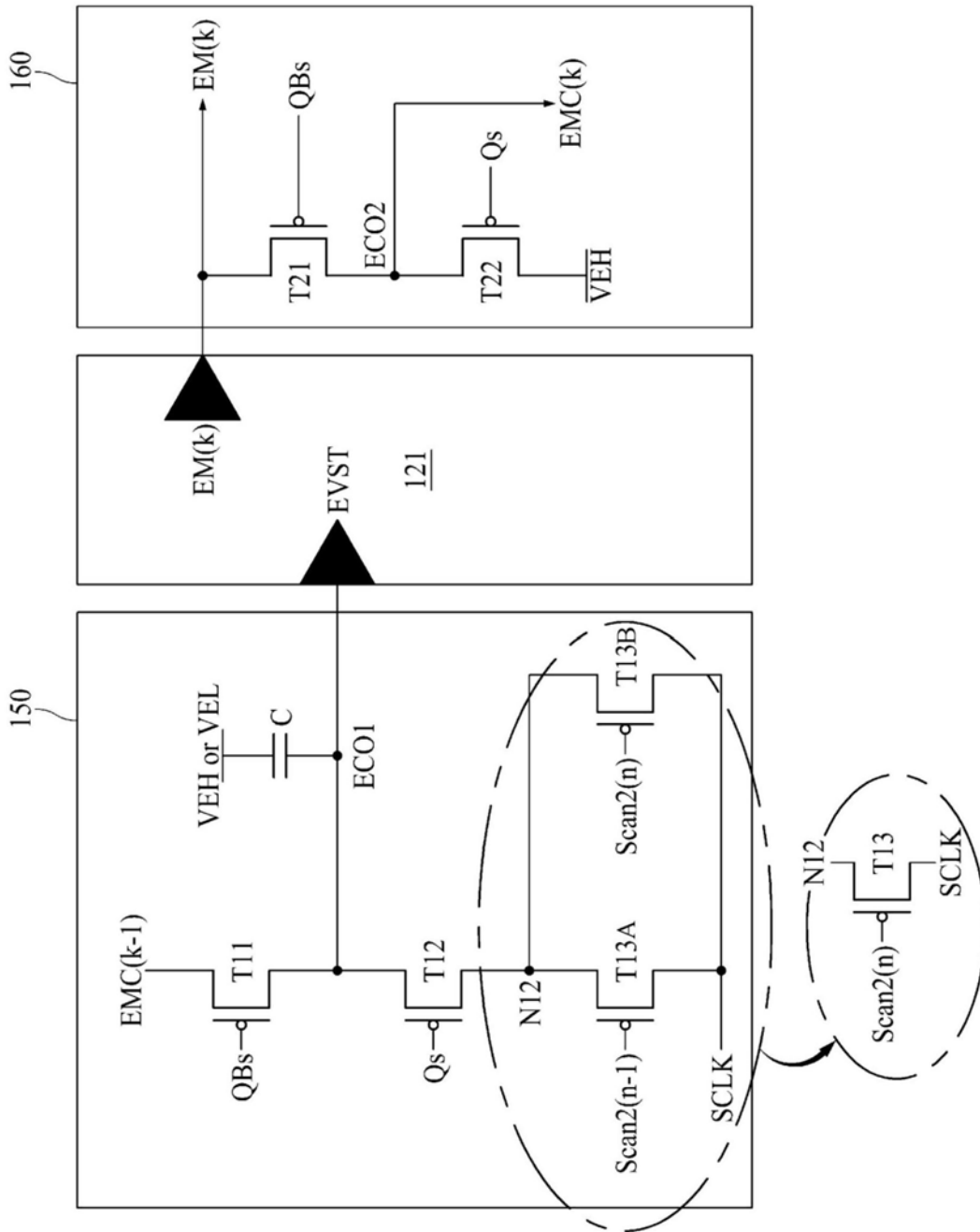


图6

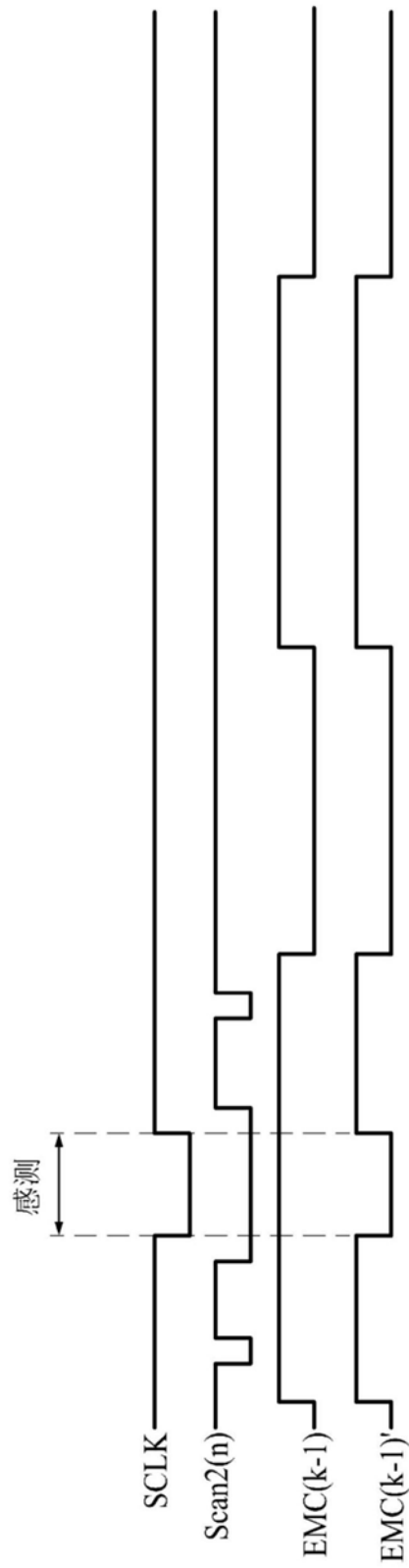


图7

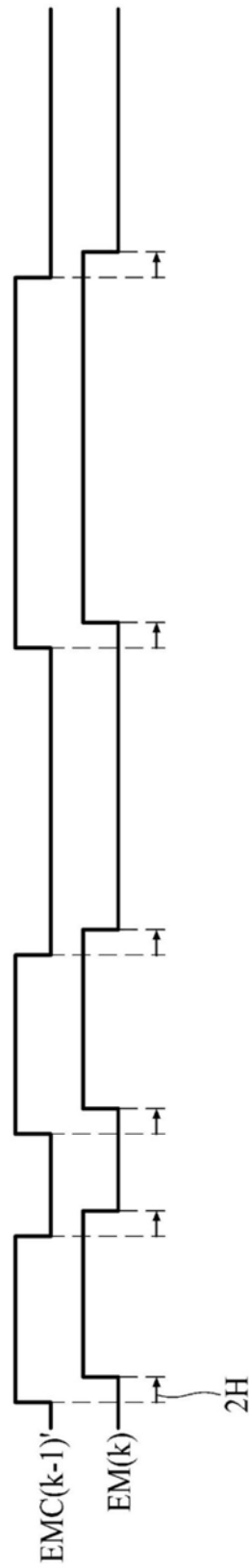


图8

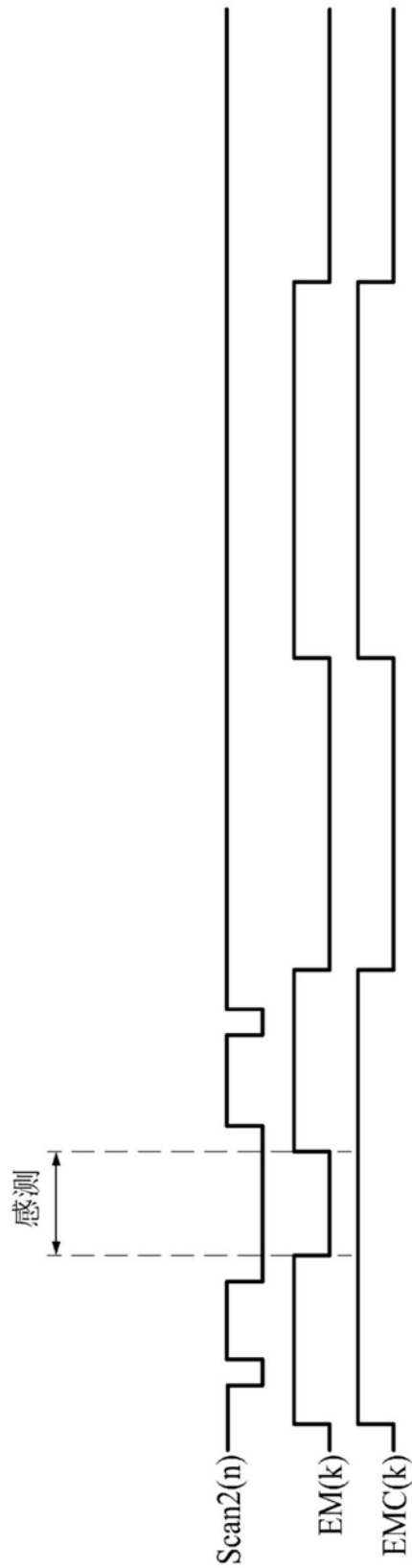


图9

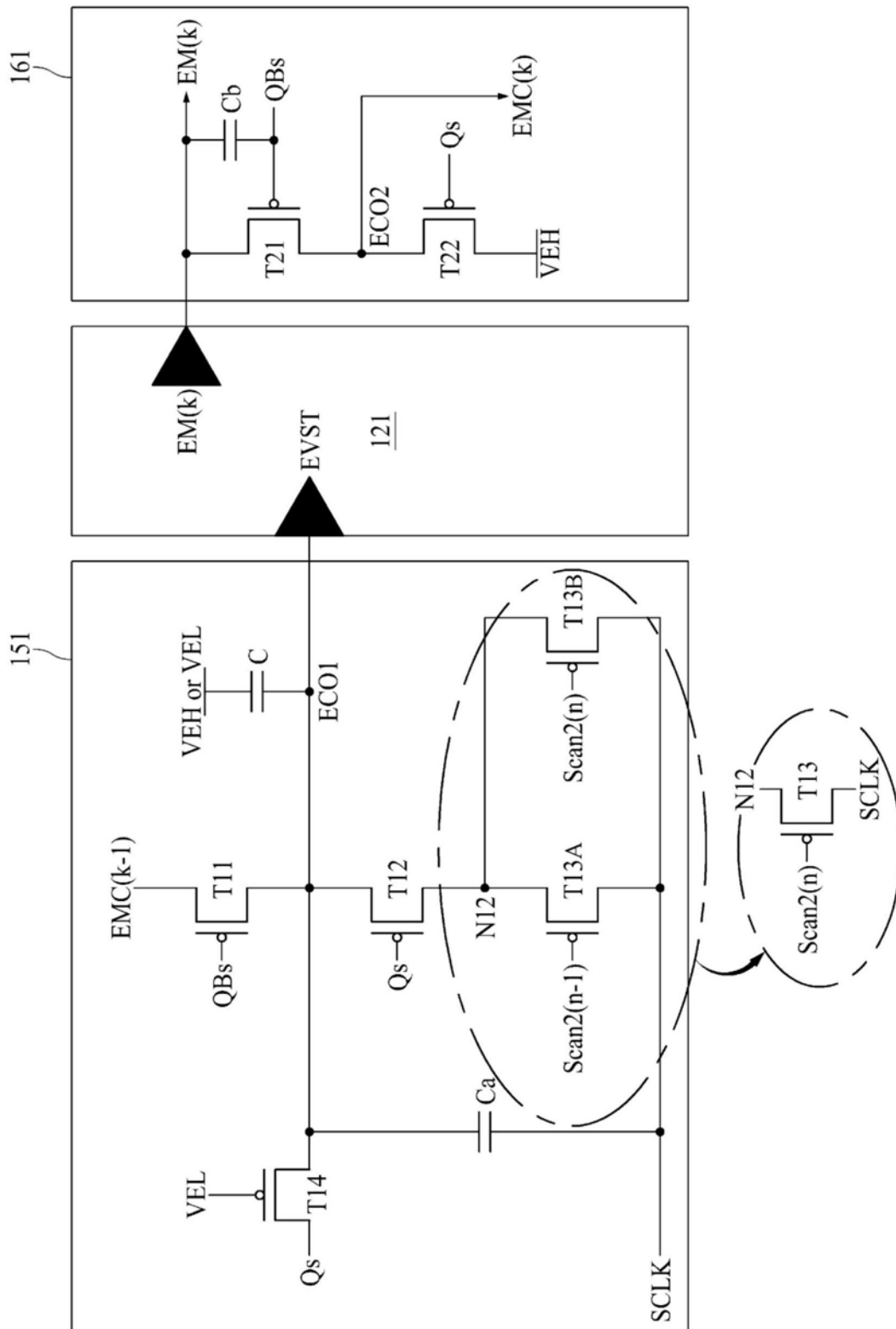


图10

121

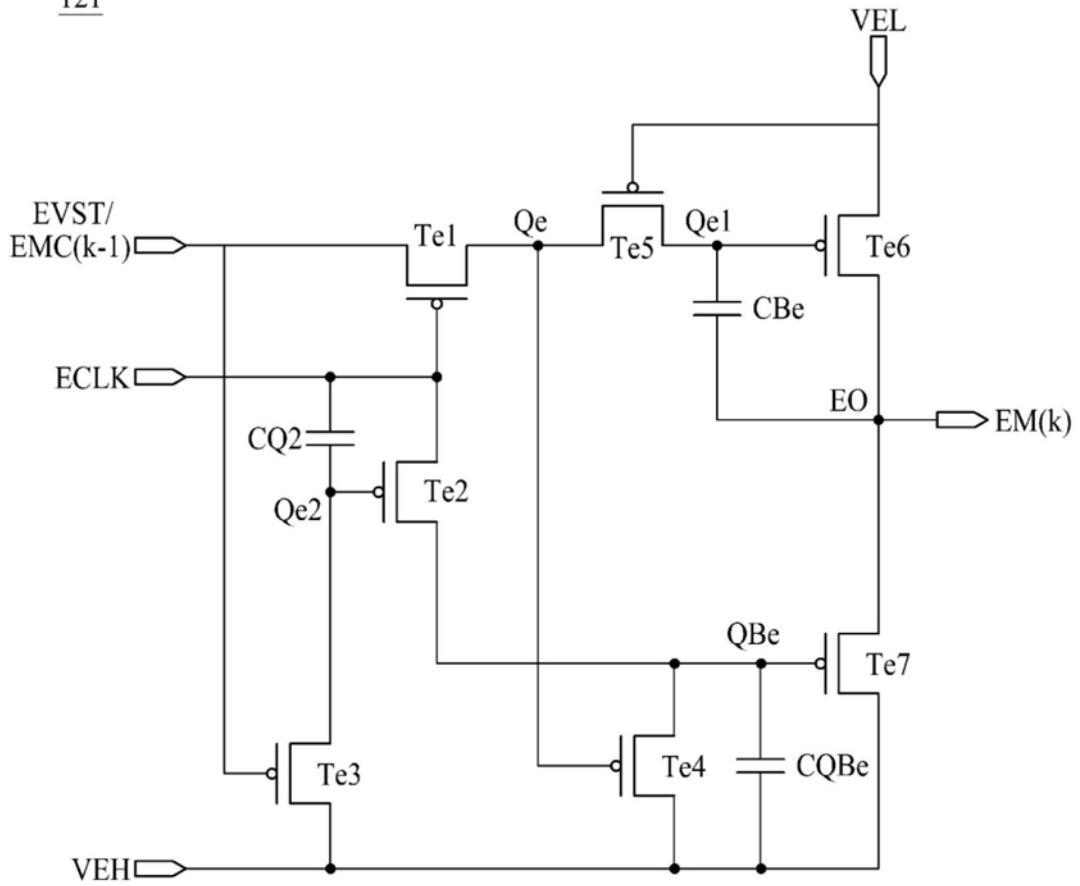


图11

专利名称(译)	包括栅极驱动器的电致发光显示装置		
公开(公告)号	CN111354316A	公开(公告)日	2020-06-30
申请号	CN201911201996.1	申请日	2019-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	张成旭		
发明人	张成旭		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3233 G09G3/3266 G09G2310/0286 G09G2320/0233		
代理人(译)	陈炜		
优先权	1020180166478 2018-12-20 KR		
外部链接	Espacenet SIPO		

摘要(译)

一种栅极驱动器的电致发光显示装置，包括由多个级组成的栅极驱动器，栅极驱动器包括：向第n像素行提供发射信号的第k级；连接至第k级的第一控制器，提供输入信号；连接至第k级的第二级控制器，接收第k级的输出信号作为输入信号。第一控制器用于生成用于感测第n像素行的控制信号，第二控制器连接至施加有发射信号的发射线以将第k级的输出信号提供给发射线，并且连接至第(k+1)级的第一控制器以将第k级的输出信号提供给第(k+1)级的第一控制器，第k级的输出信号被移位至发射进位信号。因此，可以选择性地向特定像素行施加随机栅极信号以感测和补偿特定像素行。可以实时补偿显示面板的不均匀亮度，以改善电致发光显示装置的图像质量并延长其寿命。

