



(12)发明专利申请

(10)申请公布号 CN 110992895 A  
(43)申请公布日 2020.04.10

(21)申请号 201911360692.X

(22)申请日 2019.12.25

(71)申请人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区  
龙腾路1号4幢

(72)发明人 王东平 张元波 张露 胡思明  
韩珍珍

(74)专利代理机构 北京远智汇知识产权代理有  
限公司 11659

代理人 范坤坤

(51)Int.Cl.

G09G 3/3233(2016.01)

G09G 3/3266(2016.01)

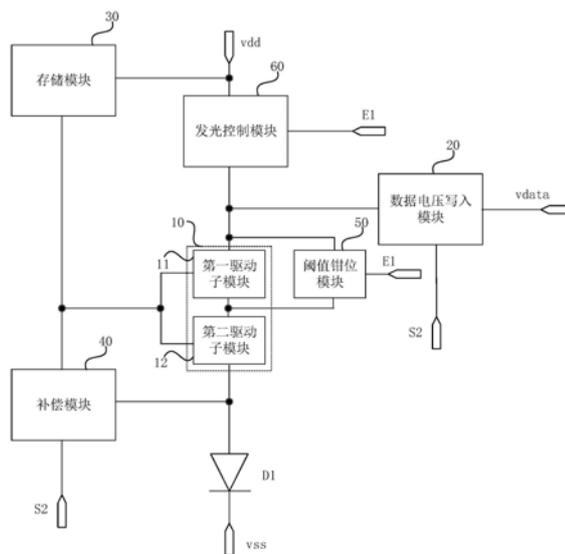
权利要求书2页 说明书10页 附图11页

(54)发明名称

像素驱动电路和显示面板

(57)摘要

本发明公开了一种像素驱动电路和显示面板。该像素驱动电路驱动模块,用于在发光阶段向有机发光元件提供驱动电流,有机发光元件响应驱动电流发光,驱动模块包括串联的第一驱动子模块和第二驱动子模块;数据写入模块,用于在数据写入阶段将数据信号写入第一驱动子模块的控制端以及第二驱动子模块的控制端;存储模块,用于维持第一驱动子模块的控制端以及第二驱动子模块的控制端的电位;补偿模块,用于在数据写入阶段将第一驱动子模块的阈值电压写入第一驱动子模块的控制端以及第二驱动子模块的控制端;阈值钳位模块,用于在发光阶段传输驱动电流。提高了显示面板发光的均一性。



1. 一种像素驱动电路,其特征在于,包括:

驱动模块,用于在发光阶段向有机发光元件提供驱动电流,所述有机发光元件响应所述驱动电流发光,所述驱动模块包括串联的第一驱动子模块和第二驱动子模块;

数据写入模块,用于在数据写入阶段将数据信号写入所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端;

存储模块,用于维持所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端的电位;

补偿模块,用于在所述数据写入阶段将所述第一驱动子模块的阈值电压写入所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端;

阈值钳位模块,用于在所述发光阶段传输所述驱动电流;其中,流经所述阈值钳位模块的所述驱动电流大于流经所述第一驱动子模块的所述驱动电流。

2. 根据权利要求1所述的像素驱动电路,其特征在于,所述阈值钳位模块的第一端与所述第一驱动子模块的第一端电连接,所述阈值钳位模块的第二端与所述第一驱动子模块的第二端电连接,所述阈值钳位模块的沟道宽长比大于所述第一驱动子模块的沟道宽长比。

3. 根据权利要求1或2所述的像素驱动电路,其特征在于,所述第一驱动子模块的第一端接入第一电源信号,所述第一驱动子模块的第二端与所述第二驱动子模块的第一端电连接,所述第二驱动子模块的第二端与所述有机发光元件的第一电极电连接;或者,

所述第二驱动子模块的第一端接入第一电源信号,所述第二驱动子模块的第二端与所述第一驱动子模块的第一端电连接,所述第一驱动子模块的第二端与所述有机发光元件的第一电极电连接。

4. 根据权利要求3所述的像素驱动电路,其特征在于,所述第一驱动子模块的沟道宽长比大于等于所述第二驱动子模块的沟道宽长比。

5. 根据权利要求1或2所述的像素驱动电路,其特征在于,还包括:

至少一个发光控制模块,用于根据使能信号控制驱动电流通路的连通与断开;

所述阈值钳位模块的控制端接入所述使能信号。

6. 根据权利要求1所述的像素驱动电路,其特征在于,还包括:

第一初始化模块,用于在初始化阶段对所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端进行电位的初始化;

第二初始化模块,用于在所述初始化阶段对所述有机发光元件的第一电极进行电位的初始化。

7. 根据权利要求6所述的像素驱动电路,其特征在于,所述第一初始化模块的控制端接入第一扫描信号,所述第一初始化模块的第一端接入参考信号,所述第一初始化子模块的第二端与所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端电连接;

所述第二初始化模块的控制端接入所述第一扫描信号,所述第二初始化模块的第一端接入所述参考信号,所述第二初始化子模块的第二端与所述有机发光元件的第一电极电连接。

8. 根据权利要求6所述的像素驱动电路,其特征在于,所述第一初始化模块的控制端与所述第二初始化模块的控制端接入第一扫描信号,所述第一初始化模块的第一端与所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端电连接,所述第一初始化模块的

第二端与所述第二初始化模块的第一端电连接,所述第二初始化模块的第二端与所述有机发光元件的第一电极电连接。

9. 根据权利要求1所述的像素驱动电路,其特征在于,

所述数据写入模块的控制端接入第二扫描信号,所述数据写入模块的第一端写入数据信号,所述数据写入模块的第二端与所述驱动模块的第一端电连接;

所述补偿模块的控制端接入所述第二扫描信号,所述补偿模块的第一端与所述驱动模块的第二端电连接,所述补偿模块的第二端与所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端电连接;

所述存储模块的第一端接入第一电源信号,所述存储模块的第二端与所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端电连接。

10. 一种显示面板,其特征在于,包括权利要求1-9任一项所述的像素驱动电路。

## 像素驱动电路和显示面板

### 技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及一种像素驱动电路和显示面板。

### 背景技术

[0002] 在显示面板显示的过程中,像素电路驱动发光二极管发光进行显示。像素电路中的补偿晶体管对驱动晶体管的阈值电压进行补偿。当驱动晶体管的阈值发生变化时,显示面板中多个像素电路驱动发光二极管发光的亮度不同,显示面板发光的均一性比较差。

### 发明内容

[0003] 本发明提供一种像素驱动电路和显示面板,以实现提高显示面板发光的均一性。

[0004] 第一方面,本发明实施例提供了一种像素驱动电路,其特征在于,包括:

[0005] 驱动模块,用于在发光阶段向有机发光元件提供驱动电流,所述有机发光元件响应所述驱动电流发光,所述驱动模块包括串联的第一驱动子模块和第二驱动子模块;

[0006] 数据写入模块,用于在数据写入阶段将数据信号写入所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端;

[0007] 存储模块,用于维持所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端的电位;

[0008] 补偿模块,用于在所述数据写入阶段将所述第一驱动子模块的阈值电压写入所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端;

[0009] 阈值钳位模块,用于在所述发光阶段传输所述驱动电流;其中,流经所述阈值钳位模块的所述驱动电流大于流经所述第一驱动子模块的所述驱动电流。

[0010] 可选地,所述阈值钳位模块的第一端与所述第一驱动子模块的第一端电连接,所述阈值钳位模块的第二端与所述第一驱动子模块的第二端电连接,所述阈值钳位模块的沟道宽长比大于所述第一驱动子模块的沟道宽长比。

[0011] 可选地,所述第一驱动子模块的第一端接入第一电源信号,所述第一驱动子模块的第二端与所述第二驱动子模块的第一端电连接,所述第二驱动子模块的第二端与所述有机发光元件的第一电极电连接;或者,

[0012] 所述第二驱动子模块的第一端接入第一电源信号,所述第二驱动子模块的第二端与所述第一驱动子模块的第一端电连接,所述第一驱动子模块的第二端与所述有机发光元件的第一电极电连接。

[0013] 可选地,所述第一驱动子模块的沟道宽长比大于等于所述第二驱动子模块的沟道宽长比。

[0014] 可选地,像素驱动电路还包括:

[0015] 至少一个发光控制模块,用于根据使能信号控制驱动电流通路的连通与断开;

[0016] 所述阈值钳位模块的控制端接入所述使能信号。

[0017] 可选地,像素驱动电路还包括:

[0018] 第一初始化模块,用于在初始化阶段对所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端进行电位的初始化;

[0019] 第二初始化模块,用于在所述初始化阶段对所述有机发光元件的第一电极进行电位的初始化。

[0020] 可选地,所述第一初始化模块的控制端接入第一扫描信号,所述第一初始化模块的第一端接入参考信号,所述第一初始化子模块的第二端与所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端电连接;

[0021] 所述第二初始化模块的控制端接入所述第一扫描信号,所述第二初始化模块的第一端接入所述参考信号,所述第二初始化子模块的第二端与所述有机发光元件的第一电极电连接。

[0022] 可选地,所述第一初始化模块的控制端与所述第二初始化模块的控制端接入第一扫描信号,所述第一初始化模块的第一端与所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端电连接,所述第一初始化模块的第二端与所述第二初始化模块的第一端电连接,所述第二初始化模块的第二端与所述有机发光元件的第一电极电连接。

[0023] 可选地,所述数据写入模块的控制端接入第二扫描信号,所述数据写入模块的第一端写入数据信号,所述数据写入模块的第二端与所述驱动模块的第一端电连接;

[0024] 所述补偿模块的控制端接入所述第二扫描信号,所述补偿模块的第一端与所述驱动模块的第二端电连接,所述补偿模块的第二端与所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端电连接;

[0025] 所述存储模块的第一端接入第一电源信号,所述存储模块的第二端与所述第一驱动子模块的控制端以及所述第二驱动子模块的控制端电连接。

[0026] 第二方面,本发明实施例还提供了一种显示面板,包括本发明任意实施例提供的像素驱动电路。

[0027] 本发明实施例的技术方案,通过设置驱动模块包括第一驱动子模块和第二驱动子模块,还包括阈值钳位模块,用于在发光阶段传输驱动电流。在下一帧的显示过程中,在数据写入阶段,补偿模块补偿第一驱动子模块的阈值电压至第一驱动子模块的控制端和第二驱动子模块的控制端,使得在发光阶段,当第二驱动子模块的阈值电压发生变化时,补偿模块补偿的阈值电压保持不变,因此在发光阶段,第二驱动子模块形成驱动电流时,第二驱动子模块的阈值电压与补偿模块补偿的阈值电压的差值在预设范围内,从而保证了补偿模块能够比较准确的补偿第二驱动子模块的阈值电压,进而提高了有机发光元件的发光稳定性,提高了显示面板的发光均匀性。

## 附图说明

[0028] 图1为现有技术提供的一种像素电路的电路结构示意图;

[0029] 图2为驱动晶体管工作在饱和区的结构示意图;

[0030] 图3为本发明实施例提供的一种像素驱动电路的结构示意图;

[0031] 图4为本发明实施例提供的另一种像素驱动电路的结构示意图;

[0032] 图5为图4的像素驱动电路对应的一种工作时序图;

[0033] 图6为本发明实施例提供的另一种像素驱动电路的结构示意图;

- [0034] 图7为本发明实施例提供的另一种像素驱动电路的结构示意图；  
[0035] 图8为本发明实施例提供的另一种像素驱动电路的结构示意图；  
[0036] 图9为本发明实施例提供的另一种像素驱动电路的结构示意图；  
[0037] 图10为图9的像素驱动电路对应的一种工作时序图；  
[0038] 图11为本发明实施例提供的另一种像素驱动电路的结构示意图；  
[0039] 图12为本发明实施例提供的一种显示面板的俯视结构示意图。

### 具体实施方式

[0040] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的部分而非全部结构。

[0041] 图1为现有技术提供的一种像素电路的电路结构示意图。如图1所示，像素电路包括开关晶体管M0、补偿晶体管M1、发光控制晶体管M2、驱动晶体管N0和存储电容Cs。开关晶体管M0的栅极和补偿晶体管M1的栅极连接第一扫描线Scan1以接收第一扫描信号，源极连接到数据线以接收数据信号Vdata，漏极连接到驱动晶体管N0的源极。驱动晶体管N0的栅极与存储电容Cs的一端和补偿晶体管M1的源极电连接，源极连接到发光控制晶体管M2的漏极，漏极连接到OLED的正极端和补偿晶体管M1的漏极；发光控制晶体管M2的源极和存储电容Cs的另一端连接到第一电压端以接收第一电压Vdd(高电压)，发光控制晶体管M2的栅极与第二扫描信号线Scan2电连接，OLED的负极端连接到第二电压端以接收第二电压Vss(低电压，例如接地电压)。当通过第一扫描线Scan1施加扫描信号以开启开关晶体管M0和补偿晶体管M1时，数据驱动电路通过数据线送入的数据信号Vdata将经由开关晶体管M0和补偿晶体管M1对存储电容Cs充电，由此将数据信号Vdata与驱动晶体管N0的阈值电压的差值存储在存储电容Cs中，通过第二扫描线Scan2施加的扫描信号开启发光控制晶体管M2时，驱动晶体管N0形成驱动电流驱动OLED发光。

[0042] 在上述过程中，驱动晶体管N0驱动OLED发光时工作在饱和区，图2为驱动晶体管工作在饱和区的结构示意图。如图1和图2所示，当驱动晶体管N0工作在饱和区时，驱动晶体管N0的非掺杂区的有源层包括沟道区201和夹断区202，沟道区201位于有源层靠近源极203的一侧，夹断区202位于有源层靠近漏极204的一侧。夹断区202的电阻很大，当驱动电流比较大时，夹断区202会产生比较大的功耗，使得夹断区202存在自热效应。夹断区202与沟道区201会产生比较大的温度差异，进而使得驱动晶体管N0的阈值电压发生变化。在下一帧数据写入阶段补偿变化后的阈值电压。而驱动晶体管N0的自热效应是短暂的，在下一帧的发光阶段，阈值电压逐渐恢复正常，驱动晶体管N0形成驱动电流时的阈值电压与数据写入阶段补偿的阈值电压不相等，形成了补偿差，进而使得显示面板的发光不均一。

[0043] 针对上述技术问题，本发明实施例提供了一种像素驱动电路。图3为本发明实施例提供的一种像素驱动电路的结构示意图。如图3所示，该像素驱动电路包括：

[0044] 驱动模块10，用于在发光阶段向有机发光元件D1提供驱动电流，有机发光元件D1响应驱动电流发光，驱动模块10包括串联的第一驱动子模块11和第二驱动子模块12；

[0045] 数据写入模块20，用于在数据写入阶段将数据信号写入第一驱动子模块11的控制端以及第二驱动子模块12的控制端；

[0046] 存储模块30,用于维持第一驱动子模块11的控制端以及第二驱动子模块12的控制端的电位;

[0047] 补偿模块40,用于在数据写入阶段将第一驱动子模块11的阈值电压写入第一驱动子模块11的控制端以及第二驱动子模块12的控制端;

[0048] 阈值钳位模块50,用于在发光阶段传输驱动电流;其中,流经阈值钳位模块50的驱动电流大于流经第一驱动子模块11的驱动电流。

[0049] 具体地,在第一帧的显示过程中,像素驱动电路包括数据写入阶段和发光阶段。在数据写入阶段,当第二驱动子模块12没有受到自热效应的影响时,数据信号写入至第一驱动子模块11的控制端以及第二驱动子模块12的控制端,同时补偿模块40将第二驱动子模块12的阈值电压写入第一驱动子模块11的控制端以及第二驱动子模块12的控制端,使得第一驱动子模块11的控制端以及第二驱动子模块12的控制端的电位为数据信号与第二驱动子模块12的阈值电压的和值。

[0050] 在发光阶段,阈值钳位模块50分流第一驱动子模块11中驱动电流,并通过第二驱动子模块12驱动有机发光元件D1发光。另外,阈值钳位模块50分流第一驱动子模块11中的驱动电流时,流经阈值钳位模块50的驱动电流大于流经第一驱动子模块11的驱动电流,即流过第一驱动子模块11中的驱动电流减小,因此第一驱动子模块11因电流产生的自热效应减小,第一驱动子模块11的阈值电压变化比较小。而第二驱动子模块12中的电流为驱动电流,第二驱动子模块12中的驱动电流使得第二驱动子模块12产生的自热效应比较大,第二驱动子模块12的阈值电压正偏,使得第二驱动子模块12的阈值电压的绝对值小于第一驱动子模块11的阈值电压的绝对值。优选地,阈值钳位模块50短路第一驱动子模块11,使得驱动电流全部经过阈值钳位模块50,此时第一驱动子模块11可以完全避免驱动电流产生的自热效应。

[0051] 当第一帧的显示过程结束后,在下一帧的数据写入阶段,由于第二驱动子模块12的阈值电压正偏,使得第二驱动子模块12的阈值电压的绝对值小于第一驱动子模块11的阈值电压的绝对值。因此在数据写入阶段时,第一驱动子模块11优先于第二驱动子模块12关断,第一驱动子模块11的控制和第二驱动子模块12的控制端写入第一驱动子模块11的阈值电压。第一驱动子模块11的阈值电压与第二驱动子模块12自热效应前的阈值电压的差值在预设范围内。

[0052] 在发光阶段,第二驱动子模块12的阈值电压逐渐恢复正常,第二驱动子模块12形成的驱动电流与第二驱动子模块12恢复正常的阈值电压相关。而第二驱动子模块12的控制端在数据写入阶段写入的电压为数据信号与第一驱动子模块11的阈值电压的和值,因此第二驱动子模块12形成的驱动电流与第一驱动子模块11的阈值电压和第二驱动子模块12的阈值电压的差值的绝对值相关。当第一驱动子模块11的阈值电压和第二驱动子模块12的阈值电压的差值在预设范围内时,可以使得驱动电流的差值在一定范围内。在该范围内,驱动电流驱动有机发光元件D1的发光亮度在人眼识别的精度范围内,即在该范围内,驱动电路驱动有机发光元件D1发光时,人眼无法识别有机发光元件D1的发光亮度的差异,从而保证了显示面板的发光均一性。

[0053] 因此,通过在下一帧的显示过程中,在数据写入阶段,补偿模块40补偿第一驱动子模块11的阈值电压至第一驱动子模块11的控制端和第二驱动子模块12的控制端,使得在发

光阶段,当第二驱动子模块12的阈值电压发生变化时,补偿模块40补偿的阈值电压保持不变,因此在发光阶段,第二驱动子模块12形成驱动电流时,第二驱动子模块12的阈值电压与补偿模块40补偿的阈值电压的差值在预设范围内,从而保证了补偿模块40能够比较准确的补偿第二驱动子模块12的阈值电压,进而提高了有机发光元件D1的发光稳定性,提高了显示面板的发光均一性。

[0054] 需要说明的是,当第二驱动子模块12没有自热效应时,第一驱动子模块11的阈值电压和第二驱动子模块11的阈值电压可以相等,使得在发光阶段,第二驱动子模块12恢复正常的阈值电压与数据写入阶段补偿的第一驱动子模块11的阈值电压相等,从而使得第二驱动子模块12形成的驱动电流与第二驱动子模块12的阈值电压不相关,精确的补偿了阈值电压,提高了显示面板的发光均一性。

[0055] 继续参考图3,阈值钳位模块50的第一端与第一驱动子模块11的第一端电连接,阈值钳位模块50的第二端与第一驱动子模块11的第二端电连接,阈值钳位模块50的沟道宽长比大于第一驱动子模块11的沟道宽长比。

[0056] 具体地,阈值钳位模块50与第一驱动子模块11并联。而阈值钳位模块50的沟道宽长比大于第一驱动子模块11的沟道宽长比,使得阈值钳位模块50和第一驱动子模块11满足导通条件时,阈值钳位模块50优先于第一驱动子模块11导通。然后阈值钳位模块50保持导通,第一驱动子模块11被短路,从而使得第一驱动子模块11中的电流远小于驱动电流,第一驱动子模块11的自热效应很小,第一驱动子模块11的阈值电压变化很小。当在下一帧的数据写入阶段时,补偿模块40对第一驱动子模块11的阈值电压进行补偿。而第一驱动子模块11的阈值电压与第二驱动子模块12的阈值电压的差值在预设范围内,从而使得在下一帧的发光阶段,第二驱动子模块12形成驱动电流的阈值电压与补偿模块40补偿的阈值电压的差值在预设范围内,从而保证了补偿模块40能够比较准确的补偿第二驱动子模块12的阈值电压,进而提高了有机发光元件D1的发光稳定性,提高了显示面板的发光均一性。

[0057] 在上述各技术方案的基础上,第一驱动子模块11的沟道宽长比大于等于第二驱动子模块12的沟道宽长比。

[0058] 具体地,在数据写入阶段,数据信号通过第一驱动子模块11、第二驱动子模块12和补偿模块40写入至第一驱动子模块11的控制端和第二驱动子模块12的控制端。当第一驱动子模块11的沟道宽长比大于等于第二驱动子模块12的沟道宽长比时,在数据写入过程中,第二驱动子模块12优先于第一驱动子模块11截止,使得第一驱动子模块11的控制端和第二驱动子模块12的控制端写入数据信号和第二驱动模块12的阈值电压,从而实现补偿模块40对第二驱动子模块12的阈值补偿。

[0059] 需要说明的是,第一驱动子模块11的沟道宽长比和第二驱动子模块12的沟道宽长比的差值在一定范围内。当第二驱动子模块12在发光阶段发生自热效应后,第二驱动子模块12的阈值电压正偏后,需要使得在下一帧的数据写入阶段,第一驱动子模块11优先于第二驱动子模块12截止,从而使得在下一帧的数据写入阶段补偿模块40补偿第一驱动子模块11的阈值电压。

[0060] 优选地,第一驱动子模块11的沟道宽长比等于第二驱动子模块12的沟道宽长比,使得第一驱动子模块11的阈值电压和第二驱动子模块12的阈值电压近似相等,可以实现在一帧的数据写入阶段时同时截止。在第二驱动子模块12发生自热效应后,在下一帧的数据

写入阶段,补偿模块40补偿第一驱动子模块11的阈值电压,然后在发光阶段,第二驱动子模块12恢复后的阈值电压与补偿模块40补偿的第一驱动子模块11的阈值电压相等,从而更好的提高了显示面板的均一性。

[0061] 继续参考图3,像素驱动电路还包括至少一个发光控制模块60,用于根据使能信号E1控制驱动电流通路的连通与断开;阈值钳位模块50的控制端接入使能信号E1。

[0062] 具体地,图3中示例性地示出了像素驱动电路包括一个发光控制模块60。发光控制模块60的第一端接入第一电源信号vdd,发光控制模块60的第二端与第一驱动子模块11的第一端电连接,发光控制模块60的控制端和阈值钳位模块50的控制端与使能信号E1电连接。第一驱动子模块11的第二端与第二驱动子模块12的第一端电连接,第二驱动子模块12的第二端与有机发光元件D1的第一电极电连接。数据写入模块20的控制端接入第二扫描信号S2,数据写入模块20的第一端写入数据信号vdata,数据写入模块20的第二端与第一驱动子模块11的第一端电连接。补偿模块40的控制端接入第二扫描信号S2,补偿模块40的第一端与驱动模块10的第二端电连接,补偿模块40的第二端与第一驱动子模块11的控制端以及第二驱动子模块12的控制端电连接;存储模块30的第一端接入第一电源信号vdd,存储模块20的第二端与第一驱动子模块11的控制端以及第二驱动子模块12的控制端电连接。有机发光元件D1的第二电极与第二电源信号vss电连接。

[0063] 示例性地,图4为本发明实施例提供的另一种像素驱动电路的结构示意图。如图4所示,第一驱动子模块11包括第一晶体管T1,第二驱动子模块12第二晶体管T2,数据写入模块20包括第三晶体管T3,存储模块30包括存储电容Cst,补偿模块40包括第四晶体管T4,阈值钳位模块50包括第五晶体管T5,发光控制模块60包括第六晶体管T6。第一晶体管T1的栅极为第一驱动子模块11的控制端,第一晶体管T1的第一极为第一驱动子模块11的第一端,第一晶体管T1的第二极为第一驱动子模块11的第二端。第二晶体管T2的栅极为第二驱动子模块12的控制端,第二晶体管T2的第一极为第二驱动子模块12的第一端,第二晶体管T2的第二极为第二驱动子模块12的第二端。第三晶体管T3的栅极为数据写入模块20的控制端,第三晶体管T3的第一极为数据写入模块20的第一端,第三晶体管T3的第二极为数据写入模块20的第二端。存储电容Cst的第一极为存储模块30的第一端,存储电容Cst的第二极为存储模块30的第二端。第四晶体管T4的栅极为补偿模块40的控制端,第四晶体管T4的第一极为补偿模块40的第一端,第四晶体管T4的第二极为补偿模块40的第二端。第五晶体管T5的栅极为阈值钳位模块50的控制端,第五晶体管T5的第一极为阈值钳位模块50的第一端,第五晶体管T5的第二极为阈值钳位模块50的第二端。第六晶体管T6的栅极为发光控制模块60的控制端,第六晶体管T6的第一极为发光控制模块的第一端,第六晶体管T6的第二极为发光控制模块的第二端。第一电源信号vdd可以为高电平,第二电源信号vss可以为低电平。

[0064] 具体地,在图4中,以P型晶体管为例进行说明。图5为图4的像素驱动电路对应的一种工作时序图。结合图4和图5说明像素驱动电路的工作原理。

[0065] 在第一数据写入阶段t11,第二扫描信号S2为低电平,使能信号E1为高电平。第二扫描信号S2控制第三晶体管T3和第四晶体管T4导通,使能信号E1控制第五晶体管T5和第六晶体管T6截止。数据信号vdata通过第三晶体管T3、第一晶体管T1、第二晶体管T2和第四晶体管T4写入至第一晶体管T1和第二晶体管T2的栅极,直至电位达到vdata-vth2,并通过存

储电容Cst保持该点电位。其中，vth2为第二晶体管T2的阈值电压的绝对值。在第一数据写入阶段t11结束时，第一晶体管T1和第二晶体管T2处于截止状态。

[0066] 在第一发光阶段t12，第二扫描信号S2为高电平，使能信号E1为低电平。第二扫描信号S2控制第三晶体管T3和第四晶体管T4截止，使能信号E1控制第五晶体管T5和第六晶体管T6导通。第一电源信号vdd通过第六晶体管T6写入至第一晶体管T1和第五晶体管T5的第一端。由于第五晶体管T5优先于第一晶体管T1导通，第一晶体管T1被短路，第一电源信号vdd通过第五晶体管T5写入第二晶体管T2，第二晶体管T2导通，并根据第一电源信号vdd、栅极电位vdata-vth2和第二晶体管T2的阈值电压vth2形成驱动电流，即驱动电流 $I=K(vdd-(vdata-vth2)-vth2)^2=K(vdd-vdata)^2$ ，驱动有机发光元件D1发光。其中，K为常数。由此可知，驱动电流与第二晶体管T2的阈值电压vth2不相关，提高了显示面板的发光均一性。

[0067] 在第一发光阶段t12，第一晶体管T1截止或工作在线性区，其自热效应比较小，第一晶体管T1的阈值电压变化较小。而第二晶体管T2工作在饱和区域，第二晶体管T2形成的驱动电流比较大时，会产生明显的自热效应，导致第二晶体管T2的阈值电压正偏。

[0068] 在第二数据写入阶段t13，第二扫描信号S2为低电平，使能信号E1为高电平。第二扫描信号S2控制第三晶体管T3和第四晶体管T4导通，使能信号E1控制第五晶体管T5和第六晶体管T6截止。数据信号vdata通过第三晶体管T3、第一晶体管T1、第二晶体管T2和第四晶体管T4写入至第一晶体管T1和第二晶体管T2的栅极，直至电位达到vdata-vth1，并通过存储电容Cst保持该点电位。其中，vth1为第一晶体管T1的阈值电压的绝对值。在第二数据写入阶段t13结束时，第一晶体管T1和第二晶体管T2处于截止状态。

[0069] 在第二发光阶段t14，第二扫描信号S2为高电平，使能信号E1为低电平。第二扫描信号S2控制第三晶体管T3和第四晶体管T4截止，使能信号E1控制第五晶体管T5和第六晶体管T6导通。第一电源信号vdd通过第六晶体管T6写入至第一晶体管T1和第五晶体管T5的第一端。由于第五晶体管T5优先于第一晶体管T1导通，第一晶体管T1被短路，第一电源信号vdd通过第五晶体管T5写入第二晶体管T2，第二晶体管T2导通，并根据第一电源信号vdd、栅极电位vdata-vth1和第二晶体管T2的阈值电压vth2形成驱动电流，即驱动电流 $I=K(vdd-(vdata-vth1)-vth2)^2=K(vdd-vdata+vth1-vth2)^2$ ，驱动有机发光元件D1发光。由于vth1-vth2在预设范围内，因此可以忽略。从而避免了在第二数据写入阶段t13，第四晶体管T4补偿第二晶体管T2正偏的阈值电压，而在第二发光阶段t14，第二晶体管T2形成驱动电流时的阈值电压为消除正偏的阈值电压，使得补偿的阈值电压与形成驱动电路的阈值电压不相等的情况，使得驱动电流I与第二晶体管T2的阈值电压vth2不相关，提高了显示面板的发光均一性。

[0070] 需要说明的是，第一晶体管T1和第二晶体管T2可以为独立的两个晶体管，通过设置第一晶体管T1和第二晶体管T2的沟道宽长比实现对其阈值电压的调节。在其他实施例中，第一晶体管T1和第二晶体管T2还可以为双栅晶体管，两者的沟道宽度相等，可以通过设置第一晶体管T1和第二晶体管T2的沟道长度调节第一晶体管T1和第二晶体管T2的阈值电压大小。

[0071] 图6为本发明实施例提供的另一种像素驱动电路的结构示意图。如图6所示，第二驱动子模块12的第一端接入第一电源信号vdd，第二驱动子模块12的第二端与第一驱动子模块11的第一端电连接，第一驱动子模块11的第二端与有机发光元件D1的第一电极电连

接。

[0072] 具体地,图6中的像素驱动电路与图3中的像素驱动电路大体相同,其与图3中的像素驱动电路的区别在于,第二驱动子模块12与第一驱动子模块11和阈值钳位模块50并联形成的单元互换位置。其工作过程与图3中的像素驱动电路的工作过程相同,此处不再赘述。

[0073] 图7为本发明实施例提供的另一种像素驱动电路的结构示意图。如图7所示,像素驱动电路包括两个发光控制模块,分别为第一发光控制模块61和第二发光控制模块62。

[0074] 具体地,在图3的像素驱动电路的基础上,第一发光控制模块61作为图3中的发光控制模块,第二发光控制模块62的控制端与使能信号E1电连接,第二发光控制模块62串联在第二驱动子模块12和有机发光元件D1之间。

[0075] 在发光阶段,第一发光控制模块61和第二发光控制模块62同时导通,使得驱动电流通路连通,在第二驱动子模块12形成驱动电流时,驱动有机发光元件D1发光。

[0076] 图8为本发明实施例提供的另一种像素驱动电路的结构示意图。如图8所示,像素驱动电路还包括第一初始化模块70,用于在初始化阶段对第一驱动子模块11的控制端以及第二驱动子模块12的控制端进行电位的初始化;第二初始化模块80,用于在初始化阶段对有机发光元件D1的第一电极进行电位的初始化。

[0077] 具体地,第一初始化模块70的控制端接入第一扫描信号S1,第一初始化模块70的第一端接入参考信号Vref,第一初始化子模块70的第二端与第一驱动子模块11的控制端以及第二驱动子模块12的控制端电连接;

[0078] 第二初始化模块80的控制端接入第一扫描信号S1,第二初始化模块80的第一端接入参考信号Vref,第二初始化模块80的第二端与有机发光元件D1的第一电极电连接。

[0079] 在初始化阶段,第一扫描信号S1控制第一初始化模块70和第二初始化模块80导通,使得参考信号Vref分别写入第一驱动子模块11的控制端、第二驱动子模块12的控制端以及有机发光元件D1的第一电极,对第一驱动子模块11的控制端、第二驱动子模块12的控制端以及有机发光元件D1的第一电极进行初始化,从而避免出现上一帧显示的残影。

[0080] 图9为本发明实施例提供的另一种像素驱动电路的结构示意图。如图9所示,第一初始化模块70可以包括第七晶体管T7,第二初始化模块80可以包括第八晶体管T8。

[0081] 图10为图9的像素驱动电路对应的一种工作时序图。结合图9和图10说明像素驱动电路的工作原理。

[0082] 在第一初始化阶段t21,第一扫描信号S1为低电平,第二扫描信号S2为高电平,使能信号E1为高电平。第一扫描信号S1控制第七晶体管T7和第八晶体管T8导通,第二扫描信号S2控制第三晶体管T3和第四晶体管T4截止,使能信号E1控制第五晶体管T5和第六晶体管T6截止。参考信号Vref通过第七晶体管T7和第八晶体管T8分别写入至第一晶体管T1的栅极、第二晶体管T2的栅极和有机发光元件D1的第一电极,对第一晶体管T1的栅极、第二晶体管T2的栅极和有机发光元件D1的第一电极进行初始化,避免上一帧的残留电位对数据写入阶段影响。由于参考信号Vref为低电平,第一晶体管T1和第二晶体管T2导通。

[0083] 在第一数据写入阶段t22,第一扫描信号S1为高电平,第二扫描信号S2为低电平,使能信号E1为高电平。第一扫描信号S1控制第七晶体管T7和第八晶体管T8截止,第二扫描信号S2控制第三晶体管T3和第四晶体管T4导通,使能信号E1控制第五晶体管T5和第六晶体管T6截止。数据信号vdata通过第三晶体管T3、第一晶体管T1、第二晶体管T2和第四晶体管

T4写入至第一晶体管T1和第二晶体管T2的栅极,直至电位达到 $v_{data}-v_{th2}$ ,并通过存储电容Cst保持该点电位。其中, $v_{th2}$ 为第二晶体管T2的阈值电压的绝对值。在第一数据写入阶段t11结束时,第一晶体管T1和第二晶体管T2处于截止状态。

[0084] 在第一发光阶段t23,第一扫描信号S1为高电平,第二扫描信号S2为高电平,使能信号E1为低电平。第一扫描信号S1控制第七晶体管T7和第八晶体管T8截止,第二扫描信号S2控制第三晶体管T3和第四晶体管T4截止,使能信号E1控制第五晶体管T5和第六晶体管T6导通。第一电源信号vdd通过第六晶体管T6写入至第一晶体管T1和第五晶体管T5的第一端。由于第五晶体管T5优先于第一晶体管T1导通,第一晶体管T1被短路,第一电源信号vdd通过第五晶体管T5写入第二晶体管T2,第二晶体管T2导通,并根据第一电源信号vdd、栅极电位 $v_{data}-v_{th2}$ 和第二晶体管T2的阈值电压 $v_{th2}$ 形成驱动电流,即驱动电流 $I=K(v_{dd}-(v_{data}-v_{th2})-v_{th2})^2=K(v_{dd}-v_{data})^2$ ,驱动有机发光元件D1发光。由此可知,驱动电流与第二晶体管T2的阈值电压 $v_{th2}$ 不相关,提高了显示面板的发光均一性。

[0085] 在第二初始化阶段t24,第一扫描信号S1为低电平,第二扫描信号S2为高电平,使能信号E1为高电平。第一扫描信号S1控制第七晶体管T7和第八晶体管T8导通,第二扫描信号S2控制第三晶体管T3和第四晶体管T4截止,使能信号E1控制第五晶体管T5和第六晶体管T6截止。参考信号Vref通过第七晶体管T7和第八晶体管T8分别写入至第一晶体管T1的栅极、第二晶体管T2的栅极和有机发光元件D1的第一电极,对第一晶体管T1的栅极、第二晶体管T2的栅极和有机发光元件D1的第一电极进行初始化。

[0086] 在第二数据写入阶段t25,第一扫描信号S1为高电平,第二扫描信号S2为低电平,使能信号E1为高电平。第一扫描信号S1控制第七晶体管T7和第八晶体管T8截止,第二扫描信号S2控制第三晶体管T3和第四晶体管T4导通,使能信号E1控制第五晶体管T5和第六晶体管T6截止。数据信号vdata通过第三晶体管T3、第一晶体管T1、第二晶体管T2和第四晶体管T4写入至第一晶体管T1和第二晶体管T2的栅极,直至电位达到 $v_{data}-v_{th1}$ ,并通过存储电容Cst保持该点电位。其中, $v_{th1}$ 为第一晶体管T1的阈值电压的绝对值。在第二数据写入阶段t13结束时,第一晶体管T1和第二晶体管T2处于截止状态。

[0087] 在第二发光阶段t26,第一扫描信号S1为高电平,第二扫描信号S2为高电平,使能信号E1为低电平。第一扫描信号S1控制第七晶体管T7和第八晶体管T8截止,第二扫描信号S2控制第三晶体管T3和第四晶体管T4截止,使能信号E1控制第五晶体管T5和第六晶体管T6导通。第一电源信号vdd通过第六晶体管T6写入至第一晶体管T1和第五晶体管T5的第一端。由于第五晶体管T5优先于第一晶体管T1导通,第一晶体管T1被短路,第一电源信号vdd通过第五晶体管T5写入第二晶体管T2,第二晶体管T2导通,并根据第一电源信号vdd、栅极电位 $v_{data}-v_{th1}$ 和第二晶体管T2的阈值电压 $v_{th2}$ 形成驱动电流,即驱动电流 $I=K(v_{dd}-(v_{data}-v_{th1})-v_{th2})^2=K(v_{dd}-v_{data}+v_{th1}-v_{th2})^2$ ,驱动有机发光元件D1发光。由于 $v_{th1}-v_{th2}$ 在预设范围内,因此可以忽略。从而避免了在第二数据写入阶段t13,第四晶体管T4补偿第二晶体管T2正偏的阈值电压,而在第二发光阶段t14,第二晶体管T2形成驱动电流时的阈值电压为消除正偏的阈值电压,使得补偿的阈值电压与形成驱动电路的阈值电压不相等的情况,使得驱动电流I与第二晶体管T2的阈值电压 $v_{th2}$ 不相关,提高了显示面板的发光均一性。

[0088] 图11为本发明实施例提供的另一种像素驱动电路的结构示意图。如图11所示,第一初始化模块70的控制端与第二初始化模块80的控制端接入第一扫描信号S1,第一初始化

模块70的第一端与第一驱动子模块11的控制端以及第二驱动子模块12的控制端电连接,第一初始化模块70的第二端与第二初始化模块80的第一端电连接,第二初始化子模块80的第二端与有机发光元件D1的第一电极电连接。

[0089] 具体地,在初始化阶段,第一扫描信号S1控制第一初始化模块70和第二初始化模块80导通,则在第一驱动子模块11的控制端以及第二驱动子模块12的控制端与有机发光元件D1之间形成电流回路。第一驱动子模块11的控制端以及第二驱动子模块12的控制端的电位通过有机发光元件D1释放有机发光元件D1的第二电极,实现对第一驱动子模块11的控制端以及第二驱动子模块12的控制端的初始化。而且,通过上述像素驱动电路设置,可以避免设置参考信号线,从而减少了显示面板上走线的设置,不仅能够节省制作成本,而且有利于实现显示面板的窄边框。

[0090] 另外,第一初始化模块70包括第七晶体管T7,第二初始化模块80包括第八晶体管T8,第七晶体管T7和第八晶体管T8可以为独立的两个晶体管,还可以为双栅晶体管。当设置第七晶体管T7和第八晶体管T8为双栅晶体管时,可以减小第七晶体管T7和第八晶体管T8在初始化的其他阶段的漏电流。

[0091] 本发明实施例还提供一种显示面板。图12为本发明实施例提供的一种显示面板的俯视结构示意图。如图12所示,显示面板包括基板100以及位于基板100上的多个像素驱动电路110,显示面板还可以包括位于基板100上的多条扫描信号线120和多条数据信号线130,像素驱动电路110可以设置于扫描信号线120与数据信号线130交叉设置形成的空间内,像素驱动电路110可以在与之电连接的扫描信号线120输入的扫描信号的作用下,连通与之对应电连接的数据信号线130,数据信号线130向对应的像素驱动电路110传输数据信号,依此实现显示装置的显示功能。

[0092] 像素驱动电路110为本发明任意实施例提供的像素驱动电路,因此具备本发明任意实施例提供像素驱动电路相同的有益效果,此处不再赘述。显示面板可以是手机、平板电脑、电视机、显示器、笔记本电脑、数码相框等任何具有显示功能的产品或部件。

[0093] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

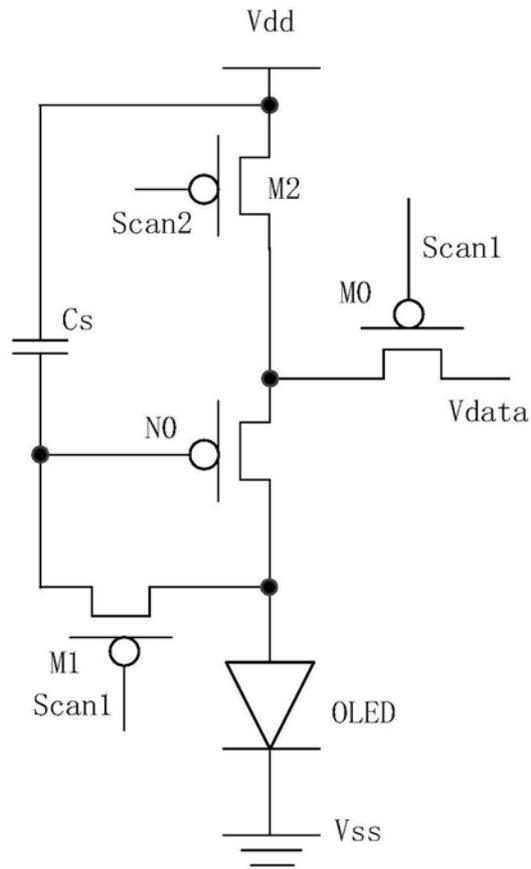


图1

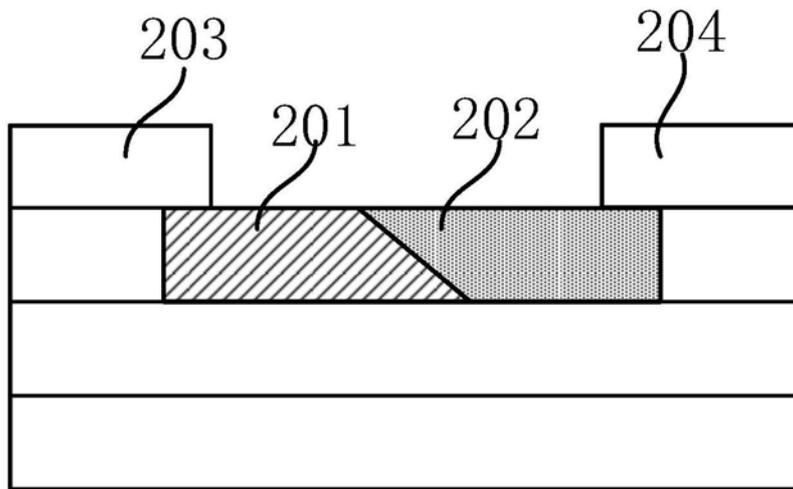


图2

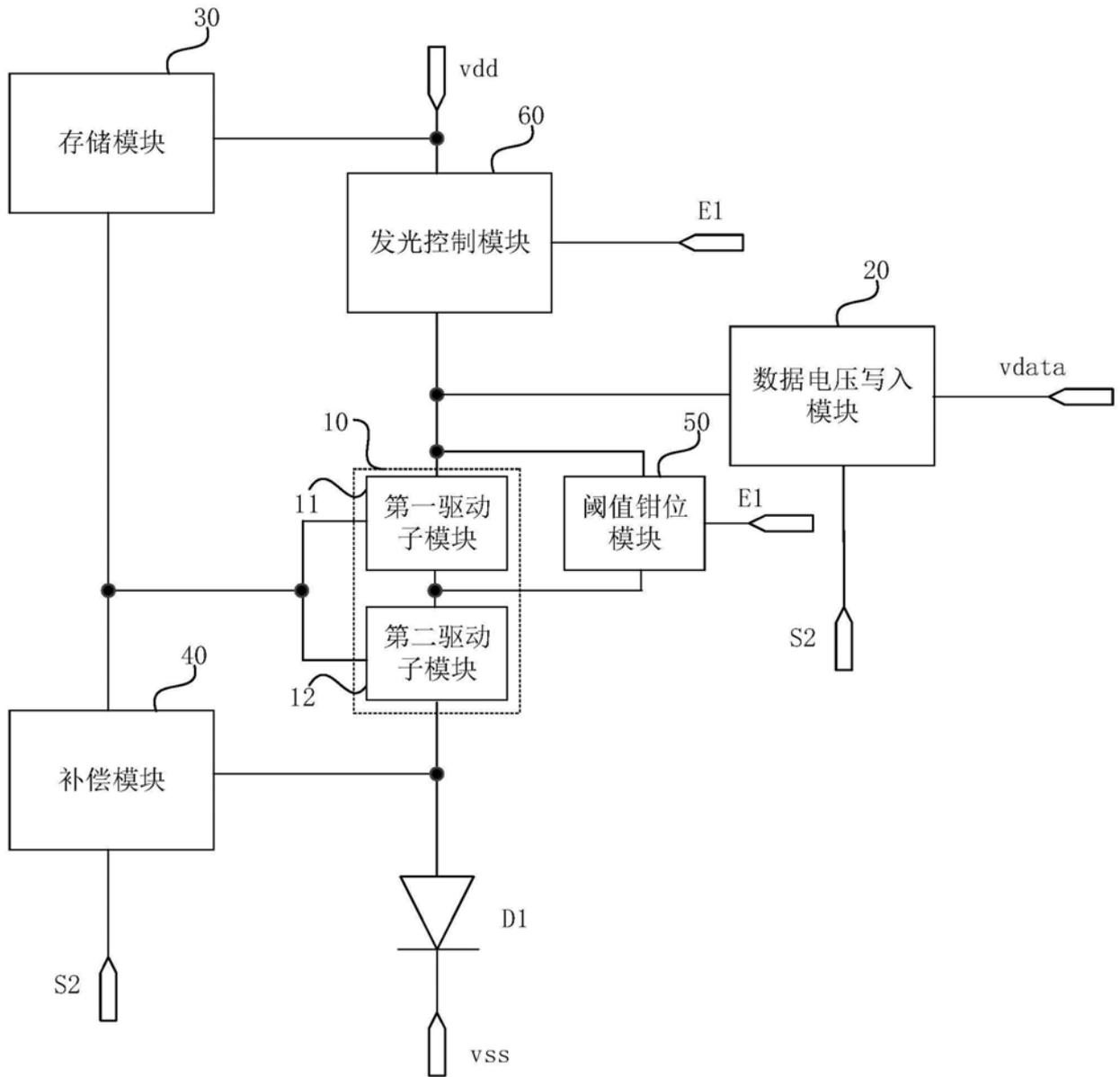


图3

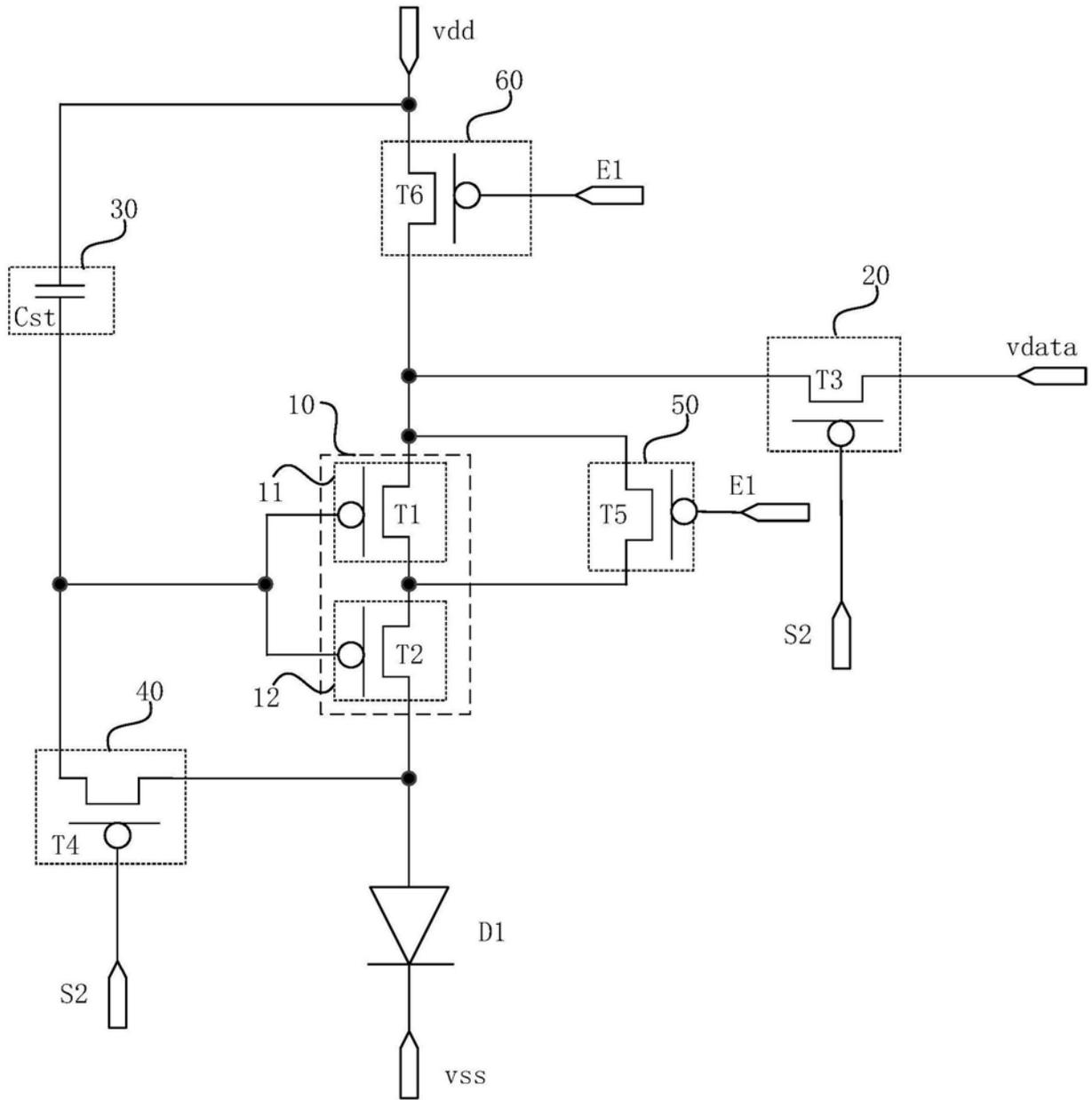


图4

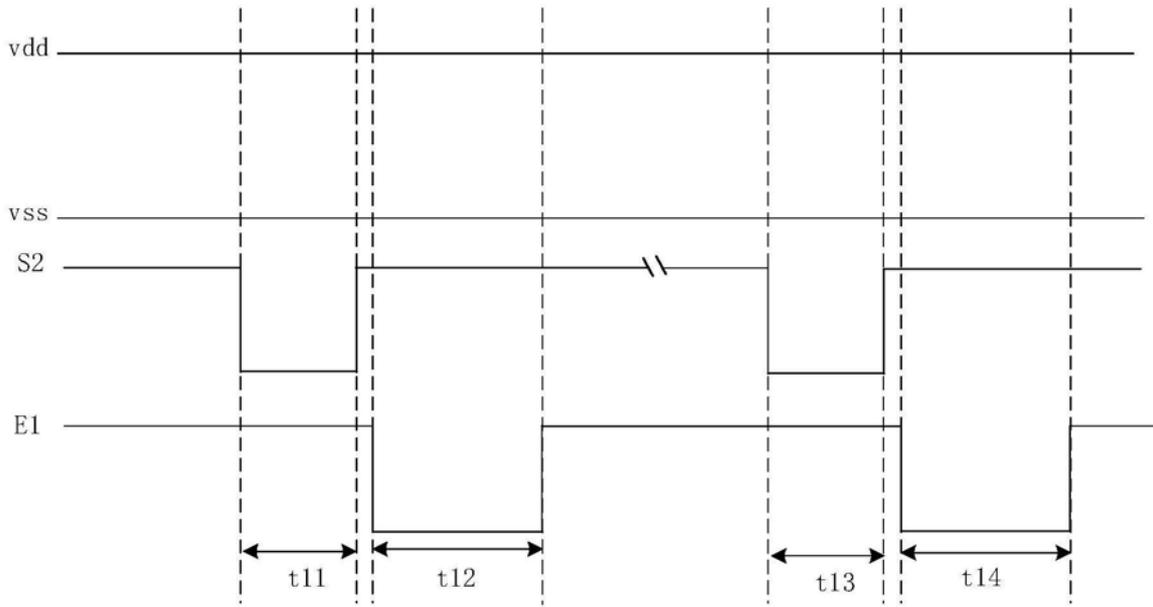


图5

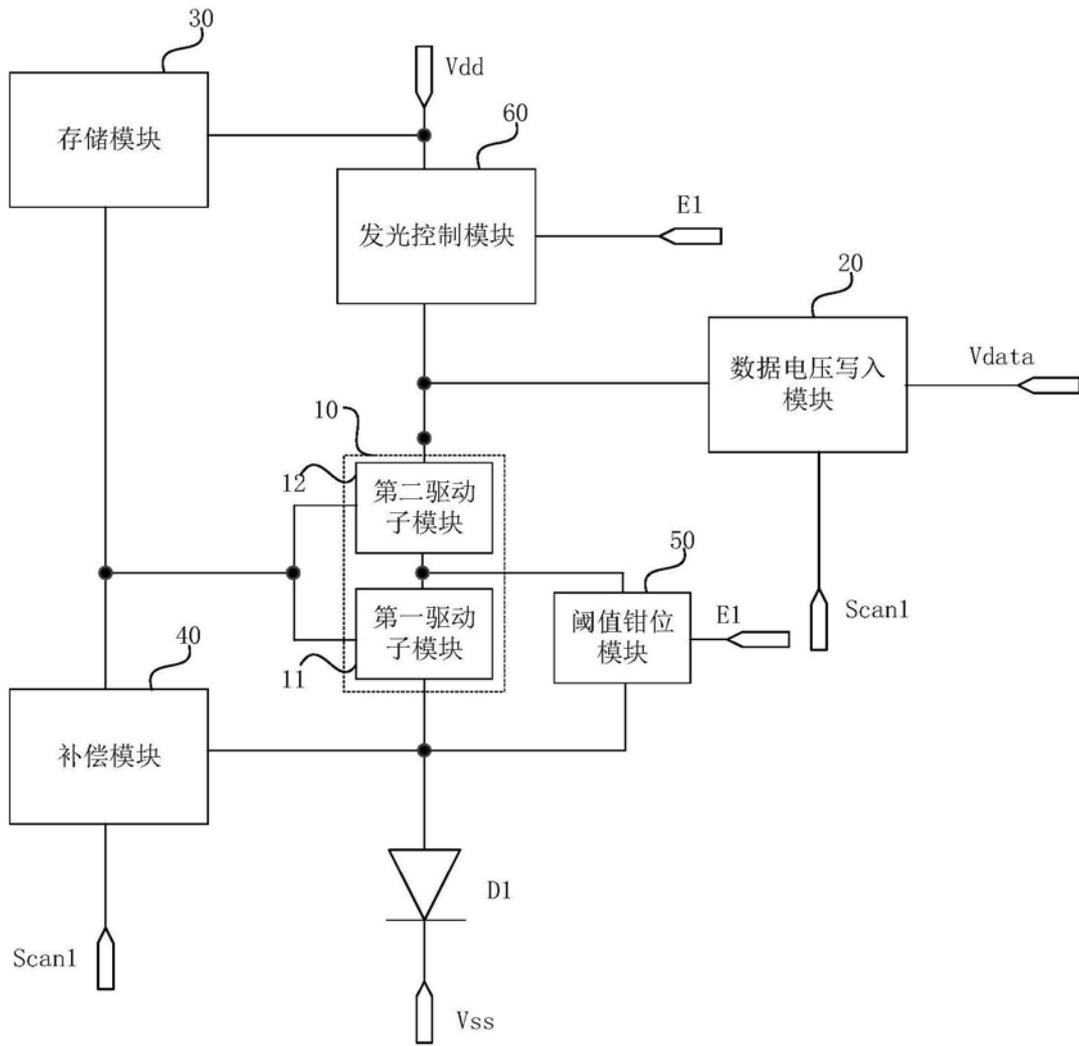


图6

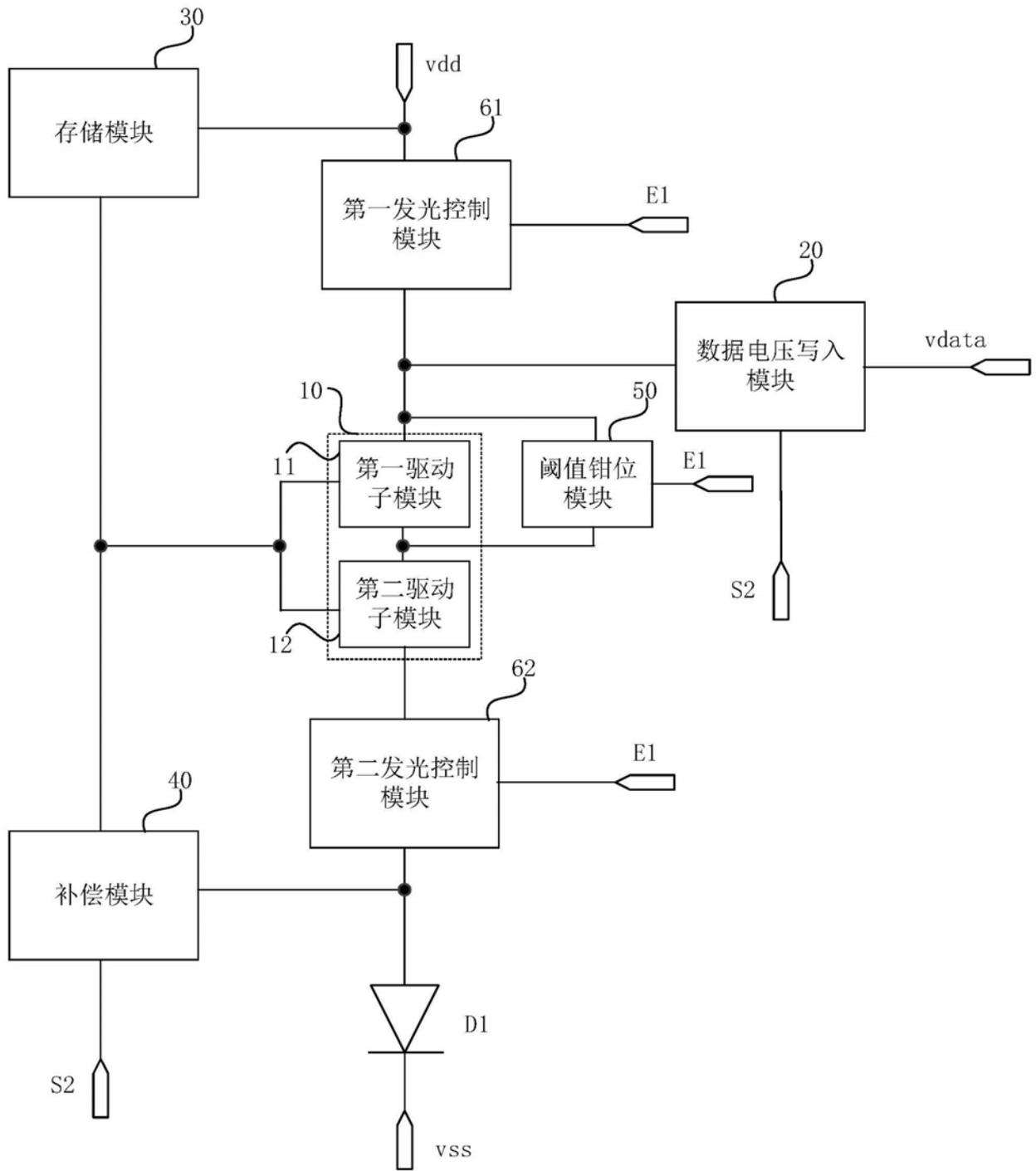


图7

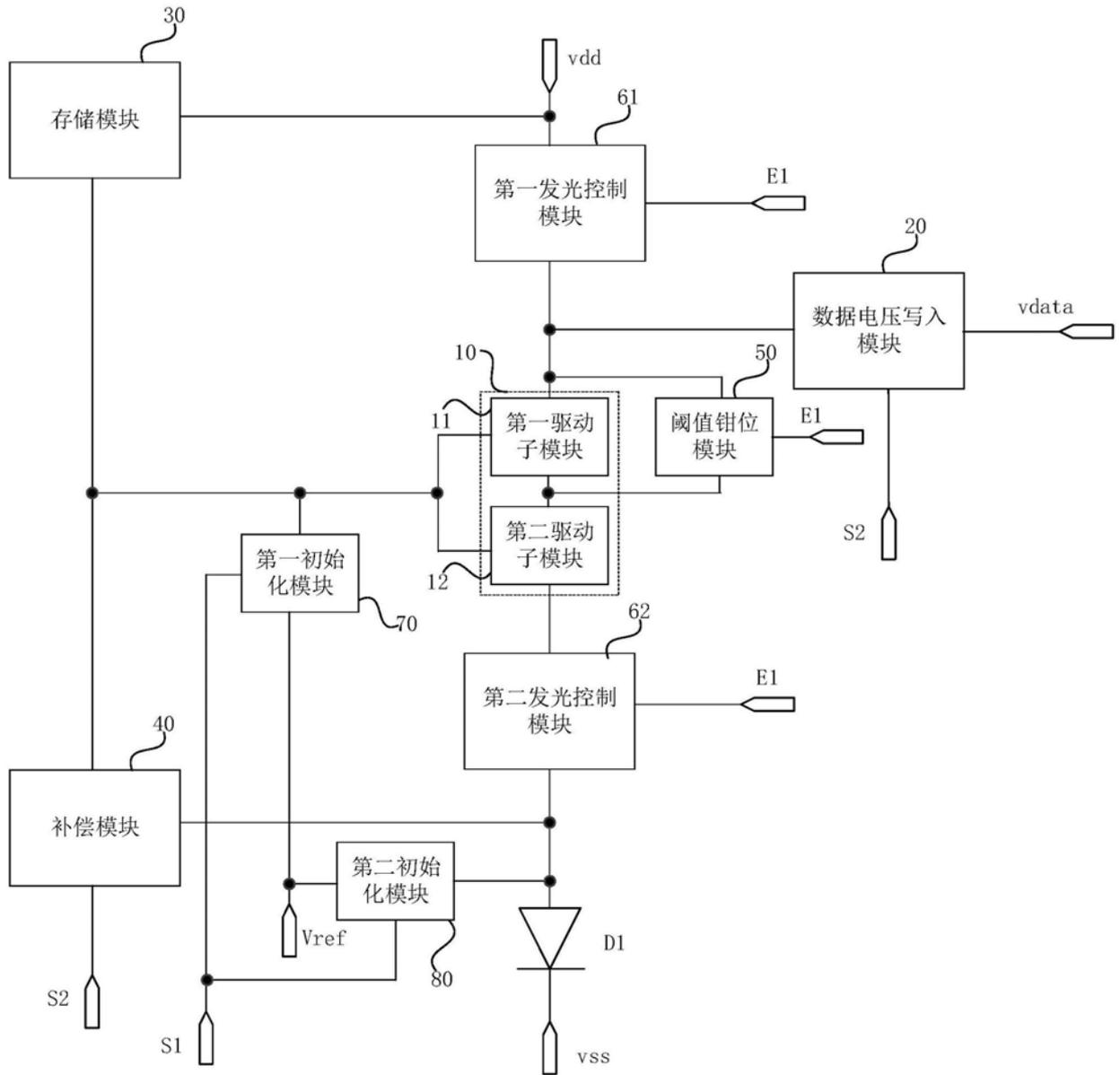


图8



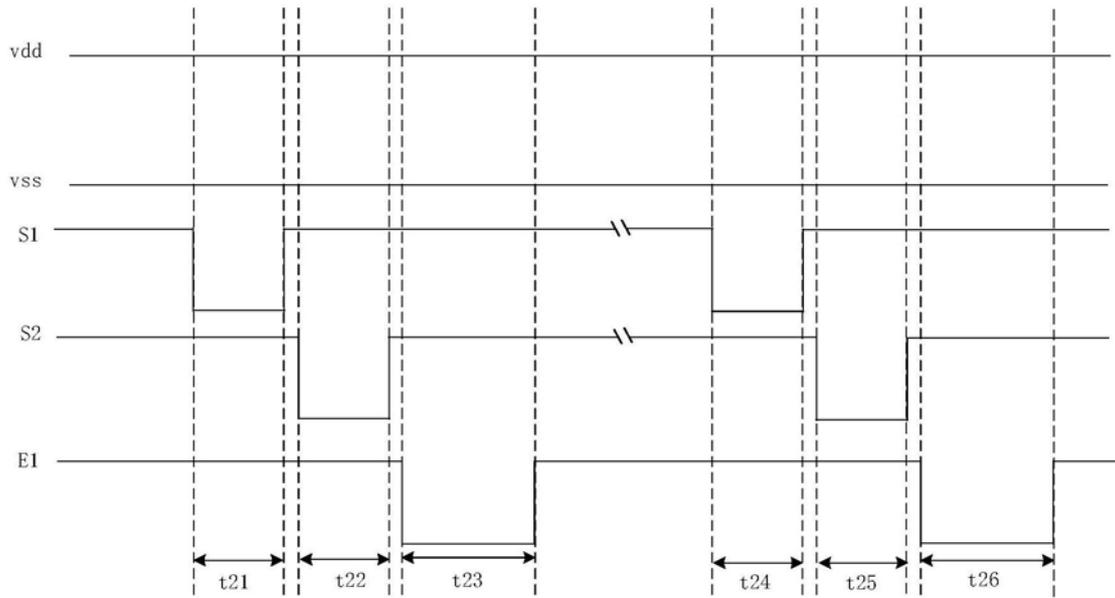


图10

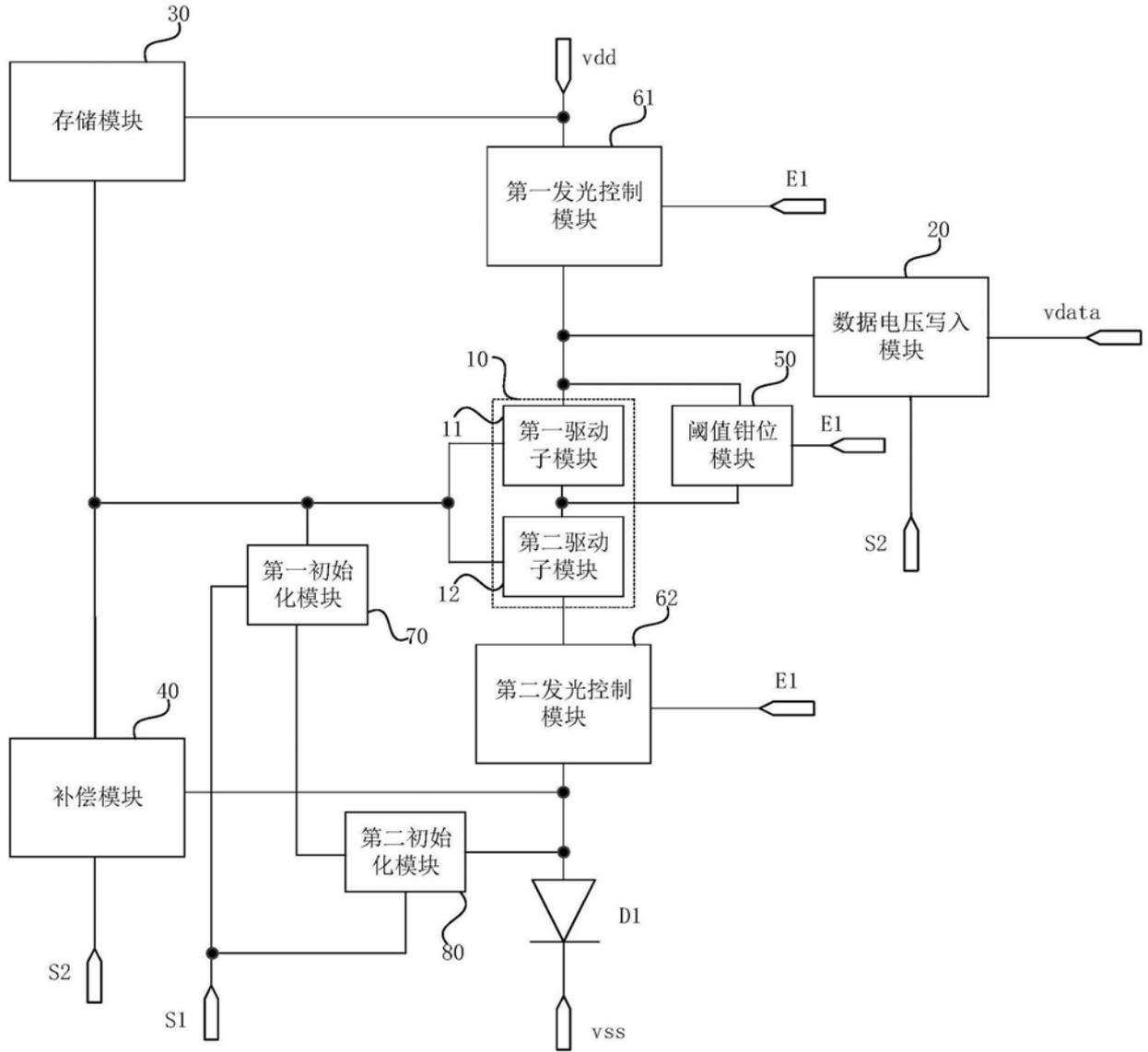


图11

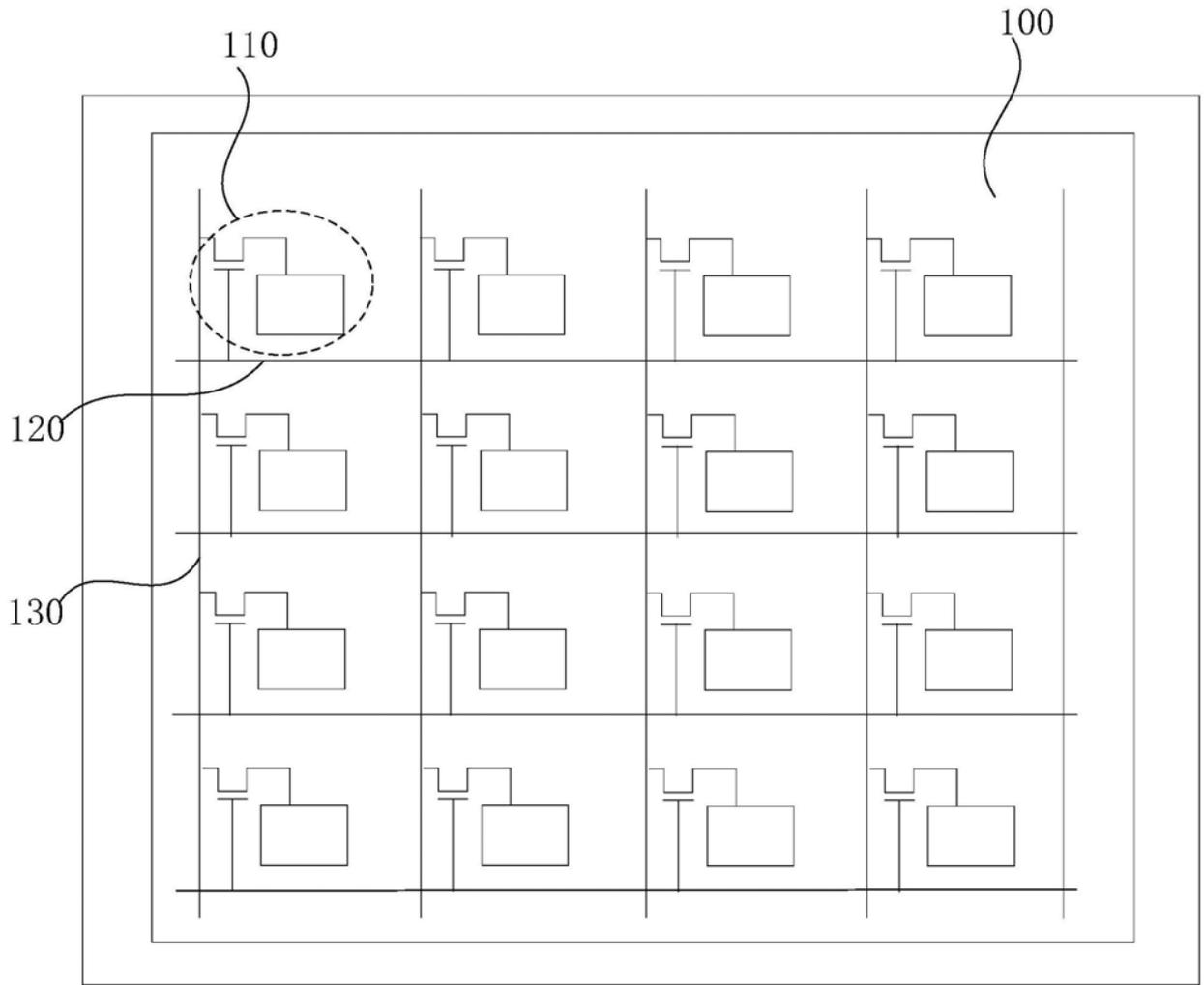


图12

专利名称(译)	像素驱动电路和显示面板		
公开(公告)号	<a href="#">CN110992895A</a>	公开(公告)日	2020-04-10
申请号	CN201911360692.X	申请日	2019-12-25
[标]申请(专利权)人(译)	昆山国显光电有限公司		
申请(专利权)人(译)	昆山国显光电有限公司		
当前申请(专利权)人(译)	昆山国显光电有限公司		
[标]发明人	王东平 张元波 张露 胡思明 韩珍珍		
发明人	王东平 张元波 张露 胡思明 韩珍珍		
IPC分类号	G09G3/3233 G09G3/3266		
CPC分类号	G09G3/3233 G09G3/3266 G09G2320/0233		
代理人(译)	范坤坤		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开了一种像素驱动电路和显示面板。该像素驱动电路驱动模块，用于在发光阶段向有机发光元件提供驱动电流，有机发光元件响应驱动电流发光，驱动模块包括串联的第一驱动子模块和第二驱动子模块；数据写入模块，用于在数据写入阶段将数据信号写入第一驱动子模块的控制端以及第二驱动子模块的控制端；存储模块，用于维持第一驱动子模块的控制端以及第二驱动子模块的控制端的电位；补偿模块，用于在数据写入阶段将第一驱动子模块的阈值电压写入第一驱动子模块的控制端以及第二驱动子模块的控制端；阈值钳位模块，用于在发光阶段传输驱动电流。提高了显示面板发光的均一性。

