



(12)发明专利申请

(10)申请公布号 CN 110189708 A

(43)申请公布日 2019.08.30

(21)申请号 201910562379.8

(22)申请日 2019.06.26

(71)申请人 云谷(固安)科技有限公司

地址 065500 河北省廊坊市固安县新兴产业示范区

(72)发明人 胡祖权 孙增标

(74)专利代理机构 北京远智汇知识产权代理有限公司 11659

代理人 张海英

(51)Int.Cl.

G09G 3/3258(2016.01)

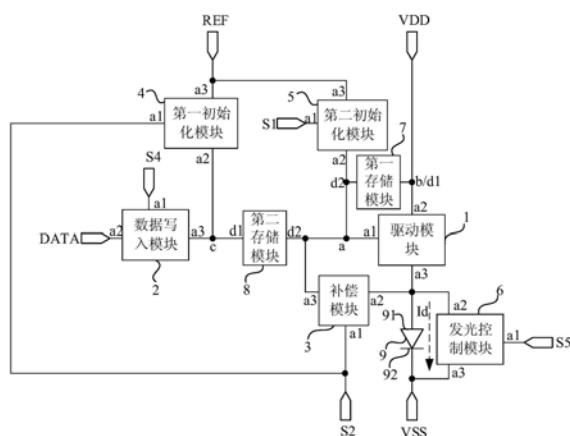
权利要求书1页 说明书7页 附图7页

(54)发明名称

像素驱动电路及显示装置

(57)摘要

本发明公开了一种像素驱动电路及显示装置，像素驱动电路包括驱动模块、数据写入模块、补偿模块和第一存储模块，驱动模块用于向有机发光结构提供驱动电流，有机发光结构响应驱动电流发光，驱动模块包括驱动晶体管，数据写入模块用于在数据写入阶段将数据信号写入驱动模块的控制端，数据信号耦合至驱动模块的控制端；第一存储模块用于维持驱动模块的控制端在发光阶段的电压，补偿模块用于在补偿阶段将驱动晶体管的阈值电压以及第一电源信号的电源电压抓取至驱动模块的控制端。通过本发明的技术方案，在实现了像素驱动电路的正常驱动功能的同时，有效提高了显示装置的显示均匀性。



1. 一种像素驱动电路,其特征在于,包括:

驱动模块,所述驱动模块用于向有机发光结构提供驱动电流,所述有机发光结构响应所述驱动电流发光,所述驱动模块包括驱动晶体管;

数据写入模块,所述数据写入模块用于在数据写入阶段将数据信号写入所述驱动模块的控制端;其中,所述数据信号耦合至所述驱动模块的控制端;

补偿模块,所述补偿模块用于在补偿阶段将所述驱动晶体管的阈值电压以及第一电源信号的电源电压抓取至所述驱动模块的控制端;

第一存储模块,所述第一存储模块用于维持所述驱动模块的控制端在发光阶段的电压。

2. 根据权利要求1所述的像素驱动电路,其特征在于,还包括:

第二存储模块,所述第二存储模块用于在数据写入阶段将所述数据信号耦合至所述驱动模块的控制端。

3. 根据权利要求2所述的像素驱动电路,其特征在于,所述数据写入模块的第一端接入所述数据信号,所述数据写入模块的第二端与所述第二存储模块的第一端电连接,所述第二存储模块的第二端与所述驱动模块的控制端电连接;

所述第一存储模块的第一端接入所述第一电源信号,所述第一存储模块的第二端与所述驱动模块的控制端电连接。

4. 根据权利要求2或3所述的像素驱动电路,其特征在于,还包括:

第一初始化模块,所述第一初始化模块用于在所述数据写入阶段之前对所述第二存储模块接收所述数据信号的一端的进行电位初始化。

5. 根据权利要求4所述的像素驱动电路,其特征在于,所述第一初始化模块的控制端与所述补偿模块的控制端短接。

6. 根据权利要求1所述的像素驱动电路,其特征在于,还包括:

第二初始化模块,所述第二初始化模块用于在初始化阶段对所述驱动模块的控制端进行电位初始化。

7. 根据权利要求1所述的像素驱动电路,其特征在于,还包括:

发光控制模块,所述发光控制模块用于在所述发光阶段之前控制所述有机发光结构不发光。

8. 根据权利要求7所述的像素驱动电路,其特征在于,所述发光控制模块的第一端与所述有机发光结构的第一电极电连接,所述发光控制模块的第二端与所述有机发光结构的第二电极电连接。

9. 根据权利要求1所述的像素驱动电路,其特征在于,所述补偿模块的第一端与所述驱动模块的第二端电连接,所述补偿模块的第二端与所述驱动模块的控制端电连接。

10. 一种显示装置,其特征在于,包括如权利要求1-9任一项所述的像素驱动电路。

## 像素驱动电路及显示装置

### 技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及一种像素驱动电路及显示装置。

### 背景技术

[0002] 有机发光显示装置一般包含有若干个像素,每个像素包括像素驱动电路和有机发光结构,像素驱动电路向有机发光结构提供驱动电流,有机发光结构响应像素驱动电路提供的驱动电流发光,有机发光显示装置实现显示。

[0003] 随着显示装置尺寸的增加,电源信号线的IR Drop(压降)越来越严重,电源信号线上传输的电源信号的均匀性较差,进而导致显示装置的显示均匀性差。

### 发明内容

[0004] 本发明提供一种像素驱动电路及显示装置,在实现了像素驱动电路的正常驱动功能的同时,有效提高了显示装置的显示均匀性。

[0005] 第一方面,本发明实施例提供了一种像素驱动电路,包括:

[0006] 驱动模块,所述驱动模块用于向有机发光结构提供驱动电流,所述有机发光结构响应所述驱动电流发光,所述驱动模块包括驱动晶体管;

[0007] 数据写入模块,所述数据写入模块用于在数据写入阶段将数据信号写入所述驱动模块的控制端;其中,所述数据信号耦合至所述驱动模块的控制端;

[0008] 补偿模块,所述补偿模块用于在补偿阶段将所述驱动晶体管的阈值电压以及第一电源信号的电源电压抓取至所述驱动模块的控制端;

[0009] 第一存储模块,所述第一存储模块用于维持所述驱动模块的控制端在发光阶段的电压。

[0010] 进一步地,所述像素驱动电路还包括:

[0011] 第二存储模块,所述第二存储模块用于在数据写入阶段将所述数据信号耦合至所述驱动模块的控制端。

[0012] 进一步地,所述数据写入模块的第一端接入所述数据信号,所述数据写入模块的第二端与所述第二存储模块的第一端电连接,所述第二存储模块的第二端与所述驱动模块的控制端电连接;

[0013] 所述第一存储模块的第一端接入所述第一电源信号,所述第一存储模块的第二端与所述驱动模块的控制端电连接。

[0014] 进一步地,所述像素驱动电路还包括:

[0015] 第一初始化模块,所述第一初始化模块用于在所述数据写入阶段之前对所述第二存储模块接收所述数据信号的一端进行电位初始化。

[0016] 进一步地,所述第一初始化模块的控制端与所述补偿模块的控制端短接。

[0017] 进一步地,所述像素驱动电路还包括:

[0018] 第二初始化模块,所述第二初始化模块用于在初始化阶段对所述驱动模块的控制

端进行电位初始化。

[0019] 进一步地,所述像素驱动电路还包括:

[0020] 发光控制模块,所述发光控制模块用于在所述发光阶段之前控制所述有机发光结构不发光。

[0021] 进一步地,所述发光控制模块的第一端与所述有机发光结构的第一电极电连接,所述发光控制模块的第二端与所述有机发光结构的第二电极电连接。

[0022] 进一步地,所述补偿模块的第一端与所述驱动模块的第二端电连接,所述补偿模块的第二端与所述驱动模块的控制端电连接。

[0023] 第二方面,本发明实施例还提供了一种显示装置,显示装置包括如第一方面的像素驱动电路。

[0024] 本发明实施例提供了一种像素驱动电路及显示装置,设置像素驱动电路包括驱动模块、数据写入模块、补偿模块和第一存储模块,驱动模块用于向有机发光结构提供驱动电流,有机发光结构响应驱动电流发光,驱动模块包括驱动晶体管,数据写入模块用于在数据写入阶段将数据信号写入驱动模块的控制端,数据信号耦合至驱动模块的控制端,第一存储模块用于维持驱动模块的控制端在发光阶段的电压,补偿模块用于在补偿阶段将驱动晶体管的阈值电压以及第一电源信号的电源电压抓取至驱动模块的控制端,使得流经有机发光结构的驱动电流与第一电源信号的电源电压以及驱动晶体管的阈值电压均无关,有效提高了显示装置的显示均匀性。

## 附图说明

[0025] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本申请的其它特征、目的和优点将会变得更明显:

[0026] 图1为本发明实施例提供的一种像素驱动电路的结构示意图;

[0027] 图2为本发明实施例提供的一种像素驱动电路的具体电路结构示意图;

[0028] 图3为图2所示结构的像素驱动电路的驱动时序图;

[0029] 图4为本发明实施例提供的另一种像素驱动电路的具体电路结构示意图;

[0030] 图5为图4所示结构的像素驱动电路的驱动时序图;

[0031] 图6为本发明实施例提供的一种显示装置的结构示意图;

[0032] 图7为本发明实施例提供的一种显示装置的结构示意图。

## 具体实施方式

[0033] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是,此处所描述的具体实施例仅仅用于解释本发明,而非对本发明的限定。另外还需要说明的是,为了便于描述,附图中仅示出了与本发明相关的部分而非全部结构。贯穿本说明书中,相同或相似的附图标号代表相同或相似的结构、元件或流程。需要说明的是,在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0034] 本发明实施例提供了一种像素驱动电路,包括驱动模块、数据写入模块、补偿模块和第一存储模块,驱动模块用于向有机发光结构提供驱动电流,有机发光结构响应驱动电流发光,驱动模块包括驱动晶体管,数据写入模块用于在数据写入阶段将数据信号写入驱

动模块的控制端,数据信号耦合至驱动模块的控制端,第一存储模块用于维持驱动模块的控制端在发光阶段的电压,补偿模块用于在补偿阶段将驱动晶体管的阈值电压以及第一电源信号的电源电压抓取至驱动模块的控制端。

[0035] 有机发光显示装置一般包含有若干个像素,每个像素包括像素驱动电路和有机发光结构,像素驱动电路向有机发光结构提供驱动电流,有机发光结构响应像素驱动电路提供的驱动电流发光,有机发光显示装置实现显示。随着显示装置尺寸的增加,显示装置中用于向各像素提供电源信号的电源信号线的长度逐渐增加,电源信号线的线阻逐渐增加,进而导致电源信号线的IR Drop(压降)严重,电源信号线上传输的电源信号的均匀性较差,而电源信号线上传输的电源信号的大小又直接影响有机发光结构的发光亮度,进而导致显示装置的显示均匀性差。

[0036] 本发明实施例使得流经有机发光结构的驱动电流与第一电源信号的电源电压无关,避免了第一电源信号线上的压降导致不同像素接收到的第一电源信号的电源电压的差异较大,第一电源信号线上第一电源信号不均匀导致的显示装置中有机发光结构亮度差异大,显示装置显示均匀性差的问题,且使得流经有机发光结构的驱动电流与驱动晶体管的阈值电压无关,避免了驱动晶体管阈值电压的漂移对显示装置显示均匀性的影响,在实现了像素驱动电路正常驱动功能的同时,有效提高了显示装置的显示均匀性。

[0037] 以上是本发明的核心思想,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下,所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 图1为本发明实施例提供的一种像素驱动电路的结构示意图,图2为本发明实施例提供的一种像素驱动电路的具体电路结构示意图。结合图1和图2,像素驱动电路包括驱动模块1、数据写入模块2、补偿模块3和第一存储模块7,驱动模块1用于向有机发光结构9提供驱动电流Id,有机发光结构9响应驱动电流Id发光,驱动模块1包括驱动晶体管T1,数据写入模块2用于在数据写入阶段将数据信号DATA写入驱动模块1的控制端a1,数据信号DATA耦合至驱动模块1的控制端a1,第一存储模块7用于维持驱动模块1的控制端a1在发光阶段的电压,补偿模块3用于在补偿阶段将驱动晶体管T1的阈值电压Vth以及第一电源信号VDD的电源电压Vdd抓取至驱动模块1的控制端a1。

[0039] 具体地,结合图1和图2,补偿模块3能够在补偿阶段将驱动晶体管T1的的阈值电压Vth抓取至驱动模块1的控制端a1,有利于使得在发光阶段流经有机发光结构9的驱动电流Id与驱动晶体管T1的阈值电压Vth无关,有效避免驱动晶体管T1阈值电压Vth漂移引起的显示不均匀的问题,且补偿模块3能够在补偿阶段将第一电源信号VDD的电源电压Vdd抓取至驱动模块1的控制端a1,有利于使得在发光阶段流经有机发光结构9的驱动电流Id与第一电源信号VDD的电源电压Vdd无关,有效避免第一电源信号线上压降导致第一电源信号线上第一电源信号VDD均匀性差,进而引起的显示不均匀的问题,这样在像素驱动电路实现正常驱动功能的同时,有效提高了显示装置的显示均匀性。

[0040] 可选地,结合图1和图2,像素驱动电路还可以包括第二存储模块8,第二存储模块8用于在数据写入阶段将数据信号DATA耦合至驱动模块1的控制端a1,即数据信号DATA耦合至驱动模块1的控制端a1,可以设置数据写入模块2的第一端a2接入数据信号DATA,数据写入模块2的第二端a3与第二存储模块8的第一端d1电连接,第二存储模块8的第二端d2与驱

动模块1的控制端a1电连接,第一存储模块7的第一端d1接入第一电源信号VDD,第一存储模块7的第二端d2与驱动模块1的控制端a1电连接。

[0041] 具体地,结合图1和图2,第一存储模块7和第二存储模块8均可以由电容结构构成,第二存储模块8在数据写入阶段将数据信号DATA耦合至驱动模块1的控制端a1,通过对数据信号DATA的调节实现对驱动晶体管T1产生的驱动电流Id的调节,进而实现根据数据信号DATA对有机发光结构9发光亮度进行调节,且有电容结构构成的第一存储模块7和第二存储模块8均可以维持驱动模块1的控制端a1,即驱动晶体管T1的栅极b1在发光阶段的电压,提高驱动模块1的控制端a1电压在发光阶段的稳定性,优化显示装置的显示效果。

[0042] 可选地,结合图1和图2,像素驱动电路还可以包括第一初始化模块4,第一初始化模块4用于在数据写入阶段之前对第二存储模块8接收数据信号DATA的一端的进行电位初始化。

[0043] 具体地,结合图1和图2,可以设置第一初始化模块4的第二端a3接入参考信号REF,第一初始化模块4的第一端a2与第二存储模块8的第一端d1电连接,设置第一初始化模块4在数据写入阶段之间将参考信号REF写入第二存储模块8的第一端d1,即对第二存储模块8的第一端d1进行电位初始化,有效避免了前一帧显示画面对应的第二存储模块8的第一端d1电位影响后一帧显示画面对应的第二存储模块8的第一端d1电位,进而避免前一帧显示画面对应的第二存储模块8的第一端d1电位,由于第二存储模块8的耦合作用,影响后一帧显示画面对应的第二存储模块8的第二端d2,即驱动模块1的控制端a1电位,影响有机发光结构9的发光亮度,优化了显示装置的显示效果。

[0044] 另外,设置第一初始化模块4在数据写入阶段之间将参考信号REF写入第二存储模块8的第一端d1,数据写入模块2在数据写入阶段将数据信号DATA写入第二存储模块8的第一端d1,这样利用第二存储模块8的耦合作用,实现了将数据信号DATA耦合至驱动模块1的控制端a1,进而实现了有机发光结构9亮度的调节。

[0045] 可选地,结合图1和图2,可以设置第一初始化模块4的控制端a1与补偿模块3的控制端a1短接,第一初始化模块4需要在数据写入阶段之前将参考信号REF写入第二存储模块8的第一端d1,可以设置第一初始化模块4在数据写入阶段之前的补偿阶段对第二存储模块8的第一端d1进行电位初始化,补偿模块3同样在补偿阶段实现补偿功能,这样,设置第一初始化模块4的控制端a1与补偿模块3的控制端a1短接,在实现了像素驱动电路的正常驱动功能的同时,有利于减少与像素驱动电路电连接的信号线的数量,有利于显示装置窄边框的实现。

[0046] 可选地,结合图1和图2,像素驱动电路还可以包括第二初始化模块5,第二初始化模块5用于在初始化阶段对驱动模块1的控制端a1进行电位初始化。具体地,结合图1和图2,可以设置第二初始化模块5的第二端a3接入参考信号REF,第二初始化模块5的第一端a2与第二存储模块8的第二端d2,即与驱动模块1的控制端a1电连接,设置第二初始化模块5在初始化阶段对驱动模块1的控制端a1进行电位初始化,有效避免了前一帧显示画面对应的驱动模块1的控制端a1电位影响后一帧显示画面对应的驱动模块1的控制端a1电位,进而影响有机发光结构9的发光亮度的问题,优化了显示装置的显示效果。

[0047] 可选地,结合图1和图2,像素驱动电路还可以包括发光控制模块6,发光控制模块6用于在发光阶段之前控制有机发光结构9不发光,即在初始化阶段、补偿阶段以及数据写入

阶段控制有机发光结构9不发光,有效避免有机发光结构9在非发光阶段漏光的问题。

[0048] 可选地,结合图1和图2,可以设置发光控制模块6的第一端a2与有机发光结构9的第一电极91电连接,发光控制模块6的第二端a3与有机发光结构9的第二电极92电连接,在发光阶段之前,即在初始化阶段、补偿阶段以及数据写入阶段控制发光控制模块6导通,发光控制模块6将有机发光结构9短路,使得驱动模块1至有机发光结构9无法形成电流通路,即驱动模块1产生的驱动电流Id无法传输至有机发光结构9,有机发光结构9不发光,有效避免了有机发光结构9在非发光阶段漏光的问题。

[0049] 可选地,结合图1和图2,可以设置补偿模块3的第二端a3与驱动模块1的控制端a1电连接,补偿模块3的第一端a2与驱动模块1的第二端a3电连接。示例性地,以驱动晶体管T1为P型晶体管为例,可以设置参考信号REF的电压小于驱动晶体管T1的阈值电压Vth,第二初始化模块5在初始化阶段将参考信号REF写入驱动模块1的控制端a1后,由于参考信号REF的电压Vref小于驱动晶体管T1的阈值电压Vth,使得驱动模块1在补偿阶段处于导通状态,进而使得像素驱动电路在补偿阶段实现将驱动晶体管T1的阈值电压Vth以及第一电源信号VDD的电源电压Vdd抓取至驱动模块1的控制端a1,避免驱动晶体管T1的阈值电压Vth以及第一电源信号VDD的电源电压Vdd影响显示装置的显示均匀性,提高了显示装置的显示均匀性。

[0050] 图3为图2所示结构的像素驱动电路的驱动时序图。示例性地,可以设置驱动模块1包括驱动晶体管T1,数据写入模块2包括数据写入晶体管T2,补偿模块3包括补偿晶体管T3,第一初始化模块4包括第一初始化晶体管T4,第二初始化模块5包括第二初始化晶体管T5,发光控制模块6包括发光控制晶体管T6,第一存储模块7包括第一存储电容C0,第二存储模块8包括第二存储电容Cst,图2示例性地设置晶体管T1至T6均为P型薄膜晶体管,也可以设置晶体管T1至T6均为N型薄膜晶体管,则驱动时序与图3所示驱动时序中各个信号的电平高低相反即可,下面结合图3对图2所示结构的像素驱动电路的动作原理进行具体说明:

[0051] 在t1(初始化)时段,第二初始化晶体管T5与发光控制晶体管T6各自对应的第一极b2与第二极b3之间连通,其余晶体管的第一极b2与第二极b3之间关断。

[0052] 在这种情况下,参考信号REF通过第二初始化晶体管T5传输至驱动晶体管T1的栅极b1,驱动晶体管T1的栅极b1被参考信号REF初始化,第一存储电容C0的第二极e2电位被初始化为Vref,发光控制晶体管T6导通,有机发光结构9被短路,有机发光结构9不发光。另外,为后续补偿阶段做准备,可以设置参考信号REF的电压Vref小于驱动晶体管T1的阈值电压Vth,以使得驱动晶体管T1在补偿阶段处于导通状态。

[0053] 在t2(补偿)时段,第一初始化晶体管T4、阈值补偿晶体管T3、发光控制晶体管T6以及驱动晶体管T1各自对应的第一极b2与第二极b3之间连通,其余晶体管的第一极b2与第二极b3之间关断。

[0054] 在这种情况下,由于初始化阶段写入驱动晶体管T1的栅极b1的参考信号REF的电压Vref小于驱动晶体管T1的阈值电压Vth,驱动晶体管T1导通,由于补偿晶体管T3导通,驱动晶体管T1的栅极b1和第二极b3,即源极短接在一起,驱动晶体管T1通过补偿晶体管T3等效成二极管且正向偏置,驱动晶体管T1处于充电状态,直至驱动晶体管T1的栅极b1,即第一存储电容C0的第二极e2的电位Va达到Vb+Vth,Va和Vb分别为节点a和节点b处的电压,充电截止,利用补偿晶体管T3实现了在补偿阶段对驱动晶体管T1的阈值电压Vth以及第一电源

信号VDD的电源电压Vdd,近似于Vb的抓取,此时考虑第一电源信号VDD的压降影响,Vb为差别于驱动芯片输出的第一电源信号VDD的电源电压Vdd的另一个确定的值,此时 $V_{ab}=V_a-V_b=V_{th}$ ,即第一存储电容C0存储的电压恰好是驱动晶体管T1的阈值电压Vth,此时,第二存储电容Cst两端的压差为 $V_{ac}=V_a-V_c=V_b+V_{th}-V_{ref}$ ,Vc分别为节点c和节点b处的电压。另外,发光控制晶体管T6导通,有机发光结构9被短路,有机发光结构9不发光。

[0055] 在t3(数据写入)时段,数据写入晶体管T2、驱动晶体管T1以及发光控制晶体管T6各自对应的第一极b2与第二极b3之间连通,其余晶体管的第一极b2与第二极b3之间关断。

[0056] 在这种情况下,发光控制晶体管T6导通,有机发光结构9被短路,有机发光结构9不发光。另外,由于第一初始化晶体管T4以及第二初始化晶体管T5均关断,第一存储电容C0以及第二存储电容Cst存储的电荷量保持不变,因第二存储电容Cst的第一极e1的电位变为数据信号DATA的电压Vdata,第二存储电容Cst的第二极e2,即驱动晶体管T1的栅极b1电位Va发生变化,此时假设a节点的电位变化为Vx,则存在以下电荷守恒方程:

$$[0057] V_{ab} \cdot c_0 + V_{ac} \cdot c_{st} = V_{ab'} \cdot c_0 + V_{ac'} \cdot c_{st}$$

[0058] 其中,c0为第一存储电容C0的电容值,cst为第二存储电容Cst的电容值, $V_{ab'} = V_a' - V_{b'}$ , $V_a'$ 等于Vx, $V_{b'}$ 为b节点变化后的电位, $V_{ac'} = V_a' - V_{c'}$ , $V_{c'}$ 为c节点变化后的电位,即有:

$$[0059] V_{th} \cdot c_0 + (V_b + V_{th} - V_{ref}) \cdot c_{st} = (V_x - V_b) \cdot c_0 + (V_x - V_{data}) \cdot c_{st}$$

[0060] 由上述方程可得:

$$[0061] V_x = (V_{th} + V_b) \cdot c_0 / (c_0 + c_{st}) + (V_b + V_{th} - V_{ref} + V_{data}) \cdot c_{st} / (c_0 + c_{st})$$

[0062] 由此可知,数据信号DATA通过第二存储电容Cst耦合至驱动晶体管T1的栅极b1,此时驱动晶体管T1的栅极b1与第一极b2,即源极之间的压差Vgs满足以下计算公式:

$$[0063] V_{gs} = V_x - V_b = (V_{data} - V_{ref}) \cdot c_{st} / (c_0 + c_{st}) + V_{th}$$

[0064] 在t4(发光)时段,驱动晶体管T1对应的第一极b2与第二极b3之间连通,其余晶体管的第一极b2与第二极b3之间关断。

[0065] 在这种情况下,数据写入晶体管T2关断,因此写入到第二存储电容Cst的第一极e1的电压维持为Vdata,此时第二初始化晶体管T5、阈值补偿晶体管T3以及第一初始化晶体管T4均关断,第一存储电容C0以及第二存储电容Cst均无放电路径,因此第一存储电容C0两端的压差保持,对于驱动晶体管T1,其栅源电压Vgs保持t3时段的值,即t4时段的Vgs满足乳腺公式:

$$[0066] V_{gs} = (V_{data} - V_{ref}) \cdot c_{st} / (c_0 + c_{st}) + V_{th}$$

[0067] 可以设置在t4时段,Vgs小于Vth且Vds小于Vgs与Vth的差值,即Vdata小于Vref,Vds小于 $(V_{data} - V_{ref}) \cdot c_{st} / (c_0 + c_{st})$ ,则驱动晶体管T1饱和开启,驱动晶体管T1产生的驱动电流Id满足如下计算公式:

$$[0068] Id = d \cdot (V_{gs} - V_{th})^2 = d \cdot (V_{data} - V_{ref})^2 \cdot \frac{c_{st}^2}{(c_0 + c_{st})^2}$$

[0069] 其中,d为常数,这样流经有机发光结构9的驱动电流Id与驱动晶体管T1的阈值电压Vth以及第一电源信号VDD的电源电压Vdd均无关,有效避免了驱动晶体管T1的阈值电压Vth漂移以及第一电源信号线的压降导致的显示均匀性差的问题,提高了显示装置的显示均匀性。

[0070] 图4为本发明实施例提供的另一种像素驱动电路的具体电路结构示意图,与图2所示结构的像素驱动电路不同的是,图4所示结构的像素驱动电路也可以设置第一初始化模块4的控制端a1与补偿模块3的控制端a1分别由不同的控制信号S3和S2控制,则图4所示结构的像素驱动电路可以采用图5所示的驱动时序进行驱动,结合图4和图5,也可以控制第一初始化模块4在初始化时段以及补偿时段均开启,具体工作过程与图2所示结构的像素驱动电路类似,这里不再赘述。

[0071] 需要说明的是,本发明实施例对像素驱动电路中晶体管的数量以及电容元件的数量不作具体限定,可以根据具体需求对像素驱动电路中晶体管的数量以及电容元件的数量进行选择。

[0072] 本发明实施例还提供的一种有显示装置,图6为本发明实施例提供的一种显示装置的结构示意图。如图6所示,包括上述实施例中的像素驱动电路,因此本发明实施例提供的显示装置也具备上述实施例中所描述的有益效果,此处不再赘述。示例性地,显示装置可以是有机发光显示装置,显示装置还可以包括多条扫描信号线D12、多条数据信号线D13、栅极驱动模块D121、源极驱动模块D131、驱动控制模块D101和电源供给模块D102,像素驱动电路D1设置于扫描信号线D12与数据信号线D13交叉设置形成的空间内,栅极驱动模块D121响应驱动控制模块D101产生的扫描驱动控制信号,通过扫面信号线D12向对应的像素驱动电路输入扫描信号,像素驱动电路D1在与之电连接的数据信号线D13的作用下,连通与之对应电连接的数据信号线D13,源极驱动模块D131响应驱动控制模块D101产生的数据驱动控制信号,通过数据信号线D13向对应的像素驱动电路D1输入数据信号,电源供给模块D102向像素驱动电路提供第一电源信号VDD和第二电源信号VSS,显示装置依此实现显示功能。示例性地,显示装置可以是有机发光显示装置,显示装置可以是手机,如图7所示,或者可以是电脑或可穿戴设备等电子设备,本发明实施例对显示装置的具体形式不作限定。

[0073] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

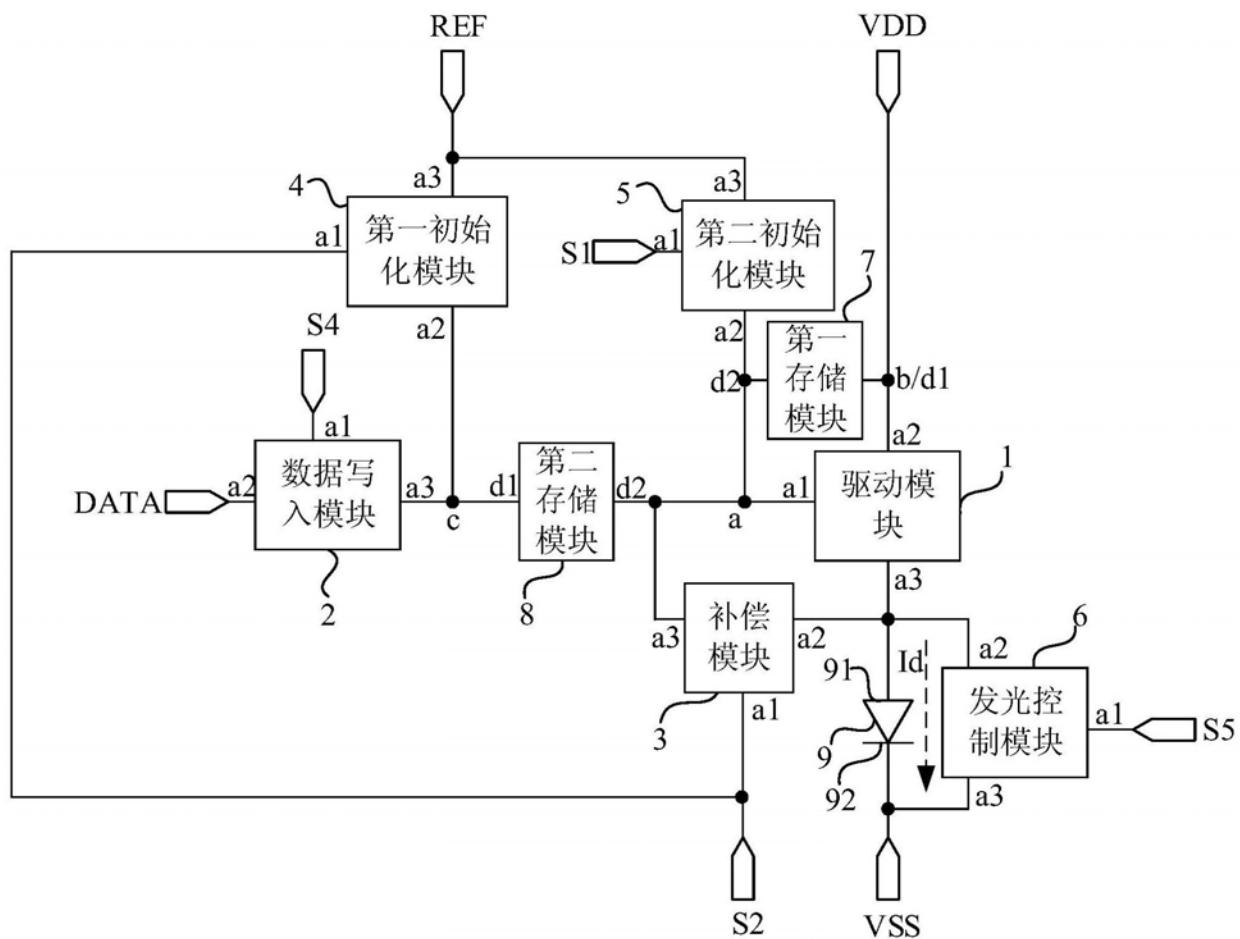


图1

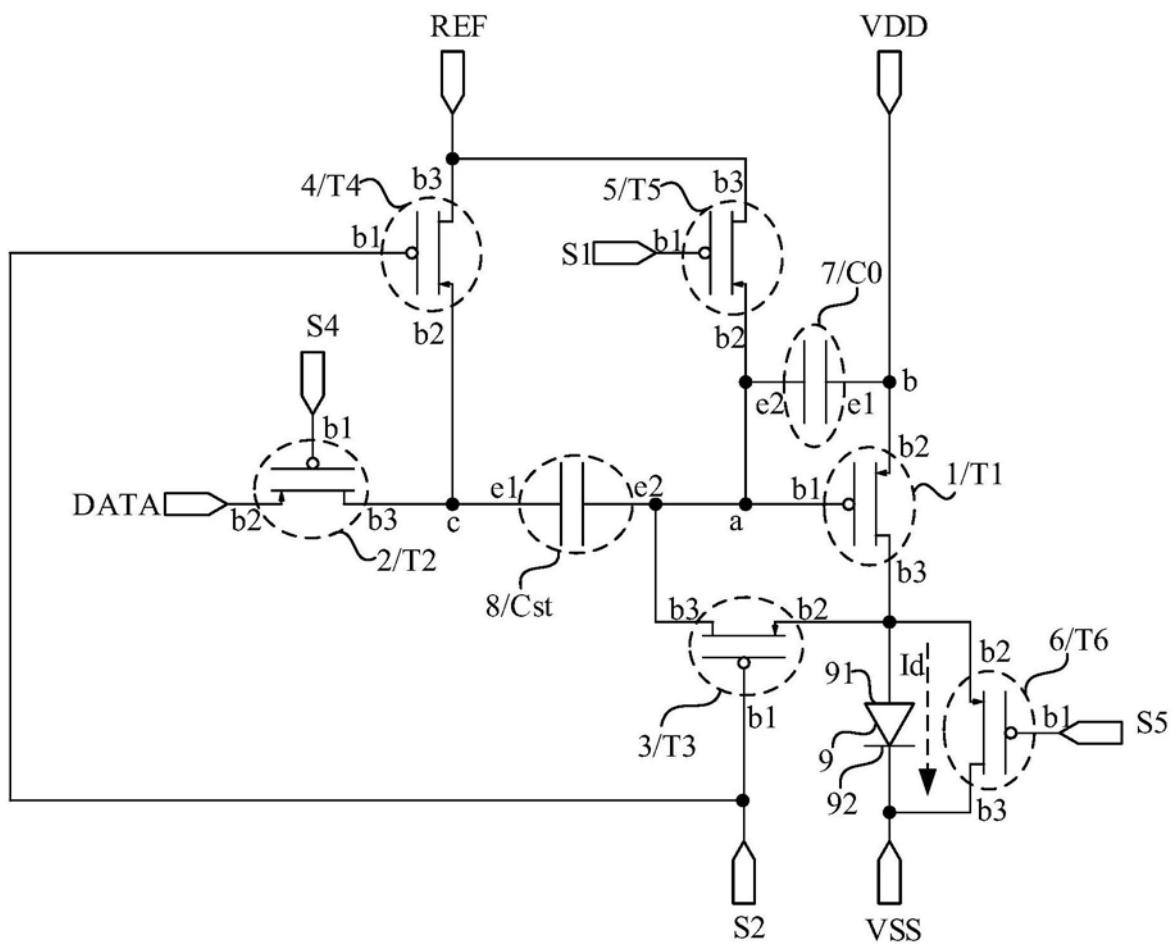


图2

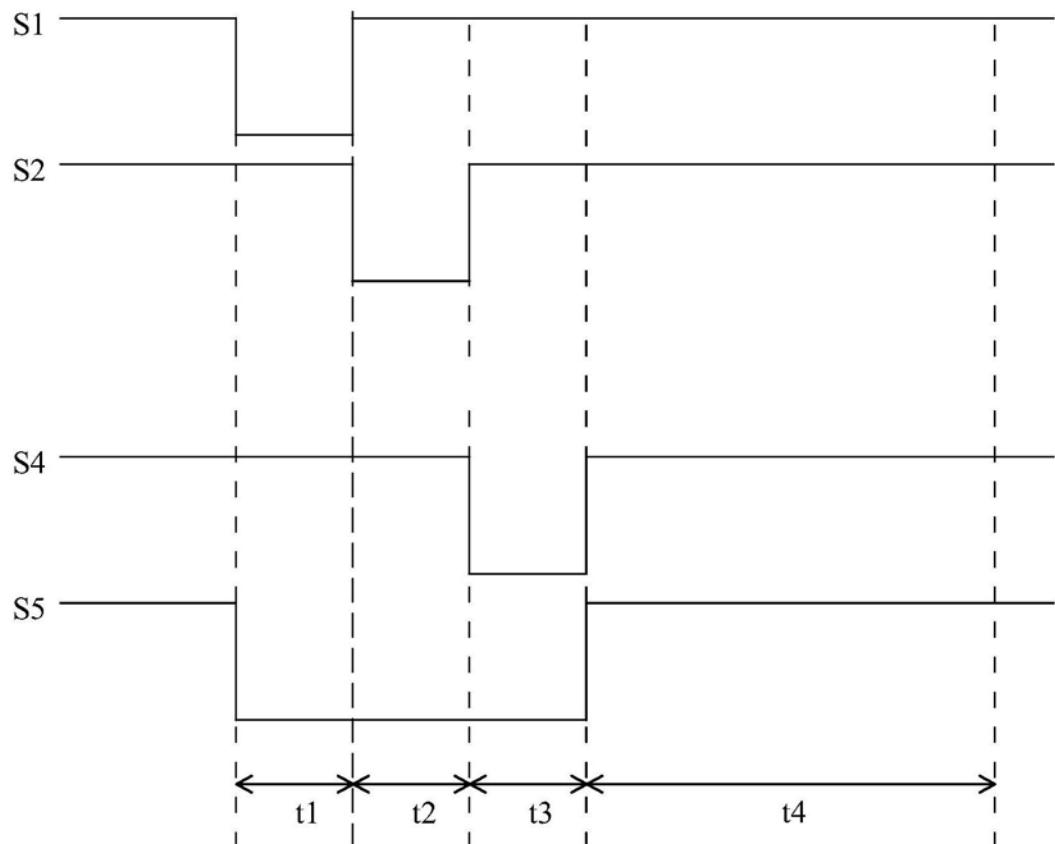


图3

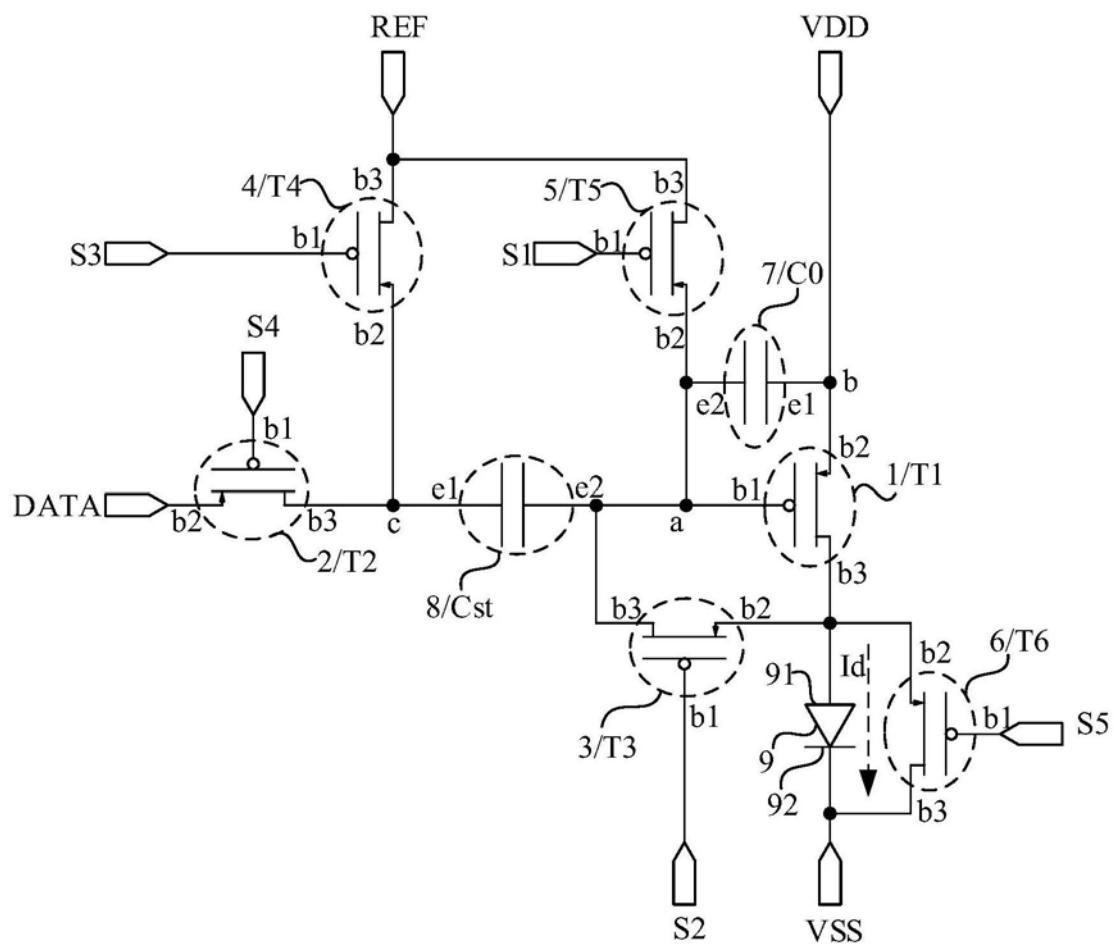


图4

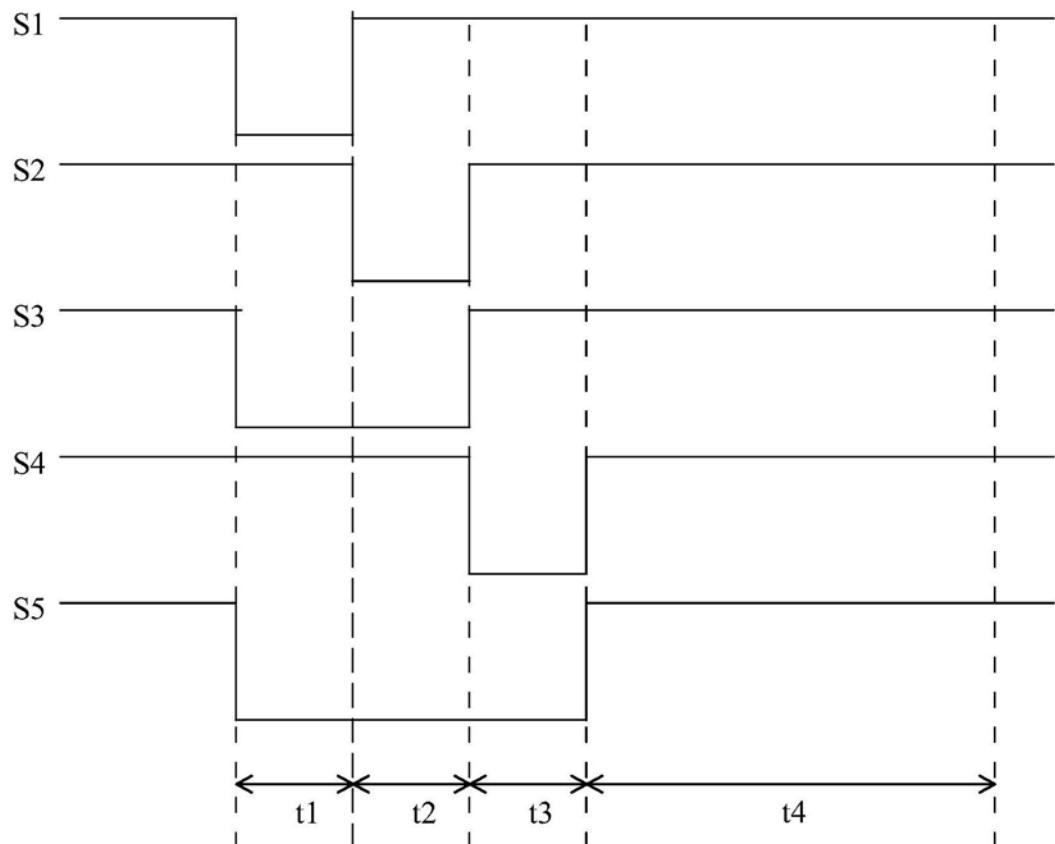


图5

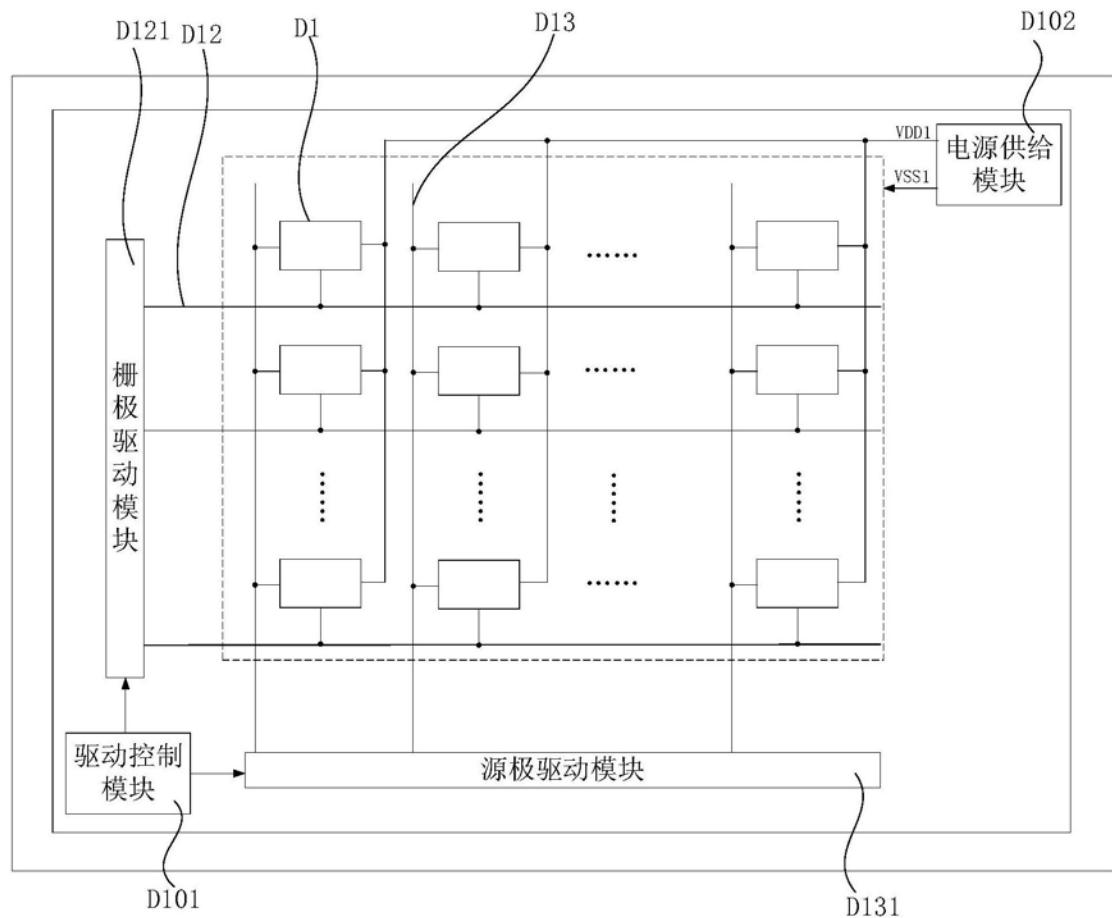


图6

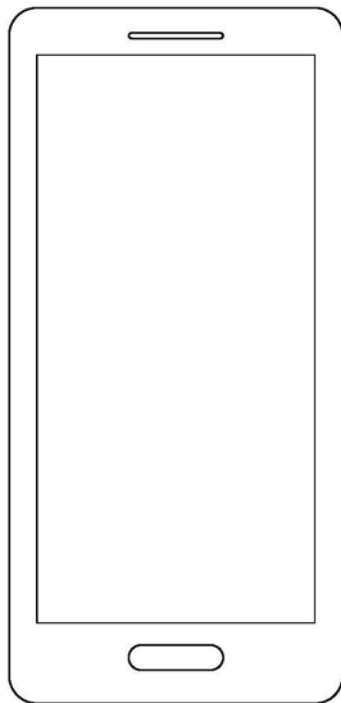


图7

专利名称(译)	像素驱动电路及显示装置		
公开(公告)号	<a href="#">CN110189708A</a>	公开(公告)日	2019-08-30
申请号	CN201910562379.8	申请日	2019-06-26
[标]发明人	胡祖权 孙增标		
发明人	胡祖权 孙增标		
IPC分类号	G09G3/3258		
CPC分类号	G09G3/3258 G09G2320/0233		
代理人(译)	张海英		
外部链接	<a href="#">Espacenet</a> <a href="#">Sipo</a>		

**摘要(译)**

本发明公开了一种像素驱动电路及显示装置，像素驱动电路包括驱动模块、数据写入模块、补偿模块和第一存储模块，驱动模块用于向有机发光结构提供驱动电流，有机发光结构响应驱动电流发光，驱动模块包括驱动晶体管，数据写入模块用于在数据写入阶段将数据信号写入驱动模块的控制端，数据信号耦合至驱动模块的控制端；第一存储模块用于维持驱动模块的控制端在发光阶段的电压，补偿模块用于在补偿阶段将驱动晶体管的阈值电压以及第一电源信号的电源电压抓取至驱动模块的控制端。通过本发明的技术方案，在实现了像素驱动电路的正常驱动功能的同时，有效提高了显示装置的显示均匀性。

