



(12)发明专利申请

(10)申请公布号 CN 111344774 A

(43)申请公布日 2020.06.26

(21)申请号 201880073566.3

(22)申请日 2018.11.14

(30)优先权数据

2017-223968 2017.11.21 JP

(85)PCT国际申请进入国家阶段日

2020.05.13

(86)PCT国际申请的申请数据

PCT/JP2018/042052 2018.11.14

(87)PCT国际申请的公布数据

W02019/102907 EN 2019.05.31

(71)申请人 索尼半导体解决方案公司

地址 日本神奈川

(72)发明人 坂口贡之 藤井拓磨

(74)专利代理机构 北京康信知识产权代理有限公司 11240

代理人 吴孟秋

(51)Int.Cl.

G09G 3/3233(2006.01)

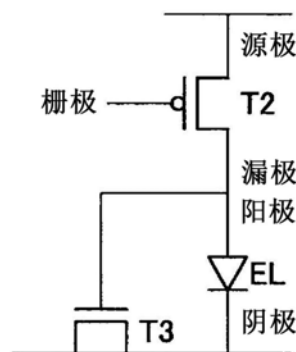
权利要求书2页 说明书11页 附图13页

(54)发明名称

像素电路、显示装置和电子设备

(57)摘要

提供一种像素电路,能够防止有机EL元件由于驱动晶体管的漏电流而导致的轻微发光。提供一种像素电路,包括:发光元件,以对应于电流量的亮度发光;第一电容,其是金属绝缘体金属(MIM)电容;以及第二电容,其是与发光元件并联设置的金属绝缘体半导体(MIS)电容。



1. 一种像素电路,包括:
发光元件,被配置为以与电流量对应的亮度发光;
第一电容,是金属绝缘体金属(MIM)电容;以及
第二电容,是与所述发光元件并联设置的金属绝缘体半导体(MIS)电容。
2. 根据权利要求1所述的像素电路,
其中,所述第二电容具有可变电容值。
3. 根据权利要求2所述的像素电路,
其中,所述第二电容具有的电容值在所述发光元件发光时比在所述发光元件不发光时小。
4. 根据权利要求1所述的像素电路,
其中,所述第二电容是金属氧化物半导体(MOS)电容或薄膜晶体管(TFT)电容。
5. 根据权利要求4所述的像素电路,
其中,所述第二电容是金属氧化物半导体(MOS)电容。
6. 根据权利要求5所述的像素电路,
其中,所述MOS电容包括MOS晶体管。
7. 根据权利要求4所述的像素电路,
其中,所述第二电容是薄膜晶体管(TFT)电容。
8. 根据权利要求7所述的像素电路,
其中,所述TFT电容包括TFT晶体管。
9. 根据权利要求4所述的像素电路,
其中,MOS晶体管或TFT晶体管包括栅极、源极和漏极,其中,所述源极和漏极形成为公共掺杂区。
10. 根据权利要求4所述的像素电路,
其中,MOS晶体管或TFT晶体管包括栅极、源极和漏极,其中,所述源极和漏极形成为分离的掺杂区。
11. 根据权利要求10所述的像素电路,
还包括连接源极和漏极的一个或多个通孔和/或连接线。
12. 根据权利要求4所述的像素电路,
其中,所述MOS电容或所述TFT电容具有彼此相同的源极电势和漏极电势。
13. 根据权利要求1所述的像素电路,还包括:
复位晶体管,被配置为在预定定时将所述发光元件的阳极复位到预定电势,
其中,电容的栅极端子连接到所述复位晶体管的源极和所述发光元件的阳极。
14. 根据权利要求13所述的像素电路,其中,MOS电容具有与所述发光元件的阴极电势相同的源极电势和漏极电势。
15. 根据权利要求1所述的像素电路,还包括:
驱动晶体管,具有与所述发光元件的阳极连接的源极;以及
采样晶体管,具有与所述驱动晶体管的栅极连接的源极,所述采样晶体管被配置为对信号电压进行采样以写入所述驱动晶体管。
16. 根据权利要求15所述的像素电路,其中,所述驱动晶体管是P沟道MOS晶体管。

17. 一种显示装置,包括:

像素阵列单元,设有根据权利要求1所述的像素电路;以及
驱动电路,被配置为驱动所述像素阵列单元。

18. 一种电子设备,包括:

根据权利要求17所述的显示装置。

像素电路、显示装置和电子设备

[0001] 交叉引用相关申请

[0002] 本申请要求2017年11月21日提交的日本优先权专利申请JP2017-223968的权益，其全部内容通过引用结合于此。

技术领域

[0003] 本公开涉及像素电路、显示装置和电子设备。

背景技术

[0004] 近年来，均包括以矩阵设置的像素的各平板显示装置是显示装置领域的主流，像素均包括发光单元。作为平板显示装置中的一种，有机电致发光 (EL) 显示装置包括有机EL元件，该有机EL元件是所谓的电流驱动电光元件的示例，其中，发光的亮度响应于在发光单元中流动的电流值而变化。

[0005] 在以有机EL显示装置为代表的平板显示装置中，在一些情况下，驱动电光元件的驱动晶体管的晶体管特性 (例如，阈值电压) 因工艺变化等而对于每个像素不同。例如，PTL 1公开了一种显示装置技术，该技术能够在对驱动晶体管的特性执行校正操作的情况下缩短初始化电压向驱动晶体管的栅极节点的写入时间。

[0006] 引文目录

[0007] 专利文献

[0008] PTL 1:JP 2015-34861A

发明内容

[0009] 技术问题

[0010] 对于显示装置来说，实现高亮度和实现低功耗是通常要考虑的问题。在考虑将有机EL元件转换成低电压以实现高亮度和低功耗时，担心黑色显示中来自驱动晶体管的漏电流导致有机EL元件轻微发光 (微发光)。

[0011] 因此，本公开提出了一种新颖且改进的像素电路、显示装置和电子设备，该像素电路能够防止由于来自驱动晶体管的漏电流而导致的有机EL元件的轻微发光。

[0012] 问题解决方案

[0013] 根据本公开的一个实施方式，提供了一种像素电路，包括：发光元件，其以对应于电流量的亮度发光；第一电容，其是金属绝缘体金属 (MIM) 电容；以及第二电容，其是与发光元件并联设置的金属绝缘体半导体 (MIS) 电容。

[0014] 此外，根据本公开的一个实施方式，提供了一种显示装置，包括：像素阵列单元，其中，设置有像素电路；以及驱动电路，其驱动像素阵列单元。

[0015] 此外，根据本公开的一个实施方式，提供了一种电子设备，包括：显示装置。

[0016] 发明的有益效果

[0017] 如上所述，根据本公开的一个实施方式，可以提供一种新颖且改进的像素电路、显

示装置和电子设备,该像素电路能够防止由于来自驱动晶体管的漏电流而导致的有机EL元件的轻微发光,即,可以避免或至少很大程度上抑制漏电流。此外,提出了一种新颖且改进的像素电路,其能够有效地利用电容的布局区域。此外,根据本公开的实施方式,在使用金属绝缘体半导体电容,特别是包括金属氧化物半导体(MOS)晶体管的MOS电容的特定实施方式中,不需要两个金属层来实现电容,而这通常是实现传统电容所需要的。

[0018] 此外,根据本公开的实施方式,可以存储用于控制由发光元件发射的光的亮度的信号电压。

[0019] 注意,效果不一定是限制性的,因此附加上述效果或者代替上述效果,可以提供本说明书中描述的任何效果或者可以从本说明书中理解的其他效果。

附图说明

[0020] 图1A是示出包括驱动晶体管和有机EL元件的代表性配置电路的说明图。

[0021] 图1B是示出包括驱动晶体管和有机EL元件的代表性配置电路的说明图。

[0022] 图2是示出在图1B所示的电路中MIM电容C并联连接到有机EL元件EL的电路配置的说明图。

[0023] 图3是示出MIM电容的特性的说明性图形表示。

[0024] 图4是示出根据本公开的实施方式的有机EL显示装置中的像素电路的说明图。

[0025] 图5是用于驱动图4所示的像素电路的方法的说明性时序图。

[0026] 图6是示出直到有机EL元件EL的亮度达到期望亮度的充电时期的说明图。

[0027] 图7是示出由于亮度差异导致的充电时间差异的说明图。

[0028] 图8是示出低灰度下的理想伽马特性和在MIM电容并联连接到有机EL元件EL的情况下的伽马特性的说明性图形表示。

[0029] 图9是示出时间和有机EL元件EL的亮度之间的关系的关系的说明性图形表示。

[0030] 图10是示出时间和有机EL元件EL的亮度之间的关系的关系的说明性图形表示。

[0031] 图11是示出根据本公开的实施方式的像素电路的简化电路配置的说明图。

[0032] 图12是示出根据本公开的实施方式的像素电路的简化电路配置的说明图。

[0033] 图13是示出根据本公开的实施方式的像素电路的简化电路配置的说明图。

[0034] 图14是示出MOS电容的特性的说明性图形表示。

[0035] 图15是示出根据本公开的实施方式的像素电路的说明图。

[0036] 图16是示意性示出图4和图15中示出的像素电路的布局的示图。

[0037] 图17是示出根据本公开的实施方式的像素电路的简化电路配置的说明图。

[0038] 图18是示出根据本公开的实施方式的像素电路的简化电路配置的说明图。

[0039] 图19是示出低频驱动中的MOS电容T5的特性的说明图。

[0040] 图20是示出根据本公开的实施方式的像素电路的电路配置的说明图。

[0041] 图21是示出根据本公开的实施方式的像素电路的电路配置的说明图。

[0042] 图22是示出根据本公开的实施方式的像素电路的电路配置的说明图。

[0043] 图23是示出包括N沟道晶体管的MOS电容的特性的说明性图形表示。

[0044] 图24A是MOS电容的第一实施方式的分层的剖视图。

[0045] 图24B是MIS电容的第二实施方式的分层的剖视图。

[0046] 图24C是MOS电容的第三实施方式的层的剖视图。

[0047] 图24D是MIS电容的第四实施方式的层的剖视图。

具体实施方式

[0048] 下面将参考附图详细描述本公开的优选实施方式。注意,在本说明书和附图中,具有基本相同功能配置的组成元件用相同的附图标记表示,并且将省略其重复描述。

[0049] 注意,将按以下顺序给出描述:

[0050] 1. 本公开的实施方式

[0051] 1.1根据本公开的实施方式的显示装置、驱动显示装置的方法和电子设备的总体描述

[0052] 1.2本公开的概述

[0053] 2. 概要

[0054] <1. 本公开的实施方式>

[0055] (1.1根据本公开的实施方式的显示装置、驱动显示装置的方法和电子设备的总体描述)

[0056] 根据本公开的实施方式的显示装置包括平板显示装置,该平板显示装置包括设置的像素电路,除了驱动发光单元的驱动晶体管之外,该像素电路还具有采样晶体管和保持电容。作为平板显示装置,例如,可以例示有机EL显示装置、液晶显示装置、等离子显示装置等。显示装置中的有机EL显示装置已有机EL元件作为像素中的发光元件(电光元件),该有机EL元件具有向有机薄膜施加电场导致发光的现象,该有机薄膜包括有机材料电致发光。

[0057] 在像素中以有机EL元件作为发光单元的有机EL显示装置具有以下优点:换言之,因为有机EL元件可以在10V或更低的施加电压下驱动,所以有机EL显示装置具有低功耗。因为有机EL元件是自发光元件,所以与和有机EL显示装置同样作为平板显示装置的液晶显示装置相比,有机EL显示装置具有更高的图像可见度(image-visibility),此外,不需要照明构件,例如,背光源,使得有机EL显示装置易于实现重量减轻和厚度减小。此外,因为有机EL元件的响应速度大约为几微秒,因此速度相当高,所以当有机EL显示装置显示运动图像时,不会出现残留图像。

[0058] 有机EL元件不仅是自发光元件,而且是电流驱动电光元件。作为电流驱动电光元件,除了有机EL元件之外,还可以例示无机EL元件、LED元件、半导体激光器元件等。

[0059] 在均具有显示单元的各种电子设备中,诸如有机EL显示装置等平板显示装置可以用作显示单元(显示装置)。作为各种电子设备,除了电视系统之外,还可以例示头戴式显示器、数码相机、摄像机、游戏控制台、膝上型个人计算机、诸如电子书等移动信息设备以及诸如个人数字助理(PDA)、移动电话等的移动通信设备。

[0060] 在根据本公开的实施方式的显示装置、驱动显示装置的方法和电子设备中,驱动单元可以在使驱动晶体管的栅极节点浮置之后,使源极节点浮置(floating, 浮动)。此外,驱动单元可以利用采样晶体管执行信号电压的写入,同时驱动晶体管的源极节点保持浮置。由于采样晶体管的采样,在不同于信号电压的时间提供给信号线的初始化电压可以从信号线写入驱动晶体管的栅极节点。

[0061] 在均具有上述优选配置的根据本公开的实施方式的显示装置、驱动显示装置的方法

法和电子设备中,像素电路可以形成在诸如硅等半导体上。此外,驱动晶体管可以是P沟道晶体管。使用P沟道晶体管代替N沟道晶体管作为驱动晶体管的原因如下:

[0062] 在晶体管形成在诸如硅等半导体上而不是在诸如玻璃基板等绝缘体上的情况下,晶体管具有源极、栅极、漏极和背栅极(基板)的四个端子,而不是具有源极、栅极和漏极的三个端子。然后,使用N沟道晶体管作为驱动晶体管,导致背栅极(基板)的电压为0V,从而例如对校正每个像素的驱动晶体管的阈值电压的变化的操作产生不利影响。

[0063] 通常,存在不同的选择来形成在所公开的电容的实施方式中使用的晶体管的源极和漏极。一种选择是在硅基板内形成源极和漏极,特别是在硅基板内形成的阱内。这种晶体管就是所谓的MOS晶体管。另一种选择是在由例如玻璃或塑料制成的绝缘基板的顶部上形成的半导体层(例如,硅层,例如,多晶硅层或非晶硅层)内形成源极和漏极。这种晶体管就是所谓的薄膜晶体管(TFT)。

[0064] 此外,与具有轻掺杂漏极(LDD)区的N沟道晶体管具有的晶体管特性相比,不具有LDD区的P沟道晶体管具有更小的晶体管特性变化,并且P沟道晶体管在使像素小型化方面具有优势,进而在使显示装置高清晰度方面具有优势。在由于这个原因等而假设在半导体(例如,硅)上形成的情况下,优选使用P沟道晶体管作为驱动晶体管,代替N沟道晶体管。

[0065] 在均具有上述优选配置的根据本公开的实施方式的显示装置、驱动显示装置的方法和电子设备中,采样晶体管也可以是P沟道晶体管。

[0066] 或者,在均具有上述优选配置的根据本公开的实施方式的显示装置、驱动显示装置的方法和电子设备中,像素电路可以具有发光控制晶体管,该发光控制晶体管控制发光单元发光或不发光。在这种情况下,发光控制晶体管也可以是P沟道晶体管。

[0067] 或者,在均具有上述优选配置的根据本公开的实施方式的显示装置、驱动显示装置的方法和电子设备中,保持电容可以连接在驱动晶体管的栅极节点和源极节点之间。此外,像素电路可以具有连接在驱动晶体管的源极节点和固定电势的节点之间的辅助电容。

[0068] 或者,在均具有上述优选配置的根据本公开的实施方式的显示装置、驱动显示装置的方法和电子设备中,像素电路可以具有连接在驱动晶体管的漏极节点和发光单元的阴极节点之间的开关晶体管。在这种情况下,开关晶体管也可以是P沟道晶体管。此外,驱动单元可以使开关晶体管在发光单元的非发光时期导通。

[0069] 或者,在均具有上述优选配置的根据本公开的实施方式的显示装置、驱动显示装置的方法和电子设备中,驱动单元使用于驱动开关晶体管的信号,在由采样晶体管进行的初始化电压的采样时间之前有效。然后,在使用于驱动发光控制晶体管的信号有效之后,驱动单元可以使信号无效。在这种情况下,驱动单元可以在使用于驱动发光控制晶体管的信号无效之前,完成由采样晶体管进行的初始化电压的采样。

[0070] (1.2. 本公开的概述)

[0071] 接下来,将描述本公开的概述。图1A和图1B是均示出包括驱动晶体管和有机EL元件的代表性配置电路的说明图。图1A示出了用作驱动晶体管T1的N沟道晶体管,驱动晶体管T1的源极连接到有机EL元件EL的阳极。图1B示出了用作驱动晶体管T2的P沟道晶体管,驱动晶体管T2的漏极连接到有机EL元件EL的阳极。

[0072] 为了确定与在有机EL元件中流动的电流值对应的驱动晶体管的栅极-源极电压,电容元件通常并联连接在有机EL元件的阳极(即N沟道晶体管的源极)和有机EL元件的阴极

之间。同时,在P沟道晶体管用作驱动晶体管的情况下,因为驱动晶体管的漏极与有机EL元件连接,所以电容元件通常不并联连接在有机EL元件的阳极和阴极之间。对于显示装置来说,实现高亮度和实现低功耗是通常要考虑的问题。在考虑有机EL元件被转换成低电压以实现高亮度和实现低功耗时,担心黑色显示中来自驱动晶体管的漏电流导致有机EL元件轻微发光(微发光)。轻微的发光在下文中也称为浅黑电平(light-black-level,黑浮)现象。

[0073] 作为对抗浅黑电平现象的对策,有一种将金属绝缘体金属(MIM)电容并联连接到有机EL元件的技术。图2是示出在图1B所示的电路中MIM电容C并联连接到有机EL元件EL的电路配置的说明图。此外,图3是示出MIM电容的特性的说明性图形表示。图3是横轴表示有机EL元件EL的阳极的电压和纵轴表示MIM电容的电容值的曲线图。如图3所示,无论有机EL元件EL的阳极的电压值如何,MIM电容C的电容值都是恒定的。

[0074] 图4是示出根据本公开的实施方式的有机EL显示装置中的像素电路的说明图。像素电路包括晶体管T11至T14、电容器C1和C2以及有机EL元件EL。

[0075] 晶体管T11是控制有机EL元件EL发光的发光控制晶体管。晶体管T11连接在电源电压VCCP的电源节点和晶体管T12的源极节点(源电极)之间,在信号线DS的发光控制信号的驱动下,控制有机EL元件EL发光或不发光。

[0076] 晶体管T12是驱动晶体管,其使得对应于电容器C2的保持电压的驱动电流流入有机EL元件EL并驱动有机EL元件EL。

[0077] 晶体管T13根据来自信号线WS的信号,在导通和截止之间切换,并对信号电压Vsig进行采样,以将信号电压Vsig写入晶体管T12的栅极节点(栅电极)。

[0078] 晶体管T14是连接在晶体管T12的漏极节点(漏电极)和电流放电目的地节点之间的复位晶体管。在由信号线AZ提供的驱动信号的驱动下,晶体管T14控制有机EL元件EL,使得有机EL元件EL在有机EL元件EL的非发光时期不发光。晶体管T11至T14均可以是P沟道晶体管。

[0079] 连接在晶体管T12的栅极节点和源极节点之间的电容器C2,保持由晶体管T13的采样写入的信号电压Vsig。电容器C1连接在晶体管T12的源极节点和固定电势的节点(例如,电源电压VCCP的电源节点)之间。电容器C1抑制晶体管T12的源极电压在写入信号电压时变化,并且额外地起作用,使得晶体管T12的栅极-源极电势Vgs变成晶体管T12的阈值电压Vth。在该实施方式中,保持电容包括两个电容器C1和C2,但是保持电容可以替代地仅由电容器C1和C2中的一个形成。电容器C1和C2中的至少一个可以例如被实现为MIM电容器。通过对电容器C1和C2中的至少一个采用使用了较高层次金属层(例如,第二和第三金属层)的MIM电容器,并且通过对与有机EL元件EL并联的电容采用使用了较低层次金属层(例如,第一金属层)和半导体区域的MIS电容器,可以以三维方式(例如,彼此重叠地)有效且灵活地优化这些电容器的布局。

[0080] 图5是用于驱动图4所示的像素电路的方法的说明性时序图。图4所示的像素电路在一个水平时期中具有初始化时期、Vth校正时期、写入时期和发光时期。在初始化时期中,首先,像素电路在信号线WS处于低电平时,暂时导通晶体管T13,然后信号线WS处于高电平,使晶体管T13截止。

[0081] 在接下来的Vth校正时期中,在信号线WS处于低电平时,晶体管T13暂时导通,然后信号线WS处于高电平,晶体管T13截止。然后,信号线DS处于高电平,晶体管T11截止,使得晶

晶体管T12的源极电压和栅极电压下降。在 V_{th} 校正时期中,晶体管T12的栅极-源极电势 V_{gs} 被设置为晶体管T12的阈值电压 V_{th} 。此外,信号线AZ在 V_{th} 校正时期从低电平切换到高电平。

[0082] 在接下来的写入时期中,信号线WS从高电平切换到低电平,并且信号电压 V_{sig} 被写入晶体管T12。将信号电压 V_{sig} 写入晶体管T12,使得晶体管T12的栅极电势为 V_{sig} 。随后,信号线WS从低电平切换到高电平,并且信号电压 V_{sig} 向晶体管T12的写入时期结束。然后,在接下来的发光时期中,信号线DS从高电平切换到低电平,并且晶体管T11导通,使得有机EL元件EL发光。在发光时期中,晶体管T12的源极电势变成电源电压VCCP。

[0083] 图6是示出直到有机EL元件EL的亮度达到期望亮度的充电时期的说明图。将MIM电容并联连接到有机EL元件EL,使得直到有机EL元件EL的亮度达到期望的亮度为止的有机EL元件EL的充电时期在发光时期中延长。将描述通过MIM电容并联连接到有机EL元件EL而对伽马特性的影响。

[0084] MIM电容与有机EL元件EL并联连接,导致低亮度下的伽马形状变化。图7是示出由于亮度差异导致的充电时间差异的说明图。如图7所示,低亮度下的充电时间比高亮度下的充电时间长。图8是示出低灰度下的理想伽马特性和在MIM电容并联连接到有机EL元件EL的情况下的伽马特性的说明性图形表示。低亮度延长了有机EL元件EL的充电时期,并且MIM电容的连接进一步延长了充电时期,这是因为电流在MIM电容中流动。在这种状态下,占空比的降低导致图像在期望的亮度的发光之前切换。即,如图8所示,伽马形状在低灰度在亮度降低的方向上变化。

[0085] 图9和图10是均示出时间和有机EL元件EL的亮度之间的关系的关系的说明性图形表示。图9和图10中示出的每个曲线图的积分是有机EL元件EL的亮度。因此,图9示出了占空比为100%的情况下时间和亮度之间的关系,图10示出了占空比为50%的情况下时间和亮度之间的关系。当占空比以这种方式减半时,随着充电时期由于MIM电容而延长,亮度减半或更少。换言之,占空比的变化和亮度的变化之间的失调是显著的。在MIM电容并联连接到有机EL元件EL的情况下,需要在改变占空比时调节亮度。

[0086] 因此,根据本实施方式,与有机EL元件并联连接的电容是MOS电容,而不是MIM电容。该MOS电容具有根据施加到栅极端子的电压而变化的电容值。该特性的使用可以抑制浅黑电平现象的发生、占空比的变化和亮度的变化之间的失调以及低灰度下的伽马特性的变化。

[0087] 此外,根据本实施方式,采用MOS电容作为并联连接到有机发光元件的电容,使得MIM布线变得不必要。如果进行MOS晶体管的小型化,则采用MOS电容作为并联连接到有机EL元件的电容,可以显著地有助于减小电路面积。

[0088] 图11和图12是示出根据本公开的实施方式的像素电路的简化电路配置的说明图。图11示出了用作驱动晶体管T2的P沟道晶体管,驱动晶体管T2的漏极连接到有机EL元件EL的阳极。图12示出了用作驱动晶体管T1的N沟道晶体管,驱动晶体管T1的源极连接到有机EL元件EL的阳极。换言之,每个MOS电容T3具有电势相同的阳极和阴极。

[0089] 然后,如图11和图12所示,根据本公开的实施方式的每个像素电路具有并联连接到有机EL元件EL的MOS电容T3。N沟道晶体管用于MOS电容T3。MOS电容T3的栅极连接到有机EL元件EL的阳极,MOS电容T3的源极和漏极连接到有机EL元件EL的阴极。如上所述,MOS电容具有根据施加到栅极端子的电压而变化的电容值。

[0090] 以这种方式将MOS电容T3并联连接到有机EL元件EL,使得MOS电容T3的电容值能够在有机EL元件EL的发光和不发光之间变化。

[0091] 图13是示出根据本公开的实施方式的像素电路的简化电路配置的说明图。图13示出了用作驱动晶体管T2的P沟道晶体管,驱动晶体管T2的漏极连接到有机EL元件EL的阳极。

[0092] 然后,如图13所示,根据本公开的实施方式的像素电路具有并联连接到有机EL元件EL的MOS电容T4。P沟道晶体管用于MOS电容T4。MOS电容T4具有电势相同的阳极和阴极。

[0093] 图14是示出MOS电容的特性的说明性图形表示。图14是具有表示MOS电容T4的栅极-源极电势 V_{gs} 的横轴和表示MOS电容T4的电容值的纵轴的曲线图。如图14所示,在栅极-源极电势 V_{gs} 低的情况下,即在有机EL元件EL发光的状态下,MOS电容T4的电容值小。在栅极-源极电势 V_{gs} 高的情况下,即在有机EL元件EL不发光的状态下,MOS电容T4的电容值大。因此,因为在有机EL元件EL发光期间,MOS电容T4的电容值小,所以MOS电容T4的充电时期短。因此,MOS电容与有机EL元件EL并联连接,可以抑制在低灰度的伽马特性变化。

[0094] 与MIM电容不同,MOS电容的特性可以在制造过程中进行微调,并且可以控制MOS电容的电容值。此外,即使当有机EL元件EL的特性随着时间流逝而变化时,MOS电容与有机EL元件EL并联连接,也可以抑制在有机EL元件EL达到期望的亮度之前的时间的变化。

[0095] 图15是示出根据本公开的实施方式的像素电路的说明图。图15所示的像素电路包括并联添加在图4所示的像素电路中的有机EL元件EL的MOS电容T4。以这种方式,MOS电容T4与在图4所示的像素电路中的有机EL元件EL的并联添加,可以抑制浅黑电平现象的发生、占空比变化和亮度变化之间的失调以及低灰度下的伽马特性的变化。

[0096] 图16是示意性示出图4和图15所示的像素电路的布局的说明图。在左侧示出了图4所示的像素电路的布局,在右侧示出了图15所示的像素的布局,即,包括添加到图4所示的像素电路的MOS电容T4的像素电路的布局。图16例示了晶体管T11(DS晶体管)、晶体管T12(Drv晶体管)、晶体管T13(WS晶体管)和晶体管T14(AZ晶体管)的布局。

[0097] 在使用PMOS晶体管作为MOS电容的情况下,可以在制造其他晶体管的相同工艺中制造MOS电容。因此,因为在将MOS电容T4添加到图4所示的像素电路中时不需要添加层,所以MOS电容T4可以设置在与每个晶体管相同的层上。此外,在将MOS电容T4添加到图4所示的像素电路中时,可以利用部分布局来实现添加,因此可以添加MOS电容T4,而不会大幅改变布局。

[0098] 将给出另一示例。图17是示出根据本公开的实施方式的像素电路的简化电路配置的说明图。图17示出了用作驱动晶体管T1的N沟道晶体管,驱动晶体管T1的源极连接到有机EL元件EL的阳极。

[0099] 然后,如图17所示,根据本公开的实施方式的像素电路具有并联连接到有机EL元件EL的MOS电容T4。P沟道晶体管用于MOS电容T4。以这种方式将MOS电容T4并联连接到有机EL元件EL,可以抑制浅黑电平现象的发生、占空比的变化和亮度的变化之间的失调以及低灰度的伽马特性的变化。

[0100] 将给出另一示例。图18是示出根据本公开的实施方式的像素电路的简化电路配置的说明图。图18例示了在低频驱动下的像素电路的配置。在低频下,在栅极-源极电压为负的情况下,即在不发光期间,PMOS晶体管的电容较大。图19是示出在低频驱动下的MOS电容T5的特性的说明图。如图19所示,在没有发光期间,低频驱动增加了PMOS晶体管的电容。在

这种情况下,MOS电容T5的栅电极可以连接到有机EL元件EL的阳极和漏电极,MOS电容T5的源电极可以连接到地、有机EL元件EL的阴极或不同的电源。

[0101] 将给出另一示例。图20是示出根据本公开的实施方式的像素电路的电路配置的说明图。图20例示了包括两个晶体管T21和T22以及两个电容器Ccs和Csub的像素电路的配置,该像素电路包括与MOS电容T3并联连接的有机EL元件EL。在像素电路中,MOS电容T3与有机EL元件EL并联连接,可以抑制浅黑电平现象的发生、占空比的变化和亮度的变化之间的失调以及低灰度的伽马特性的变化。

[0102] 将给出另一示例。图21是示出根据本公开的实施方式的像素电路的电路配置的说明图。图21例示了包括四个晶体管T11至T14和两个电容器C1和C2的像素电路的配置,该像素电路包括并联连接到有机EL元件EL的MOS电容T3。在像素电路中,MOS电容T3与有机EL元件EL并联连接,可以抑制浅黑电平现象的发生、占空比的变化和亮度的变化之间的失调以及低灰度的伽马特性的变化。

[0103] 将给出另一示例。图22是示出根据本公开的实施方式的像素电路的电路配置的说明图。图22例示了包括六个晶体管T21至T26和两个电容器Cs和Ca的像素电路的配置,该像素电路包括并联连接到有机EL元件EL的MOS电容器T3。在像素电路中,MOS电容T3与有机EL元件EL并联连接,可以抑制浅黑电平现象的发生、占空比的变化和亮度的变化之间的失调以及低灰度级的伽马特性的变化。

[0104] 图23是示出包括N沟道晶体管的MOS电容器的特性的说明性图形表示。在有机EL元件EL不发光的情况下,即在有机EL元件EL的阳极电势低的情况下,包括N沟道晶体管的MOS电容器的电容值大。在有机EL元件发光的情况下,即在有机EL元件的阳极的电势高的情况下,MOS电容器的电容值小。因此,因为在有机EL元件EL发光期间,MOS电容器T3的充电时期短,所以MOS电容器与有机EL元件EL并联连接,可以抑制低灰度的伽马特性的变化。

[0105] 在上述实施方式中,半导体基板(硅基板)上的MOS电容器用作MIS电容器的示例,但是在采用绝缘基板的情况下,包括堆叠在绝缘基板上的半导体层、绝缘层和金属层的结构可以用作MIS电容器。例如,可以通过使TFT的源极和漏极的电势相同来实现MIS电容器,类似于使用MOS晶体管的示例。

[0106] 在图24A-24D中,作为剖视图描绘在本公开的实施方式中使用的MIS电容的几个实施方式,即,示出了在上述实施方式中实现MIS电容的不同选项。应该注意,这些图显示了P沟道MOS晶体管或TFT的实现。然而,MOS或TFT电容也可以使用N沟道MOS晶体管来实现。

[0107] 图24A示出了采用MOS电容的MIS电容的第一实施方式。在该实施方式中,MOS晶体管的源极和漏极被实现为在硅基板内形成的n阱内的分离的P+掺杂区。源极和漏极通过穿过栅极绝缘膜和层间绝缘膜的通孔以及形成在层间绝缘膜的顶部上的连接线连接,以确保源极电势和漏极电势彼此相同。

[0108] 图24B示出了采用TFT电容的MIS电容的第二实施方式。与图24A所示的实施方式不同,提供一种硅层、绝缘层(栅极绝缘膜)和金属层(栅电极层)堆叠在绝缘基板上的结构,以形成TFT。TFT的源极和漏极再次被实现为在由玻璃或塑料制成的绝缘基板的顶部上形成的硅层内的分离的P+掺杂区。

[0109] 图24C示出了采用MOS电容的MIS电容的第三实施方式。与图24A所示的实施方式不同,MOS晶体管的源极和漏极被实现为在硅基板内形成的n阱内的公共P+掺杂区。因此,不需

要如图24A所示的实施方式中通过通孔和连接线连接不同的P+掺杂区来确保源极电势和漏极电势彼此相同。

[0110] 图24D示出了采用TFT电容的MIS电容的第四实施方式。类似于图24C所示的实施方式，TFT的源极和漏极被实现为公共P+掺杂区，但不是硅层内形成的n阱中，而是类似于图24B所示的实施方式，在由玻璃或塑料制成的基板的顶部上形成的硅层内。同样，不需要通过通孔和连接线的连接。

[0111] <2. 概要>

[0112] 如上所述，根据本公开的实施方式，提供了一种像素电路、包括该像素电路的显示装置和包括该显示装置的电子设备，该像素电路能够通过将MOS电容并联连接到有机EL元件EL来抑制浅黑电平现象的发生、占空比的变化和亮度的变化之间的失调、低灰度的伽马特性的变化。

[0113] 已经参考附图详细描述了本公开的优选实施方式，但是本公开的技术范围不限于这些示例。很明显，本公开技术领域的技术人员在权利要求中描述的技术思想的范围内想到了各种改变或修改，因此应该理解，这些都按理属于本公开的技术范围。

[0114] 此外，本说明书中描述的效果仅仅是解释性的或示例性的，因此不是限制性的。即，根据本说明书中的描述，除了这些效果或代替这些效果，根据本公开的一个实施方式的技术具有对本领域技术人员显而易见的其他效果。

[0115] 注意，以下配置属于本公开的技术范围。

[0116] (1) 一种像素电路，包括：

[0117] 发光元件，被配置为以对应于电流量的亮度发光；以及

[0118] 金属氧化物半导体(MOS)电容，其包括与发光元件并联设置的MOS晶体管，

[0119] 其中，所述MOS电容具有彼此相同的源极电势和漏极电势。

[0120] (2) 根据(1)所述的像素电路，还包括：

[0121] 复位晶体管，其被配置为在预定定时将发光元件的阳极复位到预定电势，

[0122] 其中，所述MOS电容的栅极端子连接到复位晶体管的源极和发光元件的阳极。

[0123] (3) 根据(2)所述的像素电路，其中，所述MOS电容具有与所述发光元件的阴极电势相同的源极电势和漏极电势。

[0124] (4) 根据(1)至(3)中任一项所述的像素电路，还包括：

[0125] 驱动晶体管，具有的源极连接到发光元件的阳极；以及

[0126] 采样晶体管，具有的源极连接到所述驱动晶体管的栅极，所述采样晶体管被配置为对信号电压进行采样以写入驱动晶体管。

[0127] (5) 根据(4)所述的像素电路，其中，所述驱动晶体管是P沟道MOS晶体管。

[0128] (6) 一种像素电路，包括：

[0129] 发光元件，其被配置为以对应于电流量的亮度发光；以及

[0130] 电容，其与发光元件并联设置，所述电容具有可变电容值。

[0131] (7) 根据(6)所述的像素电路，

[0132] 其中，与发光元件不发光时相比，当发光元件发光时，所述电容具有更小的电容值。

[0133] (8) 根据(6)或(7)所述的像素电路，

- [0134] 其中,所述电容是金属氧化物半导体(MOS)电容。
- [0135] (9)根据(8)所述的像素电路,
- [0136] 其中,所述MOS电容包括MOS晶体管。
- [0137] (10)根据(9)所述的像素电路,
- [0138] 其中,所述MOS晶体管包括栅极、源极和漏极,其中,所述源极和漏极形成为公共掺杂区。
- [0139] (11)根据(9)所述的像素电路,
- [0140] 其中,所述MOS晶体管包括栅极、源极和漏极,其中,所述源极和漏极形成为分离的掺杂区。
- [0141] (12)根据(11)所述的像素电路,
- [0142] 还包括连接源极和漏极的一个或多个通孔和/或连接线。
- [0143] (13)一种显示装置,包括:
- [0144] 像素阵列单元,其中,设置有根据(1)至(12)中任一项所述的像素电路;以及
- [0145] 驱动电路,其被配置为驱动像素阵列单元。
- [0146] (14)一种电子设备,包括:
- [0147] 根据(13)所述的显示装置。
- [0148] 附图标记列表
- | | | |
|--------|------|--------|
| [0149] | C | MIM电容 |
| [0150] | C1 | 电容器 |
| [0151] | C2 | 电容器 |
| [0152] | Ca | 电容器 |
| [0153] | Ccs | 电容器 |
| [0154] | Cs | 电容器 |
| [0155] | Csub | 电容器 |
| [0156] | EL | 有机EL元件 |
| [0157] | T1 | 驱动晶体管 |
| [0158] | T2 | 驱动晶体管 |
| [0159] | T11 | 晶体管 |
| [0160] | T12 | 晶体管 |
| [0161] | T13 | 晶体管 |
| [0162] | T14 | 晶体管 |
| [0163] | T21 | 晶体管 |
| [0164] | T22 | 晶体管 |
| [0165] | T23 | 晶体管 |
| [0166] | T24 | 晶体管 |
| [0167] | T25 | 晶体管 |
| [0168] | T26 | 晶体管 |
| [0169] | T3 | MOS电容 |
| [0170] | T4 | MOS电容 |

[0171] T5 MOS电容

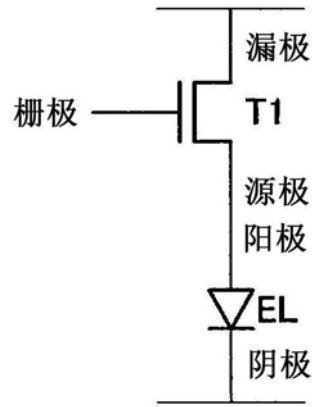


图1A

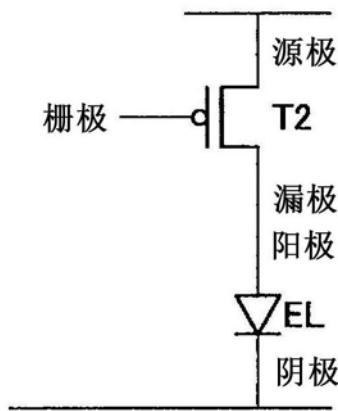


图1B

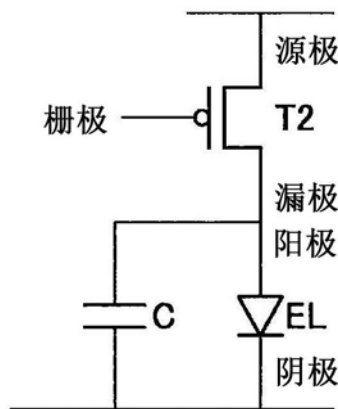


图2

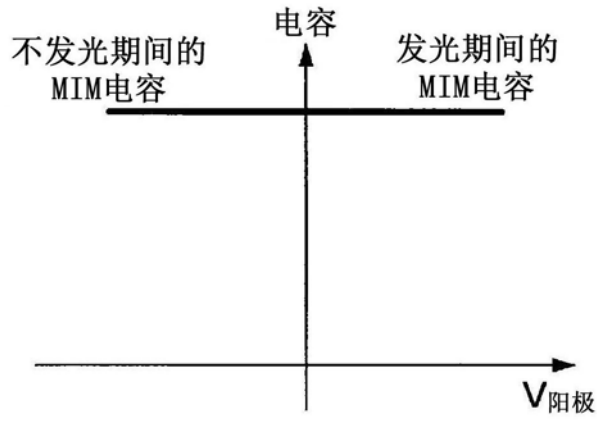


图3

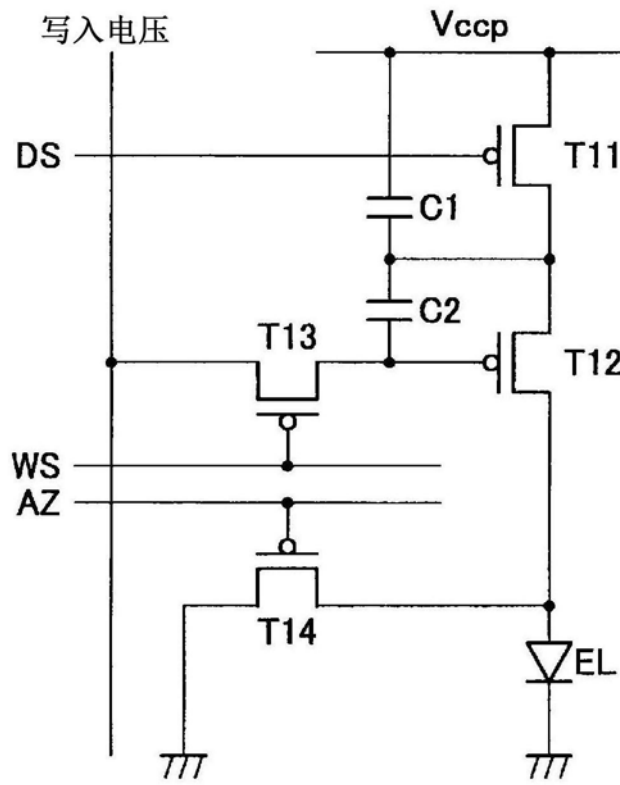


图4

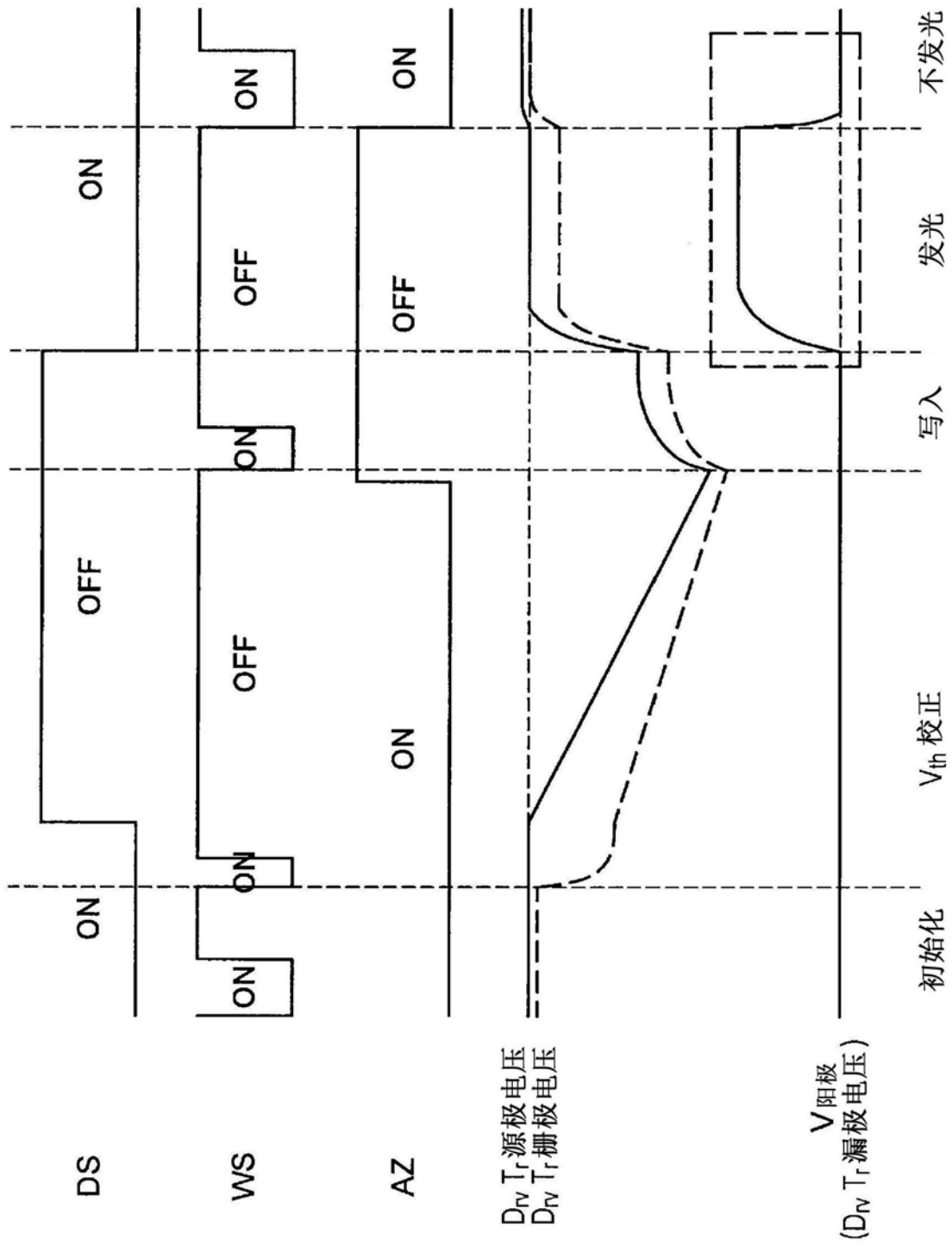


图5

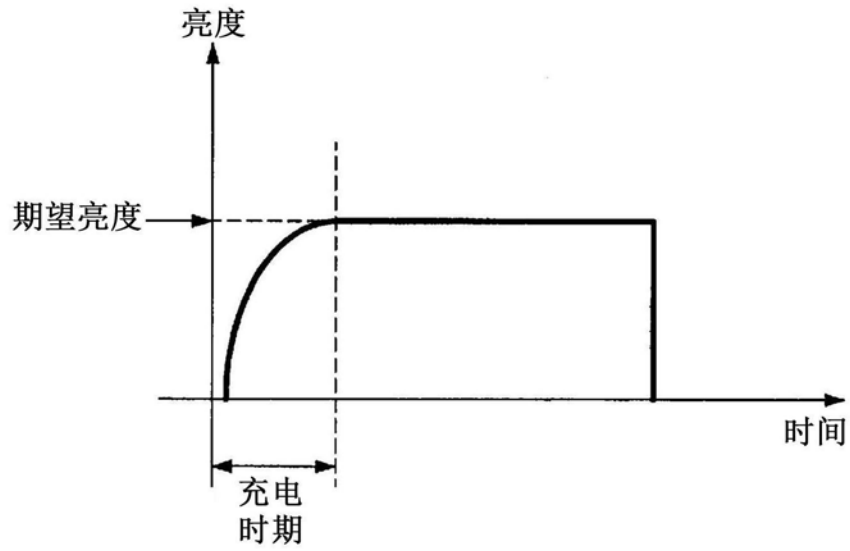


图6

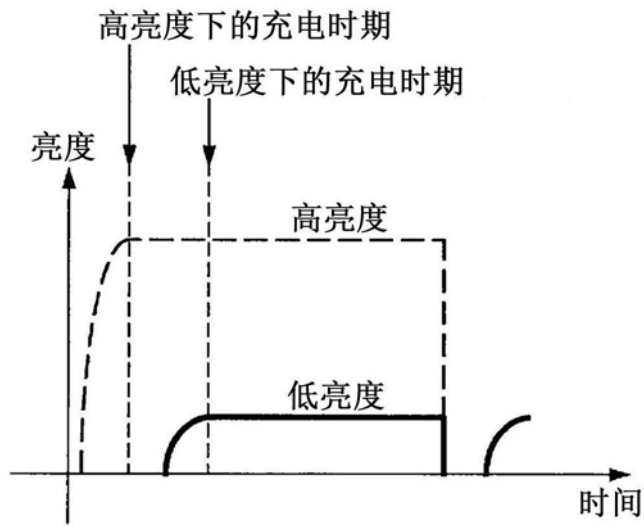


图7

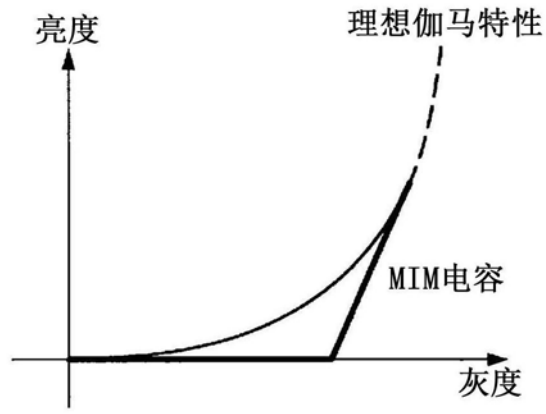


图8

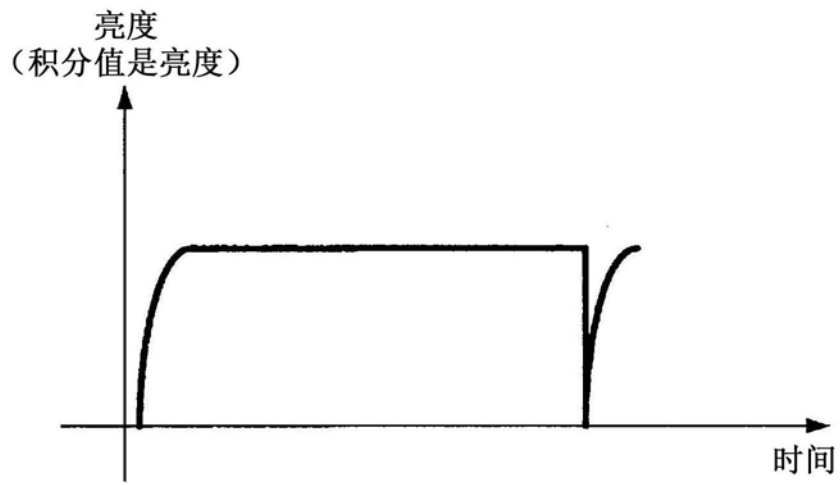


图9

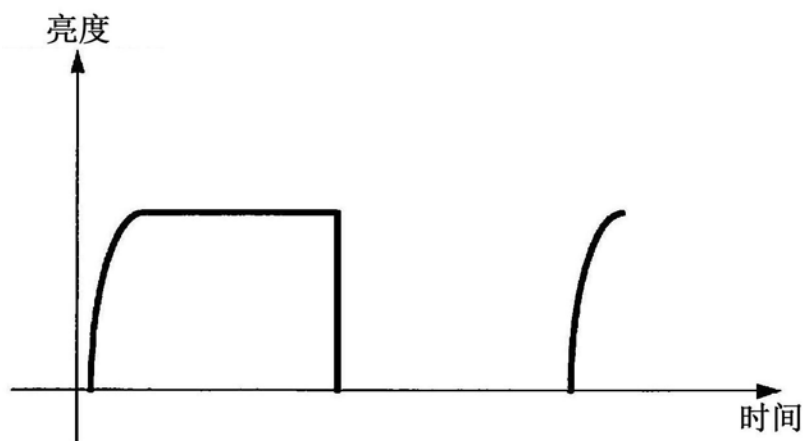


图10

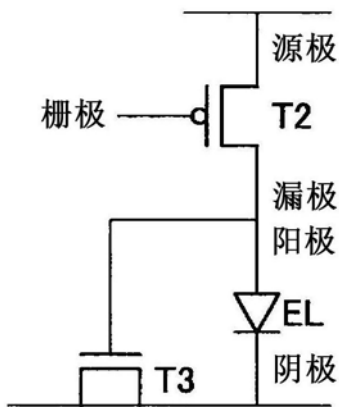


图11

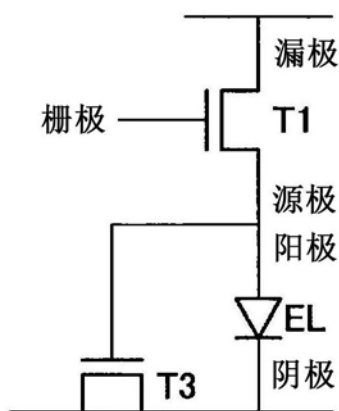


图12

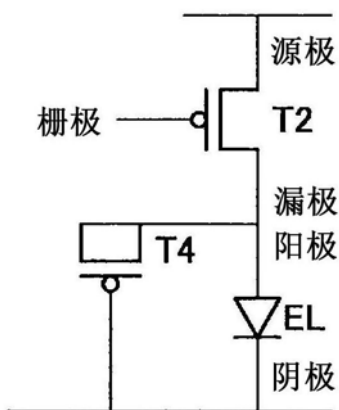


图13

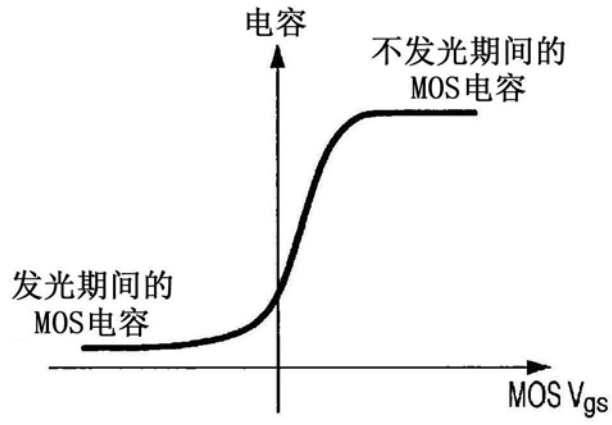


图14

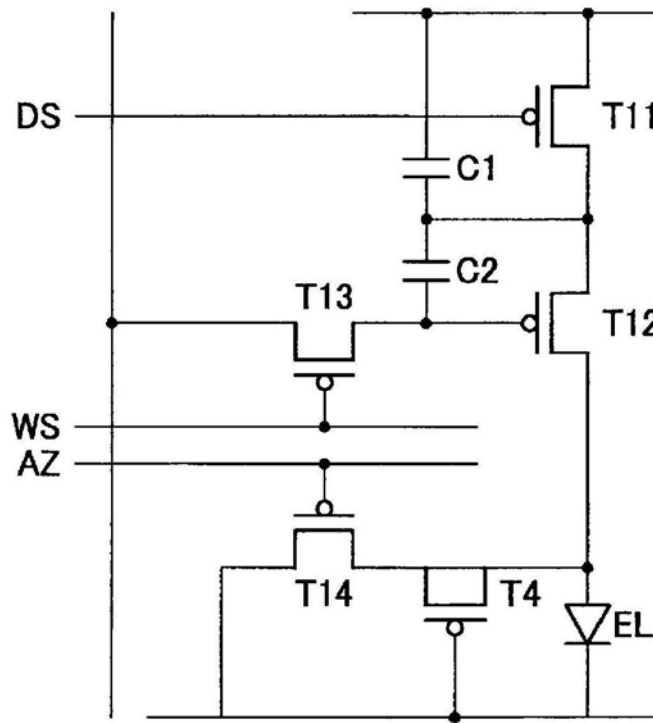


图15

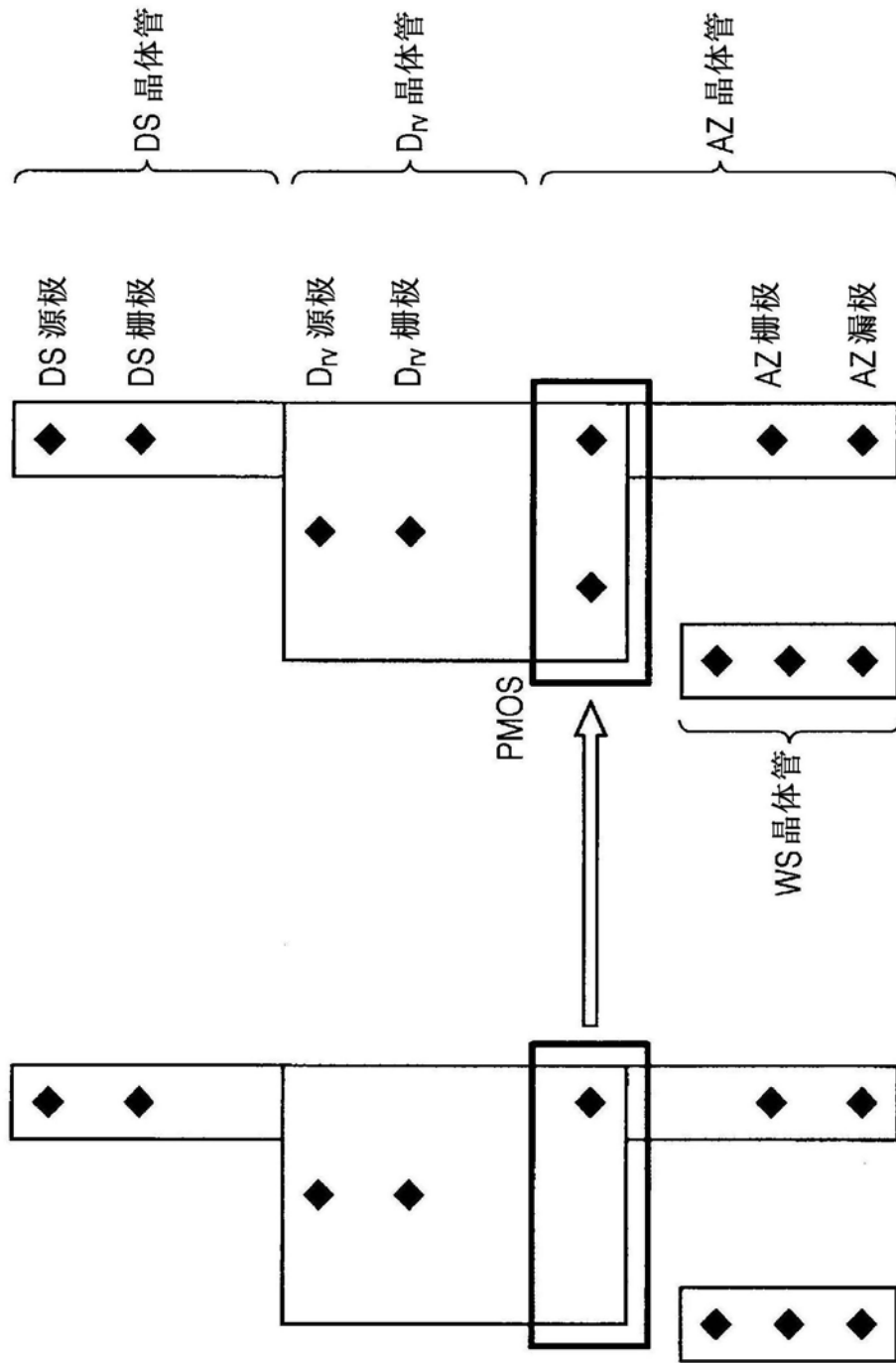


图16

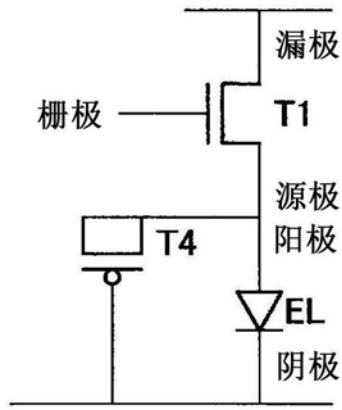


图17

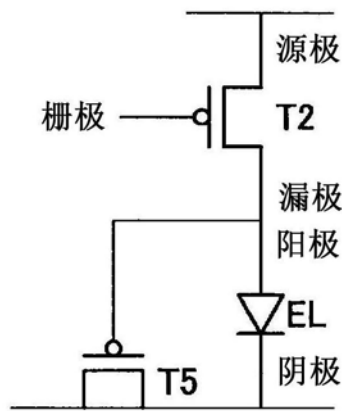


图18

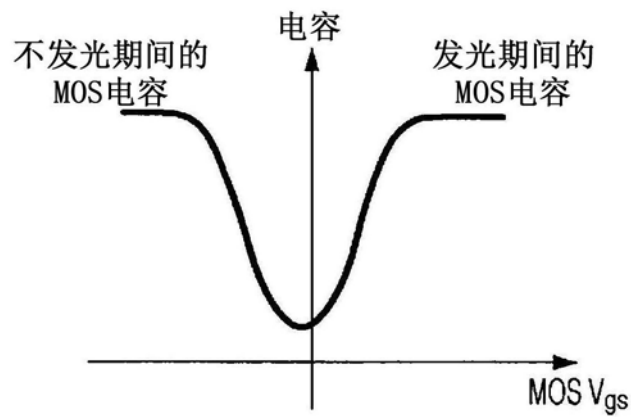


图19

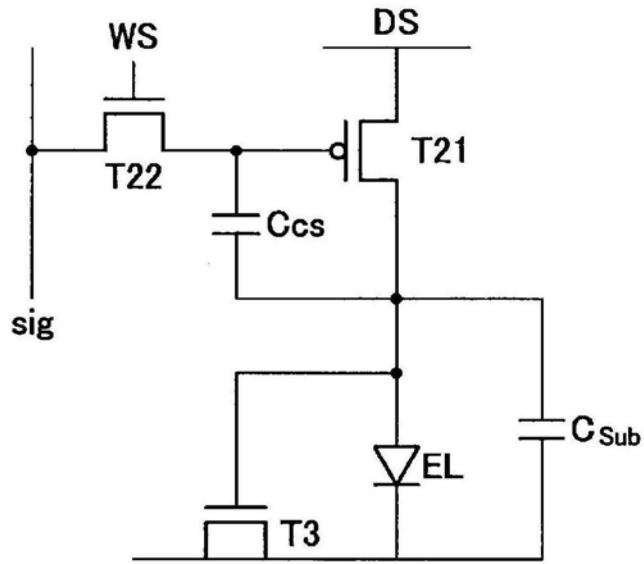


图20

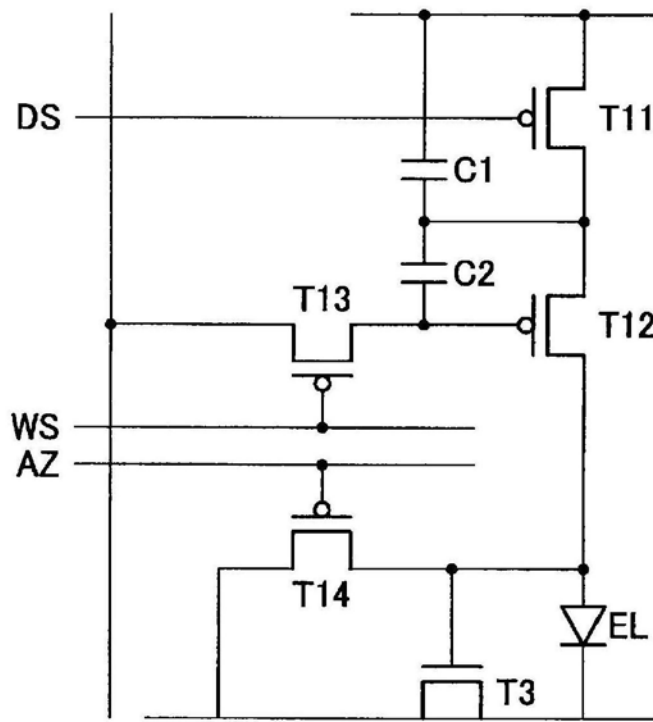


图21

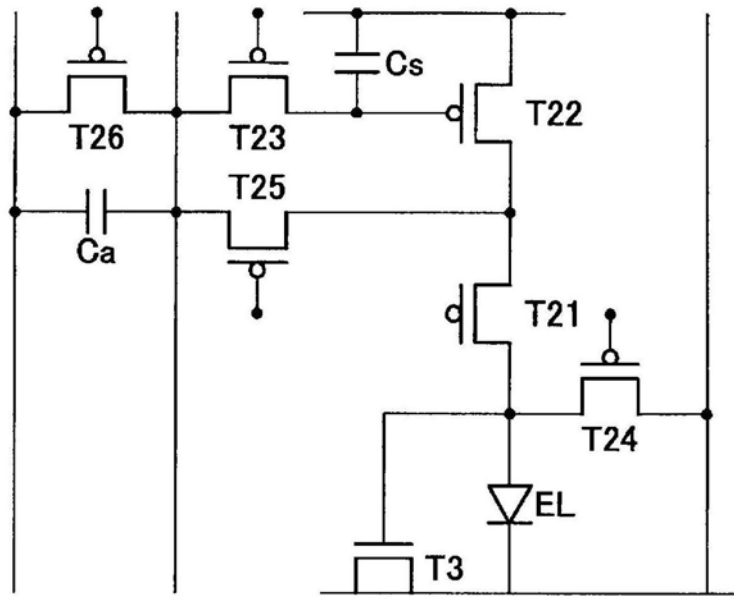


图22

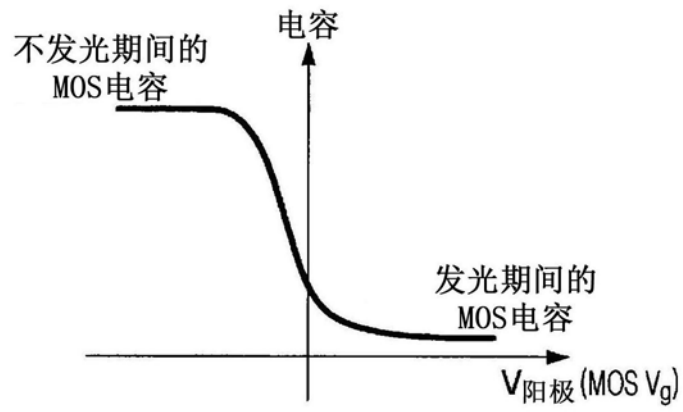


图23

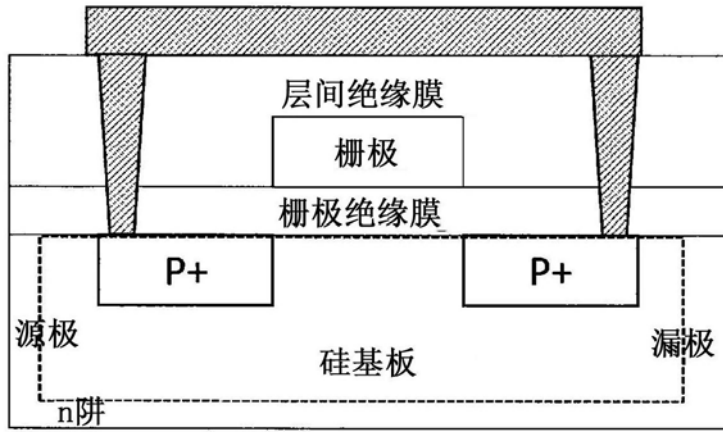


图24A

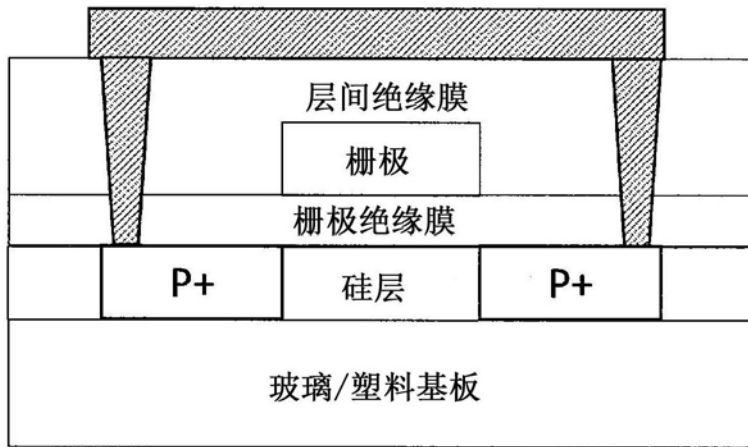


图24B

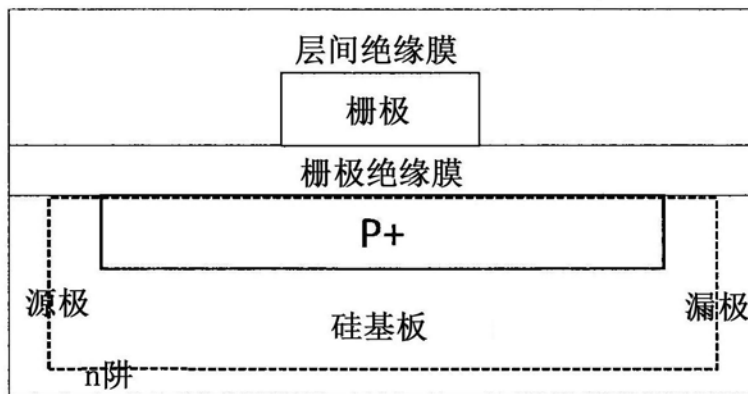


图24C

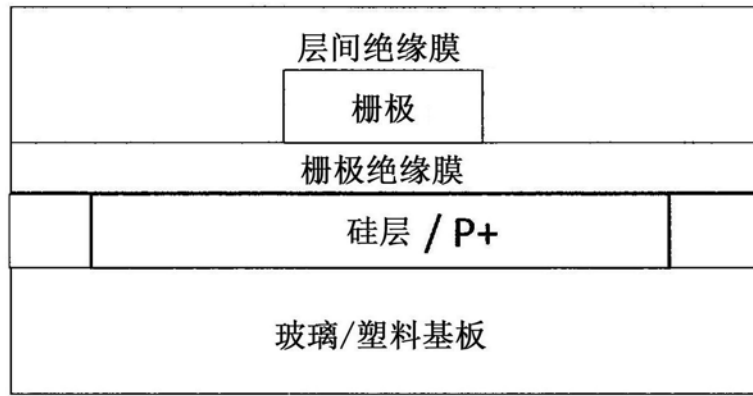


图24D

专利名称(译)	像素电路、显示装置和电子设备		
公开(公告)号	CN111344774A	公开(公告)日	2020-06-26
申请号	CN201880073566.3	申请日	2018-11-14
申请(专利权)人(译)	索尼半导体解决方案公司		
当前申请(专利权)人(译)	索尼半导体解决方案公司		
[标]发明人	藤井拓磨		
发明人	坂口贵之 藤井拓磨		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0819 G09G2300/0852 G09G2320/0214 G09G2320/0233 G09G2320/0238 G09G2320/045		
优先权	2017223968 2017-11-21 JP		
外部链接	Espacenet SIPO		

摘要(译)

提供一种像素电路，能够防止有机EL元件由于驱动晶体管的漏电流而导致的轻微发光。提供一种像素电路，包括：发光元件，以对应于电流量的亮度发光；第一电容，其是金属绝缘体金属(MIM)电容；以及第二电容，其是与发光元件并联设置的金属绝缘体半导体(MIS)电容。

