



(12)发明专利申请

(10)申请公布号 CN 111092105 A

(43)申请公布日 2020.05.01

(21)申请号 201911016248.6

(22)申请日 2019.10.24

(30)优先权数据

10-2018-0127466 2018.10.24 KR

(71)申请人 三星显示有限公司

地址 韩国京畿道龙仁市

(72)发明人 裴俊佑 姜美在 阮成进 李京垣

李镛守 李在燮 曹奎哲 车明根

(74)专利代理机构 北京铭硕知识产权代理有限公司

公司 11286

代理人 程月 刘灿强

(51)Int.Cl.

H01L 27/32(2006.01)

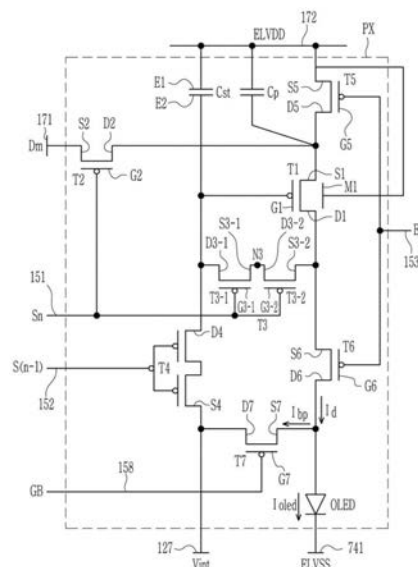
权利要求书2页 说明书20页 附图13页

(54)发明名称

有机发光二极管显示器

(57)摘要

公开了一种有机发光二极管显示器。所述有机发光二极管显示器包括:基底;叠置层,位于基底上;半导体层,位于叠置层上;第一栅极导体,位于半导体层上;第二栅极导体,位于第一栅极导体上;数据导体,位于第二栅极导体上;驱动晶体管,位于叠置层上;以及有机发光二极管,与驱动晶体管连接。驱动晶体管在半导体层中包括第一电极、第二电极并且沟道位于第一电极与第二电极之间。第一栅极导体的栅电极与沟道叠置。叠置层与驱动晶体管的沟道和第一电极的至少一部分叠置。第二栅极导体的存储线通过数据导体中的驱动电压线接收驱动电压。叠置层接收恒定电压。



1. 一种有机发光二极管显示器,所述有机发光二极管显示器包括:
基底;
叠置层,位于所述基底上;
半导体层,位于所述叠置层上;
第一栅极导体,位于所述半导体层上;
第二栅极导体,位于所述第一栅极导体上;
数据导体,位于所述第二栅极导体上;
驱动晶体管,位于所述叠置层上;以及
有机发光二极管,与所述驱动晶体管连接,
其中,所述驱动晶体管包括形成在所述半导体层中的第一电极、形成在所述半导体层中的第二电极、形成在所述第一电极与所述第二电极之间的沟道以及由所述第一栅极导体形成以与所述沟道叠置的栅电极,
所述叠置层与所述驱动晶体管的所述沟道叠置,并延伸到所述第一电极以与所述第一电极的至少一部分叠置,
所述第二栅极导体包括存储线,驱动电压通过由所述数据导体形成的驱动电压线被施加到所述存储线,并且
所述叠置层接收恒定电压。
2. 根据权利要求1所述的有机发光二极管显示器,其中,
栅极绝缘层位于所述栅电极与所述存储线之间,并且
所述栅电极和所述存储线构成存储电容器,所述存储电容器保持施加到所述栅电极的电压。
3. 根据权利要求2所述的有机发光二极管显示器,其中,
缓冲层设置在所述叠置层与所述半导体层之间,并且
所述叠置层和所述驱动晶体管的所述半导体层构成附加存储电容器。
4. 根据权利要求3所述的有机发光二极管显示器,其中,
所述叠置层包括与所述驱动晶体管的所述沟道叠置的基体部,并且
所述基体部和所述半导体层的所述沟道构成第一附加存储电容器。
5. 根据权利要求3所述的有机发光二极管显示器,其中,
所述叠置层包括与所述驱动晶体管的所述第一电极叠置的第一延伸部,并且
所述第一延伸部和所述半导体层的所述第一电极构成第二附加存储电容器。
6. 根据权利要求1所述的有机发光二极管显示器,其中,
所述叠置层延伸使得在平面图中所述叠置层的左侧与包括所述驱动晶体管的所述第一电极的所述半导体层的左侧一致。
7. 根据权利要求1所述的有机发光二极管显示器,其中,
当所述栅电极的左侧与所述叠置层的左侧之间的距离被称为第一距离时,
所述第一距离在 $1.0\mu\text{m}$ 至 $4.0\mu\text{m}$ 的范围内。
8. 根据权利要求1所述的有机发光二极管显示器,其中,
与当所述叠置层不与所述驱动晶体管的所述第一电极叠置时相比,当所述叠置层形成与与所述驱动晶体管的所述第一电极叠置时,瞬时余像减少3秒或更多。

9. 根据权利要求1所述的有机发光二极管显示器,其中,
所述叠置层和设置在与所述叠置层相邻的像素处的叠置层之间的距离在 $2.0\mu\text{m}$ 至 $2.5\mu\text{m}$ 的范围内。
10. 根据权利要求5所述的有机发光二极管显示器,所述有机发光二极管显示器还包括第二晶体管和第三晶体管,
其中,所述第二晶体管连接到扫描线和数据线,以将通过所述数据线传输的数据电压传输到所述驱动晶体管的所述第一电极,
所述第三晶体管连接到所述驱动晶体管的所述栅电极和所述第二电极,以将所述数据电压传输到所述存储电容器,并且
所述叠置层还包括与所述第三晶体管的所述半导体层叠置的第二延伸部。

有机发光二极管显示器

[0001] 于2018年10月24日在韩国知识产权局提交的且名称为“Organic Light Emitting Diode Display (有机发光二极管显示器)”的第10-2018-0127466号韩国专利申请通过引用全部包含于此。

技术领域

[0002] 本公开涉及一种有机发光二极管显示器,更具体地,涉及一种包括设置在半导体层与基底之间的叠置层的有机发光二极管显示器。

背景技术

[0003] 与液晶显示(LCD)装置不同,有机发光二极管(OLED)显示器具有自发射特性,消除了光源的必要性,因此能够更薄更轻。此外,OLED显示器具有高质量特性,诸如低功耗、高亮度、高响应速度等。

[0004] 通常,OLED显示器包括基底、位于基底上的多个薄膜晶体管、设置在构成薄膜晶体管的布线之间的多个绝缘层以及连接到薄膜晶体管的发光元件。OLED显示器包括多个像素,每个像素包括多个晶体管。

发明内容

[0005] 示例性实施例提供一种有机发光二极管显示器,所述有机发光二极管显示器包括:基底;叠置层,位于基底上;半导体层,位于叠置层上;第一栅极导体,位于半导体层上;第二栅极导体,位于第一栅极导体上;数据导体,位于第二栅极导体上;驱动晶体管,位于叠置层上;以及有机发光二极管,与驱动晶体管连接。驱动晶体管包括形成在半导体层中的第一电极、形成在半导体层中的第二电极、形成在第一电极与第二电极之间的沟道以及由第一栅极导体形成以与沟道叠置的栅电极。叠置层与驱动晶体管的沟道叠置,并延伸到第一电极以与第一电极的至少一部分叠置,第二栅极导体包括存储线,驱动电压通过由数据导体形成的驱动电压线被施加到存储线,并且叠置层接收恒定电压。

[0006] 栅极绝缘层可位于栅电极与存储线之间,并且栅电极和存储线可构成存储电容器,存储电容器保持施加到栅电极的电压。

[0007] 缓冲层可位于叠置层与半导体层之间,并且叠置层和驱动晶体管的半导体层可构成附加存储电容器。

[0008] 叠置层可包括与驱动晶体管的沟道叠置的基体部,并且基体部和驱动晶体管的沟道可构成第一附加存储电容器。

[0009] 叠置层可包括与驱动晶体管的第一电极叠置的第一延伸部,并且第一延伸部和半导体层的第一电极可构成第二附加存储电容器。

[0010] 叠置层延伸使得在平面图中叠置层的左侧可与包括驱动晶体管的第一电极的半导体层的左侧一致。

[0011] 当栅电极的左侧与叠置层的左侧之间的距离被称为第一距离,并且栅电极的右侧

与叠置层的右侧之间的距离被称为第二距离时,第一距离在 $1.0\mu\text{m}$ 至 $4.0\mu\text{m}$ 的范围内。

[0012] 当叠置层形成为与驱动晶体管的第一电极叠置时,瞬时余像的减少范围可以是当叠置层不与驱动晶体管的第一电极叠置时的瞬时余像的减少范围的5倍。

[0013] 与当叠置层不与驱动晶体管的第一电极叠置时相比,当叠置层形成为与驱动晶体管的第一电极叠置时,瞬时余像可减少3秒或更多。

[0014] 叠置层和设置在与叠置层相邻的像素处的叠置层之间的距离在 $2.0\mu\text{m}$ 至 $2.5\mu\text{m}$ 的范围内。

[0015] 有机发光二极管显示器还可包括第二晶体管和第三晶体管,第二晶体管可连接到扫描线和数据线,以将通过数据线传输的数据电压传输到驱动晶体管的第一电极,第三晶体管可连接到驱动晶体管的栅电极和第二电极,以将数据电压传输到存储电容器,并且叠置层还可包括与第三晶体管的半导体层叠置的第二延伸部。

[0016] 叠置层的第二延伸部和第三晶体管的半导体层可构成第三附加存储电容器。

[0017] 叠置层可与驱动晶体的第二电极的至少一部分叠置,并且叠置层和半导体层的第二电极的至少一部分可构成第四附加存储电容器。

[0018] 示例性实施例提供一种有机发光二极管显示器,所述有机发光二极管显示器包括:基底;叠置层,位于基底上;半导体层,位于叠置层上;栅电极,位于半导体层上;存储线,位于栅电极上;驱动电压线,位于存储线上;驱动晶体管,位于叠置层上;第三晶体管,位于叠置层上;以及有机发光二极管,与驱动晶体管连接。驱动晶体管包括形成在半导体层中的第一电极、形成在半导体层中的第二电极、设置在第一电极与第二电极之间的沟道以及栅电极。第三晶体管连接到驱动晶体的栅电极和第二电极。叠置层与驱动晶体的沟道叠置并延伸到第一电极的区域以与第一电极的至少一部分叠置,驱动电压通过驱动电压线被施加到存储线。恒定电压被施加到叠置层。

[0019] 叠置层可包括基体部和第一延伸部,基体部与驱动晶体的沟道叠置,第一延伸部与驱动晶体管的第一电极叠置,基体部和驱动晶体的沟道可构成第一附加存储电容器,而第一延伸部和半导体层的第一电极可构成第二附加存储电容器。

[0020] 缓冲层可位于叠置层与半导体层之间,并且叠置层的第二延伸部和第三晶体管的半导体层可构成第三附加存储电容器。

[0021] 有机发光二极管显示器还可包括第二晶体管,第二晶体管可连接到驱动晶体管的第一电极,并且叠置层可延伸使得叠置层的左侧与包括第二晶体管和驱动晶体管的第一电极的半导体层的左侧一致。

[0022] 当栅电极的左侧与叠置层的左侧之间的距离被称为第一距离,并且栅电极的右侧与叠置层的右侧之间的距离被称为第二距离时,第一距离在 $1.0\mu\text{m}$ 至 $4.0\mu\text{m}$ 的范围内。

[0023] 叠置层和设置在与叠置层相邻的像素处的叠置层之间的距离在 $2.0\mu\text{m}$ 至 $2.5\mu\text{m}$ 的范围内。

[0024] 当叠置层形成为与驱动晶体管的第一电极叠置时,瞬时余像的减少范围可以是当叠置层不与驱动晶体管的第一电极叠置时的瞬时余像的减少范围的5倍。

附图说明

[0025] 通过参照附图详细描述示例性实施例,对于本领域技术人员而言,特征将变得明

显,在附图中:

[0026] 图1示出根据示例性实施例的有机发光二极管显示器的一个像素的等效电路图;

[0027] 图2示出根据示例性实施例的施加到有机发光二极管显示器的一个像素的信号的时序图;

[0028] 图3示出根据示例性实施例的有机发光二极管显示器的像素区域的布局图;

[0029] 图4示出沿图3的线IV-IV截取的剖视图;

[0030] 图5示出根据示例性实施例的有机发光二极管显示器的一些薄膜层的层间结构的示意性剖视图;

[0031] 图6示出根据示例性实施例的有机发光二极管显示器的一个像素的等效电路图;

[0032] 图7示出根据示例性实施例的有机发光二极管显示器的像素区域的布局图;

[0033] 图8示出沿图7的线VIII-VIII截取的剖视图;

[0034] 图9示出根据比较示例的有机发光二极管显示器的一部分像素的放大视图;

[0035] 图10和图11示出根据示例的有机发光二极管显示器的一部分像素的放大视图;

[0036] 图12示出根据比较示例的有机发光二极管显示器的一部分像素的放大视图;以及

[0037] 图13示出显示比较示例和示例的余像特性的示图。

具体实施方式

[0038] 现在将在下文中参照附图更充分地描述示例实施例;然而,示例实施例可以以不同的形式实施,并且不应该被解释为限于在此阐述的实施例。确切地说,提供这些实施例使得本公开将是彻底的和完整的,并且将向本领域技术人员充分地传达示例性实施方式。

[0039] 在下文中,将参照其中示出示例性实施例的附图更加充分地描述实施例。如本领域技术人员将意识到的,在都不脱离本公开的精神或范围的情况下,可以以各种不同方式修改描述的实施例。

[0040] 为了清楚地描述实施例,省略与描述无关的部分,并且在整个说明书中,同样的标记表示同样或类似的构成元件。

[0041] 此外,由于为了更好地理解和便于描述而任意地给出了附图中示出的构造构件的尺寸和厚度,因此实施例不限于示出的尺寸和厚度。在附图中,为了清楚起见,夸大了层、膜、面板、区域等的厚度。在附图中,为了更好地理解和便于描述,夸大了一些层和区域的厚度。

[0042] 将理解的是,当元件(诸如,层、膜、区域或基底)被称为“在”另一元件“上”时,该元件可直接在所述另一元件上,或者也可存在中间元件。相比之下,当元件被称为“直接在”另一元件“上”时,不存在中间元件。此外,词语“在……之上”或“在……上”表示定位在目标部分上或下方,并不必表示基于重力方向定位在目标部分的上侧上。

[0043] 此外,除非明确地描述为相反,否则词语“包括”以及诸如其的变型将被理解为表明包括陈述的元件,但不排除任何其他元件。

[0044] 此外,在本说明书中,短语“在平面图上”表示从上方观看目标部分,短语“在剖视图上”表示从侧面观看通过竖直切割目标部分截取的剖面。

[0045] 在整个说明书中,平面图表示用于观察与彼此交叉的两个方向(例如,第一方向(DR1)和第二方向(DR2))平行的侧面的视图,剖视图表示用于观察沿同与第一方向(DR1)和

第二方向 (DR2) 平行的侧面垂直的方向 (例如, 第三方向 (DR3)) 切割的侧面的视图。此外, 当两个构成元件彼此叠置时, 这表示两个构成元件在第三方向 (DR3) 上 (例如, 在垂直于基底的上侧的方向上) 彼此叠置。

[0046] 在下文中, 将参照图1和图2描述根据示例性实施例的有机发光二极管显示器。图1示出根据示例性实施例的有机发光二极管显示器的一个像素的等效电路图。图2示出根据示例性实施例的施加到有机发光二极管显示器的一个像素的信号的时序图。

[0047] 参照图1, 有机发光二极管显示器的一个像素PX包括多条信号线127、151、152、153、158、171、172和741、连接到多条信号线127、151、152、153、158、171、172和741的多个晶体管T1、T2、T3、T4、T5、T6和T7、存储电容器Cst以及有机发光二极管OLED。

[0048] 晶体管T1、T2、T3、T4、T5、T6和T7包括驱动晶体管T1、与扫描线151连接的开关晶体管 (即, 第二晶体管T2和第三晶体管T3) 以及用于执行操作有机发光二极管OLED所需的操作的其他晶体管 (在下文中被称为“补偿晶体管”)。这些补偿晶体管T4、T5、T6和T7可包括第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7。

[0049] 多条信号线127、151、152、153、158、171、172和741可包括扫描线151、前一级扫描线152、发光控制线153、旁路控制线158、数据线171、驱动电压线172、初始化电压线127和共电压线741。旁路控制线158可以是前一级扫描线152的一部分, 或者可电连接到前一级扫描线152。

[0050] 扫描线151连接到栅极驱动器, 以将扫描信号 S_n 传输到开关晶体管 (即, 第二晶体管T2和第三晶体管T3)。前一级扫描线152连接到栅极驱动器, 并将在前一级处施加到像素PX的前一级扫描信号 $S(n-1)$ 传输到第四晶体管T4。由于第四晶体管T4包括串联连接的两个晶体管, 所以前一级扫描信号 $S(n-1)$ 被施加到包括在第四晶体管T4中的串联连接的两个晶体管的所有栅电极。发光控制线153连接到发射控制器, 并将用于控制有机发光二极管OLED的发光时间的发光控制信号EM传输到第五晶体管T5和第六晶体管T6。旁路控制线158可将旁路信号GB传输到第七晶体管T7, 并且可根据实施方式传输与前一级扫描信号 $S(n-1)$ 相同的信号。

[0051] 数据线171供应由数据驱动器生成的数据电压 D_m , 由有机发光二极管OLED (也被称为有机发光元件) 输出的光的亮度根据数据电压 D_m 而变化。驱动电压线172施加驱动电压ELVDD, 初始化电压线127传输用于使驱动晶体管T1初始化的初始化电压 V_{int} , 共电压线741施加共电压ELVSS。恒定电压分别被施加到驱动电压线172、初始化电压线127和共电压线741。

[0052] 驱动晶体管T1根据施加到驱动晶体管T1的数据电压 D_m 调节输出的电流的大小, 从驱动晶体管T1输出的驱动电流 I_d 被施加到有机发光二极管OLED, 使得有机发光二极管OLED的亮度根据数据电压 D_m 而调节。为此, 驱动晶体管T1的第一电极S1接收驱动电压ELVDD, 并通过第五晶体管T5连接到驱动电压线172。驱动晶体管T1的第一电极S1还连接到第二晶体管T2的第二电极D2, 使得数据电压 D_m 也被施加到驱动晶体管T1的第一电极S1。第二电极 (输出侧电极) D1朝向有机发光二极管OLED输出电流, 并通过第六晶体管T6连接到有机发光二极管OLED的阳极。栅电极G1与存储电容器Cst的电极 (第二存储电极E2) 连接。因此, 栅电极G1的电压根据存储在存储电容器Cst中的电压而变化。因此, 由驱动晶体管T1输出的驱动电流 I_d 变化。

[0053] 第二晶体管T2接收数据电压 D_m 。第二晶体管T2具有连接到第一扫描线151的栅电极G2、连接到数据线171的第一电极S2以及连接到驱动晶体管T1的第一电极S1的第二电极D2。当第二晶体管T2根据通过扫描线151传输的扫描信号 S_n 导通时，数据电压 D_m 被供应给驱动晶体管T1的第一电极S1。

[0054] 第三晶体管T3和第四晶体管T4中的每个被示出为包括彼此串联连接的两个晶体管的结构。在此，该串联连接的结构指示这样的结构：其中两个晶体管T3-1和T3-2的栅电极连接以接收同一信号，并且晶体管T3-1和T3-2中的一个的输出被施加到晶体管T3-1和T3-2中的另一个的输入。

[0055] 第三晶体管T3包括串联连接的第三-第一晶体管T3-1和第三-第二晶体管T3-2。第三-第一晶体管T3-1的栅电极G3-1和第三-第二晶体管T3-2的栅电极G3-2彼此连接。

[0056] 第三晶体管T3将在数据电压 D_m 改变时通过驱动晶体管T1获得的补偿电压($D_m + V_{th}$)输出到存储电容器 C_{st} 的第二存储电极E2。晶体管T3-1和T3-2的栅电极G3-1和G3-2与扫描线151连接。第三-第二晶体管T3-2的第一电极S3-2与驱动晶体管T1的第二电极D1连接，第三-第一晶体管T3-1的第二电极D3-1与存储电容器 C_{st} 的第二存储电极E2和驱动晶体管T1的栅电极G1连接。此外，第三-第一晶体管T3-1的第一电极S3-1和第三-第二晶体管T3-2的第二电极D3-2在第三节点N3处彼此连接。当第三晶体管T3被描述为一个晶体管时，第三-第二晶体管T3-2的第一电极S3-2变为第三晶体管T3的第一电极S3(见图3)，并且第三-第一晶体管T3-1的第二电极D3-1变为第三晶体管T3的第二电极D3(见图3)。第三晶体管T3根据通过扫描线151传输的扫描信号 S_n 导通，以将驱动晶体管T1的栅电极G1和第二电极D1连接，并将驱动晶体管T1的第二电极D1与存储电容器 C_{st} 的第二存储电极E2连接。

[0057] 第四晶体管T4用于使驱动晶体管T1的栅电极G1和存储电容器 C_{st} 的第二存储电极E2初始化。第四晶体管T4具有连接到前一级扫描线152的栅电极G4、连接到初始化电压线127的第一电极S4以及经由第三晶体管T3的第二电极D3连接到存储电容器 C_{st} 的第二存储电极E2和驱动晶体管T1的栅电极G1的第二电极D4。第四晶体管T4也包括串联连接的两个晶体管。第四晶体管T4根据通过前一级扫描线152传输的前一级扫描信号 $S_{(n-1)}$ ，将初始化电压 V_{int} 传输到驱动晶体管T1的栅电极G1和存储电容器 C_{st} 的第二存储电极E2。因此，使驱动晶体管T1的栅电极G1的栅极电压和存储电容器 C_{st} 初始化。初始化电压 V_{int} 可以是具有低电压值的电压以使驱动晶体管T1导通。根据另一实施方式，第四晶体管T4也可包括串联连接的两个晶体管，或者可以是单个晶体管。

[0058] 第五晶体管T5将驱动电压 $ELVDD$ 传输到驱动晶体管T1。第五晶体管T5具有连接到发光控制线153的栅电极G5、连接到驱动电压线172的第一电极S5以及连接到驱动晶体管T1的第一电极S1的第二电极D5。

[0059] 第六晶体管T6将从驱动晶体管T1输出的驱动电流 I_d 传输到有机发光二极管OLED。第六晶体管T6具有连接到发光控制线153的栅电极G6、连接到驱动晶体管T1的第二电极D1的第一电极S6以及连接到有机发光二极管OLED的阳极的第二电极D6。

[0060] 第五晶体管T5和第六晶体管T6根据通过发光控制线153传输的发光控制信号EM同时导通。当通过第五晶体管T5将驱动电压 $ELVDD$ 施加到驱动晶体管T1的第一电极S1时，驱动晶体管T1根据驱动晶体管T1的栅电极G1的电压(即，存储电容器 C_{st} 的第二存储电极E2的电压)输出驱动电流 I_d 。输出的驱动电流 I_d 通过第六晶体管T6传输到有机发光二极管OLED。当

电流 I_{oled} 流过有机发光二极管OLED时,有机发光二极管OLED发光。

[0061] 第七晶体管T7使有机发光二极管OLED的阳极初始化。第七晶体管T7具有连接到旁路控制线158的栅电极G7、连接到有机发光二极管OLED的阳极的第一电极S7以及连接到初始化电压线127的第二电极D7。旁路控制线158可连接到前一级扫描线152,并且具有与前一级扫描信号 $S(n-1)$ 的时序相同的时序的信号可作为旁路信号GB被施加。旁路控制线158可不连接到前一级扫描线152,并且可传输与前一级扫描信号 $S(n-1)$ 不同的信号。当第七晶体管T7根据旁路信号GB导通时,初始化电压 V_{int} 被施加到有机发光二极管OLED的阳极并且有机发光二极管OLED被初始化。

[0062] 存储电容器Cst的第一存储电极E1连接到驱动电压线172。第二存储电极E2连接到驱动晶体管T1的栅电极G1、第三晶体管T3的第二电极D3以及第四晶体管T4的第二电极D4。结果,第二存储电极E2确定驱动晶体管T1的栅电极G1的电压,并通过第三晶体管T3的第二电极D3接收补偿电压 (D_m+V_{th}) 或通过第四晶体管T4的第二电极D4接收初始化电压 V_{int} 。

[0063] 在图1的示例性实施例中,像素电路包括七个晶体管T1至T7和一个电容器Cst。可不同地修改晶体管和电容器的数量以及他们之间的连接。有机发光二极管显示器包括用于显示图像的显示区域,在该显示区域中这样的像素PX以各种方式(例如,矩阵)布置。

[0064] 根据图1的示例性实施例,有机发光二极管显示器还包括位于半导体层130(见图4)与基底110(见图4)之间的叠置层M1。叠置层M1在平面图中例如沿第三方向DR3与向有机发光二极管OLED供应电流的驱动晶体管T1叠置。

[0065] 叠置层M1位于驱动晶体管T1的半导体层130下方以与驱动晶体管T1叠置。具体地,叠置层M1关于其中形成有驱动晶体管T1的沟道的半导体层130与驱动晶体管T1的栅电极G1相对。叠置层M1也可用作驱动晶体管T1的第二栅电极,并且可被称为第二栅电极。

[0066] 在此,除了存储电容器Cst之外,还通过驱动晶体管T1的半导体层130和叠置层M1形成了附加存储电容器Cp。附加存储电容器Cp具有连接到驱动电压线172的第一端以及连接到驱动晶体管T1的第一电极S1的第二端。附加存储电容器Cp包括第一附加存储电容器Cm(见图4)和第二附加存储电容器Cse(见图4)。第一附加存储电容器Cm由驱动晶体管T1的沟道和叠置层M1形成。第二附加存储电容器Cse通过叠置层M1的与驱动晶体管T1的第一电极S1叠置的第一延伸部形成。这将在下面详细描述。

[0067] 这样,除了存储电容器Cst之外,还形成了附加存储电容器Cp。因此,与不存在叠置层M1的情况或叠置层M1仅与特定晶体管的沟道区叠置的情况相比,总电容增大。存储电容器Cst保持施加到驱动晶体管T1的栅电极G1的电压,附加存储电容器Cp保持施加到驱动晶体管T1的半导体层130的电压。

[0068] 叠置层M1可在第一电极S1与叠置层M1之间以及在驱动晶体管T1的半导体层130的沟道区与叠置层M1之间生成附加电容,以增大电容。

[0069] 叠置层M1可遍及驱动晶体管T1的第一电极S1仅延伸到一定程度。这是因为:如果叠置层M1延伸到与叠置层M1相邻的像素之外的区域,则可使用于确定电容的叠置层M1的面积最大化,但是由于短路等的发生,余像特性可能更差,短路等的发生由在相邻像素中延伸的叠置层M1或残留在叠置层M1的图案化工艺中的残留物引起。

[0070] 因此,通过沿第一方向DR1将叠置层M1延伸预定宽度以与驱动晶体管T1的第一电极S1叠置,可优化驱动晶体管T1的总电容 $(C_{st}+C_m+C_{se})$,从而使附加电容最大化同时改善

余像。

[0071] 叠置层M1可接收恒定电压,例如,驱动电压ELVDD。连同改善上述余像特性的效果,当将驱动电压ELVDD一致地施加到叠置层M1时,可恒定地保持叠置层M1的电位以防止叠置层M1对周围电极的影响。此外,对于与叠置层M1叠置的驱动晶体管T1,叠置层M1对从基底110入射在叠置层M1上的光具有阻光功能,从而防止漏电流和驱动晶体管T1的特性劣化。

[0072] 叠置层M1与向有机发光二极管OLED供应电流的驱动晶体管T1叠置。叠置层M1位于驱动晶体管T1的半导体层130下方以与驱动晶体管T1的半导体层130叠置。具体地,叠置层M1关于其中形成有驱动晶体管T1的沟道的半导体层130与驱动晶体管T1的栅电极G1相对。如上所述,叠置层M1也可用作驱动晶体管T1的第二栅电极。

[0073] 附加存储电容器Cp的电容与Vgs之间的关系表达式通过以下等式1获得。

[0074] [等式1]

$$[0075] \quad V_{gs} = \frac{C_p}{C_{st} + C_p} \times \Delta V_g + V_{th_T1} = V_1 + V_{th_T1}$$

[0076] 在等式1中,Vgs指示驱动晶体管T1的栅电极G1与第一电极S1之间的电压,该电压是相应的电压之间的差。为了便于描述,在等式1中,存储电容器Cst的电容由Cst表示,附加存储电容器Cp的电容由Cp表示。 ΔV_g 指示施加到栅电极G1的电压的变化范围。

[0077] 在等式1中,V₁指示通过将电压Vg的变化宽度 ΔV_g 乘以Cst和Cp的比率而获得的值,V_{th_T1}指示驱动晶体管T1的阈值电压。根据等式1,Vgs具有通过将V_{th_T1}与受Cst和Cp的比率影响的V₁相加而获得的值。也就是说,驱动晶体管T1的栅电极G1与第一电极S1之间的电压由Cst和Cp的比率确定。

[0078] 附加存储电容器Cp包括第一附加存储电容器Cm和第二附加存储电容器Cse。因此,Cp的值指示通过将Cm和Cse相加而获得的值。

[0079] 在此,如上所述,除了第一附加存储电容器Cm之外,通过将叠置层M1延伸到与第一电极S1叠置还形成了第二附加存储电容器Cse,从而增大Cp的值。因此,根据等式1,Vgs的值也增大。随着Vgs的值变得更大,滞后和余像减少。

[0080] 滞后是这样的现象:其中特定物理量不仅由在特定时间点的物理条件确定,而且取决于其中之前已经发生所述特定物理量的状态的变化过程。换言之,随着滞后减少,电流控制越容易而改善滞后,减少余像。

[0081] 具体地,在根据本示例性实施例的有机发光二极管显示器中,第二附加存储电容器Cse通过延伸的叠置层M1形成以增大Cp,使得根据等式1,Vgs可增大以减小滞后值,从而减少余像。

[0082] 尽管在图1的示例性实施例中已将叠置层M1描述为接收驱动电压ELVDD,但是叠置层M1可接收除了驱动电压ELVDD之外的电压。此外,在本示例性实施例中,叠置层M1与驱动晶体管T1的半导体层130叠置,但是叠置层M1可与除了驱动晶体管T1之外的晶体管T2、T3、T4、T5、T6和T7的至少一个半导体层130叠置。

[0083] 在图2中示出图1的电路图的操作。如图2中所示,在初始化时段期间,通过前一级扫描线152将低电平的前一级扫描信号S(n-1)供应给像素PX。然后,被施加前一级扫描信号S(n-1)的第四晶体管T4导通,以通过第四晶体管T4将初始化电压Vint施加到驱动晶体管T1的栅电极G1和存储电容器Cst的第二存储电极E2。结果,使驱动晶体管T1和存储电容器Cst

初始化。初始化电压 V_{int} 具有低值以使驱动晶体管T1导通。

[0084] 在初始化时段期间,将低电平的旁路信号GB也施加到第七晶体管T7。第七晶体管T7导通,以通过第七晶体管T7将初始化电压 V_{int} 施加到有机发光二极管OLED的阳极。结果,也使有机发光二极管OLED的阳极初始化。

[0085] 然后,在数据写入时段期间,通过扫描线151将低电平的扫描信号 S_n 施加到像素PX。第二晶体管T2和第三晶体管T3通过低电平的扫描信号 S_n 导通。

[0086] 当第二晶体管T2导通时,数据电压 D_m 通过第二晶体管T2输入到驱动晶体管T1的第一电极S1中。

[0087] 此外,在数据写入时段期间,第三晶体管T3导通。结果,驱动晶体管T1的第二电极D1电连接到栅电极G1和存储电容器Cst的第二存储电极E2。驱动晶体管T1的栅电极G1和第二电极D1二极管连接。此外,因为在初始化时段期间低电压(例如,初始化电压 V_{int})被施加到栅电极G1,所以驱动晶体管T1导通。结果,输入到驱动晶体管T1的第一电极S1的数据电压 D_m 通过驱动晶体管T1的沟道从第二电极D1输出,然后通过第三晶体管T3被存储在存储电容器Cst的第二存储电极E2中。

[0088] 在这种情况下,施加到第二存储电极E2的电压可根据驱动晶体管T1的阈值电压(V_{th})而变化。当数据电压 D_m 被施加到驱动晶体管T1的第一电极S1并且初始化电压 V_{int} 被施加到驱动晶体管T1的栅电极G1时,输出到第二电极D1中的电压可具有 $V_{gs}+V_{th}$ 的值。如上所述, V_{gs} 指示施加到驱动晶体管T1的栅电极G1与第一电极S1的电压之间的差,并且可具有 D_m-V_{int} 的值。因此,从第二电极D1输出并存储在第二存储电极E2中的电压可具有 $D_m-V_{int}+V_{th}$ 的值。

[0089] 此后,在发射时段期间,从发光控制线153供应的发光控制信号EM具有低电平的,并且第五晶体管T5和第六晶体管T6导通。结果,驱动电压ELVDD被施加到驱动晶体管T1的第一电极S1,并且驱动晶体管T1的第二电极D1连接到有机发光二极管OLED。驱动晶体管T1根据栅电极G1的电压与第一电极S1的电压(即,驱动电压ELVDD)之间的电压差生成驱动电流 I_d 。驱动晶体管T1的驱动电流 I_d 可具有与 $V_{gs}-V_{th}$ 的平方成比例的值。在此, V_{gs} 的值等于存储电容器Cst的相对两端之间的电压差, V_{gs} 具有 V_g-V_s 的值,因此 V_{gs} 具有 $D_m-V_{int}+V_{th}-ELVDD$ 的值。在此,通过减去 V_{th} 的值来获得 $V_{gs}-V_{th}$ 的值,因此 $V_{gs}-V_{th}$ 具有 $D_m-V_{int}-ELVDD$ 的值。也就是说,驱动晶体管T1的驱动电流 I_d 具有与驱动晶体管T1的阈值电压(V_{th})无关的电流作为输出。

[0090] 因此,即使当每个像素PX中的驱动晶体管T1由于工艺分散而具有不同的阈值电压(V_{th})时,也可使驱动晶体管T1的输出电流恒定,从而改善不一致性。

[0091] 在上面的等式中,在使用多晶半导体的P型晶体管的情况下, V_{th} 的值可略大于0或为负值。此外,“+”和“-”的表述可根据计算电压所沿的方向而改变。然而,不存在这样的差异:作为驱动晶体管T1的输出电流的驱动电流 I_d 可具有与阈值电压(V_{th})无关的值。

[0092] 当上述发射时段结束时,初始化时段再次开始,并且相同的操作从头开始重复。

[0093] 晶体管T1、T2、T3、T4、T5、T6和T7的第一电极和第二电极根据施加电压或电流所沿的方向可以是源电极或漏电极。

[0094] 在一些实施方式中,在初始化时段期间,第七晶体管T7不仅可使有机发光二极管OLED的阳极初始化,而且可防止在驱动晶体管T1实际上未导通的条件下发射的少量的电流

流向有机发光二极管OLED。在这种情况下,所述少量的电流作为旁路电流 I_{bp} 通过第七晶体管T7放电至初始化电压 V_{int} 的状态。结果,有机发光二极管OLED可不发射不必要的光,从而更清楚地形成黑灰色并提高对比度。在这种情况下,旁路信号GB可以是具有与前一级扫描信号 $S(n-1)$ 的时序不同的时序的信号。根据另一实施方式,可省略第七晶体管T7。

[0095] 在如上所述进行操作的像素PX中,叠置层M1可接收驱动电压ELVDD。叠置层M1位于驱动晶体管T1的半导体层130与基底110之间,以形成附加存储电容器 C_p 。附加存储电容器 C_p 包括第一附加存储电容器 C_m 和第二附加存储电容器 C_{se} 。具体地,叠置层M1与驱动晶体管T1的沟道叠置以形成第一附加存储电容器 C_m ,并且叠置层M1与驱动晶体管T1的第一电极S1叠置以形成第二附加存储电容器 C_{se} 。因此,像素PX的总电容 $C_{st}+C_p$ 增大。在形成第二附加存储电容器 C_{se} 的情况下, C_p 增大,通过等式1, V_{gs} 增大,滞后和余像减少。

[0096] 在下文中,将参照图3至图5描述根据示例性实施例的有机发光二极管显示器的堆叠结构。图3示出根据示例性实施例的有机发光二极管显示器的像素区域的布局图,图4示出沿图3的线IV-IV截取的剖视图,图5是示意性地示出根据示例性实施例的有机发光二极管显示器的一些薄膜层的层间结构的示意性剖视图。

[0097] 首先,参照图3以及图1,根据本示例性实施例,有机发光二极管显示器包括主要沿第一方向DR1延伸以分别传输扫描信号 S_n 、前一级扫描信号 $S(n-1)$ 、发光控制信号EM和初始化电压 V_{int} 的扫描线151、前一级扫描线152、发光控制线153和初始化电压线127。旁路信号GB通过前一级扫描线152传输。有机发光二极管显示器包括沿与第一方向DR1交叉的第二方向DR2延伸以分别传输数据电压 D_m 和驱动电压ELVDD的数据线171和驱动电压线172。

[0098] 有机发光二极管显示器包括驱动晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6、第七晶体管T7、存储电容器 C_{st} 以及有机发光二极管OLED。在图3的示例性实施例中,有机发光二极管显示器还包括与驱动晶体管T1的半导体层130叠置的叠置层M1。

[0099] 叠置层M1可由具有导电特性的金属或具有与金属的导电特性等效的导电特性的半导体材料形成。叠置层M1可位于半导体层130与基底110(例如,由塑料、聚酰亚胺(PI)等形成的基底)之间。此外,叠置层M1可在平面图中例如沿第三方向DR3与驱动晶体管T1的沟道区叠置,并且可与驱动晶体管T1的其他部分中的至少一部分叠置。

[0100] 参照图3,叠置层M1包括基体部M1-1和第一延伸部M1-S。叠置层M1由图3中的粗虚线指示。

[0101] 基体部M1-1与驱动晶体管T1的沟道、第一电极S1的一部分和第二电极D1的一部分叠置。基体部M1-1的左端可连接到第一延伸部M1-S,并且其右端可与驱动晶体管T1的第二电极D1的一部分叠置。基体部M1-1的右端不与包括驱动晶体管T1的第二电极D1、第三晶体管T3的第一电极S3和第六晶体管T6的第一电极S6的整个半导体层130叠置。

[0102] 第一延伸部M1-S是叠置层M1沿第一方向DR1延伸以与驱动晶体管T1的第一电极S1叠置的部分。在这种情况下,第一延伸部M1-S可覆盖包括驱动晶体管T1的第一电极S1和第二晶体管T2的一部分的整个半导体层130。具体地,在本示例性实施例中,第一延伸部M1-S具有与包括驱动晶体管T1的第一电极S1和第二晶体管T2的半导体层130的左侧一致的左侧。

[0103] 参照图3,驱动晶体管T1、第二晶体管T2、第三晶体管T3、第四晶体管T4、第五晶体

管T5、第六晶体管T6和第七晶体管T7的每个沟道位于纵向延伸的半导体层130中。此外，晶体管T1、T2、T3、T4、T5、T6和T7的第一电极和第二电极的至少一部分位于半导体层130中。

[0104] 在图3中半导体层130被阴影化，以容易地与其他层区分开。半导体层130可以以除了如图3中所示的形状之外的各种形状弯曲。半导体层130可包括氧化物半导体或由多晶硅制成的多晶半导体。

[0105] 半导体层130包括掺杂有N型杂质或P型杂质的沟道以及设置在沟道的相对侧处并且具有比沟道的掺杂浓度高的掺杂浓度的第一掺杂区和第二掺杂区。第一掺杂区和第二掺杂区分别对应于晶体管T1、T2、T3、T4、T5、T6和T7的第一电极和第二电极。当第一掺杂区和第二掺杂区中的一个为源区时，另一区域对应于漏区。此外，可在半导体层130中对不同晶体管的第一电极与第二电极之间的区域进行掺杂，使得晶体管可彼此电连接。

[0106] 将被掺杂到沟道中的杂质的示例可包括磷(P)、砷(As)、锑(Sb)、硼(B)、铝(Al)、铟(In)、镓(Ga)等。当杂质包括磷、砷、锑等时，晶体管可以是其中电子是载流子的n型薄膜晶体管(TFT)。当杂质包括硼、铝、铟、镓等时，晶体管可以是其中空穴是载流子的p型薄膜晶体管(TFT)。

[0107] 晶体管T1、T2、T3、T4、T5、T6和T7的每个沟道与晶体管T1、T2、T3、T4、T5、T6和T7中的每个的栅电极叠置，并且位于晶体管T1、T2、T3、T4、T5、T6和T7中的每个的第一电极与第二电极之间。晶体管T1、T2、T3、T4、T5、T6和T7可具有基本相同的堆叠结构。在下文中，将详细描述驱动晶体管T1，并且将简要描述其余的晶体管T2、T3、T4、T5、T6和T7。

[0108] 驱动晶体管T1的栅电极155(例如，第一栅电极)在平面图中与沟道叠置(例如，沿第三方向DR3与沟道部分地叠置)。第一电极S1和第二电极D1分别位于沟道的相对侧处。存储线126的绝缘的延伸部位于栅电极155上。存储线126的延伸部在平面图中与栅电极155叠置，并且第二栅极绝缘层142(见图4)置于存储线126的延伸部与栅电极155之间以构成存储电容器Cst。存储线126的延伸部用作存储电容器Cst的第一存储电极E1(见图1)，并且栅电极155用作第二存储电极E2(见图1)。存储线126的延伸部具有开口56，使得栅电极155可连接到第一数据连接构件71。在开口56中，栅电极155的上表面和第一数据连接构件71通过开口61彼此电连接。第一数据连接构件71连接到第三晶体管T3的第二电极D3，以将驱动晶体管T1的栅电极155连接到第三晶体管T3的第二电极D3。

[0109] 叠置层M1与驱动晶体管T1的半导体层130叠置。叠置层M1包括基体部M1-1和第一延伸部M1-S。

[0110] 基体部M1-1与驱动晶体管T1的半导体层130的沟道、第一电极S1的至少一部分和第二电极D1的至少一部分叠置。此外，基体部M1-1可形成为与存储电容器Cst的第一存储电极(图1中的E1)叠置，第一存储电极(图1中的E1)是存储线126的延伸部分。

[0111] 第一延伸部M1-S是从基体部M1-1例如沿第一方向DR1以预定宽度延伸到驱动晶体管T1的第一电极S1的部分，并且第一延伸部M1-S与包括第二晶体管T2和第一电极S1的半导体层130叠置。如图3中所示，第一延伸部M1-S的左侧与半导体层130的左侧一致。换言之，第一延伸部M1-S可沿第三方向DR3与第一电极S1完全叠置，并且可不沿第二方向DR2延伸直至基体部M1-1。

[0112] 第二晶体管T2的栅电极可以是扫描线151的一部分。数据线171通过开口62连接到第二晶体管T2的第一电极S2，并且第一电极S2和第二电极D2可设置在半导体层130上。

[0113] 第三晶体管T3可包括彼此相邻并且串联结合的两个晶体管T3-1和T3-2。两个晶体管T3-1和T3-2的栅电极可以是扫描线151的一部分或者是从扫描线151向上突出的部分。这样的结构可被称为双栅结构,并且可防止漏电流。

[0114] 当将其中两个晶体管串联连接的结构简要地描述为一个第三晶体管T3时,可描述第三晶体管T3的(与第三-第二晶体管T3-2的第一电极S3-2(见图1)对应的)第一电极S3连接到第六晶体管T6的第一电极S6和驱动晶体管T1的第二电极D1。此外,(与第三-第一晶体管T3-1的第二电极D3-1(见图1)对应的)第二电极D3通过开口63连接到第一数据连接构件71。

[0115] 第四晶体管T4可包括位于前一级扫描线152和半导体层130交叉的部分处的两个第四晶体管T4。第四晶体管T4的栅电极可以是前一级扫描线152的一部分。第四晶体管T4中的一个的第一电极连接到第四晶体管T4中的另一个的第二电极。这样的结构可被称为双栅结构,并且可防止漏电流。第二数据连接构件72通过开口65连接到第四晶体管T4的第一电极S4。第一数据连接构件71通过开口63连接到第四晶体管T4的第二电极D4。

[0116] 这样,可通过使用第三晶体管T3和第四晶体管T4来使用双栅结构,以通过在截止状态下阻挡沟道的电子移动路径来有效地防止漏电流。

[0117] 第五晶体管T5的栅电极可以是发光控制线153的一部分。驱动电压线172通过开口67连接到第五晶体管T5的第一电极S5。第五晶体管T5的第二电极D5通过半导体层130连接到驱动晶体管T1的第一电极S1。

[0118] 第六晶体管T6的栅电极可以是发光控制线153的一部分。第三数据连接构件73通过开口69连接到第六晶体管T6的第二电极D6,第一电极S6通过半导体层130连接到驱动晶体管T1的第二电极D1。

[0119] 第七晶体管T7的栅电极可以是前一级扫描线152的一部分。第三数据连接构件73通过开口69连接到第七晶体管T7的第一电极S7,第一电极S7连接到第六晶体管T6的第二电极D6。第七晶体管T7的第二电极D7连接到第四晶体管T4的第一电极S4。

[0120] 存储电容器Cst包括彼此叠置的第一存储电极E1和第二存储电极E2,并且第二栅极绝缘层142置于第一存储电极E1与第二存储电极E2之间。第二存储电极E2可对应于驱动晶体管T1的栅电极155,第一存储电极E1可以是存储线126的延伸部。在此,第二栅极绝缘层142(见图4)用作介电材料,电容由存储电容器Cst中充入的电压和第一存储电极E1与第二存储电极E2之间的电压确定。通过使用栅电极155作为第二存储电极E2,可确保其中在像素内由占据大面积的驱动晶体管T1的沟道而变窄的空间中能够形成存储电容器Cst的空间。

[0121] 驱动电压线172通过开口68连接到第一存储电极E1。因此,存储电容器Cst存储与通过驱动电压线172传输到第一存储电极E1的驱动电压ELVDD和栅电极155的栅极电压(Vg)之间的差对应的电荷。

[0122] 此外,作为存储线126的延伸部的第一存储电极E1通过开口60连接到叠置层M1。第一存储电极E1通过经由开口68连接的驱动电压线172接收驱动电压ELVDD。因此,叠置层M1通过第一存储电极E1接收驱动电压ELVDD。

[0123] 第二数据连接构件72通过开口64连接到初始化电压线127。像素电极通过开口81连接到第三数据连接构件73。

[0124] 有机发光二极管OLED包括通过开口81连接的像素电极、有机发射层和共电极。

[0125] 寄生电容器控制图案79可位于第三晶体管T3的第三节点N3上方。寄生电容器存在于像素中,当施加到寄生电容器的电压改变时,其图像质量特性可能改变。驱动电压线172通过开口66连接到寄生电容器控制图案79。结果,通过将具有恒定DC电压的驱动电压ELVDD施加到寄生电容器,可防止图像质量特性被改变。寄生电容器控制图案79可位于与示出的位置不同的区域中,并且除了驱动电压ELVDD之外的电压可被施加到寄生电容器控制图案79。

[0126] 第一数据连接构件71的第一端通过开口61连接到栅电极155,第一数据连接构件71的第二端通过开口63连接到第三晶体管T3的第二电极D3和第四晶体管T4的第二电极D4。

[0127] 第二数据连接构件72的第一端通过开口65连接到第四晶体管T4的第一电极S4,并且第二数据连接构件72的第二端通过开口64连接到初始化电压线127。

[0128] 第三数据连接构件73的第一端通过开口81连接到像素电极,第二端通过开口69连接到第六晶体管T6的第二电极D6。

[0129] 半导体层130和多条信号线127、151、152、153、158、171、172和741的具体形状可与图3中示出的半导体层130和多条信号线127、151、152、153、158、171、172和741的形状不同,并且可被另外蚀刻以具有不同的厚度。

[0130] 在下文中,将参照图4以及图3根据根据示例性实施例的有机发光二极管显示器的堆叠顺序来描述其剖面结构。将省略与图3中描述的内容相同的内容的描述。

[0131] 参照图4,根据本示例性实施例,有机发光二极管显示器包括基底110。基底110可由柔性材料(例如,塑料、聚酰亚胺(PI)等)形成。

[0132] 阻挡层111位于基底110上。阻挡层111可包括无机绝缘材料(例如,氧化硅、氮化硅、氧化铝等)或者有机绝缘材料(例如,聚酰亚胺、亚克力)。阻挡层111防止杂质流入晶体管中并使基底110的一个表面平坦化。根据示例性实施例,可省略阻挡层111。

[0133] 叠置层M1位于阻挡层111上。叠置层M1可由具有导电特性的金属或具有与金属的导电特性等效的导电特性的半导体材料形成。金属可包括例如钼、铬、钽、钛、铜、它们的合金等。叠置层M1可以是单层或多层。

[0134] 缓冲层112位于叠置层M1上。缓冲层112可以是无机绝缘材料(例如,氧化硅、氮化硅、氧化铝等),并且还可包括有机绝缘材料(例如,聚酰亚胺、聚丙烯酸(环氧)等)。

[0135] 驱动晶体管T1的半导体层130位于缓冲层112上。半导体层130包括沟道C1、第一电极S1和第二电极D1。详细内容与上述内容相同,因此将被省略。

[0136] 叠置层M1与驱动晶体管T1的半导体层130叠置。具体地,叠置层M1与驱动晶体管T1的半导体层130的沟道C1以及位于沟道C1的一侧处的第一电极S1叠置。根据本示例性实施例,叠置层M1可与驱动晶体管T1的第二电极D1的一部分叠置。

[0137] 叠置层M1可在平面图中与栅电极155或存储线126完全叠置,并且可具有突出以连接到另一层的区域。叠置层M1可形成为具有与驱动晶体管T1叠置的任何形式,例如,叠置层M1可不是连续的并且可与驱动晶体管T1的分离的部分叠置。

[0138] 在本示例性实施例中,叠置层M1包括基体部M1-1和第一延伸部M1-S。基体部M1-1是与驱动晶体管T1的沟道C1叠置的区域。基体部M1-1的左端可连接到第一延伸部M1-S,并且基体部M1-1的右端可形成为不与包括驱动晶体管T1的第二电极D1的半导体层130叠置。然而,根据示例性实施例,基体部M1-1的右端可与第二电极D1的至少一部分叠置。

[0139] 第一延伸部M1-S是叠置层M1延伸到驱动晶体管T1的第一电极S1以与第一电极S1叠置的部分。在此,第一延伸部M1-S延伸以与设置在第一延伸部M1-S上方的驱动晶体管T1的第一电极S1完全叠置。换言之,第一延伸部M1-S可连接到基体部M1-1的左端,使得第一延伸部M1-S的左端与驱动晶体管T1的第一电极S1的左端一致(例如,与驱动晶体管T1的第一电极S1的左端对齐)。

[0140] 在此,附加存储电容器Cp由叠置层M1和驱动晶体管T1的半导体层130形成。附加存储电容器Cp包括第一附加存储电容器Cm和第二附加存储电容器Cse。

[0141] 第一附加存储电容器Cm由叠置层M1的基体部M1-1和驱动晶体管T1的沟道C1形成。第二附加存储电容器Cse由叠置层M1的第一延伸部M1-S和驱动晶体管T1的第一电极S1形成。结果,除了存储电容器Cst之外还形成了附加存储电容器Cp,使得生成附加电容,从而增大总电容。因此,在根据本示例性实施例的有机发光二极管显示器中,减少了瞬时余像并且改善了余像特性。

[0142] 同时,由于叠置层M1沿第一方向DR1未延伸至与驱动晶体管T1的第二电极D1完全叠置,因此提供了在与叠置层M1相邻的像素处距叠置层M1的特定距离,从而即使在总电容增大时也防止余像特性的劣化。因此,可尽可能多地改善余像特性。

[0143] 覆盖半导体层130的第一栅极绝缘层141位于半导体层130上。包括扫描线151、前一级扫描线152、发光控制线153和晶体管T1、T2、T3、T4、T5、T6和T7的栅电极(第二存储电极E2)的第一栅极导体位于第一栅极绝缘层141上。

[0144] 覆盖第一栅极导体的第二栅极绝缘层142位于第一栅极导体上。第一栅极绝缘层141和第二栅极绝缘层142可由诸如氮化硅、氧化硅、氧化铝的材料形成。

[0145] 包括存储线126、第一存储电极E1、初始化电压线127和寄生电容器控制图案79的第二栅极导体位于第二栅极绝缘层142上。

[0146] 覆盖第二栅极导体的层间绝缘层160位于第二栅极导体上。层间绝缘层160可由诸如氮化硅、氧化硅、氧化铝的材料形成,并且可由有机绝缘材料形成。

[0147] 包括数据线171、驱动电压线172、第一数据连接构件71、第二数据连接构件72和第三数据连接构件73的数据导体位于层间绝缘层160上。

[0148] 覆盖数据导体的钝化层180位于数据导体上。钝化层180可包括有机绝缘材料。

[0149] 像素电极位于钝化层180上。像素电极通过钝化层180中的开口81连接到第三数据连接构件73。分隔壁或像素限定层位于钝化层180和像素电极上。分隔壁具有与像素电极叠置的开口部分,有机发射层位于开口部分中。共电极位于有机发射层和分隔壁上。像素电极、有机发射层和共电极构成有机发光二极管OLED。

[0150] 根据实施方式,像素电极可以是阳极(即,空穴注入电极),并且共电极可以是阴极(即,电子注入电极)。相反,像素电极可以是阴极,共电极可以是阳极。当空穴和电子从像素电极和共电极注入到有机发射层中时,在通过使注入的空穴和电子结合形成的激子从激发态落到基态时发射光。

[0151] 构成第一栅极导体的扫描线151、前一级扫描线152和发光控制线153沿第一方向DR1延伸。构成第二栅极导体的存储线126和初始化电压线127沿第一方向DR1延伸。构成数据导体的数据线171和驱动电压线172沿第二方向DR2延伸。

[0152] 数据线171通过第一栅极绝缘层141、第二栅极绝缘层142和层间绝缘层160中的开

口62与第二晶体管T2的第一电极S2连接。

[0153] 驱动电压线172通过第一栅极绝缘层141、第二栅极绝缘层142和层间绝缘层160中的开口67连接到第五晶体管T5的第一电极S5,通过层间绝缘层160中的开口68与存储线126的延伸部(第一存储电极E1)连接,并且通过层间绝缘层160中的开口66与寄生电容器控制图案79连接。

[0154] 第一数据连接构件71的第一端通过第二栅极绝缘层142和层间绝缘层160中的开口61与栅电极155连接。第一数据连接构件71的第二端通过第一栅极绝缘层141、第二栅极绝缘层142和层间绝缘层160中的开口63与第三晶体管T3的第二电极D3和第四晶体管T4的第二电极D4连接。

[0155] 第二数据连接构件72的第一端通过第一栅极绝缘层141、第二栅极绝缘层142和层间绝缘层160中的开口65与第四晶体管T4的第一电极S4连接。第二数据连接构件72的第二端通过层间绝缘层160中的开口64与初始化电压线127连接。

[0156] 第三数据连接构件73通过第一栅极绝缘层141、第二栅极绝缘层142和层间绝缘层160中的开口69与第六晶体管T6的第二电极D6连接。

[0157] 在这种情况下,叠置层M1可通过开口60连接到存储线126的延伸部(第一存储电极E1)。驱动电压线172通过开口68连接到存储线126,使得驱动电压ELVDD可被施加到存储线126。因此,驱动电压ELVDD可通过存储线126被施加到叠置层M1。

[0158] 如上所述,接收驱动电压ELVDD的叠置层M1和驱动晶体管T1形成附加存储电容器C_p。第一附加存储电容器C_m由叠置层M1的基体部M1-1和驱动晶体管T1的沟道C1形成。第二附加存储电容器C_{se}由叠置层M1的第一延伸部M1-S和驱动晶体管T1的第一电极S1另外地形成。结果,总电容增大并且余像减少,从而可改善余像特性。

[0159] 当将驱动电压ELVDD一致地施加到叠置层M1时,可恒定地保持叠置层M1的电位以防止对周围电极的影响,并且可为与叠置层M1叠置的驱动晶体管T1提供阻光功能,以防止漏电流和驱动晶体管T1的特性劣化。

[0160] 封装层可位于共电极上以保护有机发光二极管OLED。封装层可与共电极接触或者可与共电极分隔开。封装层可以是其中堆叠有有机层和无机层的薄膜封装层(例如,可包括包含无机层、有机层和无机层的三层)。覆盖层和功能层可位于共电极与封装层之间。

[0161] 在下文中,将参照图4和图5描述根据示例性实施例的叠置层与半导体层之间的关系。

[0162] 图5是示出根据示例性实施例的有机发光二极管显示器的一些薄膜层的层间结构的示意性剖视图。在根据图4的示例性实施例的有机发光二极管显示器中,在图5的剖视图中示出了叠置层M1、半导体层130、栅电极155和存储线126,并且省略了其他层。

[0163] 参照图5,示出了叠置层M1。缓冲层112(见图4)可位于叠置层M1上。

[0164] 驱动晶体管T1的半导体层130位于叠置层M1上。如上面在图3中描述的,驱动晶体管T1的半导体层130包括沟道C1以及位于沟道C1的相对侧处的第一电极S1和第二电极D1。

[0165] 叠置层M1包括基体部M1-1和第一延伸部M1-S。基体部M1-1沿第三方向DR3与驱动晶体管T1的半导体层130的沟道C1叠置(例如,完全叠置)。第一延伸部M1-S是叠置层M1沿第三方向DR3与驱动晶体管T1的第一电极S1叠置(例如,完全叠置)的区域。

[0166] 在此,附加存储电容器C_p由叠置层M1、驱动晶体管T1的半导体层130和位于叠置层

M1与驱动晶体管T1的半导体层130之间的缓冲层112(见图4)形成。附加存储电容器Cp包括通过基体部M1-1形成的第一附加存储电容器Cm和通过第一延伸部M1-S形成的第二附加存储电容器Cse。因此,除了存储电容器Cst之外,还形成了包括第一附加存储电容器Cm和第二附加存储电容器Cse的附加存储电容器Cp,从而增大总电容并减少余像。

[0167] 在这种情况下,叠置层M1没有延伸为覆盖驱动晶体管T1的第二电极D1。这是为了防止当叠置层M1位于相邻像素中时可能出现的问题(例如,布线短路)或者当叠置层M1也与整个第二电极D1叠置时不能确保最小设计余量。在实施方式中,叠置层M1可部分地延伸到第二电极D1,以形成稍后将描述的第四附加存储电容器Cde。

[0168] 第一栅极绝缘层141(见图4)可位于半导体层130上并且栅电极155位于第一栅极绝缘层141上。栅电极155可与设置在其下方的半导体层130的沟道C1叠置。

[0169] 第二栅极绝缘层142(见图4)可位于栅电极155上,并且存储线126可位于第二栅极绝缘层142上。栅电极155、存储线126以及位于栅电极155与存储线126之间的第二栅极绝缘层142构成存储电容器Cst。如图1中所述,驱动晶体管T1的栅电极155可对应于第二存储电极E2,并且存储线126的延伸部可对应于第一存储电极E1。第二栅极绝缘层142用作介电材料,并且电容由存储电容器Cst中充入的电压和第一存储电极E1与第二存储电极E2之间的电压确定。

[0170] 具体地,叠置层M1的第一延伸部M1-S的左侧可与包括第二晶体管T2和第一电极S1的半导体层130的左侧一致。换言之,第一延伸部M1-S遍及第一电极S1沿第一方向DR1延伸的预定宽度可等于包括第二晶体管T2和第一电极S1的半导体层130的宽度。换言之,第一延伸部M1-S的左边缘和第一电极S1的左边缘可沿第三方向DR3共面。

[0171] 此外,如上所述,叠置层M1不延伸到驱动晶体管T1的第二电极D1,以防止叠置层M1遍及相邻像素延伸。具体地,沿第三方向DR3,叠置层M1可具有与包括驱动晶体管T1的第一电极S1和第二晶体管T2的半导体层130的左边缘共面的左边缘。叠置层M1也可具有与第二电极D1和沟道C1之间的边界共面的右边缘。因此,叠置层M1的面积增大,从而在由于包括第二附加存储电容器Cse而增大总电容的同时改善了余像特性。结果,使总电容Cst+Cp优化,从而最大地减少余像,并且使余像特性优化。

[0172] 在下文中,将参照图6描述驱动根据示例性实施例的有机发光二极管显示器的像素。图6示出了根据示例性实施例的有机发光二极管显示器的一个像素的等效电路图。在图6中,省略与上述构成元件中的构成元件相同的构成元件的描述,并且下面主要描述不同之处。

[0173] 在此,第三晶体管T3和第四晶体管T4中的每个被示出为包括彼此串联连接的两个晶体管的结构。在此,该串联连接的结构指示这样的结构:其中两个晶体管T3-1和T3-2的栅电极连接以接收同一信号,并且晶体管T3-1和T3-2中的一个的输出被施加到晶体管T3-1和T3-2中的另一个的输入。

[0174] 第三-第一晶体管T3-1的栅电极G3-1和第三-第二晶体管T3-2的栅电极G3-2彼此连接,并且第三-第一晶体管T3-1的第一电极S3-1和第三-第二晶体管T3-2的第二电极D3-2也彼此连接。第四晶体管T4也可包括串联连接的两个晶体管,或者可以是单个晶体管。

[0175] 如在前述示例性实施例中,可通过使用第三晶体管T3和第四晶体管T4来使用双栅结构,以通过在截止状态下阻挡沟道的电子移动路径来有效地防止漏电流的发生。

[0176] 在图6的示例性实施例中,除了基体部M1-1和第一延伸部M1-S之外,叠置层M1还包括第二延伸部M1-3。类似于基体部M1-1,第二延伸部M1-3可与第三晶体管T3叠置并且可接收驱动电压ELVDD。通过将恒定电压(例如,在本示例性实施例中的驱动电压ELVDD)施加到叠置层M1,可防止由于特定电荷注入到叠置层M1中而改变电位。

[0177] 叠置层M1的第二延伸部M1-3位于第三晶体管T3的半导体层130下方,并且与第三晶体管T3的半导体层130叠置。具体地,叠置层M1的第二延伸部M1-3关于其中形成有驱动晶体管T1的沟道的半导体层130设置在与第三晶体管T3的栅电极G3-1和G3-2相对的一侧处。第二延伸部M1-3也可用作第三晶体管T3的第二栅电极。

[0178] 在此,除了在前述示例性实施例中形成的第二附加存储电容器Cse之外,通过由第三晶体管T3和叠置层M1的第二延伸部M1-3形成第三附加存储电容器,可增大总电容以改善瞬时余像。

[0179] 在下文中,将参照图7和图8描述根据示例性实施例的有机发光二极管显示器。图7示出根据示例性实施例的有机发光二极管显示器的像素区域的布局图,图8示出沿图7的线VIII-VIII截取的剖视图。在图7和图8中,省略与上述构成元件中的构成元件相同的构成元件的描述,并且下面主要描述不同之处。

[0180] 参照图7,叠置层M1包括基体部M1-1、第一延伸部M1-S和第二延伸部M1-3。基体部M1-1和第一延伸部M1-S的描述与前述示例性实施例的描述相同,并且将不被重复。

[0181] 根据本示例性实施例,叠置层M1的第二延伸部M1-3可与第三晶体管T3叠置。在本示例性实施例中,第二延伸部M1-3可与第三-第一晶体管T3-1和第三-第二晶体管T3-2二者叠置。第二延伸部M1-3可在平面图中与连接到第三晶体管T3中的两个晶体管T3-1和T3-2的第三节点N3叠置,并且可与两个晶体管T3-1和T3-2的其他部分部分地叠置。

[0182] 第二延伸部M1-3位于第三晶体管T3的半导体层130下方,并且与第三晶体管T3的半导体层130叠置。具体地,第二延伸部M1-3关于其中形成有驱动晶体管T1的沟道的半导体层130位于与第三晶体管T3的栅电极G3-1和G3-2相对的一侧处。如上所述,第二延伸部M1-3也可用作第三晶体管T3的第二栅电极。根据另一实施方式,叠置层M1可与第三-第一晶体管T3-1和第三-第二晶体管T3-2中的至少一个叠置。

[0183] 参照图8,根据本示例性实施例的有机发光二极管显示器包括基底110、阻挡层111、叠置层M1的第二延伸部M1-3、缓冲层112、半导体层130、第一栅极绝缘层141、扫描线151、第二栅极绝缘层142、层间绝缘层160、寄生电容器控制图案79、第一数据连接构件71和钝化层180。

[0184] 第二延伸部M1-3由具有导电特性的金属或与金属的导电特性等效的半导体材料形成,并且设置在由塑料或聚酰亚胺(PI)形成的基底110与第三晶体管T3的半导体层130之间。在本示例性实施例中,第二延伸部M1-3形成为与第三-第二晶体管T3-2叠置并且不与第三晶体管T3的第二电极D3叠置。

[0185] 缓冲层112位于第二延伸部M1-3上,并且第三晶体管T3的半导体层130位于缓冲层112上。半导体层130包括沟道、第一电极S3和第二电极D3。详细内容与上述内容相同,因此将被省略。

[0186] 在图7和图8的示例性实施例中,第三附加存储电容器可由第二延伸部M1-3和第三晶体管T3形成,从而生成附加电容。由于通过附加电容在第三节点N3处对电压变化减缓,所

以可减小第三节点N3处的信号变化,从而改善第三晶体管T3的总体特性。

[0187] 第一栅极绝缘层141位于第三晶体管T3上,扫描线151位于第一栅极绝缘层141上。第二栅极绝缘层142位于扫描线151上,并且寄生电容器控制图案79位于第二栅极绝缘层142上。层间绝缘层160位于寄生电容器控制图案79上,并且第一数据连接构件71位于层间绝缘层160上。

[0188] 第一栅极绝缘层141、第二栅极绝缘层142和层间绝缘层160中的开口63使第三晶体管T3的一部分暴露。第一数据连接构件71可通过开口63连接到位于第一数据连接构件71的下表面上的第三晶体管T3。

[0189] 第二延伸部M1-3可与基体部M1-1一体形成,以通过接收驱动电压ELVDD的基体部M1-1接收驱动电压ELVDD。根据实施方式,第二延伸部M1-3可与基体部M1-1单独形成,或者可直接连接到驱动电压线172。根据实施方式,可将不同的电压施加到第二延伸部M1-3。

[0190] 在下文中,将参照图9至图12描述根据示例和比较示例的特性。如图9至图12中所示,叠置层M1包括如图6至图8的示例性实施例中的第二延伸部M1-3。在下文中,省略与上述构成元件中的构成元件相同的构成元件的描述,并且下面主要描述不同之处。

[0191] 提供以下示例和比较示例以突出一个或更多个实施例的特性,但将理解的是,示例和比较示例不应被解释为限制实施例的范围,比较示例也不应被解释为在实施例的范围之外。此外,将理解的是,实施例不限于示例和比较示例中描述的具体细节。

[0192] 图9示出根据比较示例的有机发光二极管显示器的一部分像素的放大视图。图10和图11示出根据示例的有机发光二极管显示器的一部分像素的放大视图。图12示出根据另一比较示例的有机发光二极管显示器的一部分像素的放大视图。在图9至图12中,检验了增大叠置层M1的叠置面积的效果。

[0193] 执行根据示例和比较示例的测试以比较余像。在比较示例和示例中,针对相邻像素单独显示黑色和白色,并且在一帧之后以相反的顺序显示白色和黑色。重复这样的过程之后的余像的程度被称为瞬时余像。

[0194] 在图9的比较示例中,叠置层M1包括基体部M1-1和第二延伸部M1-3。与栅电极155对应的第二存储电极E2以及与存储线126的延伸部对应的第一存储电极E1可形成存储电容器Cst,并且栅极绝缘层位于第二存储电极E2与第一存储电极E1之间。

[0195] 附加存储电容器Cp可由叠置层M1和驱动晶体管T1的半导体层130形成。附加存储电容器Cp包括第一附加存储电容器Cm和第二附加存储电容器Cse。

[0196] 叠置层M1的基体部M1-1可与驱动晶体管T1的沟道叠置,以形成第一附加存储电容器Cm。此外,叠置层M1可仅与第一电极S1的小部分叠置以形成第二附加存储电容器Cse,并与第二电极D1的小部分叠置以形成第四附加存储电容器Cde。换言之,第一延伸部M1-S不包括在比较示例中。

[0197] 栅电极155的左端与基体部M1-1的左端之间的距离被称为第一距离d1。栅电极155的右端与基体部M1-1的右端之间的距离被称为第二距离d2。

[0198] 在比较示例中,第一距离d1和第二距离d2可具有 $1\mu\text{m}$ 至 $1.5\mu\text{m}$ 的范围内的值,例如 $1.25\mu\text{m}$ 。相邻像素之间的叠置层M1沿第三方向DR3彼此不叠置。

[0199] 在这种情况下,下面的表1示出了根据不包括任何叠置层M1的参考、图9的比较示例、图10和图11的示例以及图12的比较示例的存储电容器Cst、Cse和Cde中的每个的电容以

及瞬时余像的实验值。

[0200] 所述参考示出没有叠置层M1的有机发光二极管显示器中的每个值。存储电容器Cst具有57.28F的值,瞬时余像具有7.6秒的值。

[0201] 在图9的比较示例中,叠置层M1的基体部M1-1在驱动晶体管T1的沟道的相对侧处与第一电极S1或第二电极D1叠置。叠置层M1的端部相对于栅电极155的距离为1.25 μm 。在这种情况下,存储电容器Cst的电容为68.19F,附加存储电容器Cse和Cde的电容分别为9.51F和4.23F。看出的是,与不包括叠置层M1的参考相比,瞬时余像为7.5秒并且减少了0.1秒。

[0202] (表1)

	第一距离 (d1, μm)	第二距离 (d2, μm)	Cst (F)	Cse (F)	Cde (F)	瞬时余像 (秒)
参考	没有叠置层 M1		57.28	-	-	7.6
[0203] 图 9	1.25	1.25	68.19	9.51	4.23	7.5
图 10	1.75	1.75	67.71	10.08	4.66	6.9
图 11	3.85	1.75	67.60	11.84	5.29	4.4
图 12	-		67.51	11.47	7.94	7.6

[0204] 在图10和图11中,仅示出了叠置层M1、半导体层130、扫描线151和栅电极155。

[0205] 在图10的示例中,基体部M1-1可具有1.5 μm 至2.0 μm 的范围内(例如1.75 μm)的第一距离d1和第二距离d2。与图9相比,从基体部M1-1到栅电极155的距离增加了0.5 μm 。

[0206] 在这种情况下,基体部M1-1的左侧形成为与包括第二晶体管T2和驱动晶体管T1的第一电极S1的半导体层130的一部分叠置。基体部M1-1不与包括第二晶体管T2和第一电极S1的半导体层130的大部分叠置。

[0207] 参照表1,存储电容器Cst的电容为67.71F,并且附加存储电容器Cse和Cde的电容分别为10.08F和4.66F。瞬时余像为6.9秒,与图9的比较示例相比,该瞬时余像减少了0.6秒。

[0208] 在图11的示例中,在叠置层M1-1中,第一距离d1可在1.0 μm 至4.0 μm 的范围内或在2.0 μm 至4.0 μm 的范围内,并且第二距离d2可在1.5 μm 至2.0 μm 的范围内。例如,第一距离d1可以是3.85 μm ,第二距离d2可以是1.75 μm 。当与图10相比时,第一距离d1进一步增加了2.1 μm ,并且第二距离d2相同。也就是说,叠置层M1还包括与驱动晶体管T1的第一电极S1的大部分或全部叠置的第一延伸部M1-S。

[0209] 第一延伸部M1-S从基体部M1-1的左侧朝向驱动晶体管T1的第一电极S1延伸,以与包括第二晶体管T2和第一电极S1的半导体层130叠置。第一延伸部M1-S的左侧可形成为与包括第二晶体管T2和第一电极S1的半导体层130的左侧一致。

[0210] 在相邻像素中形成的叠置层M1之间需要比预定距离大的设计余量。在相邻像素中形成的叠置层M1之间的最小距离被称为第三距离d3。根据图11的示例,相邻像素的叠置层M1被图案化为使得第三距离d3具有2.0 μm 至2.5 μm 范围内的值(例如2.5 μm 的值)。例如,第一延伸部M1-S可如图11中所示具有成角度的上侧,或者可如图3和图7中所示相对于基体部M1-1成台阶状。

[0211] 当第三距离 d_3 小于 $2\mu\text{m}$ 时,可能由于图案化蚀刻工艺中残留的残留物,发生诸如布线之间的短路的问题,从而需要比预定距离大的设计余量。

[0212] 参照表1,存储电容器 C_{st} 的电容为 67.60F ,并且附加存储电容器 C_{se} 和 C_{de} 的电容分别为 11.84F 和 5.29F 。瞬时余像为 4.4 秒,与图9的实施例相比,该瞬时余像减少了 3.1 秒。与图10的示例相比,瞬时余像的减少超过5倍,显示出优异的余像特性。

[0213] 在图12的比较示例中,第一延伸部 $M1-S$ 延伸超出半导体层130的左侧处的相邻像素区域。相邻像素的基体部 $M1-1$ 和第二延伸部 $M1-3$ 延伸超出包括驱动晶体管 $T1$ 的第二电极 $D1$ 的半导体层130,从而形成第二延伸部 $M1-D$ 。因此,在相邻像素中的每个中形成的叠置层 $M1$ 之间出现叠置。也就是说,第一延伸部 $M1-S$ 和第二延伸部 $M1-D$ 彼此叠置。

[0214] 参照表1,存储电容器 C_{st} 的电容为 67.51F ,并且附加存储电容器 C_{se} 和 C_{de} 的电容分别为 11.47F 和 7.94F 。瞬时余像为 7.6 秒,与图9的比较示例中的瞬时余像相比,该瞬时余像进一步增加了 0.1 秒。

[0215] 在图12的示例中,由于与前述示例性实施例相比,叠置层 $M1$ 的面积具有最大值,所以附加存储电容器 C_{de} 和 C_{se} 的电容具有大的值。然而,由于相邻像素的叠置层 $M1$ 之间的距离小于设计余量,所以即使在附加存储电容器 C_{de} 和 C_{se} 的电容增大时,由于由残留物引起的短路等,改善余像的效果也变差。

[0216] 在下文中,将参照图13描述根据示例和比较示例的余像特性。图13示出显示比较示例和示例的瞬时余像的示图。

[0217] 在图13中, y 轴指示以秒为单位的时间轴,以及基于一定程度的余像测量对比度(CR)保持大于所述参考的时间。具体地,这指示随着时间流逝,有机发光二极管显示器长时间具有与期望亮度不同的亮度,并且时间与显示黑色和白色时灰色是可见的时间成比例。

[0218] 将参照图13描述测量瞬时余像的时间。根据所述参考,显示灰色约 7.66 秒,而根据图11的示例性实施例,显示灰色约 4.42 秒。

[0219] 尽管图13的示图中未示出,但是参照表1,叠置层 $M1$ 形成成为允许第一距离 d_1 和第二距离 d_2 具有恒定值,并且与所述参考相比,图9的比较示例和图10的示例中的瞬时余像分别减少了 0.1 秒和 0.7 秒。

[0220] 在图11的示例中,当叠置层 $M1$ 的第一距离 d_1 增加到 $3.85\mu\text{m}$ 时,瞬时余像是 4.4 秒,与所述参考相比该瞬时余像减少了 3.2 秒。在图9的比较示例中,图9的瞬时余像是 7.5 秒(与所述参考相比,该瞬时余像减少了 0.1 秒),在图10的示例中,图10的瞬时余像是 6.9 秒(与所述参考相比,该瞬时余像减少了 0.7 秒)。因此,看出的是,瞬时余像(4.4 秒)的减少范围是图9的比较示例和图10的示例中的瞬时余像的减少范围(图9中的比较示例的瞬时余像的减少范围是 0.1 秒,图10中的示例的瞬时余像的减少范围是 0.7 秒)的约5倍。考虑这些差,根据图11的示例,瞬时余像的减少效果是优异的。与当叠置层不与驱动晶体管的第一电极叠置时相比,当叠置层与驱动晶体管的第一电极叠置时,瞬时余像减少了3秒或更多。

[0221] 通过总结和回顾,实施例提供了一种有机发光二极管显示器,在有机发光二极管显示器中通过对增大电容的半导体层与基底之间的叠置层的面积进行优化来改善瞬时余像。

[0222] 这里已经公开了示例实施例,尽管采用了特定术语,但是他们仅以一般性和描述性的含义来被使用并将被解释,而不是出于限制的目的。在一些情况下,自提交本申请之时

起,如对于本领域普通技术人员将明显的是,除非另外具体指示,否则结合具体实施例描述的特征、特性和/或元件可单独使用,或者可与结合其他实施例描述的特征、特性和/或元件组合使用。因此,本领域技术人员将理解的是,在不脱离如由权利要求阐述的本发明的精神和范围的情况下,可做出形式上和细节上的各种改变。

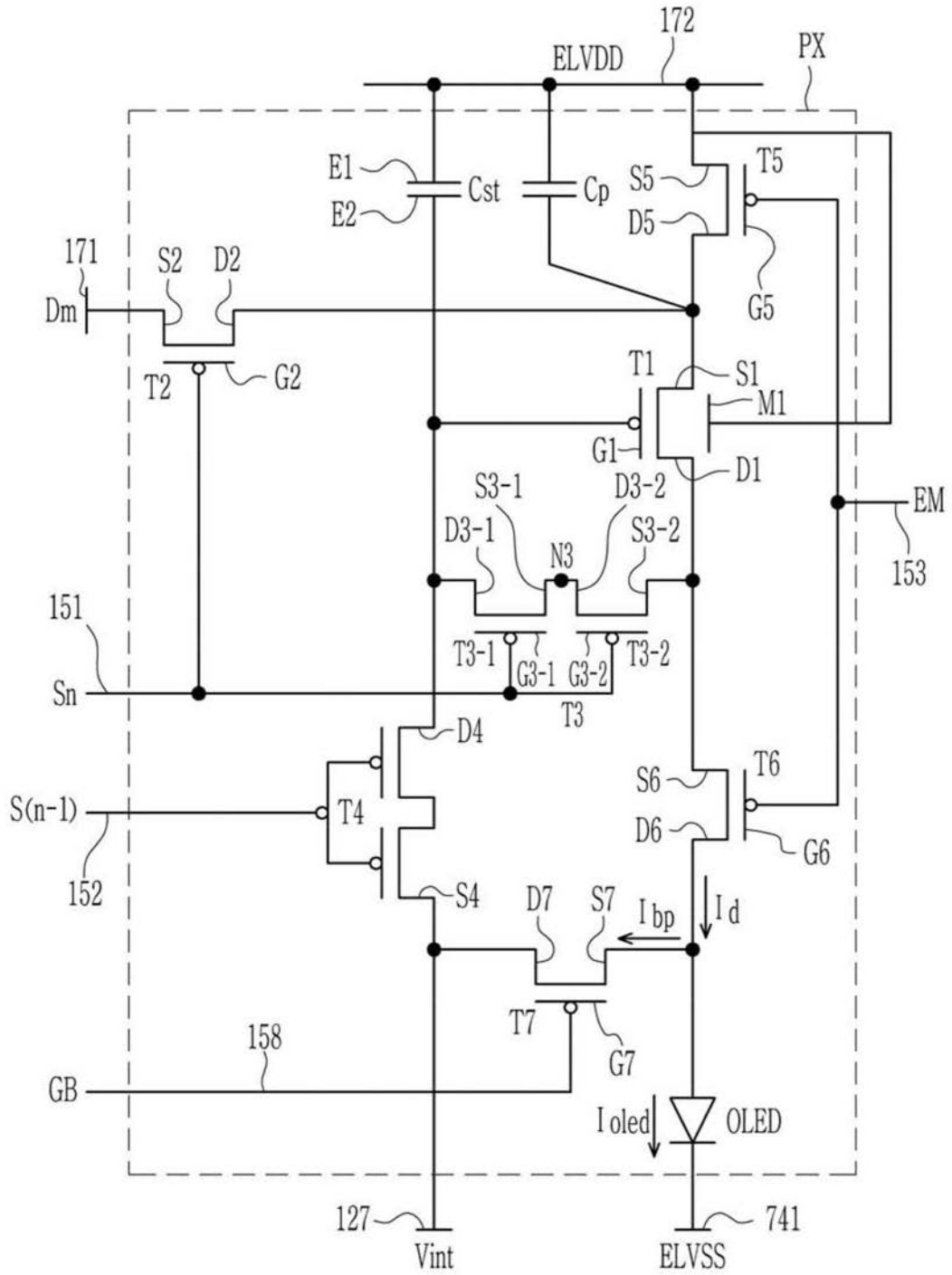


图1

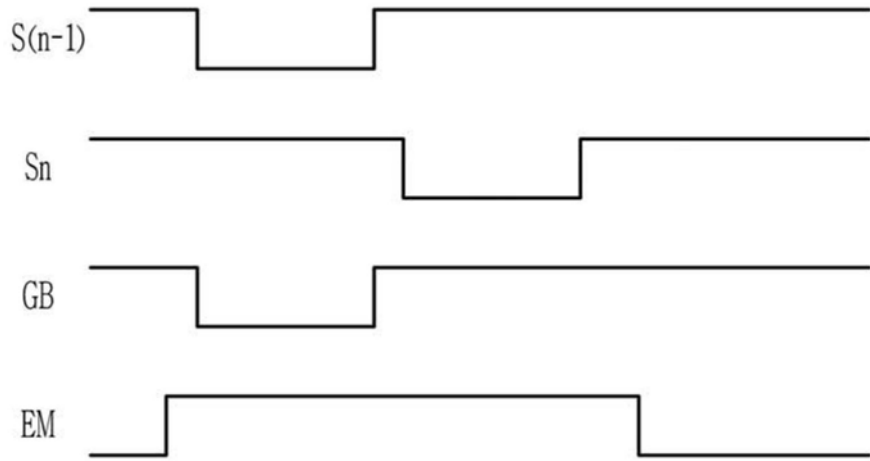


图2

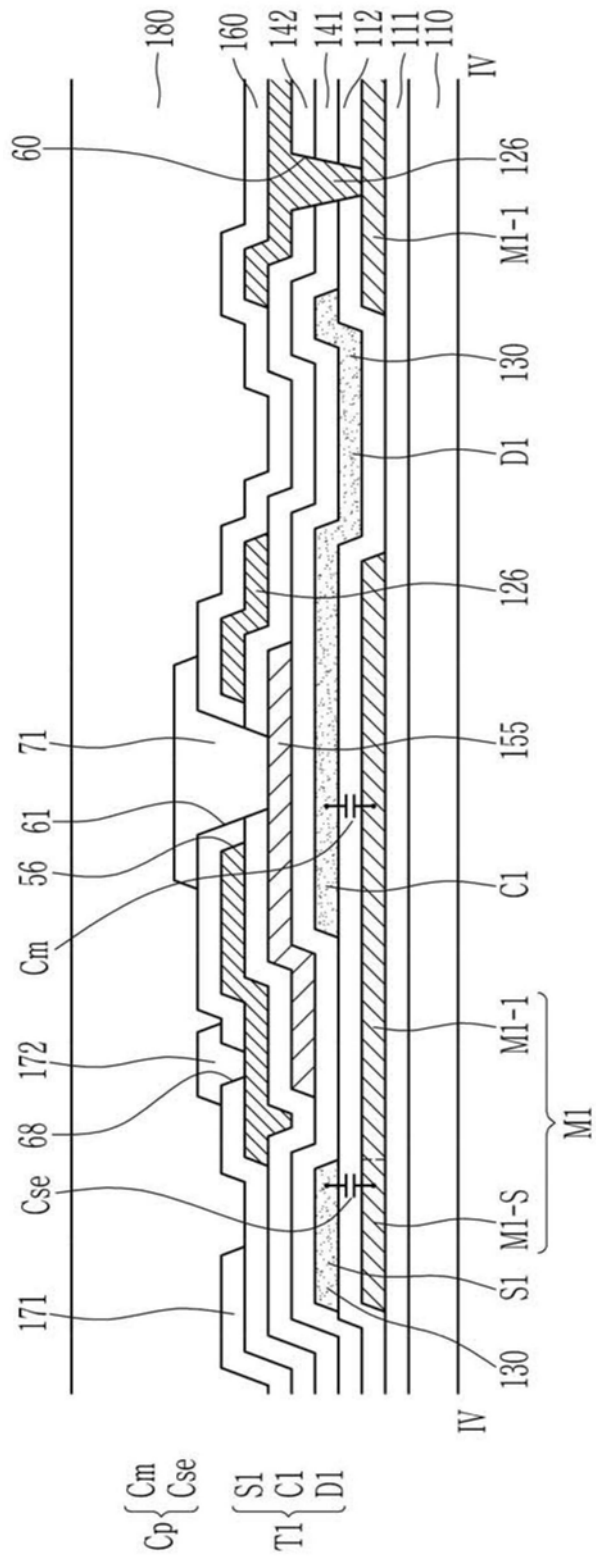


图4

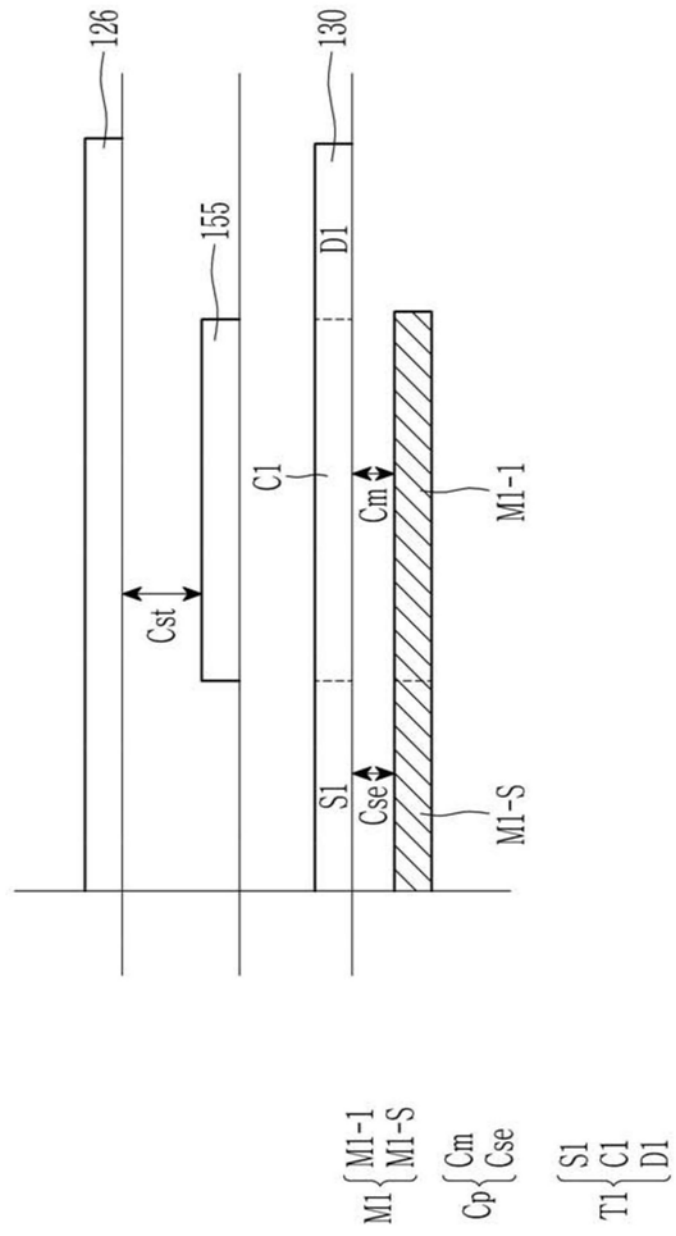


图5

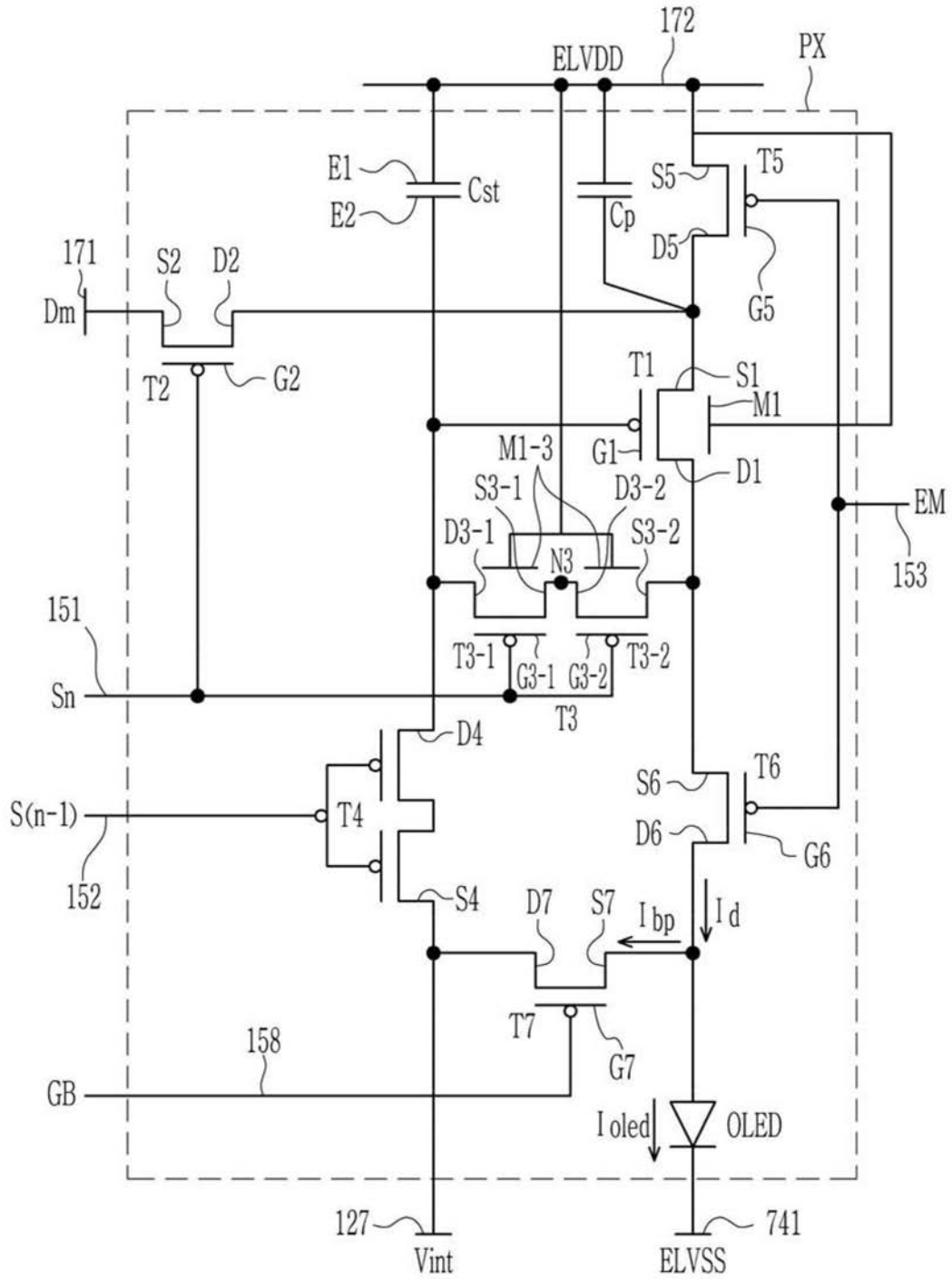


图6

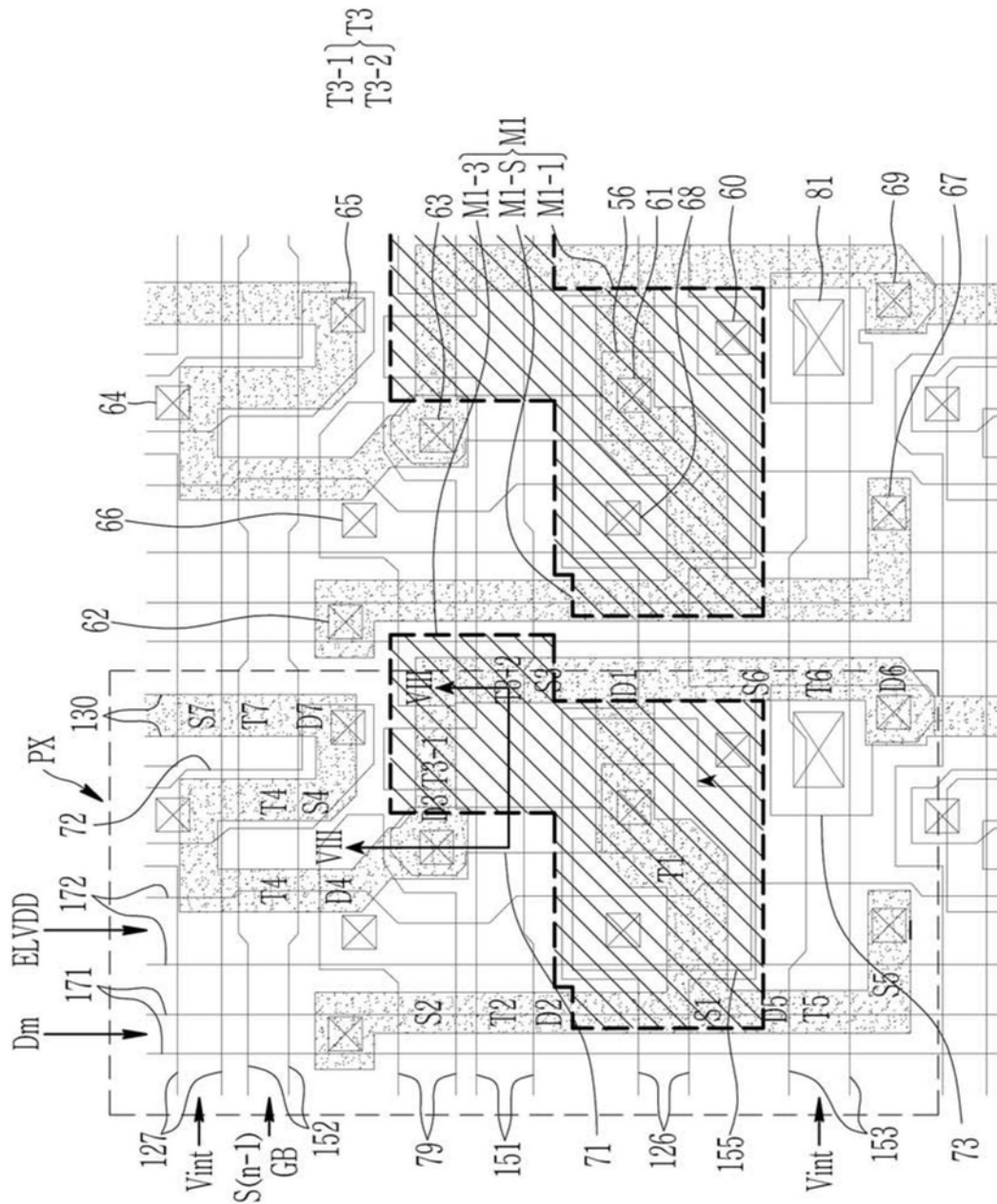


图7

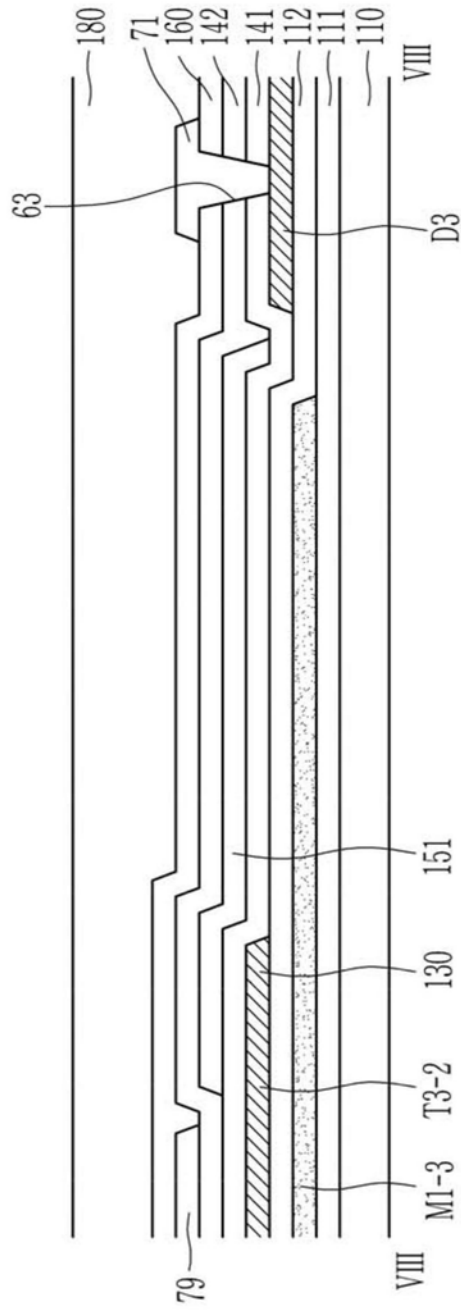


图8

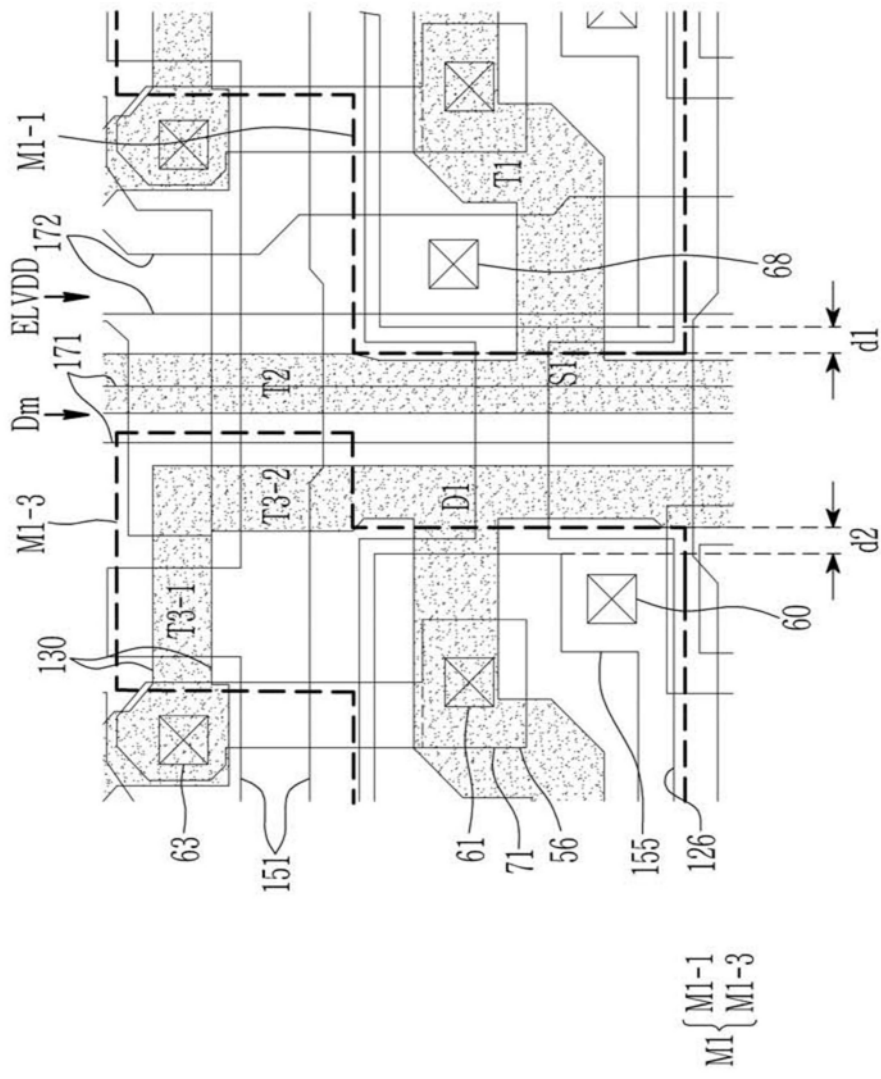


图9

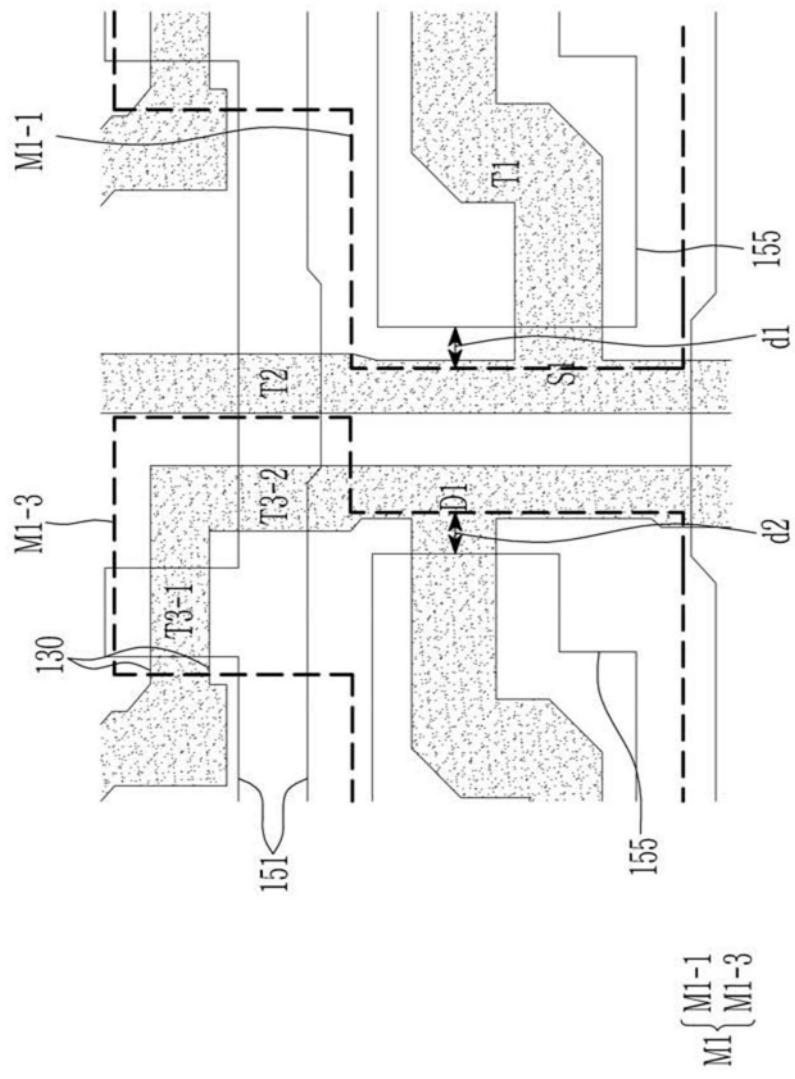


图10

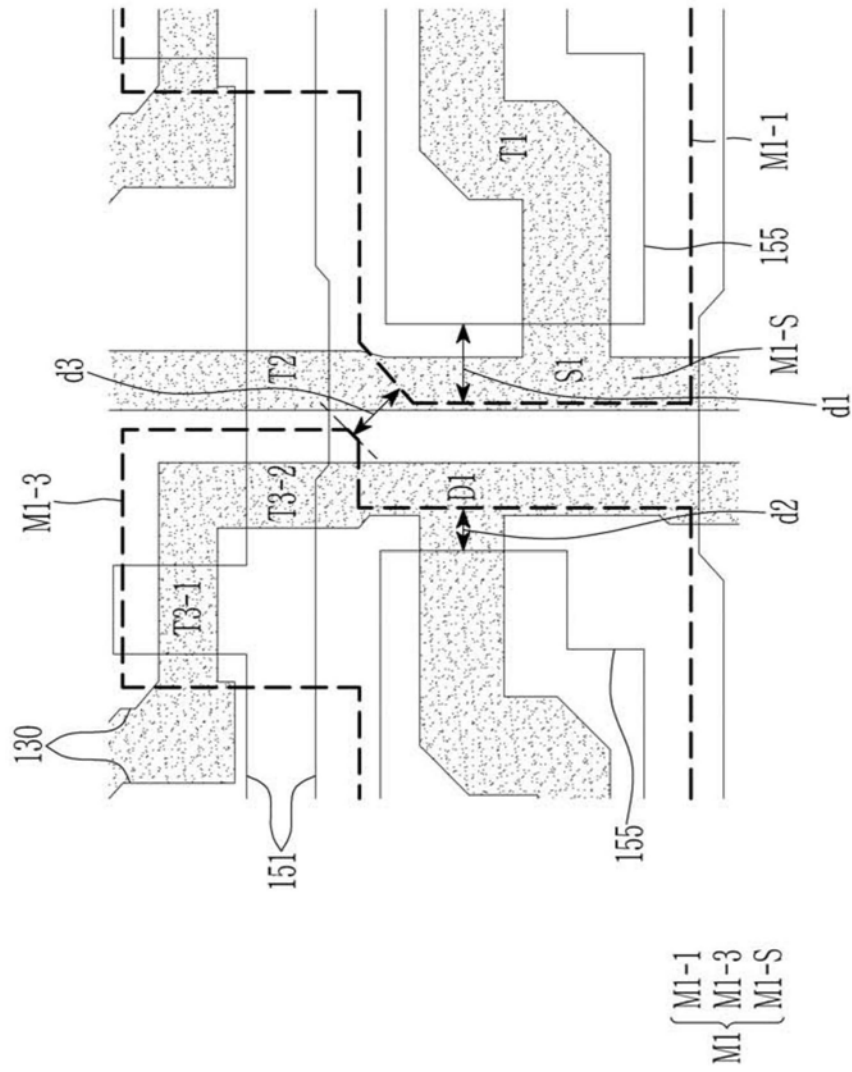


图11

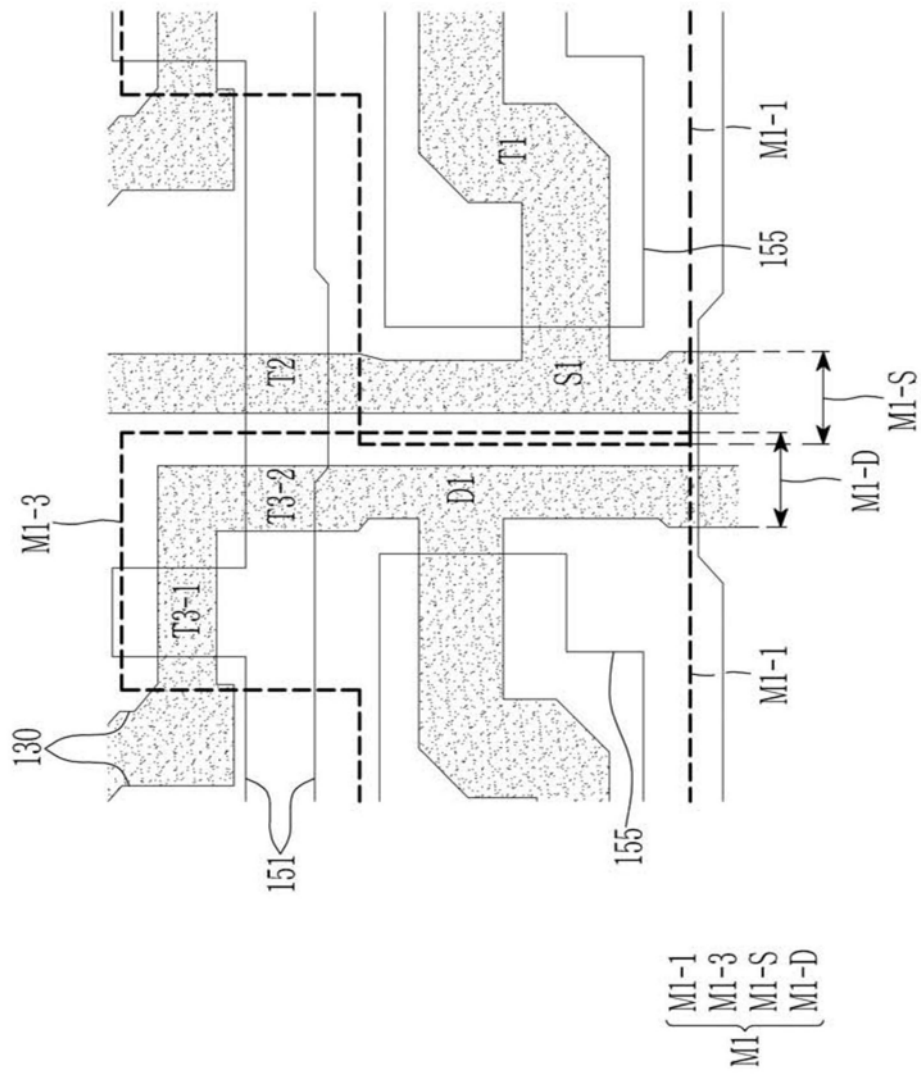


图12

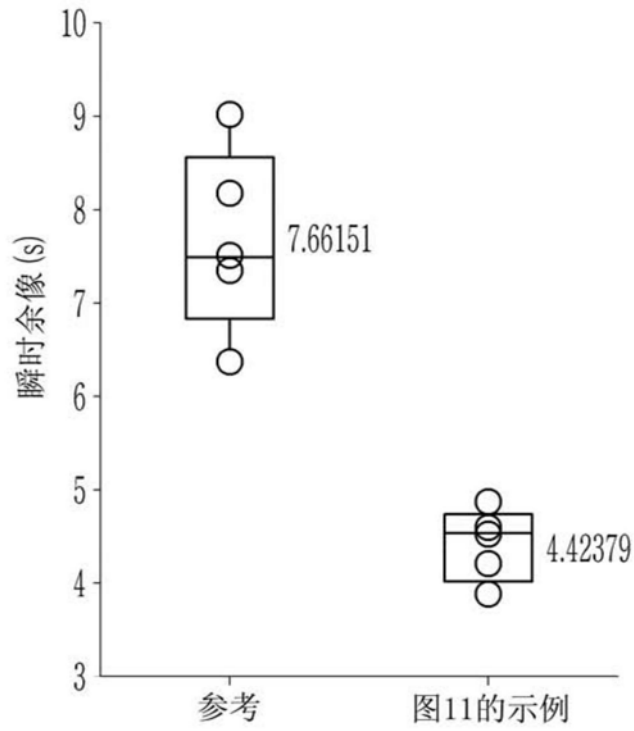


图13

专利名称(译)	有机发光二极管显示器		
公开(公告)号	CN111092105A	公开(公告)日	2020-05-01
申请号	CN201911016248.6	申请日	2019-10-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示有限公司		
当前申请(专利权)人(译)	三星显示有限公司		
[标]发明人	裴俊佑 姜美在 阮成进 李京垣 李镛守 李在燮 曹奎哲 车明根		
发明人	裴俊佑 姜美在 阮成进 李京垣 李镛守 李在燮 曹奎哲 车明根		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3265 H01L27/3272 H01L27/3276		
代理人(译)	程月 刘灿强		
优先权	1020180127466 2018-10-24 KR		
外部链接	Espacenet SIPO		

摘要(译)

公开了一种有机发光二极管显示器。所述有机发光二极管显示器包括：基底；叠置层，位于基底上；半导体层，位于叠置层上；第一栅极导体，位于半导体层上；第二栅极导体，位于第一栅极导体上；数据导体，位于第二栅极导体上；驱动晶体管，位于叠置层上；以及有机发光二极管，与驱动晶体管连接。驱动晶体管在半导体层中包括第一电极、第二电极并且沟道位于第一电极与第二电极之间。第一栅极导体的栅电极与沟道叠置。叠置层与驱动晶体管的沟道和第一电极的至少一部分叠置。第二栅极导体的存储线通过数据导体中的驱动电压线接收驱动电压。叠置层接收恒定电压。

