



(12)发明专利申请

(10)申请公布号 CN 111091783 A

(43)申请公布日 2020.05.01

(21)申请号 201911350605.2

(22)申请日 2019.12.24

(71)申请人 上海天马有机发光显示技术有限公司

地址 201201 上海市浦东新区龙东大道  
6111号1幢509室

(72)发明人 杨帅 李玥 刘志 周星耀

(74)专利代理机构 北京汇思诚业知识产权代理有限公司 11444

代理人 焦志刚

(51)Int.Cl.

G09G 3/3208(2016.01)

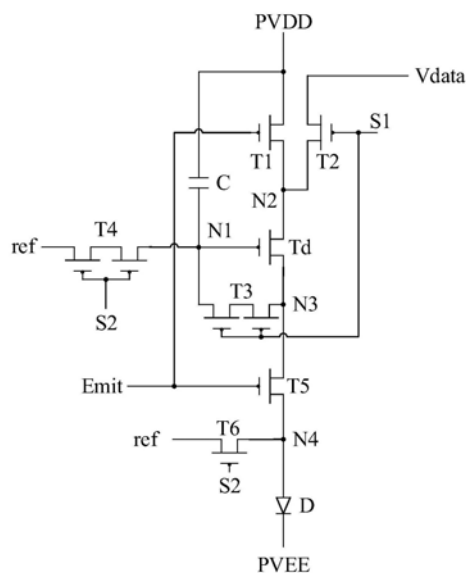
权利要求书2页 说明书7页 附图5页

(54)发明名称

有机发光显示面板和显示装置

(57)摘要

本申请实施例提供一种有机发光显示面板和显示装置,涉及显示技术领域,可以提高其中电路的性能,进而改善显示效果。有机发光显示面板包括:控制电路,所述控制电路包括多个晶体管,所述多个晶体管包括至少一个第一类晶体管,每个所述第一类晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍,每个所述第一类晶体管为单栅晶体管。



1. 一种有机发光显示面板,其特征在于,包括:

控制电路,所述控制电路包括多个晶体管,所述多个晶体管包括至少一个第一类晶体管,每个所述第一类晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍,每个所述第一类晶体管为单栅晶体管。

2. 根据权利要求1所述的有机发光显示面板,其特征在于,

每个所述第一类晶体管的沟道宽度大于沟道长度的10倍,或者每个所述第一类晶体管的沟道长度大于沟道宽度的5倍。

3. 根据权利要求1所述的有机发光显示面板,其特征在于,

所述多个晶体管还包括除所述第一类晶体管之外的至少一个第二类晶体管,每个所述第二类晶体管的跨压大于其余晶体的平均跨压的50%,每个所述第二类晶体管为双栅晶体管。

4. 根据权利要求1所述的有机发光显示面板,其特征在于,

所述控制电路为像素驱动电路,所述第一类晶体管为驱动晶体管。

5. 根据权利要求4所述的有机发光显示面板,其特征在于,

所述像素驱动电路包括至少一个控制节点开关晶体管,每个所述控制节点开关晶体管电连接于所述驱动晶体管的控制端,每个所述控制节点开关晶体管为双栅晶体管。

6. 根据权利要求5所述的有机发光显示面板,其特征在于,

所述像素驱动电路包括:

第一开关晶体管,其第一端电连接于第一电源电压端,其第二端电连接于所述驱动晶体管的第一端,其控制端电连接于发光控制端;

第二开关晶体管,其第一端电连接于数据电压端,其第二端电连接于所述驱动晶体管的第一端;

第三开关晶体管,其第一端电连接于所述驱动晶体的控制端,其第二端电连接于所述驱动晶体的第二端;

第四开关晶体管,其第一端电连接于参考电压端,其第二端电连接于驱动晶体的控制端;

第五开关晶体管,其第一端电连接于所述驱动晶体的第二端,其控制端电连接于所述发光控制端;

第六开关晶体管,其第一端电连接于所述参考电压端,其第二端连接于所述第五开关晶体的第二端;

发光器件,其第一端电连接于所述第六开关晶体的第二端,其第二端电连接于第二电源电压端;

所述第三开关晶体管为所述控制节点开关晶体管,所述第四开关晶体管为所述控制节点开关晶体管。

7. 根据权利要求1所述的有机发光显示面板,其特征在于,

所述控制电路为移位寄存器,所述移位寄存器包括:

上拉输出晶体管,其第一端电连接于高电平电压端,其第二端连接于移位寄存器输出端;

下拉输出晶体管,其第一端电连接于所述移位寄存器输出端,其第二端电连接于低电

平电压端；

所述上拉输出晶体管为所述第一类晶体管，所述下拉输出晶体管为所述第一类晶体管。

8. 根据权利要求7所述的有机发光显示面板，其特征在于，

所述移位寄存器还包括：

第一电容，其第一端电连接于第一时钟信号端，其第二端电连接于第一节点，所述第一节点电连接于所述下拉输出晶体管的控制端；

第二电容，其第一端电连接于所述高电平电压端，其第二端电连接于第二节点，所述第二节点电连接于所述上拉输出晶体管的控制端；

第三电容，其第一端电连接于所述高电平电压端，其第二端电连接于第三节点；

第四电容，其第一端电连接于第四节点，其第二端电连接于第五节点；

第一晶体管，其第一端电连接于所述高电平电压端，其第二端电连接于所述第二节点，其控制端电连接于所述第一节点；

第二晶体管，其第一端电连接于所述第五节点，其第二端电连接于所述第二节点，其控制端电连接于所述第一时钟信号端；

第三晶体管，其第一端电连接于所述第五节点，其第二端电连接于所述第一时钟信号端，其控制端电连接于所述第四节点；

第四晶体管，其第一端电连接于所述第一节点，其第二端电连接于移位寄存器输入端，其控制端电连接于第二时钟信号端；

第五晶体管，其第一端电连接于所述第四节点，其第二端电连接于所述低电平电压端，其控制端电连接于所述第二时钟信号端；

第六晶体管，其第一端电连接于所述第三节点，其第二端电连接于所述移位寄存器输入端，其控制端电连接于所述第二时钟信号端；

第七晶体管，其第一端电连接于所述第四节点，其第二端电连接于所述第二时钟信号端，其控制端电连接于所述第三节点；

第八晶体管，其第一端电连接于所述高电平电压端，其控制端电连接于所述第四节点；

第九晶体管，其第一端电连接于所述第八晶体管的第二端，其第二端电连接于所述第一节点，其控制端电连接于所述第一时钟信号端；

所述第七晶体管为双栅晶体管。

9. 根据权利要求1所述的有机发光显示面板，其特征在于，

所述控制电路为多路选通器。

10. 一种显示装置，其特征在于，包括如权利要求1至9中任意一项所述的有机发光显示面板。

## 有机发光显示面板和显示装置

### 技术领域

[0001] 本申请涉及显示技术领域,尤其涉及一种有机发光显示面板和显示装置。

### 背景技术

[0002] 有机发光显示装置又称为(Organic Light-Emitting Diode,OLED)有机发光二极管显示装置,与液晶显示装置相比,具有轻薄、可视角度大等优点。有机发光显示面板中设置有控制电路,控制电路用于通过电路的控制实现有机发光显示面板中发光器件的控制,以实现画面显示,因此,控制电路的性能与显示效果相关,如何提高控制电路的性能是目前待解决的问题。

### 发明内容

[0003] 本申请实施例提供一种有机发光显示面板和显示装置,可以提高其中电路的性能,进而改善显示效果。

[0004] 一方面,本申请实施例提供一种有机发光显示面板,包括:

[0005] 控制电路,所述控制电路包括多个晶体管,所述多个晶体管包括至少一个第一类晶体管,每个所述第一类晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍,每个所述第一类晶体管为单栅晶体管。

[0006] 另一方面,本申请实施例提供了一种显示装置,包括上述的有机发光显示面板。

[0007] 本申请实施例中的有机发光显示面板和显示装置,设置第一类晶体管为单栅晶体管,第一类晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍,即通过沟道宽长比的设置和栅极类型的设置相互配合,以使第一类晶体管具有较高的响应速度,以提高其中电路的性能,进而改善显示效果。

### 附图说明

[0008] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍,显而易见地,下面描述中的附图是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0009] 图1为本申请实施例中一种有机发光显示面板的结构示意图;

[0010] 图2为图1中像素驱动电路的一种等效电路图;

[0011] 图3为图2中像素驱动电路对应的一种时序信号图;

[0012] 图4为本申请实施例中一种移位寄存器的等效电路示意图;

[0013] 图5为图4中移位寄存器对应的一种时序信号图;

[0014] 图6为图1中一种扫描驱动电路的等效电路图;

[0015] 图7为本申请实施例中一种多路选通器的等效电路图;

[0016] 图8为本申请实施例中一种显示装置的结构示意图。

## 具体实施方式

[0017] 为使本申请实施例的目的、技术方案和优点更加清楚,下面将结合本申请实施例中的附图,对本申请实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本申请一部分实施例,而不是全部的实施例。基于本申请中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本申请保护的范围。

[0018] 在本申请实施例中使用的术语是仅仅出于描述特定实施例的目的,而非旨在限制本申请。在本申请实施例和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式,除非上下文清楚地表示其他含义。

[0019] 如图1和图2所示,图1为本申请实施例中一种有机发光显示面板的结构示意图,图2为图1中像素驱动电路的一种等效电路图,本申请实施例提供一种有机发光显示面板,包括:控制电路,控制电路包括多个晶体管,多个晶体管包括至少一个第一类晶体管,每个第一类晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍,每个第一类晶体管为单栅晶体管。

[0020] 具体地,有机发光显示面板具有控制电路,通过控制电路实现有机发光显示面板的画面显示,在控制电路中,每个晶体管的作用有所不同,根据晶体管的作用不同,其具体参数可能会有不同的要求,比如其中的某个或某些晶体管,需要使其具有较高的响应速度,以满足电路的要求,则需要设置该晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍,也就是说,第一类晶体管是指晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍的晶体管,即具有较高响应速度的晶体管。本申请实施例中,设置其中的第一类晶体管为单栅晶体管,而非双栅晶体管,单栅晶体管是指该晶体管只有一个栅极,且仅形成一个连续的沟道,双栅晶体管是指该晶体管具有两个相同的栅极,且形成两个串联路径的沟道。对于参数相同的单栅晶体管和双栅晶体管,在晶体管的工作过程中,由于单栅晶体管的结构特点,其单个沟道在单个栅极的控制下开启或截止的速度较快,而双栅晶体管,由于其两个沟道相互串联的影响,使得其整个器件的沟道开启速度或截止速度更慢。例如,在图1所示的有机发光显示面板中,包括呈阵列分布的多个像素驱动电路100,每个像素驱动电路100对应一个子像素,用于对该子像素中的发光器件进行控制,以实现子像素的发光显示,像素驱动电路100为有机发光显示面板中的一种控制电路,其中具有驱动晶体管 $T_d$ ,驱动晶体管 $T_d$ 用于产生驱动电流,驱动电流用于驱动对应的发光器件发光,驱动晶体管 $T_d$ 需要较高的响应速度,因此可以为本申请实施例中的第一类晶体管。需要说明的是,像素驱动电路只是有机发光显示面板中的一种,图2中所示意的像素驱动电路结构也仅仅是像素驱动电路中的一种结构,本申请实施例对于控制电路的具体结构不作限定。

[0021] 本申请实施例中的有机发光显示面板,设置第一类晶体管为单栅晶体管,第一类晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍,即通过沟道宽长比的设置和栅极类型的设置相互配合,以使第一类晶体管具有较高的响应速度,以提高其中电路的性能,进而改善显示效果。

[0022] 可选地,每个第一类晶体管的沟道宽度大于沟道长度的10倍,或者每个第一类晶体管的沟道长度大于沟道宽度的5倍,

[0023] 可选地,多个晶体管还包括除第一类晶体管之外的至少一个第二类晶体管,每个第二类晶体管的跨压大于其余晶体的平均跨压的50%,每个第二类晶体管为双

栅晶体管。

[0024] 具体地,在理想状态下,晶体管在截止状态下不会有电流通过,但是由于器件的工艺限制等原因,晶体管在截止状态下仍会有少量的电流通过,这种电流被称为漏电流,特别是使用低温多晶硅(Low Temperature Poly-Silicon,LTPS)工艺制作的晶体管,其漏电流会相对更大。另外,根据欧姆定律,晶体管的跨压和晶体管的漏电流正相关,晶体管的跨压是指晶体管沟道两端之间的电压差,即晶体管的源极和漏极之间的电压差,在晶体管工作过程中,源极和漏极的电压可能会变化,即晶体管的跨压为变量,最大跨压是指晶体管的源极和漏极之间最大的电压差值。因此,对于具有较大跨压的晶体管,其漏电流也较大,即具有较大跨压的晶体管更容易由于漏电流大而导致电路性能的下降。本申请实施例中,第二类晶体管即为具有较大跨压的晶体管,因此,设置第二类晶体管为双栅晶体管,通过双栅的设置方式抑制漏电流,以此来改善电路性能。

[0025] 需要说明的是,在本申请实施例中,平均最大跨压的含义包括两种,一种是算数平均值,即其余所有晶体的最大跨压之和除以其余所有晶体的数量,另一种是中位数平均值,即其余所有晶体的最大跨压按照大小顺序排列,取中间的数值作为中位数平均值,如果数据的个数是偶数,则中间两个数据的算数平均值作为中位数平均值。也就是说,可以通过上述两种方式中的任意一者来确定晶体的平均最大跨压。

[0026] 可选地,上述控制电路为像素驱动电路100,第一类晶体管为驱动晶体管Td。

[0027] 具体地,一方面,驱动晶体管Td用于产生驱动电流,通过驱动电流来驱动发光器件发光,因此需要保证驱动晶体管Td具有较高的响应速度;另一方面,为了避免阈值漂移对驱动电流的不良影响,通常会使电流经过驱动晶体管Td向其控制端充电的方式来对阈值电压进行采样,因此,需要保证驱动晶体管具有较高的响应速度,以使驱动晶体管Td的控制端可以更快地被充电至所需要的电位,以降低阈值电压采样所需要的时间,进而提高扫描频率。

[0028] 可选地,像素驱动电路100包括至少一个控制节点开关晶体管,每个控制节点开关晶体管电连接于驱动晶体管Td的控制端,每个控制节点开关晶体管为双栅晶体管。

[0029] 具体地,驱动晶体管Td的控制端即为其栅极,驱动晶体管Td在其控制端电压作用下产生驱动电流,驱动电流值和驱动晶体管Td控制端的电压值相关,而控制节点开关晶体管连接于驱动晶体管Td的控制端,因此,当控制节点开关晶体管的漏电流较大时,会导致驱动晶体管Td的驱动电流异常,从而导致发光器件的亮度一场,进而对显示效果造成不良影响,本申请实施例中,设置控制节点开关晶体管为双栅晶体管,利用双栅结构的特点抑制控制节点开关晶体管的漏电流,进而改善由此导致的显示不良。

[0030] 可选地,像素驱动电路100包括:驱动晶体管Td,其控制端电连接于第一节点N1,其第一端电连接于第二节点N2,其第二端电连接于第三节点N3;第一开关晶体管T1,其第一端电连接于第一电源电压端PVDD,其第二端电连接于驱动晶体管Td的第一端,即第二节点N2,其控制端电连接于发光控制端Emit;第二开关晶体管T2,其第一端电连接于数据电压端Vdata,其第二端电连接于驱动晶体管Td的第一端,即第二节点N2,其控制端可以电连接于第一扫描信号端S1;第三开关晶体管T3,其第一端电连接于驱动晶体管Td的控制端,即第一节点N1,其第二端电连接于驱动晶体管Td的第二端,即第三节点N3;第四开关晶体管T4,其第一端电连接于参考电压端ref,其第二端电连接于驱动晶体管Td的控制端,即第一节点N1,其控制端可以电连接于第二扫描信号端S2;第五开关晶体管T5,其第一端电连接于驱动

晶体管Td的第二端,即第三节点N3,其第二端电连接于第四节点N4,其控制端电连接于发光控制端Emit;第六开关晶体管T6,其第一端电连接于参考电压端ref,其第二端连接于第五开关晶体管T5的第二端,即第四节点N4,其控制端可以电连接于第二扫描信号端S2;发光器件D,其第一端电连接于第六开关晶体管T6的第二端,即第四节点N4,其第二端电连接于第二电源电压端PVEE;电容C,其第一端电连接于第一电源电压端PPVDD,其第二端电连接于驱动晶体管Td的控制端,即第一节点N1;第三开关晶体管T3为控制节点开关晶体管,第四开关晶体管T4为控制节点开关晶体管。

[0031] 具体地,如图2和图3所示,图3为图2中像素驱动电路对应的一种时序信号图,像素驱动电路的工作过程包括复位阶段t1、数据写入阶段t2和发光阶段t3,在复位阶段t1,第一扫描信号端S1和发光控制端Emit提供截止电平,控制第一开关晶体管T1、第二开关晶体管T2、第三开关晶体管T3、第五开关晶体管T5截止,第二扫描信号端S2提供导通电平,控制第四开关晶体管T4和第六开关晶体管T6导通,参考电压端ref上的电压分别通过第四开关晶体管T4和第六开关晶体管T6传输至第一节点N1和第四节点N4,对第一节点N1和第四节点N4进行复位;在数据写入阶段t2,第二扫描信号端S2和发光控制端Emit提供截止电平,控制第四开关晶体管T4、第六开关晶体管T6、第一开关晶体管T1、第五开关晶体管T5截止,第一扫描信号端S1提供导通电平,控制第二开关晶体管T2和第三开关晶体管T3导通,数据电压端Vdata上的电压通过第二开关晶体管T2、驱动晶体管Td和第三开关晶体管T3传输至第一节点N1,为第一节点N1进行充电,当第一节点N1充电至使驱动晶体管Td截止时,完成数据写入,同时,实现了驱动晶体管Td的阈值电压采样;在发光阶段t3,第一扫描信号端S1和第二扫描信号端S2提供截止电平,控制第二开关晶体管T2、第三开关晶体管T3、第四开关晶体管T4、第六开关晶体管T6截止,发光控制端Emit提供导通电平,控制第一开关晶体管T1和第五开关晶体管T5导通,驱动晶体管Td根据第一节点N1存储的电位产生对应的驱动电流,驱动电流流过发光器件D,控制发光器件D的发光亮度。其中,驱动晶体管Td具有较大的宽长比,需要较高的响应速度,为第一类晶体管,因此,无论其源漏两极之间的最大跨压如何,均设置为单栅晶体管;第四开关晶体管T4连接于参考电压端ref和第一节点N1之间,因此第四开关晶体管T4为控制节点开关晶体管,不论其源漏两极之间的最大跨压如何,均设置为双栅晶体管,从而在数据写入阶段t2和发光阶段t3时,降低参考电压端ref上的电压对第一节点N1之间的漏电流,第三开关晶体管T3连接于第一节点N1和第三节点N3之间,因此第三开关晶体管T3为控制节点开关晶体管,不论其源漏两极之间的最大跨压如何,均设置为双栅晶体管,从而在复位阶段t2和发光阶段t3,降低第一节点N1和第三节点N3之间的漏电流。对于驱动晶体管td、第四开关晶体管T4和第三开关晶体管T3之外的其他晶体管,则可以测试或模拟每个晶体管在工作过程中的最大跨压,例如,对于第五晶体管T5,其跨压为26V,该像素驱动电流中其余6个晶体管的管的最大跨压的平均值为15V,  $(26-25)/15=73\%>50\%$ ,则设置第五晶体管T5为双栅晶体管。

[0032] 可选地,如图4所示,图4为本申请实施例中一种移位寄存器的等效电路示意图,控制电路为移位寄存器,移位寄存器包括:上拉输出晶体管Tu,其第一端电连接于高电平电压端Vgh,其第二端连接于移位寄存器输出端Out;下拉输出晶体管Td,其第一端电连接于移位寄存器输出端Out,其第二端电连接于低电平电压端Vgl;上拉输出晶体管Tu为第一类晶体管,下拉输出晶体管Td为第一类晶体管。

[0033] 具体地,在移位寄存器中,上拉输出晶体管Tu用于在导通时将高电平电压端Vgh提供的高电平传输至移位寄存器输出端Out,下拉输出晶体管Td用于在导通时将低电平电压端Vgl提供的低电平传输至移位寄存器输出端Out,因此,需要保证上拉输出晶体管Tu和下拉输出晶体管Td不会同时导通,以防止两者的竞争现象导致输出异常,即需要两者具有较高的响应速度,以减少竞争现象,因此设置上拉输出晶体管Tu和下拉输出晶体管Td为第一类晶体管,即为单栅晶体管,且不论上拉输出晶体管Tu和下拉输出晶体管Td的最大平均跨压如何,均设置上拉输出晶体管Tu和下拉输出晶体管Td为单栅晶体管。

[0034] 可选地,移位寄存器还包括:第一电容C1,其第一端电连接于第一时钟信号端CK1,其第二端电连接于第一节点N1,第一节点N1电连接于下拉输出晶体管Td的控制端;第二电容C2,其第一端电连接于高电平电压端Vgh,其第二端电连接于第二节点N2,第二节点N2电连接于上拉输出晶体管Tu的控制端;第三电容C3,其第一端电连接于高电平电压端Vgh,其第二端电连接于第三节点N3;第四电容C4,其第一端电连接于第四节点N4,其第二端电连接于第五节点N5;第一晶体管T1,其第一端电连接于高电平电压端Vgh,其第二端电连接于第二节点N2,其控制端电连接于第一节点N1;第二晶体管T2,其第一端电连接于第五节点N5,其第二端电连接于第二节点N2,其控制端电连接于第一时钟信号端CK1;第三晶体管T3,其第一端电连接于第五节点N5,其第二端电连接于第一时钟信号端CK1,其控制端电连接于第四节点N4;第四晶体管T4,其第一端电连接于第一节点N1,其第二端电连接于移位寄存器输入端In,其控制端电连接于第二时钟信号端CK2;第五晶体管T5,其第一端电连接于第四节点N4,其第二端电连接于低电平电压端Vgl,其控制端电连接于第二时钟信号端CK2;第六晶体管T6,其第一端电连接于第三节点N3,其第二端电连接于移位寄存器输入端In,其控制端电连接于第二时钟信号端CK2;第七晶体管T7,其第一端电连接于第四节点N4,其第二端电连接于第二时钟信号端CK2,其控制端电连接于第三节点N3;第八晶体管T8,其第一端电连接于高电平电压端Vgh,其控制端电连接于第四节点N4;第九晶体管T9,其第一端电连接于第八晶体管T8的第二端,其第二端电连接于第一节点N1,其控制端电连接于第一时钟信号端CK1;第七晶体管T7为双栅晶体管。

[0035] 具体地,如图4和图5所示,图5为图4中移位寄存器对应的一种时序信号图,图4中的移位寄存器中各晶体管均为P型晶体管,移位寄存器的工作过程包括第一阶段t1、第二阶段t2、第三阶段t3和第四阶段t4,在第一阶段t1,移位寄存器输入端In、第一时钟信号端CK1提供低电平,第二时钟信号端CK2提供高电平,移位寄存器输出端Out输出低电平;在第二阶段t2,移位寄存器输入端In、第一时钟信号端CK1提供高电平,第二时钟信号端CK2提供低电平,移位寄存器输出端Out输出低电平;在第三阶段t3,移位寄存器输入端、第一时钟信号端CK1提供低电平,第二时钟信号端CK2提供高电平,移位寄存器输出端Out输出高电平;在第四阶段t4,移位寄存器输入端In、第二时钟信号端CK2提供低电平,第一时钟信号端CK1提供高电平,移位寄存器输出端Out输出低电平。在移位寄存器的整个工作过程中,高电平电压端Vgh始终提供高电平,低电平电压端Vgl始终提供低电平。移位寄存器将移位寄存器输入端In的信号移位后输出,形成移位寄存器输出端Out的信号,即将第二阶段t2的高电平脉冲移位至第三阶段t3的高电平脉冲输出,实现移位寄存器的功能,需要说明的是,如图1至图6所示,图6为图1中一种扫描驱动电路的等效电路图,图1中设置有呈阵列部分的多个像素驱动电路100,每行像素驱动电路100对应设置有一条第一扫描信号线s1、第二扫描信号线s2

和发光控制信号线E,每列像素驱动电路100对应设置有一条数据线Data,在每个像素驱动电路100中,第一扫描信号端S1电连接于对应的第一扫描信号线s1,第二扫描信号端S2电连接于对应的第二扫描信号线s2,发光控制端Emit电连接于对应的发光控制信号线E,数据电压端Vdata电连接于对应的数据线Data。第一扫描信号线s1、第二扫描信号线s2和发光控制信号线E均电连接于扫描驱动电路2,扫描驱动电路2用于生成扫描信号以实现像素驱动电路100的逐行扫描,例如,扫描驱动电路2包括级联设置的多个移位寄存器20,多个移位寄存器20的输出端分别对应多行像素驱动电路100,用于为例如其中的第一扫描信号线s1、第二扫描信号线s2或者发光控制信号线E提供对应的扫描信号,扫描驱动电路2包括第一时钟信号线CKV1和第二时钟信号线CKV2,第一时钟信号线CKV1电连接于奇数行移位寄存器20的第一时钟信号端CK1和偶数行移位寄存器20的第二时钟信号端CK2,第二时钟信号线CKV2电连接于奇数行移位寄存器20的第二时钟信号端CK2和偶数行移位寄存器20的第一时钟信号端CK1,第一行移位寄存器输入端In电连接于初始信号线STV,除第一行移位寄存器20之外,每行移位寄存器20的移位寄存器输入端In电连接于上一行的移位寄存器输出端Out,这样即可以通过级联的方式实现逐行输出导通电平,例如,当第一行移位寄存器20输出导通电平时,其他行移位寄存器20输出截止电平,即控制第一行像素驱动电路100响应于该导通电平进行数据写入;然而第二行移位寄存器20输出导通电平,其他行移位寄存器20输出截止电平,即控制第二行像素驱动电路100进行数据写入;依次类推,既可以实现逐行扫描。在图4所示的移位寄存器电路结构中,判断第七晶体管T7为第二类晶体管,因此设置第七晶体管T7为双栅晶体管。

[0036] 可选地,如图1和图7所示,图7为本申请实施例中一种多路选通器的等效电路图,上述控制电路为多路选通器3。

[0037] 具体地,显示面板中可以设置有多个多路选通器3,例如每三条数据线Data划分为一组,每组对应一个多路选通器3,每个多路选通器3包括三个开关晶体管T,每个开关晶体管T的第一端电连接于对应的数据线Data,每个开关晶体管T的第二端电连接于源极信号线S,由于显示面板中的数据线Data数量较多,而驱动芯片的引脚数量有限,为了使用较少的驱动芯片引脚为较多数量的数据线Data分别提供数据信号,可以在驱动芯片和数据线Data之间设置多路选通器3,例如图7中所示的结构,源极信号线S电连接于驱动芯片的同一个引脚,将数据线Data写入数据的时间分为三个阶段,在第一个阶段,第一个开关晶体管T导通,其他两个开关晶体管T截止,源极信号线S和第一条数据线Data之间导通;在第二个阶段,第二个开关晶体管T导通,其他两个开关晶体管T截止,源极信号线S和第二条数据线Data之间导通;在第三个阶段,第三个开关晶体管T导通,其他两个开关晶体管T截止,源极信号线S和第三条数据线Data之间导通。利用多路选通器3,实现同一个源极信号线S的分时复用,从而节省了驱动芯片的引脚数量。

[0038] 需要说明的是,上述多路选通器、移位寄存器和像素驱动电路的具体结构均为举例,本申请实施例对于上述电路的具体结构不作限定。

[0039] 如图8所示,图8为本申请实施例中一种显示装置的结构示意图,本申请实施例还提供一种显示装置,包括上述的有机发光显示面板200。

[0040] 其中,显示面板200的具体结构和原理与上述实施例相同,在此不再赘述。显示装置可以是例如触摸显示屏、手机、平板计算机、笔记本电脑或电视机等任何具有显示功能的

电子设备。

[0041] 本申请实施例中的显示装置,设置第一类晶体管为单栅晶体管,第一类晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍,即通过沟道宽长比的设置和栅极类型的设置相互配合,以使第一类晶体管具有较高的响应速度,以提高其中电路的性能,进而改善显示效果。

[0042] 以上所述仅为本申请的较佳实施例而已,并不用以限制本申请,凡在本申请的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本申请保护的范围之内。

[0043] 最后应说明的是:以上各实施例仅用以说明本申请的技术方案,而非对其限制;尽管参照前述各实施例对本申请进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本申请各实施例技术方案的范围。

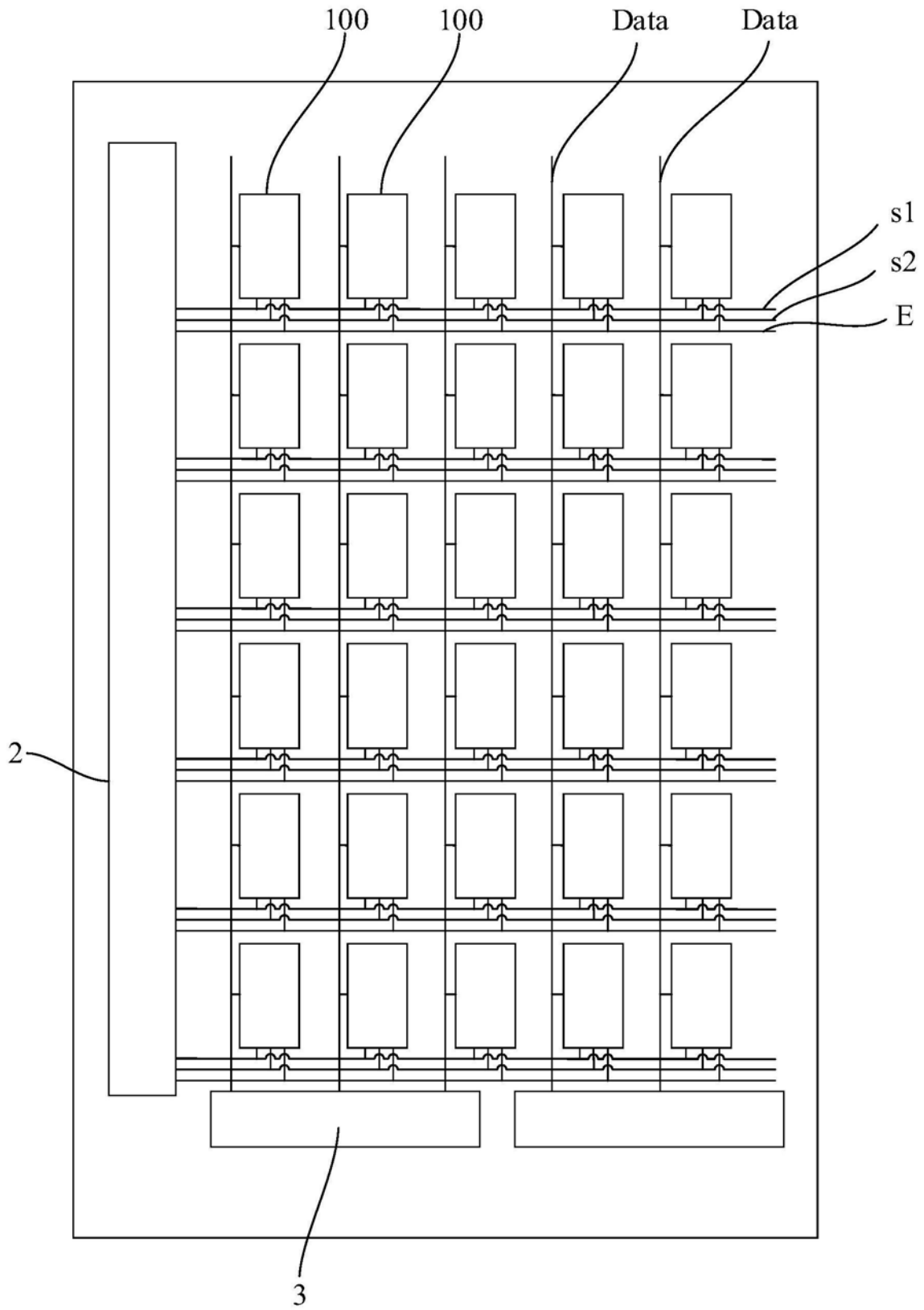


图1

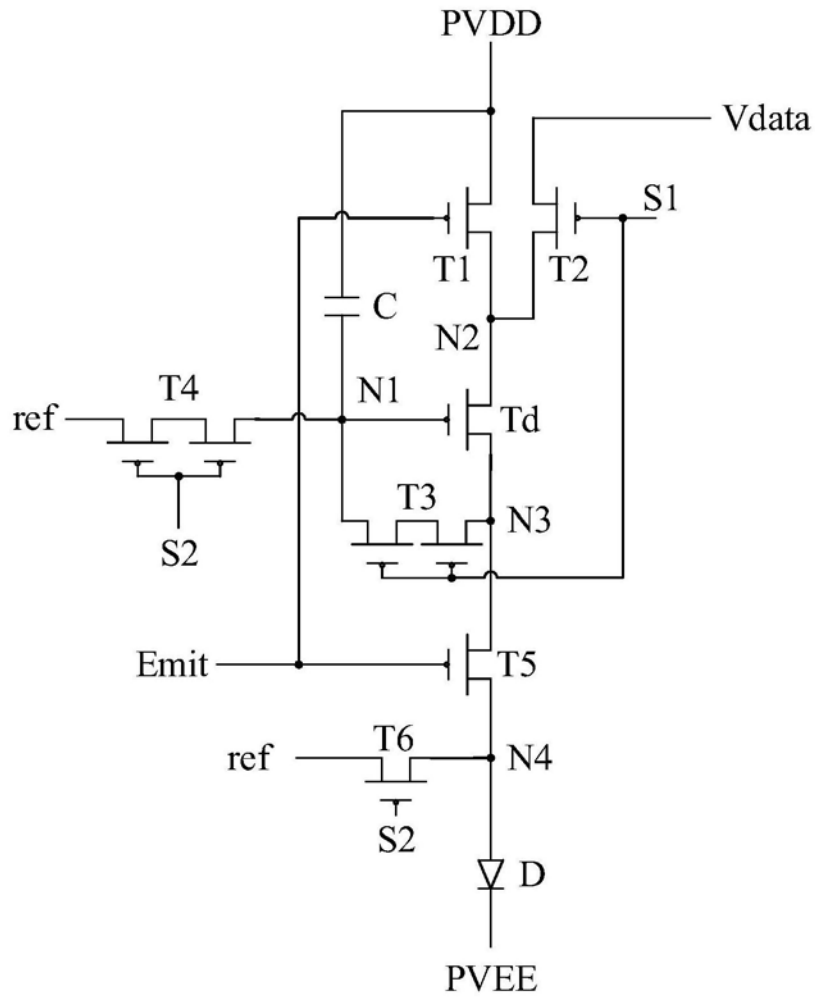


图2

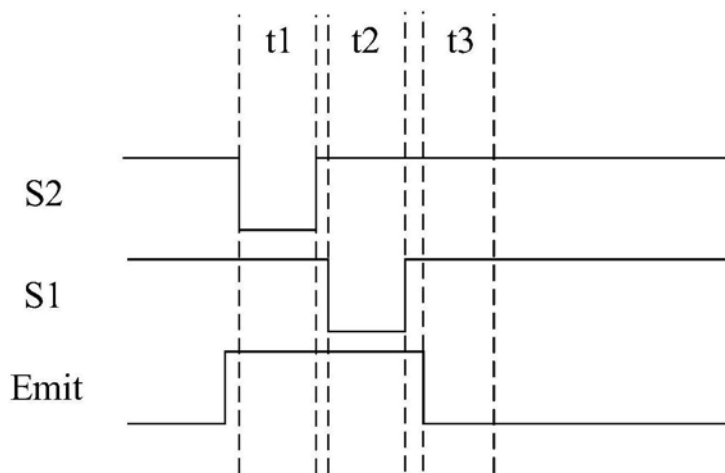


图3

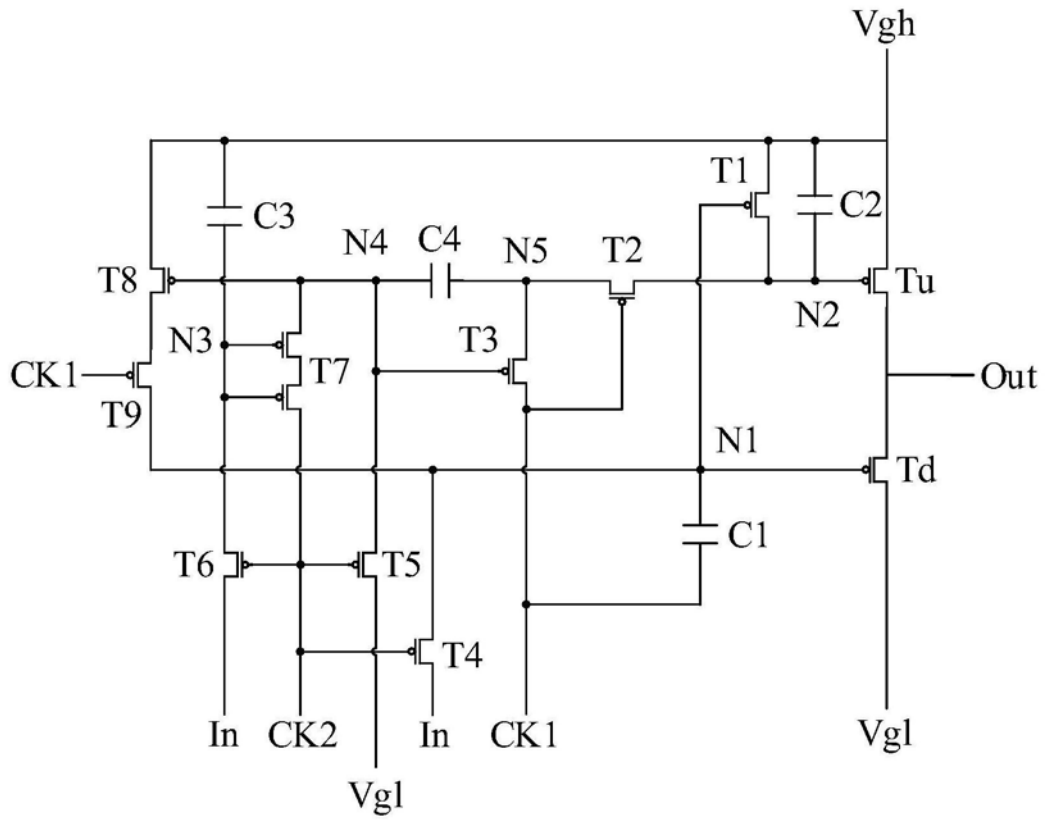


图4

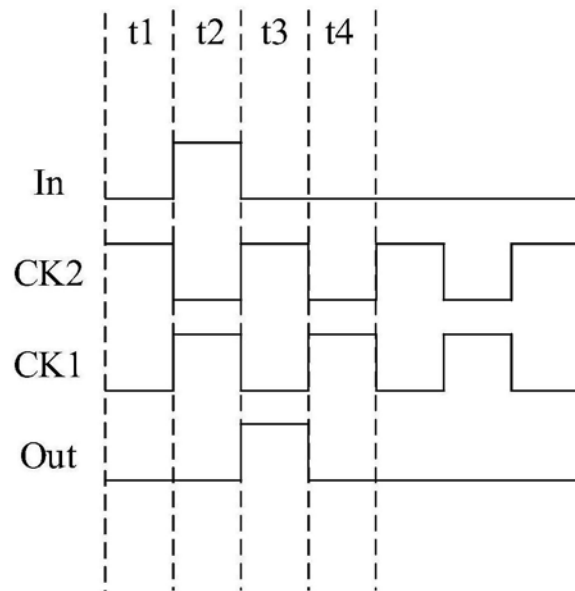


图5

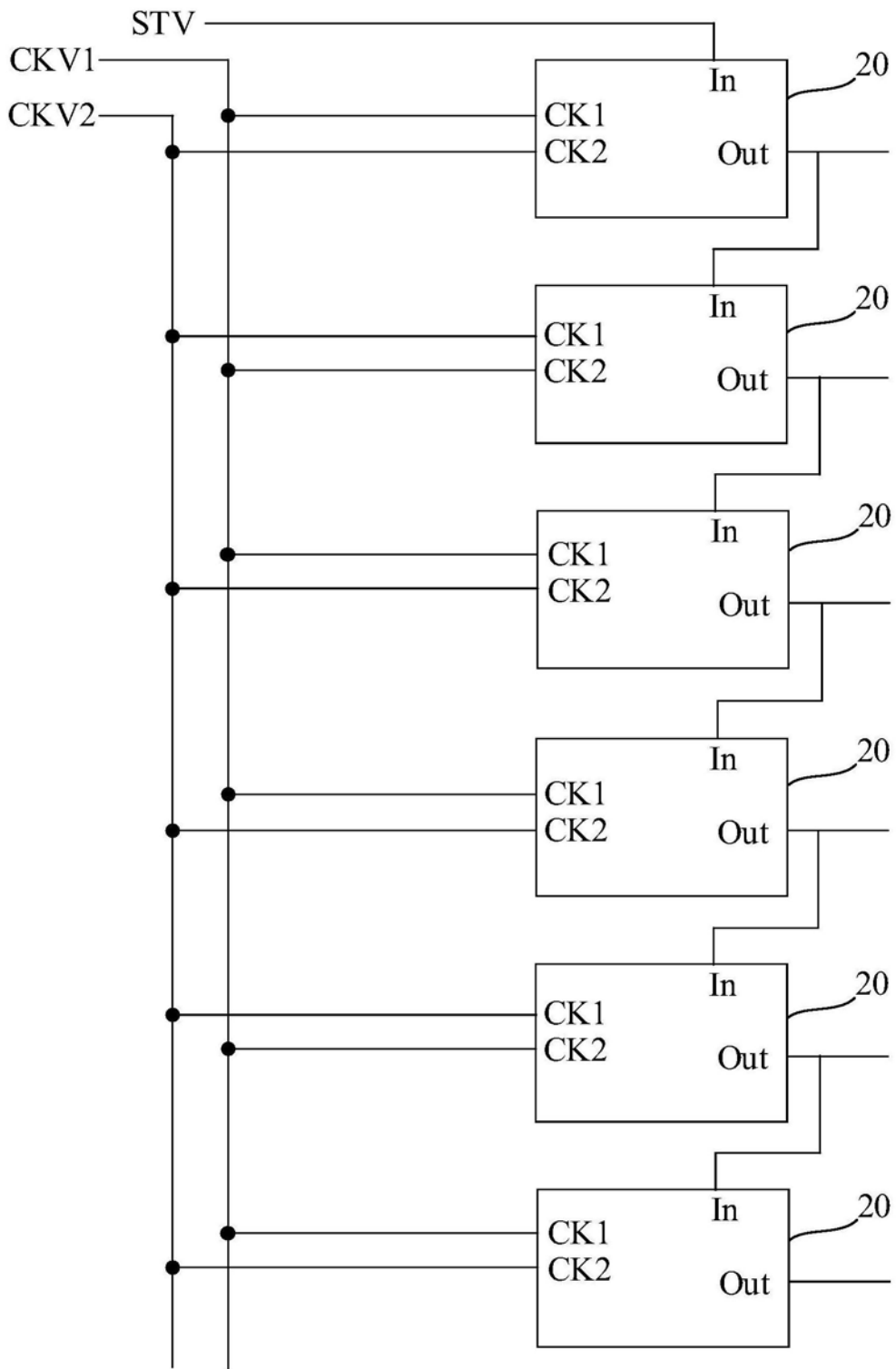


图6

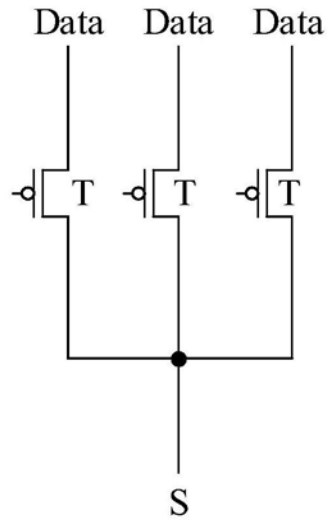


图7

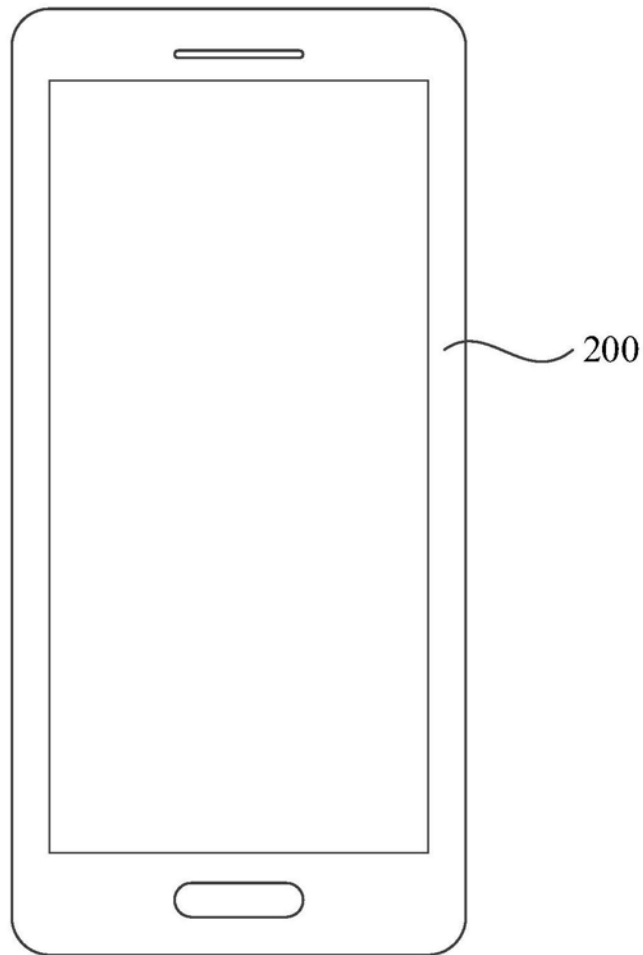


图8

专利名称(译)	有机发光显示面板和显示装置		
公开(公告)号	<a href="#">CN111091783A</a>	公开(公告)日	2020-05-01
申请号	CN201911350605.2	申请日	2019-12-24
[标]申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
当前申请(专利权)人(译)	上海天马有机发光显示技术有限公司		
[标]发明人	杨帅 李玥 刘志 周星耀		
发明人	杨帅 李玥 刘志 周星耀		
IPC分类号	G09G3/3208		
代理人(译)	焦志刚		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本申请实施例提供一种有机发光显示面板和显示装置，涉及显示技术领域，可以提高其中电路的性能，进而改善显示效果。有机发光显示面板包括：控制电路，所述控制电路包括多个晶体管，所述多个晶体管包括至少一个第一类晶体管，每个所述第一类晶体管的沟道宽度和沟道长度中的一者大于另一者的5倍，每个所述第一类晶体管为单栅晶体管。

