



(12)发明专利申请

(10)申请公布号 CN 108352151 A

(43)申请公布日 2018.07.31

(21)申请号 201780003491.7

张世昌 陈宇成 J·Z·钟

(22)申请日 2017.03.16

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

(30)优先权数据

代理人 邹丹

62/314,281 2016.03.28 US

62/327,584 2016.04.26 US

(85)PCT国际申请进入国家阶段日

(51)Int.Cl.

G09G 3/3233(2006.01)

2018.04.09

G09G 3/3266(2006.01)

(86)PCT国际申请的申请数据

PCT/US2017/022808 2017.03.16

(87)PCT国际申请的公布数据

W02017/172375 EN 2017.10.05

(71)申请人 苹果公司

地址 美国加利福尼亚

(72)发明人 余承和 林敬伟 杨玄 常鼎国

蔡宗廷 W·S·里厄托尔-路易斯

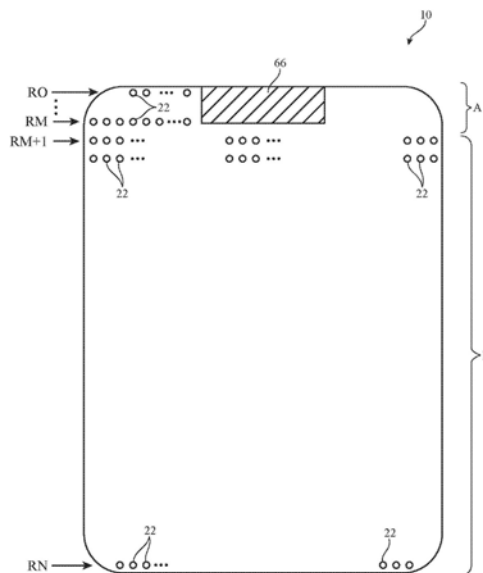
权利要求书4页 说明书14页 附图14页

(54)发明名称

发光二极管显示器

(57)摘要

显示器(10)可具有像素(22)阵列。显示驱动器电路向像素供应数据和控制信号。显示器的第一区域(A)中的行(R0, RM)比显示器的第二区域(B)中的行(RM+1)更短。显示驱动器电路具有栅极驱动器电路,所述栅极驱动器电路向显示器内像素的不同行提供不同的栅极线信号。不同的行也可具有不同的栅极驱动器强度和不同的补充栅极线负载结构。每个像素可具有七个晶体管、电容器、和发光二极管诸如有机发光二极管。七个晶体管可使用水平控制线接收控制信号。每个像素可具有与那个像素的驱动晶体管和发光二极管串联耦接的第一发射启用晶体管和第二发射启用晶体管。第一发射启用晶体管和第二发射启用晶体管可耦接到共同控制线或者可单独地控制以使得接通偏置应力可被有效地施加到驱动晶体管。



1. 一种显示器,包括:
显示驱动器电路;
数据线,所述数据线耦接到所述显示驱动器电路;
栅极线,所述栅极线耦接到所述显示驱动器电路;和
具有列和行的像素阵列,其中所述显示器的第一区域中的所述行比所述显示器的第二区域中的所述行更短,并且其中所述显示驱动器电路被配置为在所述第一区域和所述第二区域中的所述行的所述栅极线上提供不同的栅极线信号。
2. 根据权利要求1所述的显示器,其中所述显示驱动器电路包括生成第一时钟信号的第一时钟发生器和生成第二时钟信号的第二时钟发生器。
3. 根据权利要求2所述的显示器,其中所述显示驱动器电路包括多路复用器,所述多路复用器具有接收所述第一时钟信号的第一输入、接收所述第二时钟信号的第二输入和耦接到时钟路径的输出。
4. 根据权利要求3所述的显示器,其中所述显示驱动器电路包括栅极驱动器电路,所述栅极驱动器电路在所述行中的每行中具有栅极驱动器电路,其中所述栅极驱动器电路通过所述时钟路径接收信号。
5. 根据权利要求4所述的显示器,其中所述第一区域具有无像素凹口,并且其中所述显示驱动器电路被配置为引导所述多路复用器将所述第一时钟信号供应至所述第一区域的所述行中的所述栅极驱动器电路,并且将所述第二时钟信号供应至所述第二区域的所述行中的所述栅极驱动器电路。
6. 根据权利要求5所述的显示器,其中由所述第一区域的所述行中的所述栅极驱动器电路产生的所述第一时钟信号和对应的栅极线信号具有比由所述第二区域的所述行中的所述栅极驱动器电路产生的所述第二时钟信号和对应的栅极线信号更慢的转换速率。
7. 根据权利要求5所述的显示器,其中由所述第一区域的所述行中的所述栅极驱动器电路产生的所述第一时钟信号和对应的栅极线信号具有比由所述第二区域的所述行中的所述栅极驱动器电路产生的所述第二时钟信号和对应的栅极线信号更短的脉冲持续时间。
8. 根据权利要求5所述的显示器,其中由所述第一区域的所述行中的所述栅极驱动器电路产生的所述第一时钟信号和对应的栅极线信号具有两阶梯式轮廓,并且由所述第二区域的所述行中的所述栅极驱动器电路产生的所述第二时钟信号和对应的栅极线信号具有一阶梯式轮廓。
9. 根据权利要求5所述的显示器,其中每个像素具有七个晶体管和一个电容器。
10. 根据权利要求9所述的显示器,其中每个像素中的所述七个晶体管包括驱动晶体管以及与第一电源端子和第二电源端子之间的有机发光二极管串联耦接的第一发射晶体管和第二发射晶体管。
11. 根据权利要求1所述的显示器,还包括:
在每行中将第一发射控制信号从所述显示驱动器电路传送至那行的所述像素的第一发射控制线 and 将第二发射控制信号从所述显示驱动器电路传送到那行的所述像素的第二发射控制线。
12. 根据权利要求11所述的显示器,其中每个像素具有七个晶体管和一个电容器。
13. 根据权利要求12所述的显示器,其中每个像素中的所述七个晶体管包括驱动晶体

管以及与第一电源端子和第二电源端子之间的有机发光二极管串联耦接的第一发射晶体管和第二发射晶体管。

14. 根据权利要求13所述的显示器,其中每行中的所述第一发射线耦接到那行中的每个像素的所述第一发射晶体管,并且其中每行中的所述第二发射线耦接到那行中的每个像素的所述第二发射晶体管。

15. 一种显示器,包括:

显示驱动器电路;

数据线,所述数据线耦接到所述显示驱动器电路;

栅极线,所述栅极线耦接到所述显示驱动器电路;

具有列和行的像素阵列,其中每个像素具有多个晶体管和至少一个电容器,每个像素中的所述多个晶体管包括驱动晶体管和与第一电源端子和第二电源端子之间的有机发光二极管串联耦接的第一发射晶体管和第二发射晶体管;和

在每行中将第一发射控制信号从所述显示驱动器电路传送至那行的所述像素的第一发射控制线并将第二发射控制信号从所述显示驱动器电路传送到那行的所述像素的第二发射控制线。

16. 根据权利要求15所述的显示器,其中每行中的所述第一发射线耦接到那行中的每个像素的所述第一发射晶体管,并且其中每行中的所述第二发射线耦接到那行中的每个像素的所述第二发射晶体管。

17. 一种显示器,包括:

显示驱动器电路;

数据线,所述数据线耦接到所述显示驱动器电路;

栅极线,所述栅极线耦接到所述显示驱动器电路;

具有列和行的像素阵列,其中每个像素具有多个p沟道金属氧化物半导体晶体管和至少一个电容器,其中每个像素中的所述晶体管包括驱动晶体管和与第一电源端子和第二电源端子之间的有机发光二极管串联耦接的第一发射晶体管和第二发射晶体管;

在每行中将第一发射控制信号从所述显示驱动器电路传送至那行的所述像素的第一发射控制线;

在每行中将第二发射控制信号从所述显示驱动器电路传送到那行的所述像素的第二发射控制线;和

在每行中控制那行中的每个像素的所述晶体管中的至少第一开关晶体管和第二开关晶体管的第一栅极线和第二栅极线。

18. 根据权利要求17所述的显示器,其中所述显示驱动器电路包括生成第一时钟信号的第一时钟发生器和生成第二时钟信号的第二时钟发生器,并且包括多路复用器,所述多路复用器具有接收所述第一时钟信号的第一输入、接收所述第二时钟信号的第二输入和耦接到时钟路径的输出。

19. 根据权利要求18所述的显示器,其中每行中的所述第一发射线耦接到那行中的每个像素的所述第一发射晶体管,并且其中每行中的所述第二发射线耦接到那行中的每个像素的所述第二发射晶体管。

20. 根据权利要求19所述的显示器,其中所述显示驱动器电路在所述行中的每行中包

括通过所述时钟路径接收信号的栅极驱动器电路。

21. 一种显示器, 包括:

显示驱动器电路;

数据线, 所述数据线耦接到所述显示驱动器电路;

栅极线, 所述栅极线耦接到所述显示驱动器电路;

具有行和列的像素阵列, 其中所述显示器的第一区域中的行的所述栅极线相比所述显示器的第二区域中的行的所述栅极线耦接到所述像素阵列中的更少像素; 和

补充栅极线负载结构, 所述补充栅极线负载结构耦接到所述第一区域中的所述栅极线中的至少一些栅极线, 其中所述补充栅极线负载结构提供所述第一区域中的所述栅极线上的负载。

22. 根据权利要求21所述的显示器, 其中所述补充栅极线负载结构被配置为使得所述显示器的所述第一区域和所述第二区域之间的显示器亮度变化小于2%。

23. 根据权利要求22所述的显示器, 其中所述补充栅极线负载结构包括不发射光的虚拟像素。

24. 根据权利要求23所述的显示器, 其中所述虚拟像素不包含用于发光二极管的发射材料。

25. 根据权利要求22所述的显示器, 其中所述补充栅极线负载结构包括电容器。

26. 根据权利要求22所述的显示器, 其中所述第一区域中的所述行中的第一行耦接到所述第一区域中的所述行中的第二行中的补充栅极线负载结构。

27. 根据权利要求26所述的显示器, 其中所述行中的第一行的所述像素与所述栅极线中的给定一个栅极线相关联, 并且其中所述栅极线中的所述给定一个栅极线具有从所述行中的所述第一行延伸至所述行中的所述第二行的栅极线延伸部。

28. 根据权利要求22所述的显示器, 其中所述补充栅极线负载结构以所述第二区域与所述第一区域的所述栅极线之间的逐渐增加的距离将逐渐减小的负载量施加在所述第一区域的所述栅极线上。

29. 一种有机发光二极管显示器, 包括:

具有凹口的基板;

所述基板上的有机发光二极管像素;

显示驱动器电路;

数据线, 所述数据线耦接到所述显示驱动器电路和所述有机发光二极管像素;

栅极线, 所述栅极线耦接到所述显示驱动器电路和所述有机发光二极管像素, 其中所述有机发光二极管像素以列和行布置, 其中包括所述凹口的所述显示器的第一区域中的所述行相比所述显示器的第二区域中的所述行耦接到所述像素中的更少像素; 和

补充栅极线负载结构, 所述补充栅极线负载结构耦接到所述第一区域中的所述栅极线的至少一部分以增加那些栅极线上的栅极线负载, 并从而减小所述第一区域和所述第二区域中的所述栅极线之间的栅极线负载的差异。

30. 根据权利要求29所述的有机发光二极管显示器, 其中所述补充栅极线负载结构包括耦接到所述栅极线的部分中的所述栅极线的电容器。

31. 根据权利要求30所述的有机发光二极管显示器, 其中所述栅极线的部分中的每个

栅极线耦接到多个所述电容器。

32. 根据权利要求31所述的有机发光二极管显示器,其中所述电容器中的每个电容器具有上电极和下电极。

33. 根据权利要求31所述的有机发光二极管显示器,其中所述电容器中的每个电容器具有第一导电层、第二导电层和第三导电层,其中所述第一导电层和所述第三导电层短路在一起并形成第一电容器电极,并且其中所述第二导电层插置在所述第一导电层和所述第三导电层之间并形成第二电容器电极。

34. 根据权利要求29所述的有机发光二极管显示器,其中所述补充栅极线负载结构将不同量的电容施加到所述第一区域中的不同栅极线。

35. 根据权利要求34所述的有机发光二极管显示器,其中所述栅极驱动器电路包括耦接到每行中的所述栅极线中的一个栅极线的栅极驱动器,并且其中在所述第一区域中的所述栅极驱动器中的至少一个栅极驱动器具有与所述第二区域中的所述栅极驱动器中的至少一个栅极驱动器不同的强度。

36. 根据权利要求35所述的有机发光二极管显示器,其中所述显示驱动器电路被配置为在所述第一区域和所述第二区域中的所述行的所述栅极线上提供具有不同转换速率的栅极线信号。

37. 一种有机发光二极管显示器,包括:

具有凹口的基板,其中所述基板具有宽度;

在所述基板上的有机发光二极管像素;

显示驱动器电路;

数据线,所述数据线耦接到所述显示驱动器电路并耦接到所述像素;和

栅极线,所述栅极线耦接到所述显示驱动器电路并耦接到所述像素,其中所述像素具有列和行,其中所述显示器的第一区域中的所述行的所述栅极线相比所述第二区域中的所述行的所述栅极线耦接到所述像素中的更少像素,其中所述第一区域和所述第二区域两者中的所述行的所述栅极线跨越所述基板的所述宽度,其中所述第一区域中的所述行中的所述栅极线中的每个栅极线具有不耦接到任何像素的一部分,并且其中每个部分的位置相对于所述凹口定位。

38. 根据权利要求37所述的有机发光二极管显示器,还包括耦接到所述第一区域中的第一组栅极线的补充栅极线负载结构,以增加所述第一组栅极线上的栅极线负载,并且从而减小在所述第二区域中的所述第一组栅极线和第二组栅极线之间的栅极线负载的差异。

39. 根据权利要求38所述的有机发光二极管显示器,其中所述补充栅极线负载结构包括虚拟像素。

40. 根据权利要求38所述的有机发光二极管显示器,其中所述补充栅极线负载结构包括耦接到所述第一组栅极线中的每个栅极线的至少一个电容器。

41. 根据权利要求38所述的有机发光二极管显示器,其中所述补充栅极线负载结构包括耦接到所述第一组栅极线的电容器,并且其中在所述第一组栅极线中的所述栅极线中的至少给定一个栅极线耦接到与所述栅极线中的所述给定一个栅极线不同的行中的电容器。

发光二极管显示器

[0001] 本专利申请要求于2016年3月28日提交的美国临时专利申请号62/314,281以及于2016年4月26日提交的美国临时专利申请号62/327,584的优先权,这些专利申请据此全文以引用方式并入本文。

背景技术

[0002] 这通常涉及显示器,并且更具体地,涉及具有由发光二极管形成的像素的显示器。

[0003] 电子设备通常包括显示器。例如,蜂窝电话和便携式计算机包括用于向用户呈现信息的显示器。

[0004] 显示器诸如有机发光二极管显示器具有基于发光二极管的像素阵列。在这种类型的显示器中,每个像素都包括发光二极管和薄膜晶体管,薄膜晶体管用于控制向发光二极管施加信号以产生光。该薄膜晶体管包括驱动晶体管。每个驱动晶体管与相应的发光二极管串联耦接并控制流过该发光二极管的电流。

[0005] 有机发光二极管显示器中的驱动晶体管的阈值电压可由于操作历史效应而变化,这可导致亮度不均匀。亮度变化也可由在具有非矩形形状的显示器中的控制问题而产生。如果未获得关注,则效应诸如这些效应可能不利地影响显示器性能。

发明内容

[0006] 显示器可具有像素阵列。显示驱动器电路可向像素供应数据和控制信号。每个像素可具有七个晶体管、电容器和发光二极管诸如有机发光二极管或可具有其他薄膜晶体管电路。

[0007] 每个像素的晶体管可使用水平控制线接收控制信号。每个像素可具有与驱动晶体管和发光二极管串联耦接的第一发射启用晶体管和第二发射启用晶体管。第一发射启用晶体管和第二发射启用晶体管可耦接到共同水平控制线,或者可使用经由单独的水平控制线供应的单独的控制信号进行单独控制。当像素的发射启用晶体管被单独控制时,接通偏置应力可被有效地施加到那个像素的驱动晶体管,因为驱动晶体管的源节点可短路到像素的正电源端子而不是浮动。

[0008] 不是显示器中的所有行可具有相同数量的像素并且因此可通过不同量的电容负载来表征。为了确保显示器的亮度均匀性,显示驱动器电路可具有栅极驱动电路,其向显示器内的不同行的像素提供不同栅极线信号。这允许显示驱动器电路生成依赖行位置的栅极线信号以抵消来自不同行中的不同电容负载效应的显示器亮度的变化。显示器还可具有依赖行的补充栅极线负载结构和/或不同行中的不同强度的栅极驱动器以平滑亮度变化。

附图说明

[0009] 图1是根据实施方案的具有显示器的例示性电子设备的示意图。

[0010] 图2是根据实施方案的例示性显示器的示意图。

[0011] 图3是根据实施方案的例示性像素电路的图示。

[0012] 图4是根据实施方案的示出在显示器中使用图3所示类型的像素电路涉及的操作的时序图。

[0013] 图5是根据实施方案的示出用于控制图3所示类型的像素中的开关晶体管的例示性发射启用控制信号和例示性栅极线信号的图示。

[0014] 图6是根据实施方案的具有沿其上边缘的无像素凹口并且因此具有不同显示器行中不同电容负载的例示性显示器的图示。

[0015] 图7是根据实施方案的可用于为不同行的像素提供不同栅极线信号的类型以抵消不同行中的不同电容负载效应的显示驱动器电路的图示。

[0016] 图8、图9和图10各自根据实施方案示出分别提供给显示器中的第一组行和第二组行的第一例示性栅极线信号和第二例示性栅极线信号,其由相应的第一不同电容负载效应和第二不同电容负载效应表征。

[0017] 图11是根据实施方案的具有单独控制的发射启用晶体管的例示性像素电路的图示。

[0018] 图12是根据实施方案的示出如何对显示器中的像素施加接通偏置应力以及示出如何可执行数据写入操作的时序图。

[0019] 图13是根据实施方案的示出如何将栅极线负载调整为显示器中的行位置的函数以帮助最小化显示器亮度变化的曲线图。

[0020] 图14是根据实施方案的示出如何可在显示器中向行添加补充数据线负载结构诸如虚拟像素结构以使亮度变化平稳的图示。

[0021] 图15是根据实施方案的示出可在显示器中向行中添加不同量的补充栅极线负载结构以使亮度变化平稳的图示。

[0022] 图16是根据实施方案的示出位于显示器的一行中的栅极线负载结构如何可用于增加另一行中的栅极线负载的图示。

[0023] 图17是根据实施方案的示出如何通过增加短行的栅极线宽度作为行位置的函数来实现依赖行的补充栅极线负载结构的显示器的一部分的图示。

[0024] 图18是根据实施方案的示出栅极驱动器强度如何可随行位置的函数而变化的显示器的一部分的图示。

[0025] 图19是根据实施方案的示出电容器可如何耦接到栅极线以向栅极线添加负载的电路图。

[0026] 图20和图21是根据实施方案的例示性电容器的横截面侧视图。

[0027] 图22是根据实施方案的具有用于提供栅极线负载的电容器的显示器中的例示性行的图示。

[0028] 图23是根据实施方案的显示器中的例示性行的图示,其中栅极线设置有蜿蜒路段以调整栅极线负载。

[0029] 图24是根据实施方案的显示器中的例示性行的图示,其中栅极线已负载有减小的占位面积的非发射像素电路,其用作补充栅极线负载结构。

[0030] 图25是根据实施方案的具有包括延伸跨越显示器穿过显示器中的凹口的无源区域的延伸部的栅极线的例示性显示器的图示。

具体实施方式

[0031] 电子设备可具有显示器。图1示出了具有显示器的例示性电子设备的示意图。图1的设备10可为计算设备诸如膝上型计算机、包含嵌入式计算机的计算机监视器、平板计算机、蜂窝电话、媒体播放器或其他手持式或便携式电子设备、较小的设备诸如腕表设备(例如,具有腕带的手表)、挂式设备、耳机或听筒设备、被嵌入在眼镜中的设备或者佩戴在用户的头部上的其他设备、或其他可佩戴式或微型设备、电视机、不包含嵌入式计算机的计算机显示器、游戏设备、导航设备、嵌入式系统(诸如其中具有显示器的电子设备被安装在信息亭或汽车中的系统)、实现这些设备中的两个或更多个设备的功能的设备,或其他电子设备。

[0032] 如图1所示,电子设备10可具有控制电路16。控制电路16可包括用于支持设备10的操作的存储和处理电路。该存储和处理电路可包括存储设备,诸如硬盘驱动器存储设备、非易失性存储器(例如,被配置为形成固态驱动器的闪存存储器或其他电可编程只读存储器)、易失性存储器(例如,静态或动态随机存取存储器),等等。控制电路16中的处理电路可用于控制设备10的操作。该处理电路可基于一个或多个微处理器、微控制器、数字信号处理器、基带处理器、电源管理单元、音频芯片、专用集成电路等。

[0033] 设备10诸如输入-输出设备18中的输入-输出电路可用于允许将数据供应至设备10,并且允许将数据从设备10提供至外部设备。输入-输出设备18可包括按钮、操纵杆、滚轮、触摸板、小键盘、键盘、麦克风、扬声器、音频发生器、振动器、相机、传感器、发光二极管和其他状态指示器、数据端口等。用户可通过经由输入-输出设备18供应命令来控制设备10的操作,并且可使用输入-输出设备18的输出资源来从设备10接收状态信息和其他输出。

[0034] 输入-输出设备18可包括一个或多个显示器,诸如显示器14。显示器14可以是包括用于采集来自用户的触摸输入的触摸传感器的触摸屏显示器,或者显示器14可对触摸不敏感。显示器14的触摸传感器可基于电容性触摸传感器电极阵列、声学触摸传感器结构、电阻性触摸部件、基于力的触摸传感器结构、基于光的触摸传感器或其他合适的触摸传感器布置。

[0035] 可使用控制电路16来在设备10上运行软件,诸如操作系统代码和应用程序。在设备10的操作期间,运行于控制电路16上的软件可在显示器14上显示图像。

[0036] 显示器14可以是有机发光二极管显示器、由各自由晶体半导体模片形成的分立的发光二极管的阵列形成的显示器或任何其他合适类型的显示器。其中显示器14的像素包括发光二极管的配置在本文中有时作为示例来描述。然而,这仅为例示性的。如果需要,可针对显示器10使用任何合适类型的显示器。

[0037] 图2为例示性显示器的图示。如图2所示,显示器14可包括层,诸如基板层26。基板层诸如层26可由矩形平面材料层或具有其他形状(例如,圆形或具有一个或多个弯曲边缘和/或直边缘的其他形状)的材料层形成。显示器14的基板层可包括玻璃层、聚合物层、包括聚合物材料和无机材料的复合膜、金属箔等。

[0038] 显示器14可具有用于为用户显示图像的像素22的阵列,诸如像素阵列28。阵列28中的像素22可被布置成行和列。阵列28的边缘可以是直的或者弯曲的(即,阵列28中的像素22的每行和/或像素22的每列可具有相同的长度或者可具有不同的长度)。在阵列28中可存

在任何合适数量的行和列(例如,十个或更多个、一百个或更多个,或者一千个或更多个等等)。显示器14可包括不同颜色的像素22。例如,显示器14可包括红色像素、绿色像素和蓝色像素。如果需要,背光单元可为显示器14提供背光照明。

[0039] 显示驱动器电路20可用于控制像素22的操作。显示驱动器电路20可由集成电路、薄膜晶体管电路和/或其他合适的电路形成。图2的例示性显示驱动器电路20包括显示驱动器电路20A和附加显示驱动器电路诸如栅极驱动器电路20B。栅极驱动器电路20B可沿显示器14的一个或多个边缘形成。例如,栅极驱动器电路20B可沿显示器14的左侧和右侧布置,如图2所示。

[0040] 如图2所示,显示驱动器电路20A(例如,一个或多个显示驱动器集成电路、薄膜晶体管电路等)可包含用于通过信号路径24与系统控制电路进行通信的通信电路。路径24可由柔性印刷电路上的迹线或其他缆线形成。控制电路可被定位在电子设备10中的一个或多个印刷电路上。在操作期间,控制电路(例如,图1的控制电路16)可为电路诸如电路20中的显示驱动器集成电路供应图像数据,以用于使图像被显示在显示器14上。图2的显示驱动器电路20A被定位在显示器14的顶部处。这仅是例示性的。显示驱动器电路20A可沿显示器14的底部边缘被定位、被定位在显示器14的顶部和底部两者处,或者被定位在设备10的其他部分中。

[0041] 为了在像素22上显示图像,显示驱动器电路20A可在通过信号路径30向支持性显示驱动器电路诸如栅极驱动器电路20B发出控制信号时将对应图像数据供应到数据线D。利用图2的例示性布置,数据线D竖直延伸穿过显示器14,并且与像素22的相应列相关联。

[0042] 栅极驱动器电路20B(有时被称为栅极线驱动器电路或水平控制信号电路)可使用一个或多个集成电路来实现,和/或可使用基板26上的薄膜晶体管电路来实现。水平控制线G(有时被称为栅极线、扫描线、发射控制线等)水平延伸穿过显示器14。每个栅极线G与像素22的相应行相关联。如果需要,可存在多个水平控制线诸如与每行像素相关联的栅极线G(例如第一栅极线信号GI和第二栅极线信号GW、一个或多个发射控制信号,等等)。显示器14中的单独控制的信号路径和/或全局信号路径也可用于分发其他信号(例如,电源信号等)。

[0043] 栅极驱动器电路20B可断言显示器14中的栅极线G上的控制信号。例如,栅极驱动器电路20B可在路径30上接收来自电路20A的时钟信号和其他控制信号,并可响应于所接收到的信号,从阵列28中的像素22的第一行中的栅极线信号G开始顺序断言栅极线G上的栅极线信号。在每个栅极线被断言时,来自数据线D的数据可被负载到像素的对应行中。通过这种方式,控制电路诸如显示驱动器电路20A和20B可为像素22提供用于指示像素22在显示器14上显示期望图像的信号。每个像素22可具有对来自显示驱动器电路20的控制信号和数据信号进行响应的发光二极管和电路(例如,基板26上的薄膜电路)。

[0044] 可用于阵列28中的每个像素22的类型的例示性像素电路在图3中被示出。在图3的示例中,像素电路22具有七个晶体管T1、T2、T3、T4、T5、T6和TD,以及一个电容器Cst,因此像素电路22有时可被称为7T1C像素电路。如果需要可在像素22中使用其他数量的晶体管和电容器(例如,更少晶体管、更多晶体管、更多电容器,等等)。晶体管可为p沟道晶体管(例如p沟道金属氧化物半导体晶体管,如图3所示)和/或可为n沟道晶体管或其他类型的晶体管。用于像素电路22的薄膜晶体管的有效区域和显示器14的其他部分可由硅(例如,多晶硅沟道区域)、半导体氧化物(例如,铟镓锌氧化物沟道区域)或其他合适的半导体薄膜层形成。

[0045] 如图3所示,像素电路22包括发光二极管44(例如,有机发光二极管、结晶微发光二极管模片等)。发光二极管44可与由晶体管TD驱动穿过发光二极管44的电流I的量成比例地发射光46。晶体管TD、晶体管T4、晶体管T5和发光二极管44可串联在相应电源端子(参见例如正电源端子ELVDD和接地电源端子ELVSS耦接)之间。晶体管TD可具有耦接到节点Nb的源极端子、耦接到晶体管T5的漏极端子,以及耦接到节点Na的栅极端子。晶体管TD的栅极处的节点Na上的电压控制由晶体管TD产生的电流I的量。该电流被驱动穿过发光二极管44,因此晶体管TD有时可被称为驱动晶体管。

[0046] 晶体管T4和T5可被截断以中断晶体管TD和二极管44之间的电流,并且晶体管T4和T5可被接通以实现晶体管TD和二极管44之间的电流。发射启用控制信号EM可从共享栅极线被施加到晶体管T4和T5的栅极。在操作期间,晶体管T4和T5由发射启用控制信号EM来控制,并且因此有时被称为发射晶体管或发射启用晶体管。控制信号GW和GI有时可被称为开关晶体管控制信号、扫描信号或栅极线信号(例如栅极初始化和栅极写入信号、栅极信号等),其被施加到开关晶体管T1、T2、T3和T6的栅极,并控制晶体管T1、T2、T3和T6的操作。

[0047] 控制信号EM、GI和GW可通过显示驱动器电路20来控制以在显示器14的操作期间将显示器14的像素22放置在不同状态。在这些不同状态期间,将图像数据负载到像素22中并且像素22使用发光二极管44将光46与负载的像素数据成比例地发射。为了最小化由晶体管历史的差异(例如历史 V_{gs} 值)引起的阈值电压变化,可通过有意向驱动晶体管TD施加已知的电压应力(有时被称为偏置应力)来调节像素中的每个。

[0048] 例如,显示驱动器电路20可使用控制信号EM、GI和GW在使用像素发射光(在第二操作模式诸如图4的阶段62)之前将像素22放置在第一操作模式(参见,例如图4的阶段60)。在操作期间,阶段60和62可反复交替。

[0049] 在有时可被称为预调节阶段或接通偏置应力、数据写入和阈值电压补偿阶段的阶段60期间,接通偏置应力可被施加到每个像素22的驱动晶体管TD上,并且来自数据线的的数据(D)可被负载到那个像素22的电容器Cst(节点Na)上。在有时可被称为发射阶段的阶段62期间,每个像素22的驱动晶体管TD供应驱动电流I到该像素的发光二极管44,使得发光二极管44发射光46。在阶段60期间,负载到电容器Cst上的数据可以以等于驱动晶体管TD的阈值电压 V_t 的量从Vdata(数据线D上的电压)偏移,使得晶体管TD的驱动电流I在发射阶段62期间独立于 V_t (即,图3的像素电路可用于实现内部阈值电压补偿方案)。

[0050] 图5示出了在阶段60期间像素22的发射信号EM与栅极线信号GI和GW的例示性信号迹线。

[0051] 如图5中所示,发射信号EM可在时间 t_1 处取高并且在阶段60期间保持为高,从而关断晶体管T4和T5并防止电流I经过发光二极管44。在EM为高的情况下,栅极线信号GI可在时间 t_1 处取低。这接通晶体管T3,并从而将初始化电压 V_{ini} (例如低电压信号诸如-2伏或其他合适的电压)置于在驱动晶体管TD的栅极处的节点Na上(即,已知的接通偏置应力施加到驱动晶体管TD以预调节晶体管TD,并从而帮助最小化由晶体管TD的操作历史引起的晶体管TD的阈值电压 V_t 的阈值电压变化)。然后可在时间 t_2 处通过将信号GI取高来关断晶体管T3。在时间 t_3 处,栅极线信号GW可被取低。这接通晶体管T1、T2和TD,使得经由路径64将来自数据线D的数据(Vdata)负载到节点Na。如果需要,可重复取得信号GI和GW低的方法(例如如图5所示的三次或其他合适数量的时间)以帮助预调节晶体管TD和令人满意地负载Vdata到节

点Na上。

[0052] 在设备10的构型中(其中显示器14在显示器14的每行中具有相同数量的像素22),在显示器14的栅极线上的电容负载将相对甚至跨越显示器14的所有行。在显示器14的其他构型诸如图6的例示性构型中,不同行的显示器14可包含不同数量的像素22。这可导致栅极线上的依赖行的电容负载(例如承载信号诸如信号GI和GW的栅极线)可影响预调节操作,以及负载到节点Na上的数据,以及因此每行的像素22中的光46的所得亮度。

[0053] 在图6的例示性布置中,显示器14具有带四个弯曲拐角和凹槽(即无像素凹口区域66)的矩形形状。凹口中断像素22的行并产生具有比跨越显示器14的基板宽度的正常长度行更少的像素的短行。由于显示器14的弯曲拐角,显示器14的顶部边缘和底部边缘中的每行将具有略微不同量的电容负载。由于显示器14的顶部边缘和底部边缘处的显示器14的周边边缘的逐渐弯曲的形状,在这些区域中负载栅极线的多个像素22中的行与行的变化将是渐进的。因此,由于相邻行之间的行长度(以及因此像素计数)的变化引起的亮度变化将是最小的并且对于显示器14的观察者而言是不明显的。

[0054] 由凹口66引起的更多突然形状变化诸如显示器14中的变化将在栅极线上引入像素负载中的更显著的变化。行诸如图6的显示器14中的行RM+1...RN具有彼此相等的像素计数(或在行接近显示器14的底部边缘的情况下,几乎相等)。行诸如行R0...RM将具有小于行RM+1...RN的像素计数的一半的像素计数。这是因为在行R0...RM中的每个栅极线将只延伸到区域66的左边界或右边界并且将不能横贯区域66。

[0055] 由于显示器14的区域A中的栅极线(即在显示器14的顶部边缘中与区域66相邻的栅极线)和显示器14的区域B中的栅极线(即,在行RM+1...RN中的栅极线)在图6的示例中经历不同量的负载,因此存在区域A和B中的像素22在它们的存储电容器Cst上负载不同电压的风险,即使在它们的数据线上存在相同的Vdata值。为了补偿这些依赖行的栅极线负载效应,显示驱动器电路20可产生作为行的函数而变化的栅极线信号G。例如,显示驱动器电路20可产生用于区域A中的行的栅极线信号,其与区域B中的行的栅极线信号相比脉冲宽度更短。在区域A中使用的具有较短的脉冲宽度的栅极线信号然后以与在区域B中使用的具有较长脉冲宽度的栅极线信号将在区域B中负载像素的方式相同的方式在区域A中负载像素。

[0056] 图6中示出了用于向区域A中的像素22的行提供与区域B中的像素22的行不同的栅极信号的例示性显示驱动器电路。如图7所示,显示驱动器电路20A(例如,集成电路、薄膜晶体管电路等)可包括时钟发生器诸如时钟发生器70和72,其产生不同时钟信号(例如,与脉冲宽度、脉冲转换速率和/或其他属性不同的时钟信号)。这些信号可经由多路复用器74和时钟分配路径76来提供至栅极驱动器电路20B的栅极驱动器电路78的时钟输入。每个栅极驱动器电路78的输出G可被提供给后续栅极驱动器电路78以形成移位寄存器。在图7的示例中,每个栅极驱动器电路产生用于像素22的相应行的栅极信号。如果需要,电路20B可针对每行生成多个栅极线输出信号(例如信号GI和GW)。由电路78形成的移位寄存器允许栅极线信号(或当每个电路78具有对应于每行中的多个栅极线的多个输出时的栅极线信号)在显示器14的每行中被顺序断言。

[0057] 来自线76的时钟信号被分发到每个栅极驱动器电路78的时钟输入,栅极驱动器电路78然后在产生对应的输出信号G中使用这些时钟。当产生给定栅极线信号时线76上的时钟信号的形状可用于控制给定栅极线信号的形状。具体地,针对线76上的时钟信号的时钟

信号属性(例如脉冲宽度)会影响栅极线信号属性(例如脉冲宽度),因此可使用路径76上的时钟信号的变化来控制栅极线信号G。

[0058] 当需要供应第一类型时钟信号至栅极驱动器电路20B的栅极驱动器电路78时(例如,当产生区域A中的像素的栅极线信号时),显示驱动器电路20A可配置多路复用器74,使得时钟发生器70的输出CLKA被经由路径76路由到电路20A中的栅极驱动器电路78。当需要供应第二类型时钟信号至栅极驱动器电路20B的栅极驱动器电路78时(例如,当产生区域B中的像素的栅极线信号时),显示驱动器电路20A可配置多路复用器74,使得时钟发生器72的输出CLKB被经由路径76路由到电路20A中的栅极驱动器电路78。在图像数据的每个帧期间,多路复用器74可在区域A的行期间置于其第一状态(将时钟发生器70耦接到路径76),并可在区域B的行期间置于其第二状态(将时钟发生器72耦接到路径76)。

[0059] 图8、图9和图10示出了可提供给相应区域B和A以减小区域B和A之间的亮度变化的类型的例示性信号CLKB和CLKA。在图8的示例中,时钟CLKB和CLKA的转换速率不同。晶体管T2的栅极与节点Na之间存在寄生电容,其允许较快的转换速率信号,诸如CLKB信号将更多数据从数据线D转到节点Na上,与较慢的转换速率信号诸如CLKA信号不同。通过使用区域B中较快的转换速率信号CLKB(其中栅极线更大量地由像素22负载)并且在区域A中使用较慢的转换速率信号CLKA(其中栅极线更少量地由像素22负载),数据信号Vdata将均匀地负载到区域A和B中的节点Na上,从而减小区域A和B之间的非期望的像素亮度变化。在图9的示例中,信号CLKA的脉冲宽度(脉冲持续时间)小于信号CLKB的脉冲宽度(脉冲持续时间)。在区域B中使用的CLKB的较长脉冲宽度帮助补偿区域B中区域B中像素行中的栅极线上的附加负载。在图10的示例中,时钟信号CLKA具有两阶梯式轮廓(two-step profile),其向CLKA的脉冲提供与CLKB(其具有一阶梯式轮廓(one step profile))相比较短的脉冲形状和较慢的转换速率来帮助补偿区域B中的像素行中的栅极线上的另外负载(相对于区域A)。图8、图9和图10的示例是可用于时钟CLKA和CLKB(并因此供应到显示器14的相应区域A和B中的像素22的栅极线信号G)的信号轮廓的示例。如果需要可使用其他类型的信号与信号CLKA和CLKB的其他组合。

[0060] 为了增强已知的接通偏置应力施加于驱动晶体管TD的有效性,可能有利的是将发射信号EM分成两个相应的独立控制的发射信号EM1和EM2,如图11的像素22的例示性像素电路所示。在图11的示例中,在控制发射晶体管T4中使用发射控制信号(发射启用信号)EM2,并且在控制发射晶体管T5中使用发射控制信号(发射启用信号)EM1。在图3的像素电路22所示的类型的布置中,发射信号EM在接通偏置应力期间为高,其中电压Vini被经由晶体管T3驱动到节点Na上。因为EM为高,因此图3的晶体管T4在阶段60的接通偏置应力操作期间为断开,并且在图3的晶体管TD源处的节点Nb上的电压可浮动并且从而降低整个驱动晶体管TD上的Vgs电压。相比之下,在接通偏置应力操作期间可保持图11的信号EM2为低,以接通晶体管T4并从而在正电源电压ELVDD保持节点Nb(晶体管TD的源极)为高,从而有效施加巨大栅极-源极电压Vgs到驱动晶体管TD。这在图12中示出,该图示出在接通偏置应力阶段期间当GI取低时EM1如何为高和EM2如何为低。

[0061] 如果需要,显示驱动器电路20可向像素22供应依赖行的栅极线信号以减小显示器中的行到行亮度变化,该显示器的像素具有共同控制的发射控制晶体管(参见,例如图3的像素22)或其像素具有独立控制的发射晶体管。

[0062] 负载到来自数据线D的每个像素22的节点Na上的电荷(信号Vdata)的量取决于针对该像素的栅极线信号的特性。在数据负载操作期间,断言栅极线信号GW(即图5中的第三GW脉冲)(在图5的示例中取低)以将数据从数据线D通过晶体管T1、TD和T2负载到节点Na上。由于图3的晶体管T3的寄生电容(Cgs),具有比信号GW(其具有较慢回转速率和较短持续时间)更快转换速率和更长脉冲持续时间的信号GW趋于将更多的电压Vdata负载到节点Na上。

[0063] 栅极线负载影响栅极线上栅极线脉冲的形状并且因此可影响像素亮度。具有较大栅极线负载的栅极线将趋向于比具有较少栅极线负载的栅极线更暗。显示器14中的行可具有不同量的栅极线负载以帮助减小亮度变化。可做出这些栅极线负载调整,除了其中提供给显示器14中的像素行的栅极线脉冲的形状被调整以减小依赖行的亮度变化的技术之外和/或代替使用该技术,如结合图8、图9和图10所述。例如,具有较少像素的较短行可具有补充负载(有时称为虚拟负载或补充栅极线负载结构)以帮助使这些行与显示器中的较长行类似或相同地运行。

[0064] 图13显示示出了可用于帮助在具有不等长度的像素行(不同数量的像素)的显示器中使亮度变化平滑的各种负载方案的影响的曲线图。在图13的示例中,栅极线负载(LOAD)已被绘制为行号的函数(例如用于在图6的行R0开始的显示器14的上部分)。实线90对应于图6所示类型的显示器而不具有任何补充负载结构。小于行RM的行(即图6的区域A中的行)经历逐渐增加的负载量。行RM之后(即在区域B中),负载达到负载值LM。在未补偿的显示器配置(实线90)的情况下,通过相应的行RM和行RM+1的栅极线,在负载体验的量中可存在相对锐利的不连续(负载差DLM)。这种不连续性可导致在行RM中像素的亮度和在行RM+1中像素的亮度之间的显著变化。例如,如果负载在连续的行之间变化超过10%,在连续的行中像素的亮度变化可超过10%或其他可见的量。

[0065] 亮度变化诸如这些可通过将补充栅极线负载结构添加到显示器14的适当行(例如否则会由于那些行的栅极线上缺乏像素而被卸载的那些行)来进行平滑。例如,其中栅极线被耦接到给定数量的像素的显示器的第一区域和其中栅极线被耦接到比给定数量更少的像素的显示器的第二区域之间的亮度变化可减小至小于10%亮度变化、小于20%亮度变化、小于50%亮度变化、小于15%、小于5%、小于2%、小于1%,或小于其他合适的亮度变化值。在通过线92示出的一个例示性布置的情况下,通过向行98的栅极线中添加补充负载来平滑栅极线负载。如果需要,可实现另外的平滑(例如通过将变化量的负载添加到行0至RM的栅极线中的每个,如线94所示)。如果需要,行R0-RM中的栅极线可通过添加足够的补充栅极线负载来补偿以在显示器14中的所有行的栅极线上将负载平衡(参见,例如图13的例示性负载线96)。通常,可将任何合适量的补充负载添加到显示器14的适当行。补充负载可为显著的(例如完全平衡所有行的负载,如线96所示),或可为适度的(例如平滑负载,如线94所示),或可为相对较小的,例如通过向相对最适度数量的行(例如行98)添加负载来帮助在行RM/RM+1使负载不连续性变得平滑,如线92所示。这些方案中的任一个也可与关于图8、图9和图10描述的类型依赖行栅极信号成形方案和其他显示器亮度平滑布置(其也可在显示器14中的任何合适数量的行上延伸以帮助平滑亮度不连续性)组合。

[0066] 用于向显示器14的适当行的栅极线添加补充负载的例示性布置在图14至图25中示出。

[0067] 如图14的例示性构型所示,选择的栅极线G(例如图3的栅极线GI和/或GW,或其他

合适栅极线)可提供有延伸部分诸如栅极线延伸部GE,其耦接到补充负载结构(补充栅极线负载结构)诸如虚拟像素22D。图14的显示器14具有凹口或其他无像素区诸如无像素凹口66。显示器14可具有一个或多个基板层,诸如基板102。基板104可具有边缘诸如边缘104。边缘104可为直的或弯曲的(如在图14的示例中)。邻近显示凹口(即无源区域IA)的基板102的窄边界部分不含像素22,但可包含补充栅极线负载结构诸如虚拟像素22D。在图14中,无源区域IA由虚线100与有源区域AA(其包含有源像素22)分开。为了确保虚拟像素22D不侵占太远进入无源区域IA中(即,以确保虚拟像素22D不是太靠近基板102的边缘104),虚拟像素22D的布局可容纳弯曲的边缘104。为了在行RM+1(有时称为长行)中的栅极线G所经历的大量负载与行R0-RM(有时称为短行)中的栅极线G所经历的较小量负载之间平滑过渡,可以在行RM中供应相对大量的补充负载(例如,图14示例中的四个虚拟像素22D),并且逐渐更少量的补充负载可以在逐渐远离行RM的行中供应(例如,两个补充虚拟像素22D可以耦接到图14示例中的行RM-1中的栅极线等)。在图14的例示性构型中,仅有两个行(RM和RM-1已被供应了补充负载,但通常,任何合适数量的行均可被供应补充负载(例如2行至20行,2行至100行,50行至1000行,多于25行,少于2000行,等等)。任何合适数量的虚拟像素22D(例如,1至1000,超过10,少于500,等等)可以耦接到显示器14的每行中的栅极线GW(参见例如图3的栅极线GW图)和/或可耦接到显示器14中的其他合适水平控制线14以减小依赖行的亮度变化。

[0068] 虚拟像素22D可以以防止这些像素发射光的小但关键的修改包含常规像素22的所有像素电路。可作出的将有源像素22转换成虚拟像素22D的修改的示例包括:从像素22省略像素22的发射材料、省略像素22D的阳极、省略将像素22D中的薄膜晶体管电路耦接到像素22D中的发光二极管以创造开路的金属迹线的小部分,等等。图14的像素22D中的每个的占位面积(当从上面观察时概括)可与像素22中的每个的占位面积相同。

[0069] 如果需要,可使用由电容器形成的补充负载结构。这种类型的布置在图15中示出。在图15的示例中,在行k和行k+1中提供了补充负载22LD以帮助平滑行k+1和行k+2之间的负载不连续性。图15中的电路图示出了栅极线GI和GW上的栅极线信号可如何由栅极驱动器电路20B中的相同栅极驱动器来产生。例如,栅极线信号的GI(k+1)可以通过将行k+1中的GI线耦接到行k中的栅极线GW的栅极驱动器20B-D的输出来产生(即,GI(k+1)=GW(k))。补充栅极线负载结构(补充栅极线负载)22LD可耦接到每行中的栅极线GI和到栅极线GW两者,或可如图15所示耦接到每行中的仅单个栅极线(即,栅极线GW)以减小由栅极线延伸部GE消耗的面积。

[0070] 在图15的示例中,每个补充负载22LD位于与其耦接到的栅极线相同的行中。如果需要,栅极线延伸部GE可具有弯曲部分诸如跨越多个行的图16的部分GE'。这允许负载结构中的一些位于它们耦接到的栅极线之外的行中。在图16的布置中,例如补充负载结构22LD'位于行RM中,但使用栅极线延伸部GE'耦接到行RM-2中的栅极线GW。这种类型的布置可用于帮助优化补充负载结构的放置(例如使得更多的补充负载结构可结合到边界IA中而不将这些结构定位得太靠近基板边缘104或过度增大边界IA的尺寸)。

[0071] 图17的例示性显示器14包括不同行中的不同宽度的栅极线。长行RM+1具有正常尺寸的栅极线G(即,宽度W2的栅极线)。短行可具有适当放大的栅极线以增强负载。例如,通过将行RM中栅极线G的宽度增加到大于W2的值W1,补充负载结构可以形成用于行RM。通过增强栅极线G的宽度提供的附加电容允许附加宽度用作补充栅极线负载结构。

[0072] 图18示出了栅极驱动器诸如栅极驱动器20B-D的强度可如何改变以补偿具有不同数量像素的行。例如,在普通(长)行诸如行RM+1中的输出缓冲器(栅极驱动器)20B-D可具有正常大小的晶体管,使得输出缓冲器将栅极线信号驱动到具有正常强度的栅极线G,而短行诸如行RM中的输出缓冲器20B-D可以具有降低的强度(例如,晶体管更小并因此弱于长行的栅极驱动器中的晶体管)。依赖行的栅极驱动器强度调整可与一个或多个其他亮度不连续性平滑布置(例如补充负载结构、栅极线信号转换速率修改等)组合进行。

[0073] 图19是由并联耦接在栅极线G和接地线GND之间的两个电容器C形成的例示性补充负载结构的电路图。接地线GND可由接地电源线(例如ELVSS)、由栅极驱动器接地(例如VGL),或其他合适的信号路径形成。图19的电容器C可由图20和图21所示类型的结构形成(作为示例)。

[0074] 在图20的示例中,电容器C具有由电介质114隔开的第一电极110和第二电极112。电介质114可由显示器14中的一个或多个无机和/或有机电介质材料层形成。电极110和112可由金属层、导电半导体层(例如掺杂多晶硅等)或其他导电层形成。例如,电极110和112可由导电层诸如第一栅极金属层、第二栅极金属层、源极-漏极金属层、硅层,或显示器14的薄膜晶体管电路中的其他合适的导电层形成。特别地,电极110可以是由第二栅极金属层形成的上电极,并且电极112可以是由第一栅极金属层形成的下电极,上电极110可由源极-漏极金属层形成,并且下电极112可由第二栅极金属层形成,或上电极110可由第一栅极金属层或源极-漏极金属层形成,并且下电极112可由掺杂的多晶硅层或其他掺杂的半导体层形成。

[0075] 在图21的例示性构型中,用于电容器C的第一电极由被短路在一起的上层116A和下层116B形成。图21的电容器C的第二电极由导电层118形成。电介质114可分离第一电极和第二电极。电极层116A可由源极-漏极金属层形成,并且电极层116B可由导电层诸如掺杂半导体层(例如掺杂多晶硅层)形成。电极118可由栅极金属层(例如在其中显示器14具有多个栅极金属层的配置中的第一栅极金属层)形成。

[0076] 如果需要,可以使用其他电容器布置。图20和图21的例示性电容器结构仅为例示性的。电容器C可由使用信号线(例如栅极线和接地线)耦接在一起的单个电容器电极形成。可以从每行添加或移除不同数量的电容器以调整提供多少补充栅极线负载,或显示器14的每行可具有用于补充负载的单个未分割的电容器结构。使用由信号线(例如栅极线和接地线)耦接在一起的多个较小电容器可帮助减小制造期间静电放电事件引起损坏的风险(例如通过减少储存在任何给定电容器中的电荷量)。

[0077] 图22示出了例示性构型中的显示器14的行,其中补充负载结构22D已由多个电容器C形成(例如图20和/或图21中所示类型的电容器),该电容器C耦接到栅极线G并且耦接到相关联的接地线GND。

[0078] 图23示出了可如何通过提供栅极线延伸部GE的一部分诸如具有蜿蜒路径形状的部分122来调节栅极线延伸部GE中的栅极线G的电阻。栅极线延伸部G可耦接到补充负载诸如由一个或多个电容器C或其他负载结构形成的负载结构22D。对线部分GE的电阻的调整可帮助调整施加在栅极线G上的负载效应(即,蜿蜒路径可被认为是行中补充栅极线负载结构的部分)。

[0079] 图24示出了可如何由小的类像素虚拟像素电路形成补充负载结构22D。这些电路

可包括相同的晶体管、电容器、信号迹线以及正常像素22的其他薄膜电路中的一些,但由于像素22的部件中的一些已被省略而具有较小的占位面积。从像素22省略一个或多个像素部件允许虚拟像素电路的占位面积减小并且使得虚拟像素电路无法发射光。同时,施加在栅极线G上的负载的量可与由正常像素22施加的负载的量相同或几乎相同。可从像素22移除以形成尺寸减小(压缩)的虚拟像素电路以用于图24的补充负载结构22D的像素部件的示例为发光二极管44(其通常消耗相对大量的像素面积)的阳极。为了减小虚拟像素电路相对于正常像素22的尺寸,在移除阳极之后像素电路的布局可被收缩。相比之下,在图14中所示类型的虚拟像素22D可具有与像素22相同的占位面积。

[0080] 如果需要,区域A中的栅极线中的每个可具有延伸经过显示器14中的凹口并且帮助增加该栅极线的负载的无像素部分(栅极线延伸部分)。如图25所示,例如,栅极线延伸部GE可充分地延伸以允许短行中的栅极线中的每个跨越显示器14的宽度(即显示器14的基板),即使短行由于凹口66的存在而包含比长行更少的像素。图25的栅极线延伸部GE可施加足够的负载在显示器14的短行上以部分地或完全消除对附加补充栅极线负载结构和/或栅极信号转换速率修改、栅极驱动器电路修改等等的需要。

[0081] 在图25的例示性构型中,栅极驱动器电路20B包括耦接到栅极线G的左右两端的栅极驱动器20B-D。在显示器14的长行中(即在区域B中),使用每个栅极线的左右两端上的驱动器可以帮助确保令人满意的数据负载。在短行中(即在区域A中),可能不需要左驱动器和右驱动器两者并且可省略这些驱动器中的一个以帮助减小显示器亮度变化。使用这种类型的布置,一些或所有的栅极驱动器20B-D沿显示器14的边缘中的一个(例如,图25的右手边缘)可以从显示器14的短行省略,使得一些或所有的短行可以由耦接到仅一个栅极线端(例如,栅极线G的左端)的栅极驱动器驱动,而所有的长行可以由耦接到栅极线G的相对端(例如,每个栅极线G的左端和右端)的栅极驱动器驱动。这种类型的构型(其中耦接到每个栅极线的栅极驱动器的数量在不同的行之间变化)可与一个或多个其他布置组合用于平滑显示亮度变化(依赖行的栅极线信号转换速率变化、依赖行的栅极驱动器强度、依赖行的补充负载变化,等等)。

[0082] 根据实施方案,提供了显示器,所述显示器包括显示驱动器电路、耦接到显示驱动器电路的数据线、耦接到显示驱动器电路的栅极线以及具有列和行的像素阵列,显示器的第一区域中的行比显示器的第二区域中的行更短,并且显示驱动器电路被配置为在第一区域和第二区域中的行的栅极线上提供不同的栅极线信号。

[0083] 根据另一个实施方案,显示驱动器电路包括生成第一时钟信号的第一时钟发生器和生成第二时钟信号的第二时钟发生器。

[0084] 根据另一个实施方案,所述显示驱动器电路包括多路复用器,所述多路复用器具有接收所述第一时钟信号的所述第一输入、接收所述第二时钟信号的所述第二输入以及耦接到时钟路径的所述输出。

[0085] 根据另一个实施方案,显示驱动器电路包括栅极驱动器电路,栅极驱动器电路在行中的每个中具有栅极驱动器电路,栅极驱动器电路通过时钟路径接收信号。

[0086] 根据另一个实施方案,第一区域具有无像素凹口,并且显示驱动器电路被配置为引导多路复用器将第一时钟信号供应至第一区域的行中的栅极驱动器电路,并且将第二时钟信号供应至第二区域的行中的栅极驱动器电路。

[0087] 根据另一个实施方案,由第一区域的行中的栅极驱动器电路产生的第一时钟信号和对应的栅极线信号具有比由第二区域的行中的栅极驱动器电路产生的第二时钟信号和对应的栅极线信号更慢的转换速率。

[0088] 根据另一个实施方案,由第一区域的行中的栅极驱动器电路产生的第一时钟信号和对应的栅极线信号具有比由第二区域的行中的栅极驱动器电路产生的第二时钟信号和对应的栅极线信号更短的脉冲持续时间。

[0089] 根据另一个实施方案,由第一区域的行中的栅极驱动器电路产生的第一时钟信号和对应的栅极线信号具有两阶梯式分布,并且由第二区域的行中的栅极驱动器电路产生的第二时钟信号和对应的栅极线信号具有一阶梯式分布。

[0090] 根据另一个实施方案,每个像素具有七个晶体管和一个电容器。

[0091] 根据另一个实施方案,每个像素中的七个晶体管包括驱动晶体管以及与第一电源端子和第二电源端子之间的有机发光二极管串联耦接的第一发射晶体管和第二发射晶体管。

[0092] 根据另一个实施方案,显示器包括在每行中将第一发射控制信号从显示驱动器电路传送至该行的像素的第一发射控制线,和将第二发射控制信号从显示驱动器电路传送到该行的像素的第二发射控制线。

[0093] 根据另一个实施方案,每个像素具有七个晶体管和一个电容器。

[0094] 根据另一个实施方案,每个像素中的七个晶体管包括驱动晶体管以及与第一电源端子和第二电源端子之间的有机发光二极管串联耦接的第一发射晶体管和第二发射晶体管。

[0095] 根据另一个实施方案,每行中的第一发射线耦接到该行中的每个像素的第一发射晶体管,并且每行中的第二发射线耦接到该行中的每个像素的第二发射晶体管。

[0096] 根据实施方案,提供一种显示器,所述显示器包括显示驱动器电路、耦接到显示驱动器电路的数据线、耦接到显示驱动器电路的栅极线、具有列和行的像素阵列,每个像素具有七个晶体管和一个电容器,每个像素中的所述七个晶体管包括驱动晶体管以及与第一电源端子和第二电源端子之间的有机发光二极管串联耦接的第一发射晶体管和第二发射晶体管,以及在每行中将第一发射控制信号从显示驱动器电路传送至该行的像素的第一发射控制线,和将第二发射控制信号从显示驱动器电路传送到该行的像素的第二发射控制线。

[0097] 根据另一个实施方案,每行中的第一发射线耦接到该行中的每个像素的第一发射晶体管,并且在每行中的第二发射线耦接到该行中的每个像素的第二发射晶体管。

[0098] 根据一个实施方案,提供一种显示器,所述显示器包括显示驱动器电路、耦接到显示驱动器电路的数据线、耦接到显示驱动器电路的栅极线、具有列和行的像素阵列,每个像素具有至少七个p沟道金属氧化物半导体晶体管和至少一个电容器,每个像素中的所述晶体管包括驱动晶体管以及与第一电源端子和第二电源端子之间的有机发光二极管串联耦接的第一发射晶体管和第二发射晶体管,在每行中将第一发射控制信号从显示驱动器电路传送至该行的像素的第一发射控制线,在每行中将第二发射控制信号从显示驱动器电路传送到该行的像素的第二发射控制线,以及在每行中控制该行中的每个像素的晶体管中的至少第一开关晶体管和第二开关晶体管的第一栅极线和第二栅极线。

[0099] 根据另一个实施方案,显示驱动器电路包括生成第一时钟信号的第一时钟发生器

和生成第二时钟信号的第二时钟发生器,并且包括多路复用器,其具有接收第一时钟信号的第一输入、接收第二时钟信号的第二输入和耦接到时钟路径的输出。

[0100] 根据另一个实施方案,每行中的第一发射线耦接到该行中的每个像素的第一发射晶体管,并且每行中的第二发射线耦接到该行中的每个像素的第二发射晶体管。

[0101] 根据另一个实施方案,显示驱动器电路包括所述行中的每个中的通过时钟路径接收信号的栅极驱动器电路。

[0102] 根据实施方案,提供了一种显示器,所述显示器包括显示驱动器电路、耦接到显示驱动器电路的数据线、耦接到显示驱动器电路的栅极线以及具有列和行的像素阵列,显示器的第一区域中的行的栅极线相比显示器的第二区域中的行耦接到像素阵列中的更少像素,以及补充栅极线负载结构,其耦接到第一区域中的栅极线中的至少一些,以增加那些栅极线上的负载并从而使显示器的第一区域和第二区域之间的显示器亮度变化平滑。

[0103] 根据另一个实施方案,补充栅极线负载结构包括不发射光的虚拟像素。

[0104] 根据另一个实施方案,虚拟像素不包含发光二极管的发射材料。

[0105] 根据另一个实施方案,补充栅极线负载结构包括电容器。

[0106] 根据另一个实施方案,第一区域中的行中的第一行耦接到第一区域的行中的第二行中的补充栅极线负载结构。

[0107] 根据另一个实施方案,行中的第一行的像素与栅极线中的给定一个栅极线相关联,并且栅极线中的给定一个栅极线具有从行中的第一行延伸至行中的第二行的栅极线延伸部。

[0108] 根据另一个实施方案,补充栅极线负载结构以从第二区域到第一区域的逐渐增加的距离将逐渐减小的负载量施加在第一区域的栅极线上。

[0109] 根据实施方案,提供一种有机发光二极管显示器,所述有机发光二极管显示器包括具有凹口的基板、基板上的有机发光二极管像素、显示驱动器电路、耦接到显示驱动器电路和有机发光二极管像素的数据线、耦接到显示驱动器电路和有机发光二极管像素的栅极线,所述有机发光二极管像素以列和行布置,包括凹口的显示器的第一区域中的行比显示器的第二区域中的行耦接到更少像素,以及补充栅极线负载结构,其耦接到第一区域中的栅极线的至少一部分以增加那些栅极线上的栅极线负载,并从而减小第一区域和第二区域中的栅极线之间的栅极线负载的差异。

[0110] 根据另一个实施方案,补充栅极线负载结构包括耦接到栅极线的部分中的栅极线的电容器。

[0111] 根据另一个实施方案,栅极线的部分中的每个栅极线耦接到多个电容器。

[0112] 根据另一个实施方案,电容器中的每个具有上电极和下电极。

[0113] 根据另一个实施方案,电容器中的每个具有第一导电层、第二导电层和第三导电层,第一导电层和第三导电层短路在一起并形成第一电容器电极,并且第二导电层插置在第一导电层和第三导电层之间并形成第二电容器电极。

[0114] 根据另一个实施方案,补充栅极线负载结构将不同量的电容施加到第一区域中的不同栅极线。

[0115] 根据另一个实施方案,栅极驱动器电路包括耦接到每行中的栅极线中的一个栅极线的栅极驱动器,并且在第一区域中的栅极驱动器中的至少一个具有与第二区域中的栅极

驱动器中的至少一个不同的强度。

[0116] 根据另一个实施方案,显示驱动器电路被配置为在第一区域和第二区域中的行的栅极线上提供具有不同转换速率的栅极线信号。

[0117] 根据实施方案,提供一种有机发光二极管显示器,所述有机发光二极管显示器包括具有凹口的基板,所述基板具有宽度、所述基板上的有机发光二极管像素、显示驱动器电路、耦接到显示驱动器电路并耦接到像素的数据线,以及耦接到显示驱动器电路并耦接到像素的栅极线,所述像素具有列和行,显示器的第一区域中的行的栅极线比第二区域中的行的栅极线耦接到更少像素,第一区域和第二区域两者中的行的栅极线跨越基板的宽度,并且第一区域中的行中的栅极线各自具有延伸越过凹口的无像素部分。

[0118] 根据另一个实施方案,有机发光二极管显示器包括耦接到第一区域中的第一组栅极线的补充栅极线负载结构,以增加第一组栅极线上的栅极线负载,并且从而减小在第二区域中的第一组栅极线和第二组栅极线之间的栅极线负载的差异。

[0119] 根据另一个实施方案,补充栅极线负载结构包括虚拟像素。

[0120] 根据另一个实施方案,补充栅极线负载结构包括耦接到第一组栅极线中的每个栅极线的至少一个电容器。

[0121] 根据另一个实施方案,补充栅极线负载结构包括耦接到第一组栅极线的电容器,并且在第一组栅极线中的栅极线中的至少给定一个栅极线耦接到与栅极线中的给定一个栅极线不同的行中的电容器。

[0122] 前述内容仅为例示性的,并且本领域的技术人员可在不脱离所述实施方案的范围和实质的情况下作出各种修改。前述实施方案可单独实施或可以任意组合实施。

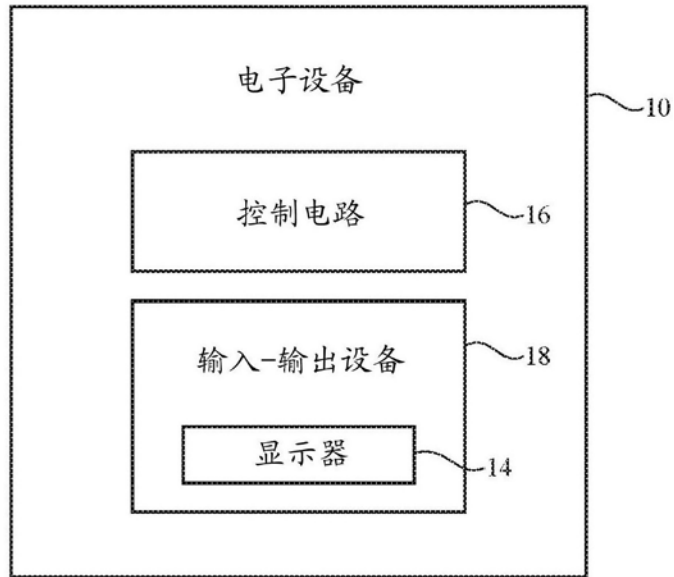


图1

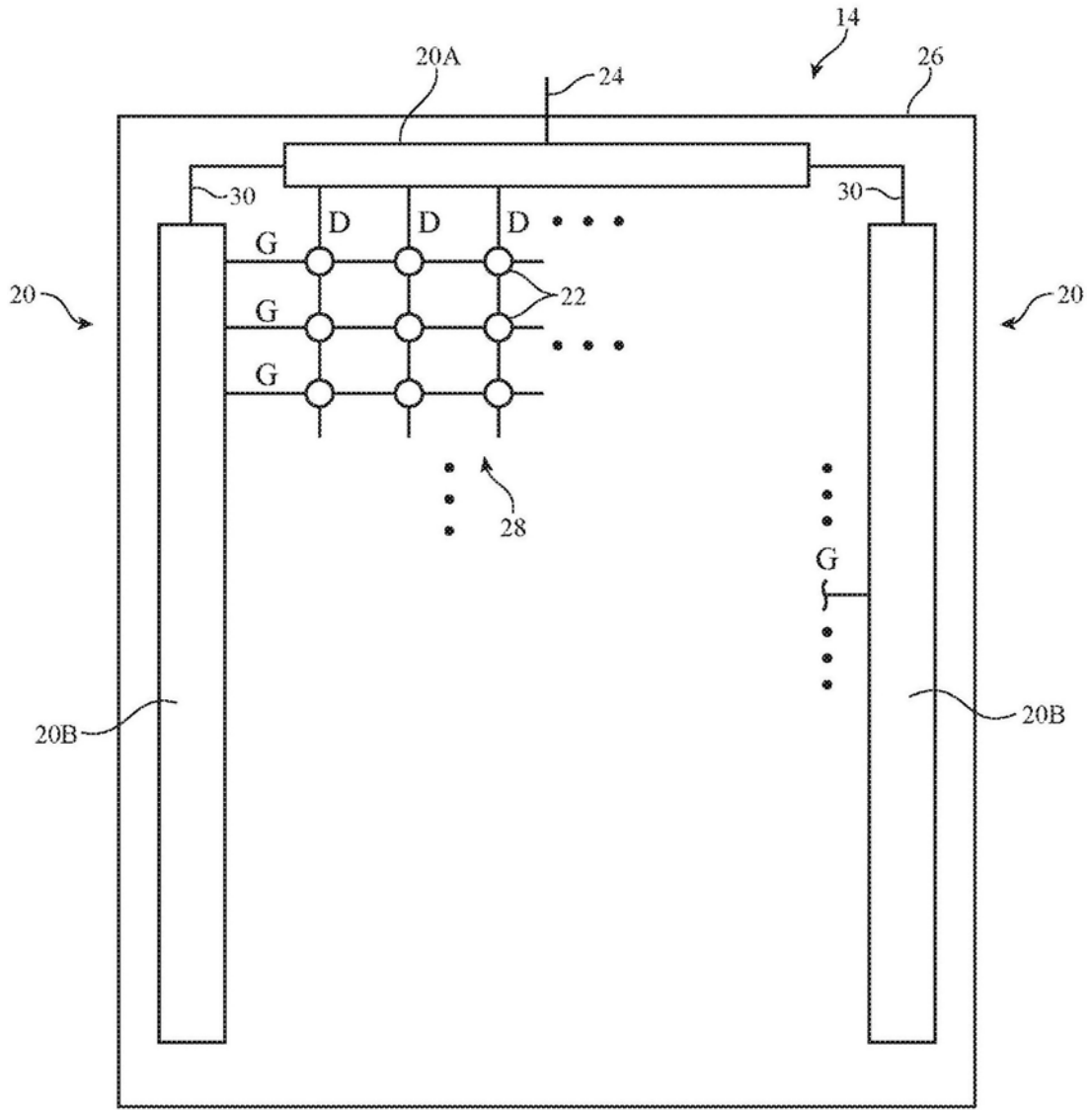


图2

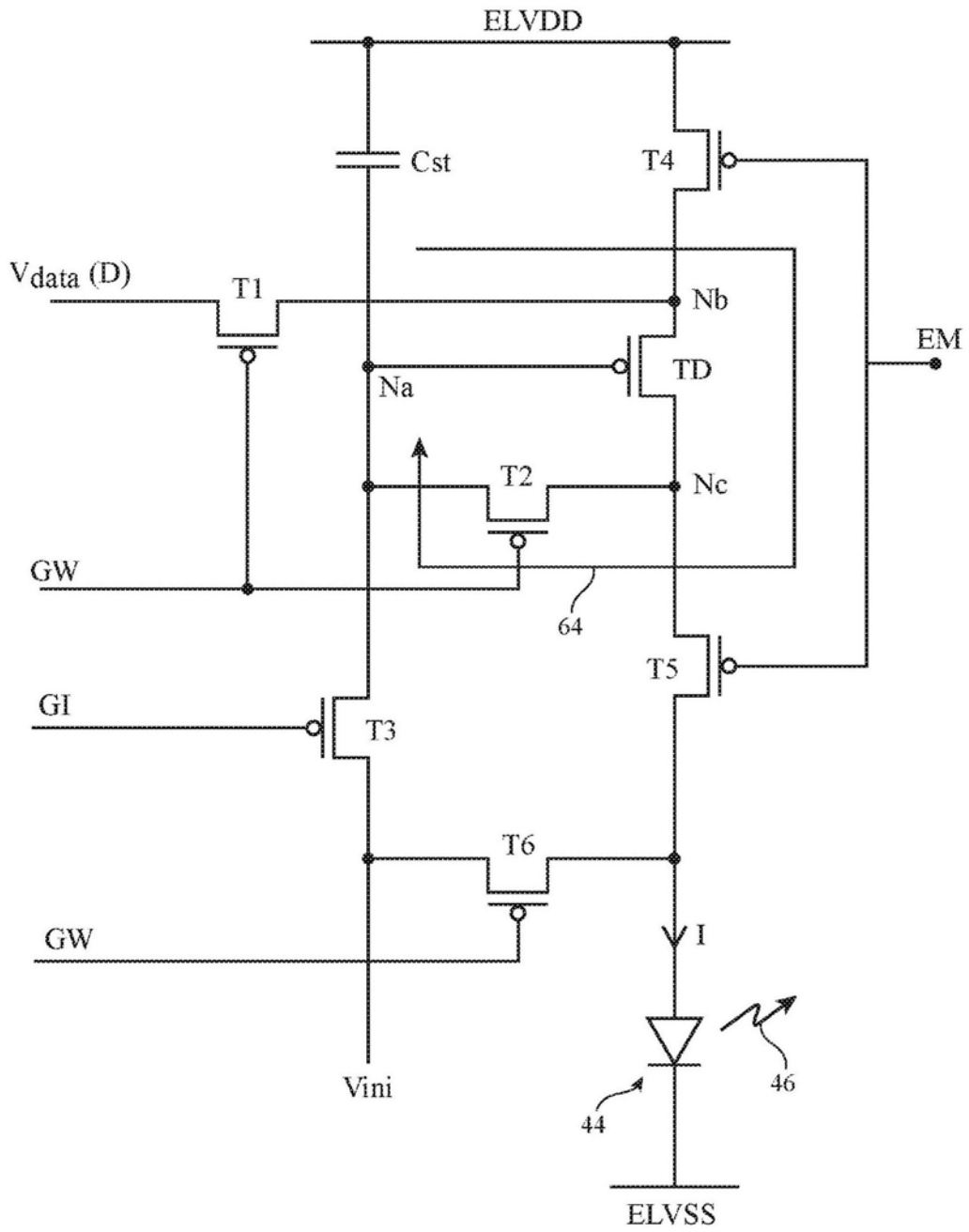


图3

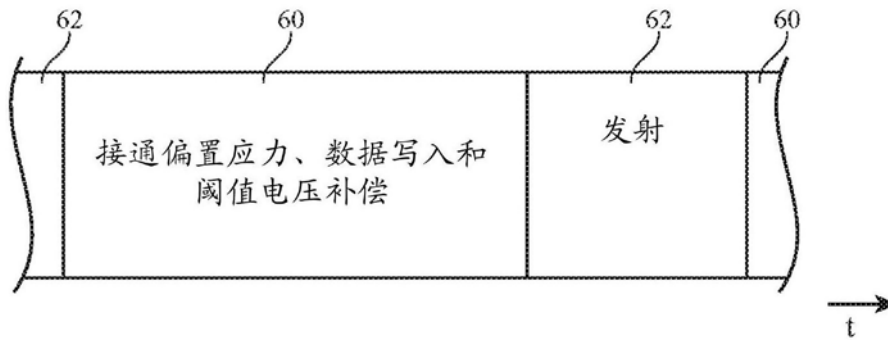


图4

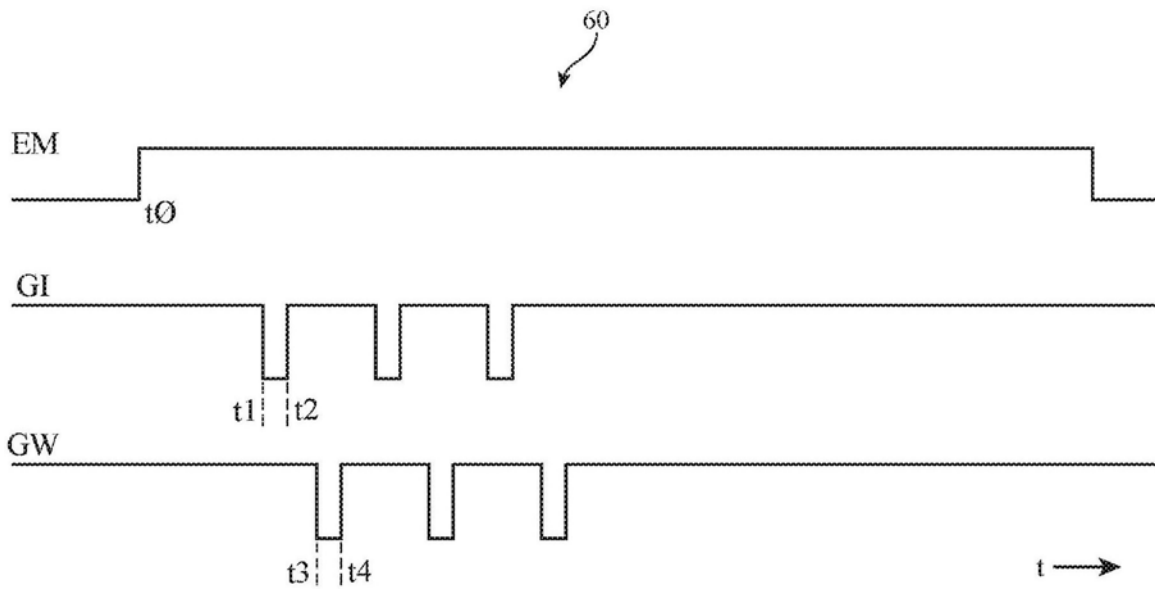


图5

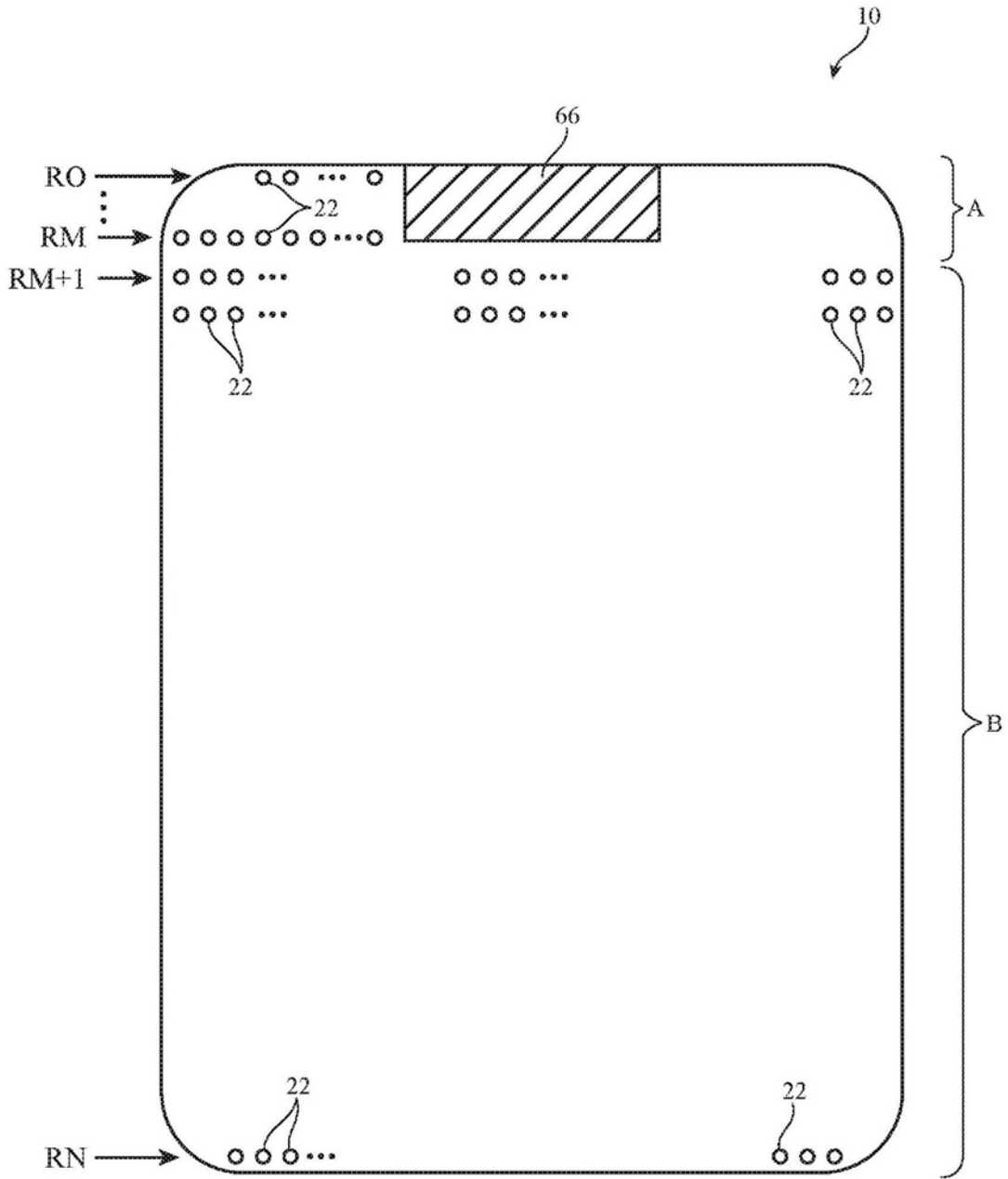


图6

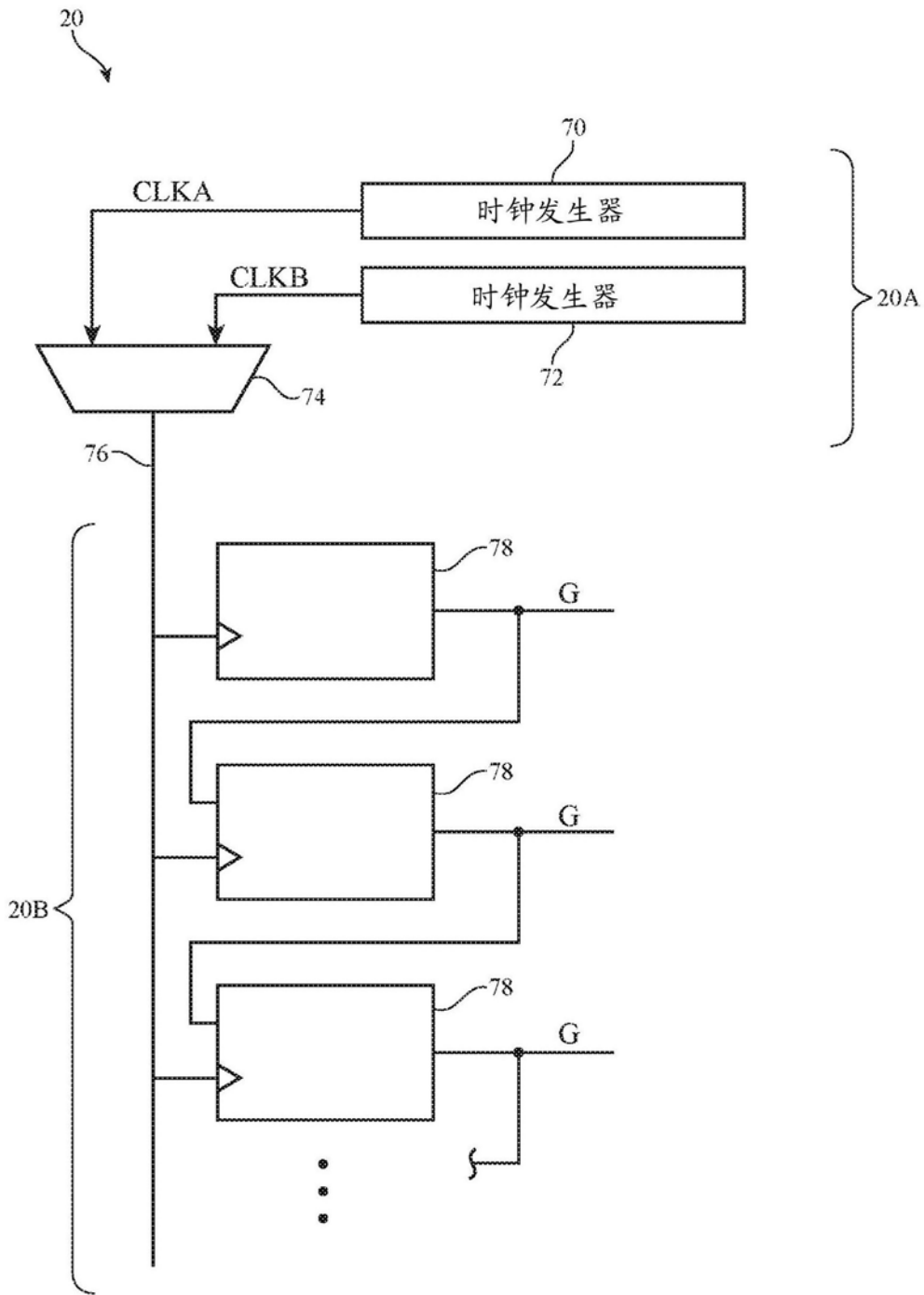


图7

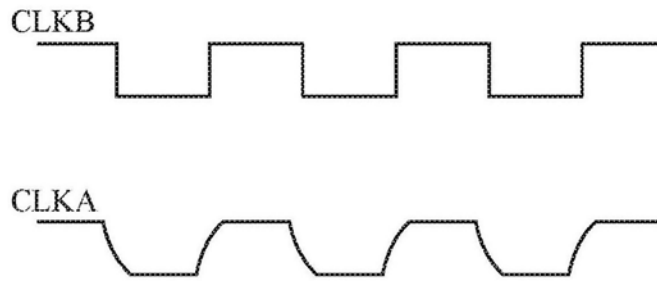


图8

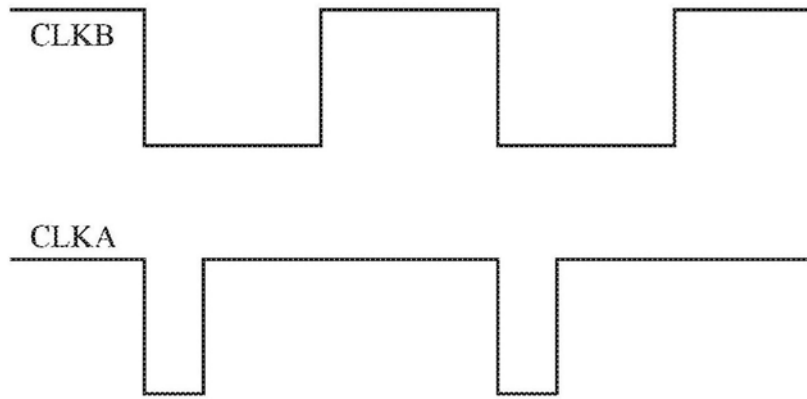


图9

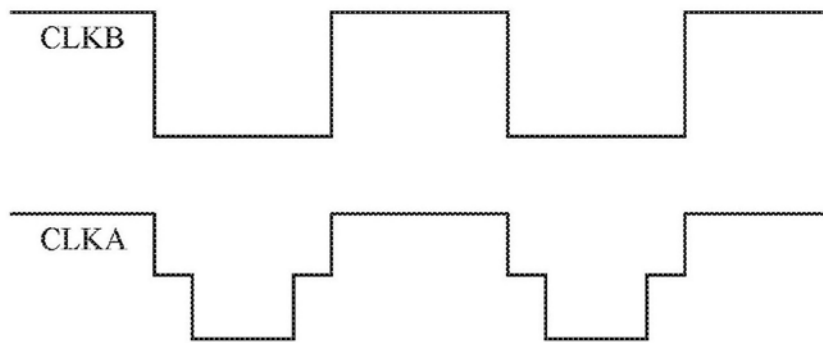


图10

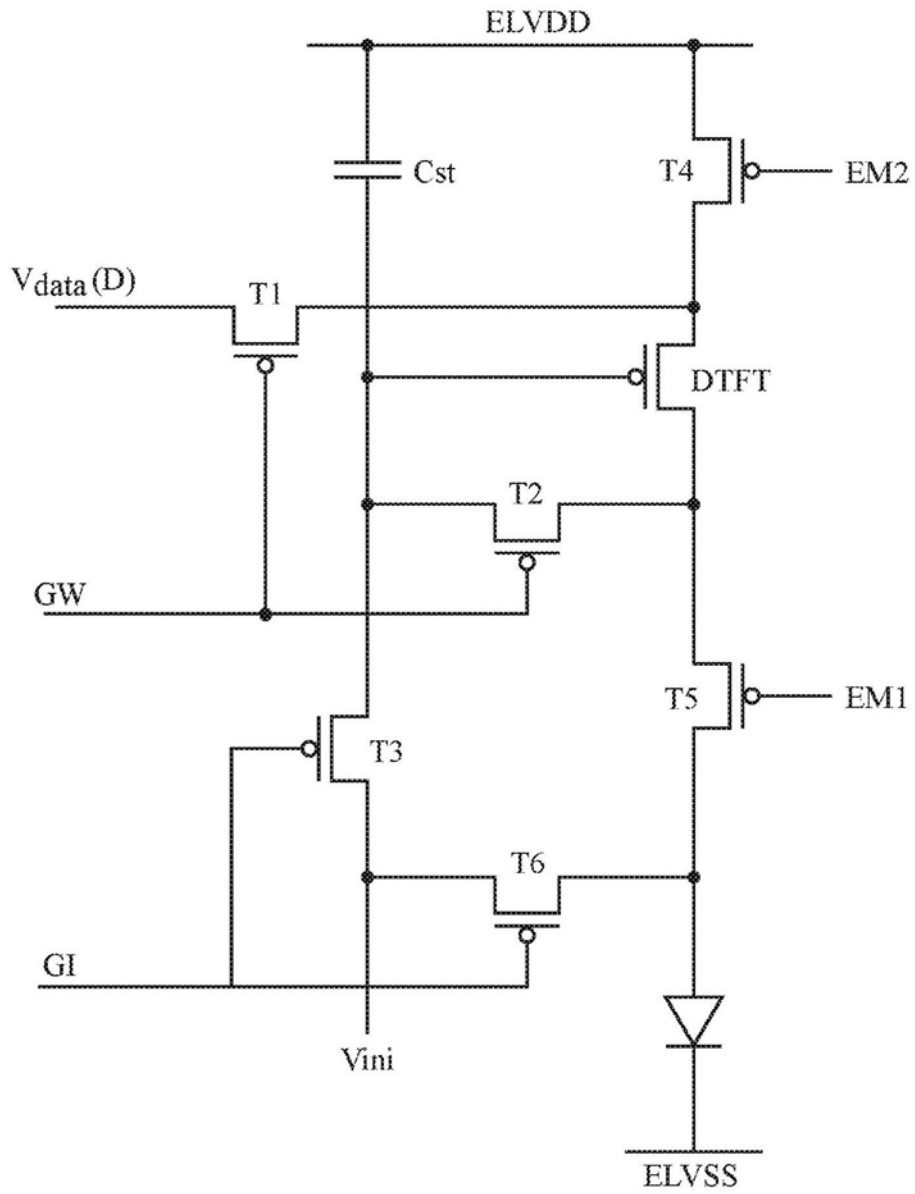


图11

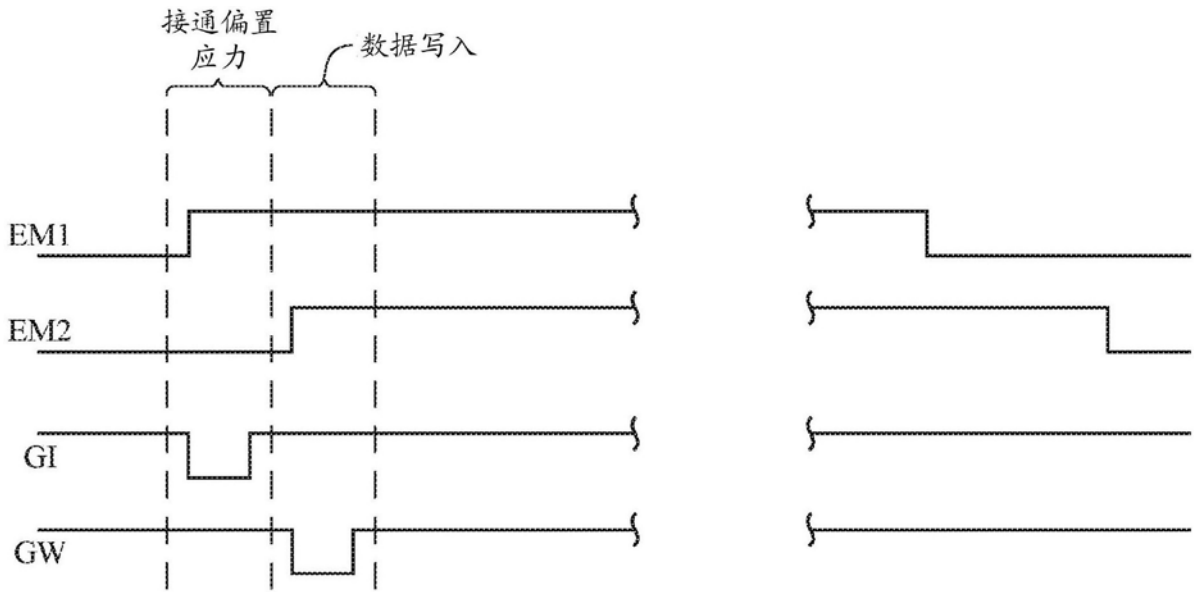


图12

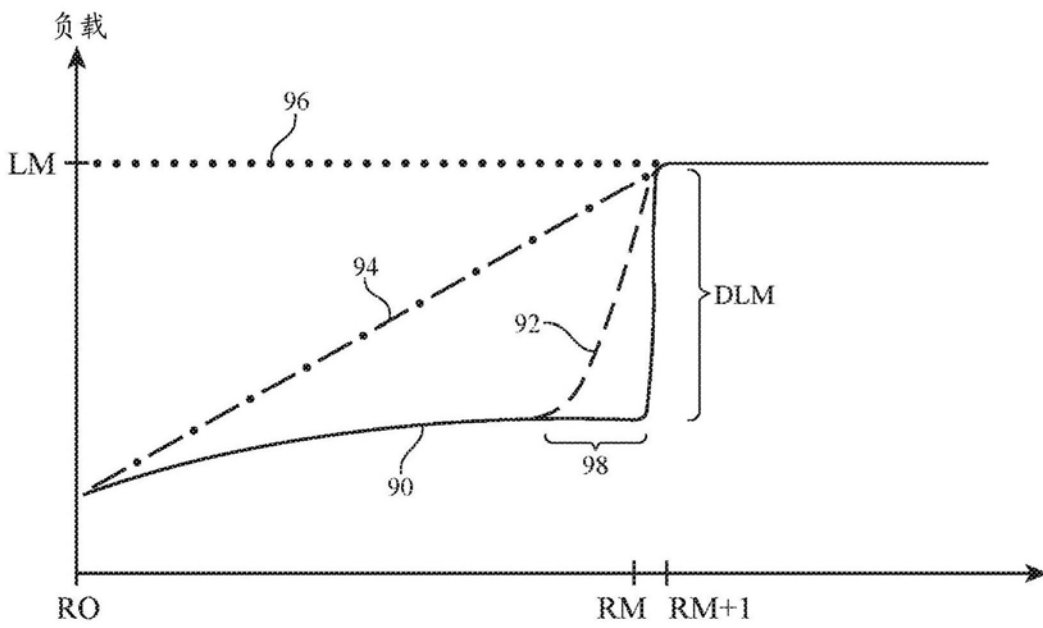


图13

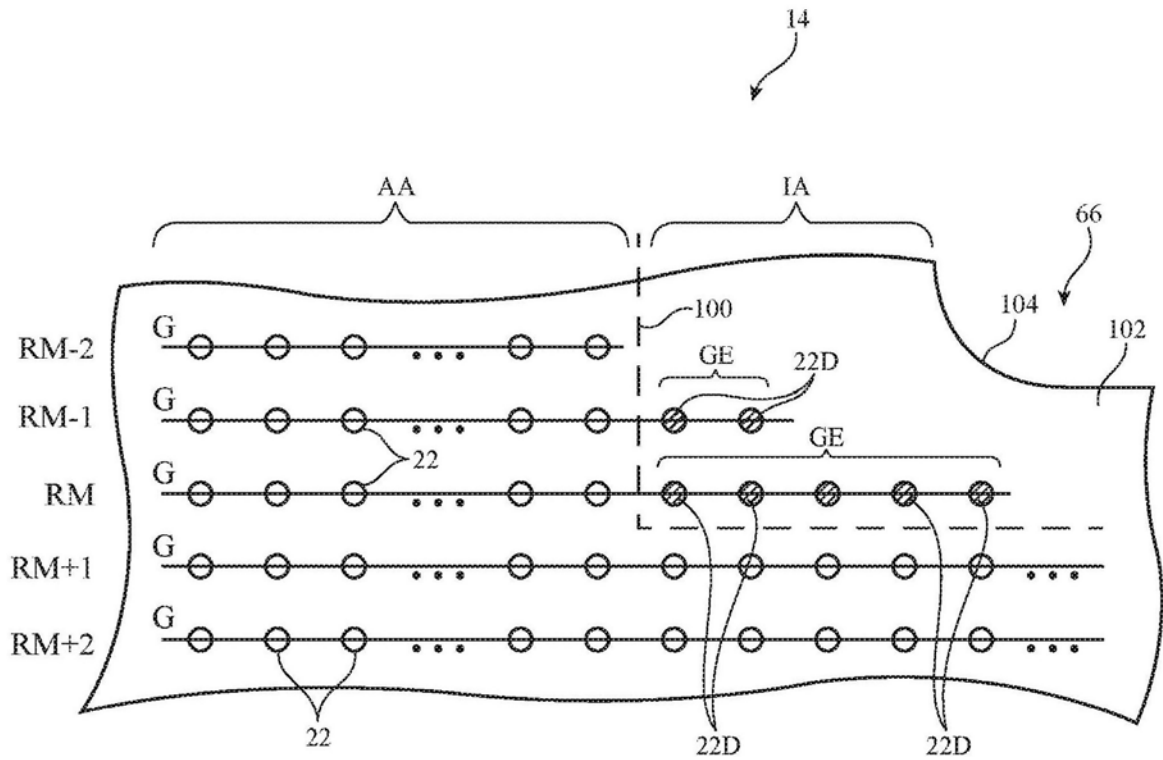


图14

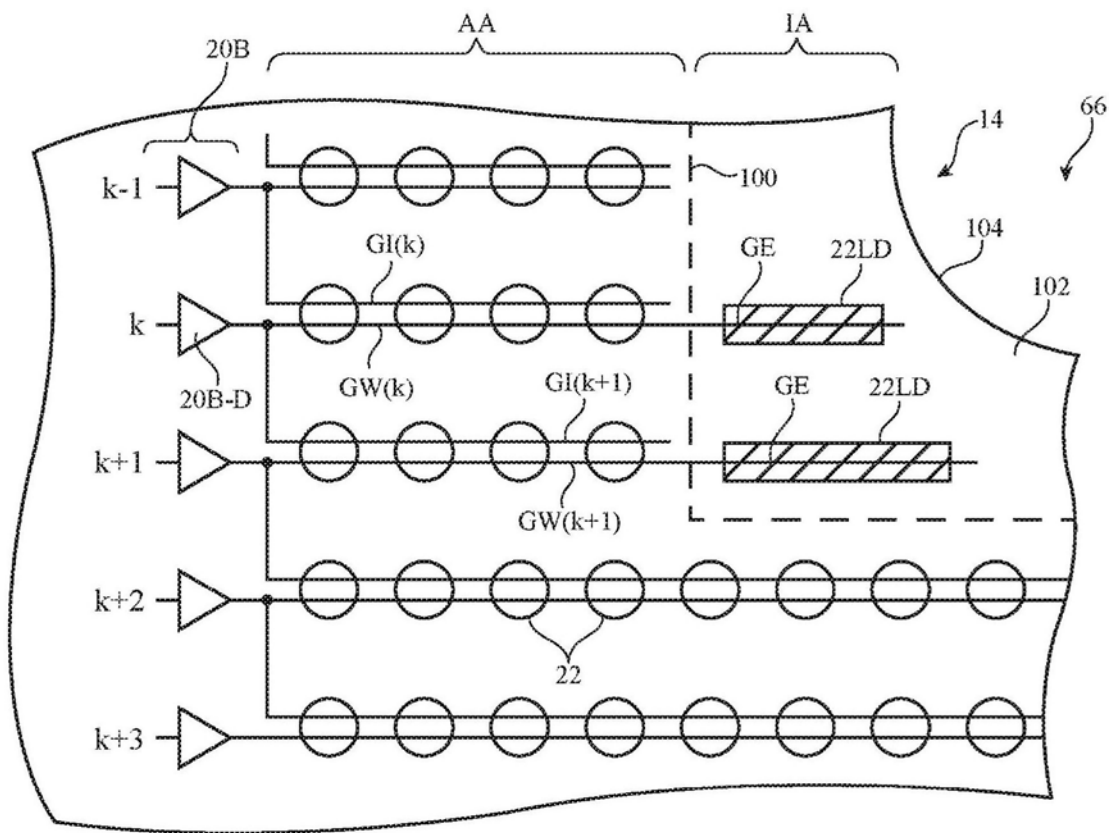


图15

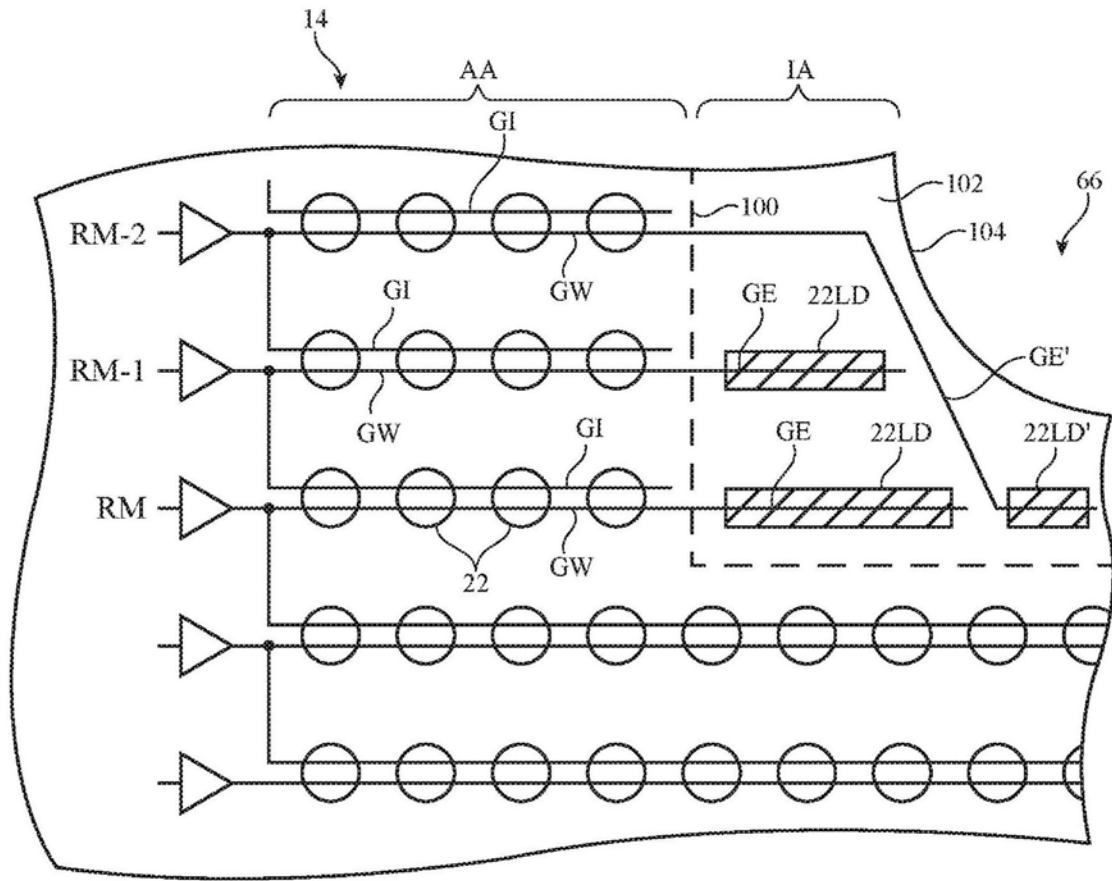


图16

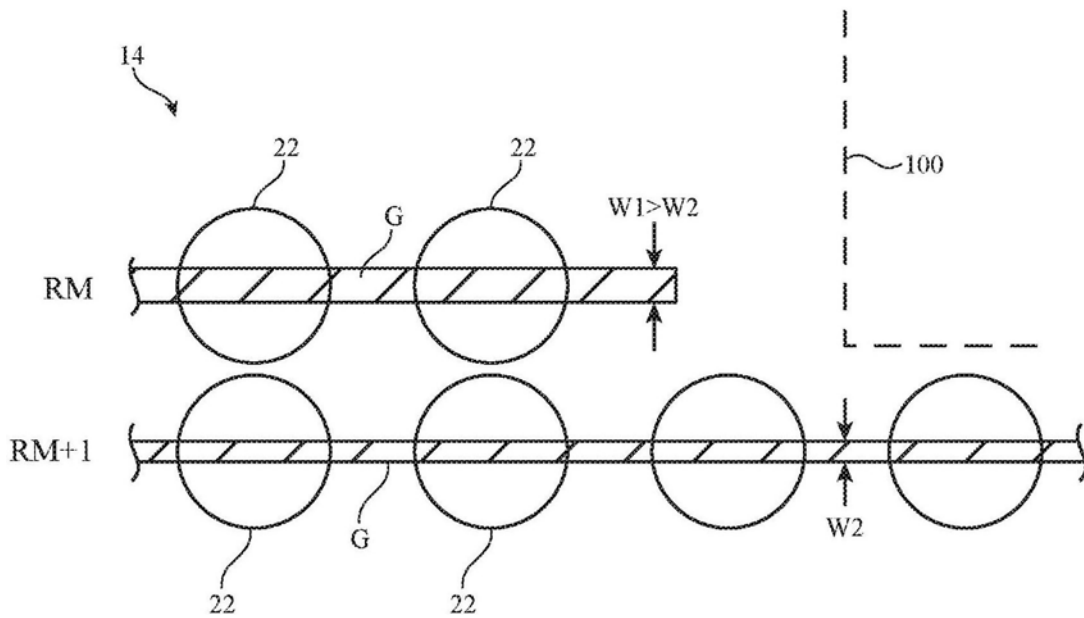


图17

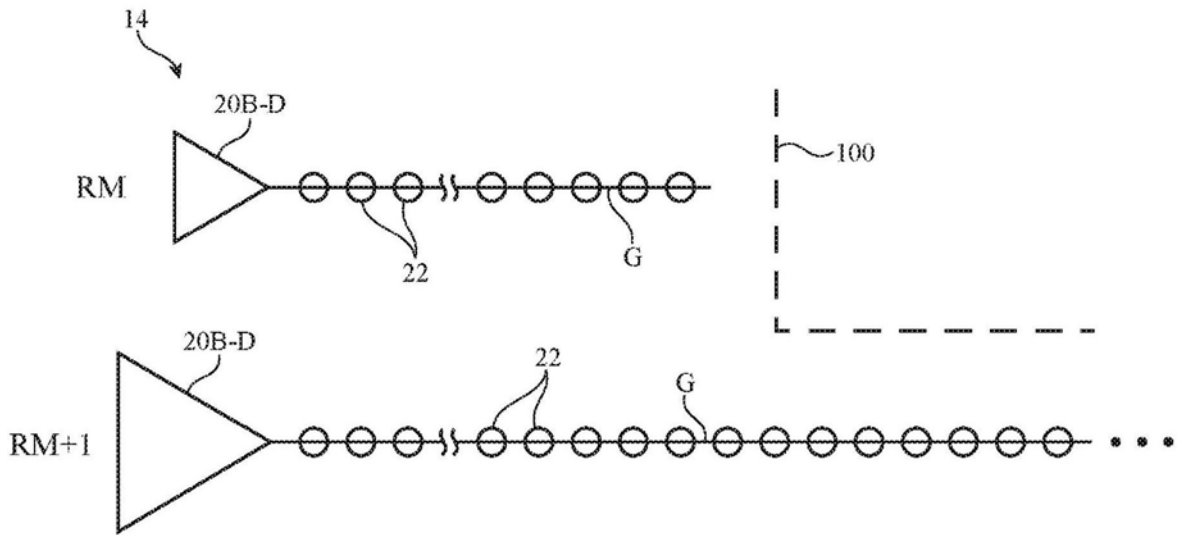


图18

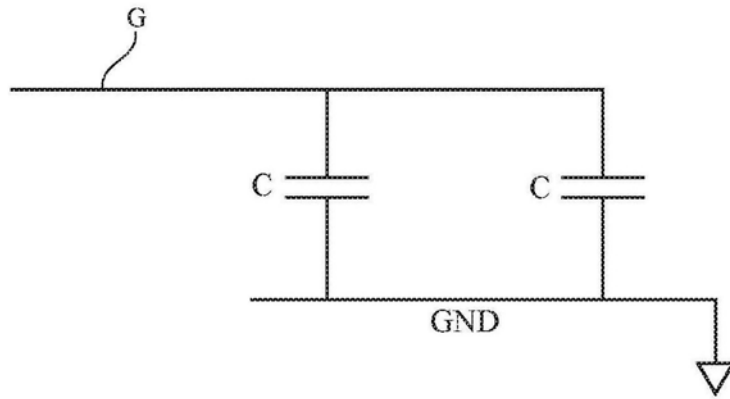


图19

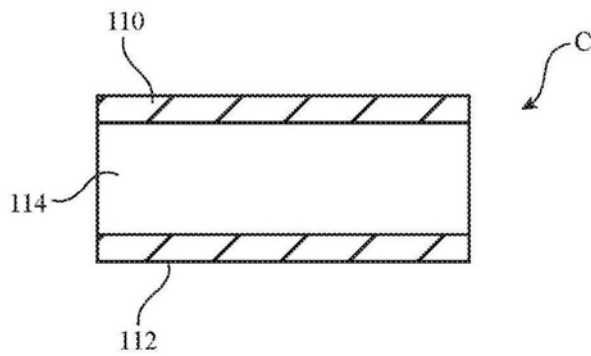


图20

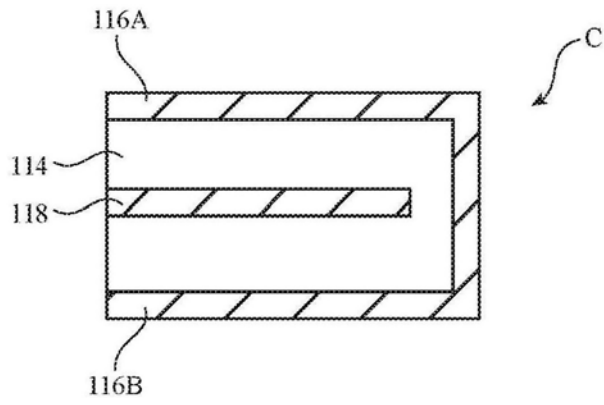


图21

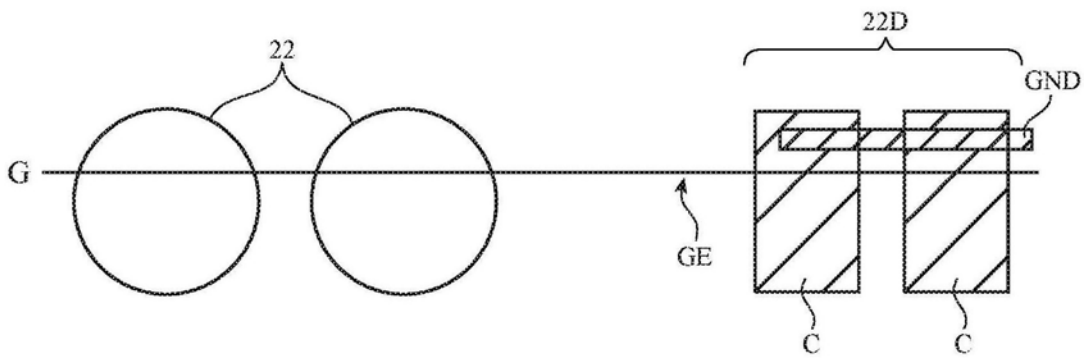


图22

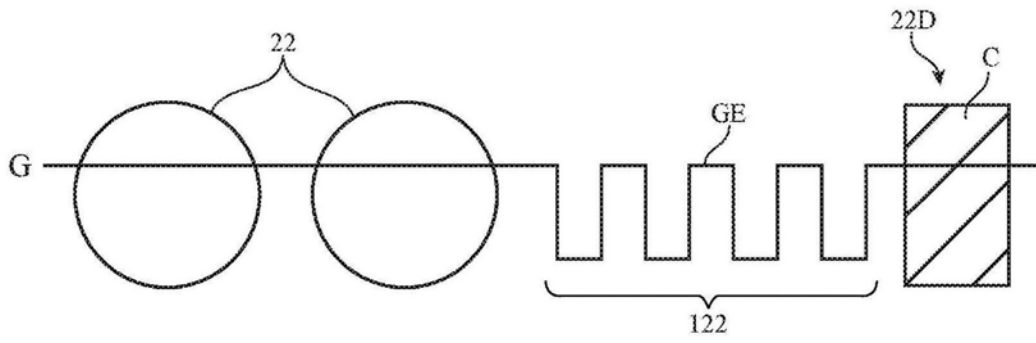


图23

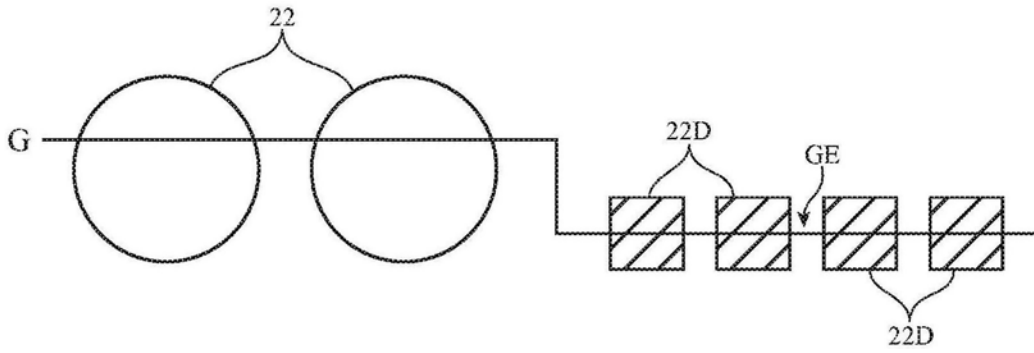


图24

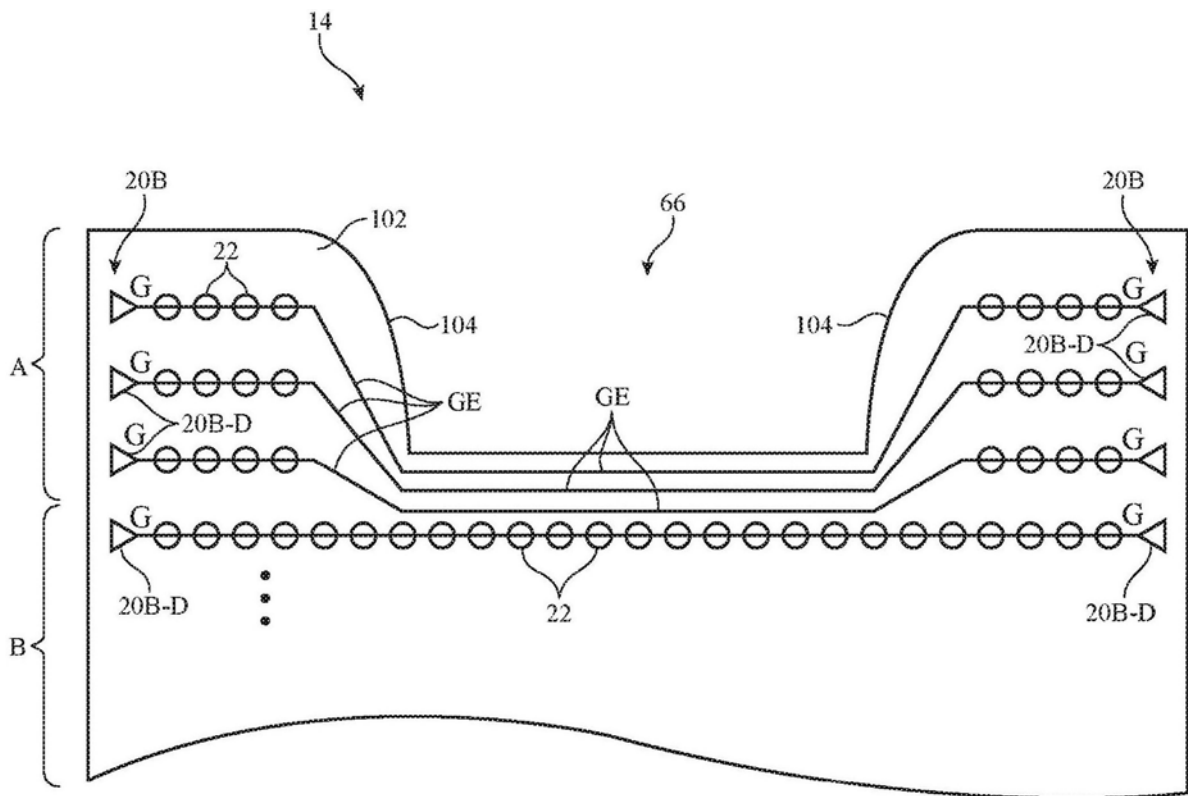


图25

专利名称(译)	发光二极管显示器		
公开(公告)号	CN108352151A	公开(公告)日	2018-07-31
申请号	CN201780003491.7	申请日	2017-03-16
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
当前申请(专利权)人(译)	苹果公司		
[标]发明人	余承和 林敬伟 杨玄 常鼎国 蔡宗廷 W S 里厄托尔 路易斯 张世昌 陈宇成 JZ钟		
发明人	余承和 林敬伟 杨玄 常鼎国 蔡宗廷 W·S·里厄托尔-路易斯 张世昌 陈宇成 J·Z·钟		
IPC分类号	G09G3/3233 G09G3/3266		
CPC分类号	G06F3/044 G09G3/3233 G09G3/3266 G09G2300/0413 G09G2300/0426 G09G2310/0232 G09G2320/0223 G09G2320/0233 H01L27/3223 H01L27/3276 G09G2300/0842 G09G2300/0809 H01L27/323 H01L2227/32		
代理人(译)	邹丹		
优先权	62/314281 2016-03-28 US 62/327584 2016-04-26 US		
外部链接	Espacenet SIPO		

摘要(译)

显示器(10)可具有像素(22)阵列。显示驱动器电路向像素供应数据和控制信号。显示器的第一区域(A)中的行(R0, RM)比显示器的第二区域(B)中的行(RM+1)更短。显示驱动器电路具有栅极驱动器电路, 所述栅极驱动器电路向显示器内像素的不同行提供不同的栅极线信号。不同的行也可具有不同的栅极驱动器强度和不同的补充栅极线负载结构。每个像素可具有七个晶体管、电容器、和发光二极管诸如有机发光二极管。七个晶体管可使用水平控制线接收控制信号。每个像素可具有与那个像素的驱动晶体管和发光二极管串联耦接的第一发射启用晶体管和第二发射启用晶体管。第一发射启用晶体管和第二发射启用晶体管可耦接到共同控制线或者可单独地控制以使得接通偏置应力可被有效地施加到驱动晶体管。

